

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年8月1日(01.08.2013)



(10) 国際公開番号
WO 2013/111496 A1

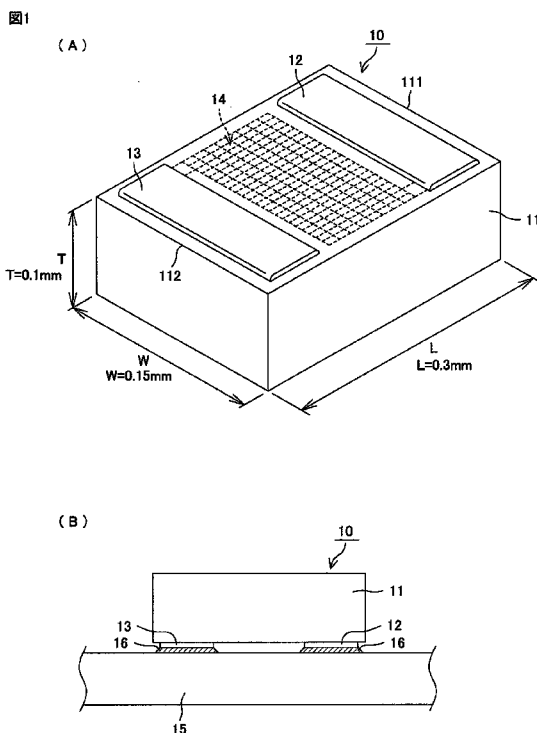
- (51) 国際特許分類:
H01C 17/06 (2006.01) H01C 17/12 (2006.01)
H01C 13/02 (2006.01) H01C 17/22 (2006.01)
- (21) 国際出願番号: PCT/JP2012/083569
- (22) 国際出願日: 2012年12月26日(26.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-015572 2012年1月27日(27.01.2012) JP
特願 2012-042302 2012年2月28日(28.02.2012) JP
特願 2012-268564 2012年12月7日(07.12.2012) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 玉川 博司(TAMAGAWA, Hiroshi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 近藤 靖浩(KONDO, Yasuhiro); 〒6158585 京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).

- (74) 代理人: 稲岡 耕作(INAOKA, Kosaku); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号
サンマリオンNBFタワー2-1階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD OF MANUFACTURING CHIP RESISTOR

(54) 発明の名称: チップ抵抗器の製造方法



(57) Abstract: [Problem] To provide a method of manufacturing a chip resistor with improved geometric accuracy and micromachining accuracy. [Solution] This method of manufacturing a chip resistor involves a step for forming a resistor film on a substrate, a step for forming a wiring film so as to be in contact with the surface of the resistor film, a step for forming a first resist pattern on the wiring film by means of photolithography, a first etching step for etching the wiring film and the resistor film with the first resist pattern as a mask, a second resist pattern on the wiring film by means of photolithography, and a second etching step for forming multiple resistors on the substrate by means of partially etching the wiring film on the resistor film with the second resist pattern as a mask.

(57) 要約: 【課題】形状寸法精度および微細加工精度の向上したチップ抵抗器の製造方法を提供すること。【解決手段】基板上に抵抗体膜を形成する工程と、前記抵抗体膜の表面に接するように配線膜を形成する工程と、フォトリソグラフィによって、前記配線膜の上に第1レジストパターンを形成する工程と、前記第1レジストパターンをマスクとして、前記配線膜および前記抵抗体膜をエッチングする第1エッチング工程と、フォトリソグラフィによって、前記第1エッチング工程の後に、前記配線膜の上に第2レジストパターンを形成する工程と、前記第2レジストパターンをマスクとして前記抵抗体膜の上の前記配線膜を部分的にエッチングすることにより、前記基板上に複数の抵抗体を形成する第2エッチング工程とを含む、チップ抵抗器の製造方法。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : チップ抵抗器の製造方法

技術分野

[0001] 本発明は、ディスクリート部品としてのチップ抵抗器の製造方法に関する。

背景技術

[0002] チップ抵抗器は、従来、セラミック等の絶縁基板と、その表面に材料ペーストをスクリーン印刷して形成された抵抗膜と、抵抗膜に接続された電極とを含む構成をしている。そして、チップ抵抗器の抵抗値を目標値に合わせるために、抵抗膜に対してレーザ光線を照射してトリミング溝を刻設するレーザトリミングが行われていた（特許文献1参照）。また、チップ抵抗器の他の従来例が、特許文献2に開示されている。開示されたチップ抵抗器は、金属製のチップ状の抵抗体の下面に、一对の電極が空隙を介して離間して設けられた構成である。このチップ抵抗器では、抵抗値の合わせ込み等はできない。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-76912号公報

特許文献2：特開2004-186541号公報

発明の概要

発明が解決しようとする課題

[0004] 従来のチップ抵抗器は、レーザトリミングによって抵抗値が目標値になるように合わせ込まれるため、幅広い抵抗値に対応することができない。また、チップ抵抗器は、年々小型化が進行しているので、高抵抗品を開発しようとしても、抵抗膜の配置面積の制約から、高抵抗化が困難であった。さらに、チップ抵抗器は形状寸法精度を向上させなければ、基板実装時の搬送エラー等のトラブルを招き易いため、形状寸法精度の向上および微細加工精度の向上がチップ抵抗器の製造上における重要な課題であった。

[0005] 本発明は、係る背景のもとになされたもので、形状寸法精度および微細加工精度の向上したチップ抵抗器の製造方法を提供することを主たる目的とする。本発明の他の目的は、小型で正確な抵抗値を有するチップ抵抗器の製造方法を提供することである。

課題を解決するための手段

[0006] 請求項 1 記載の発明は、基板上に抵抗体膜を形成する工程と、前記抵抗体膜の表面に接するように配線膜を形成する工程と、フォトリソグラフィによって、前記配線膜の上に第 1 レジストパターンを形成する工程と、前記第 1 レジストパターンをマスクとして、前記配線膜および前記抵抗体膜をエッチングする第 1 エッチング工程と、フォトリソグラフィによって、前記第 1 エッチング工程の後に、前記配線膜の上に第 2 レジストパターンを形成する工程と、前記第 2 レジストパターンをマスクとして前記抵抗体膜の上の前記配線膜を部分的にエッチングすることにより、前記基板上に複数の抵抗体を形成する第 2 エッチング工程とを含む、チップ抵抗器の製造方法である。

[0007] 請求項 2 記載の発明は、前記第 1 レジストパターンが、前記複数の抵抗体を形成すべき抵抗体領域と、外部接続用のパッド領域と、前記抵抗体領域と前記パッド領域との間のヒューズ領域とが前記第 1 エッチング工程によって形成されるレジストパターンであり、前記第 1 エッチング工程によって、前記ヒューズ領域に、前記複数の抵抗体を抵抗回路網に電気的に取り込み、または、抵抗回路網から電気的に分離するために切断可能な複数のヒューズが形成される、請求項 1 に記載のチップ抵抗器の製造方法である。

[0008] 請求項 3 記載の発明は、前記第 1 レジストパターンが、一対の前記パッド領域を含み、前記第 2 エッチング工程よりも後に、前記一対のパッド領域間の電気抵抗を測定する工程と、前記測定された電気抵抗に基づいて前記複数のヒューズのなかから切断すべきヒューズを選択する工程と、前記選択されたヒューズを切断するヒューズ切断工程とをさらに含む、請求項 2 に記載のチップ抵抗器の製造方法である。

[0009] 請求項 4 記載の発明は、前記ヒューズ切断工程の前に、前記複数のヒューズ

を覆うカバー膜を形成する工程をさらに含む、請求項 3 に記載のチップ抵抗器の製造方法である。請求項 5 に記載の発明は、前記ヒューズ切断工程の後に、前記配線膜を覆う保護膜を形成する工程と、フォトリソグラフィを利用して、前記保護膜に前記パッド領域の一部を露出させるパッド開口を形成する工程とをさらに含む、請求項 3 または 4 に記載のチップ抵抗器の製造方法である。

[0010] 請求項 6 に記載の発明は、前記パッド開口内に外部接続電極をめっき成長させる工程をさらに含む、請求項 5 に記載のチップ抵抗器の製造方法である。

請求項 7 に記載の発明は、前記保護膜を形成する工程が、前記配線膜を覆うパッシベーション膜を CVD（化学的気相成長）法によって形成する工程を含む、請求項 5 または 6 に記載のチップ抵抗器の製造方法である。

[0011] 請求項 8 に記載の発明は、前記保護膜を形成する工程が、前記パッシベーション膜上に感光性樹脂の塗布膜を形成する工程を含み、前記パッド開口を形成する工程が、前記塗布膜を前記パッド開口に対応した露光パターンで露光する工程と、露光後の前記塗布膜を現像する工程と、現像された前記塗布膜をマスクとして前記パッシベーション膜をエッチングして開口する工程とを含む、請求項 7 に記載のチップ抵抗器の製造方法である。

[0012] 請求項 9 に記載の発明は、前記基板が、複数のチップ抵抗器領域を含み、前記基板上に前記複数のチップ抵抗器領域の境界領域に対応した第 3 レジストパターンをフォトリソグラフィによって形成する工程と、前記第 3 レジストパターンをマスクとしたエッチングによって、前記基板の前記境界領域に前記基板の表面から所定深さの溝を形成する第 3 エッチング工程と、前記基板の裏面を前記溝に到達するまで研削して、前記基板を複数のチップ抵抗器に分割する工程とをさらに含む、請求項 1 ～ 8 のいずれか一項に記載のチップ抵抗器の製造方法である。

[0013] 請求項 10 に記載の発明は、前記抵抗膜を形成する前に、前記基板の表面に絶縁膜を形成する工程をさらに含む、請求項 1 ～ 9 のいずれか一項に記載のチップ抵抗器の製造方法である。請求項 11 に記載の発明は、前記基板上に

抵抗体膜を形成した後、形成した抵抗体膜のシート抵抗値を測定する工程をさらに含む、請求項 1 ～ 10 のいずれか一項に記載のチップ抵抗器の製造方法である。

- [0014] 請求項 12 記載の発明は、前記抵抗体膜のシート抵抗値の測定は、探針プローブを用いた探針法により行われる、請求項 11 記載のチップ抵抗器の製造方法である。請求項 13 記載の発明は、前記シート抵抗値を測定する工程は、測定されたシート抵抗値に基づき抵抗体膜の膜厚を計算する工程を含む、請求項 11 または 12 記載のチップ抵抗器の製造方法である。

発明の効果

- [0015] 請求項 1 および 2 記載の発明によれば、抵抗回路配置を極めて細かなパターンで正確に作れ、抵抗値が安定したチップ抵抗器を提供できる。また、小型で正確な抵抗値のチップ抵抗器を提供できる。特に、フォトリソグラフィによって抵抗回路パターンを形成するため、微細で正確なパターン形成を行うことができる。
- [0016] 請求項 3 記載の発明によれば、チップ抵抗器を所望の抵抗値に調達でき、抵抗値が正確に合わせ込まれたチップ抵抗器の実現を図れる製造方法とすることができる。また、同一設計による多種類の抵抗値への対応が可能なチップ抵抗器を製造することができる。請求項 4 記載の発明によれば、確実にヒューズ切断ができ、正確な抵抗値のチップ抵抗器を製造できる。さらに、ヒューズ切断時のヒューズ破片による不良回避を図れる製造方法とすることができる。
- [0017] 請求項 5 記載の発明によれば、小型で正確な抵抗値のチップ抵抗器を製造できるとともに、実装のための形状寸法精度が良く、信頼性の確保を図れる製造方法を提供できる。請求項 6 記載の発明によれば、外部接続電極を良好に作れるチップ抵抗器の製造方法を提供できる。請求項 7 記載の発明によれば、製造されるチップ抵抗器を緻密な保護膜で覆うことにより、製造されたチップ抵抗器の信頼性の向上を図ることができる。
- [0018] しかも、チップ抵抗器の小型化、高精度化および高信頼性を図れる製造方法

とすることができる。請求項 8 記載の発明によれば、小型チップ抵抗器に対する正確な微細加工を実現した製造方法を提供することができる。請求項 9 記載の発明によれば、フォトリソグラフィ工程により、チップ抵抗器の外形寸法精度を向上させることができる。また、チップ抵抗器の外形形状において、コーナー部のラウンドなどを達成できる製造方法を提供できる。

[0019] 請求項 10 記載の発明によれば、基板に導電性がある場合において、その基板上に正確な抵抗値を作ることができる。また、微細加工に適した基板材料の選択を可能にして、製造されるチップ抵抗器の小型化を実現できる製造方法を提供できる。請求項 11 または 12 記載の発明によれば、抵抗体膜のシート抵抗値をこの段階で測定することにより、シート抵抗値を確認して、後のフォトリソグラフィプロセスで所望の形状にされる抵抗配線の抵抗値の安定化を実現できる。

[0020] 請求項 13 記載の発明によれば、測定したシート抵抗値に基づき抵抗体膜の膜厚が計算されるから、シート抵抗値が所望の値でない場合に、膜厚制御により、次のチップ抵抗器の製造プロセスを調整、改良でき、所望のシート抵抗値を得ることができる。

図面の簡単な説明

[0021] [図1]図 1 (A) は、本発明の一実施形態に係るチップ抵抗器 10 の外観構成を示す図解的な斜視図であり、図 1 (B) は、チップ抵抗器 10 が基板上に実装された状態を示す側面図である。

[図2]図 2 は、チップ抵抗器 10 の平面図であり、第 1 接続電極 12、第 2 接続電極 13 および抵抗回路網 14 の配置関係ならびに抵抗回路網 14 の平面視の構成を示す図である。

[図3A]図 3 A は、図 2 に示す抵抗回路網 14 の一部分を拡大して描いた平面図である。

[図3B]図 3 B は、抵抗回路網 14 における抵抗体 R の構成を説明するために描いた長さ方向の縦断面図である。

[図3C]図 3 C は、抵抗回路網 14 における抵抗体 R の構成を説明するために

描いた幅方向の縦断面図である。

[図4]図4は、抵抗膜ライン20および導体膜21の電気的特徴を回路記号および電気回路図で示した図である。

[図5]図5(A)は、図2に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜Fを含む領域の部分拡大平面図であり、図5(B)は、図5(A)のB-Bに沿う断面構造を示す図である。

[図6]図6は、図2に示す抵抗回路網14における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図7]図7は、抵抗回路網14の電気回路図である。

[図8]図8は、チップ抵抗器30の平面図であり、第1接続電極12、第2接続電極13および抵抗回路網14の配置関係ならびに抵抗回路網14の平面視の構成を示す図である。

[図9]図9は、図8に示す抵抗回路網14における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配置関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図10]図10は、抵抗回路網14の電気回路図である。

[図11]図11(A)(B)は、図10に示す電気回路の変形例を示す電気回路図である。

[図12]図12は、本発明のさらに他の実施形態に係る抵抗回路網14の電気回路図である。

[図13]図13は、具体的な抵抗値を表示したチップ抵抗器における抵抗回路網の構成例を示す電気回路図である。

[図14]図14は、本発明のさらに他の実施形態に係るチップ抵抗器90の要部構造を説明するための図解的な平面図である。

[図15]図15は、チップ抵抗器10の製造工程の一例を示すフロー図である

。

[図16]図16は、ヒューズ膜Fの溶断工程とその後に形成するパッシベーション膜22および樹脂膜23を示す図解的な断面図である。

[図17]図17は、ウエハから個々のチップ抵抗器に分離する処理工程を示す図解図である。

[図18]図18は、ウエハからチップ抵抗器が切り出されることを説明する図解図である。

[図19]図19(A)は、第1参考例の一実施形態に係るチップ抵抗器310の外観構成を示す図解的な斜視図であり、図19(B)は、チップ抵抗器310が基板上に実装された状態を示す側面図である。

[図20]図20は、チップ抵抗器310の平面図であり、第1接続電極312、第2接続電極313および抵抗回路網314の配置関係ならびに抵抗回路網314の平面視の構成を示す図である。

[図21A]図21Aは、図20に示す抵抗回路網314の一部分を拡大して描いた平面図である。

[図21B]図21Bは、抵抗回路網314における抵抗体Rの構成を説明するために描いた長さ方向の縦断面図である。

[図21C]図21Cは、抵抗回路網314における抵抗体Rの構成を説明するために描いた幅方向の縦断面図である。

[図22]図22は、抵抗膜ライン320および導体膜321の電気的特徴を回路記号および電気回路図で示した図である。

[図23]図23(A)は、図20に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜Fを含む領域の部分拡大平面図であり、図23(B)は、図23(A)のB-Bに沿う断面構造を示す図である。

[図24]図24は、図20に示す抵抗回路網314における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図25]図25は、抵抗回路網314の電気回路図である。

[図26]図26は、チップ抵抗器330の平面図であり、第1接続電極312、第2接続電極313および抵抗回路網314の配置関係ならびに抵抗回路網314の平面視の構成を示す図である。

[図27]図27は、図26に示す抵抗回路網314における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配置関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図28]図28は、抵抗回路網314の電気回路図である。

[図29]図29(A)(B)は、図28に示す電気回路の変形例を示す電気回路図である。

[図30]図30は、第1参考例のさらに他の実施形態に係る抵抗回路網314の電気回路図である。

[図31]図31は、具体的な抵抗値を表示したチップ抵抗器における抵抗回路網の構成例を示す電気回路図である。

[図32]図32は、第1参考例のさらに他の実施形態に係るチップ抵抗器390の要部構造を説明するための図解的な平面図である。

[図33]図33は、チップ抵抗器310の製造工程の一例を示すフロー図である。

[図34]図34は、ヒューズ膜Fの溶断工程とその後に形成するパッシベーション膜322および樹脂膜323を示す図解的な断面図である。

[図35]図35は、基板から個々のチップ抵抗器に分離する処理工程を示す図解図である。

[図36]図36は、基板からチップ抵抗器が切り出されることを説明する図解図である。

[図37]図37は、第1参考例の製造方法により製造されたチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図38]図38は、筐体502の内部に收容された電子回路アセンブリ510

の構成を示す図解的な平面図である。

発明を実施するための形態

[0022] 以下には、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1 (A) は、本発明の一実施形態に係るチップ抵抗器10の外観構成を示す図解的な斜視図であり、図1 (B) は、チップ抵抗器10が基板上に実装された状態を示す側面図である。図1 (A) を参照して、本発明の一実施形態に係るチップ抵抗器10は、基板11上に形成された第1接続電極12と、第2接続電極13と、抵抗回路網14とを備えている。基板11は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L=0.3\text{ mm}$ 、短辺方向の幅 $W=0.15\text{ mm}$ 、厚み $T=0.1\text{ mm}$ 程度の大きさの微小なチップである。基板11は、平面視で角が面取りされた角ラウンド形状であってもよい。

[0023] チップ抵抗器10は、図18に示すように、ウエハ上に格子状に多数個のチップ抵抗器10が形成され、ウエハが切断されて個々のチップ抵抗器10に分離されることにより得られる。基板11上において、第1接続電極12は基板11の一方短辺111に沿って設けられた短辺111方向に長手の矩形電極である。第2接続電極13は、基板11上の他方短辺112に沿って設けられた短辺112方向に長手の矩形電極である。抵抗回路網14は、基板11上の第1接続電極12と第2接続電極13とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網14の一端側は第1接続電極12に電氣的に接続されており、抵抗回路網14の他端側は第2接続電極13に電氣的に接続されている。これら第1接続電極12、第2接続電極13および抵抗回路網14は、後述するように、基板11上に、たとえば半導体製造プロセスを用いて設けられたものである。したがって、基板11としては、シリコン基板（シリコンウエハ）等の半導体基板（半導体ウエハ）を用いることができる。換言すれば、半導体装置を製造するための装置、設備を使用してディスクリットなチップ抵抗器10を製造することができる。特に、後述するフォトリソグラフィプロセスを用いること

により、微細で正確なレイアウトパターンの抵抗回路網 14 を形成することができる。なお、基板 11 は、ガラス基板、セラミック基板、絶縁基板等の他の種類の基板であってもよい。

[0024] 第 1 接続電極 12 および第 2 接続電極 13 は、それぞれ、外部接続電極として機能する。チップ抵抗器 10 が回路基板 15 に実装された状態においては、図 1 (B) に示すように、第 1 接続電極 12 および第 2 接続電極 13 が、それぞれ、回路基板 15 の回路（図示せず）と半田により電気的かつ機械的に接続される。なお、外部接続電極として機能する第 1 接続電極 12 および第 2 接続電極 13 は、半田濡れ性の向上および信頼性の向上のために、金 (Au) で形成するか、または表面に金メッキを施すことが望ましい。

[0025] 図 2 は、チップ抵抗器 10 の平面図であり、第 1 接続電極 12、第 2 接続電極 13 および抵抗回路網 14 の配置関係ならびに抵抗回路網 14 の平面視の構成（レイアウトパターン）が示されている。図 2 を参照して、チップ抵抗器 10 は、基板上面の一方短辺 111 に長辺が沿うように配置された平面視略矩形をした第 1 接続電極 12 と、基板上面の他方短辺 112 に長辺が沿うように配置された平面視略矩形をした第 2 接続電極 13 と、第 1 接続電極 12 および第 2 接続電極 13 間の平面視矩形の領域に設けられた抵抗回路網 14 とを含んでいる。

[0026] 抵抗回路網 14 には、基板 11 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R（図 2 の例では、行方向（基板の長手方向）に沿って 8 個の単位抵抗体 R が配列され、列方向（基板の幅方向）に沿って 44 個の単位抵抗体 R が配列され、合計 352 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1～64 個の所定の個数が（導体で形成された配線膜で）電気的に接続されて、接続された単位抵抗体 R の数に応じた複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は導体膜 C（導体で形成された配線膜）で所定の態様に接続されている。

[0027] さらに、抵抗回路を抵抗回路網 14 に電気的に組み込んだり、または、抵抗

回路網 14 から電氣的に分離するために溶断可能な複数のヒューズ膜 F（導体で形成された配線膜）が設けられている。複数のヒューズ膜 F は、第 2 接続電極 13 の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜 F および接続用導体膜 C が隣接するように配列され、その配列方向が直線状になるように配置されている。

[0028] 図 3 A は、図 2 に示す抵抗回路網 14 の一部分を拡大して描いた平面図であり、図 3 B および図 3 C は、それぞれ、抵抗回路網 14 における単位抵抗体 R の構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。図 3 A、図 3 B および図 3 C を参照して、単位抵抗体 R の構成について説明をする。基板としての基板 11 の上面には絶縁層 (SiO_2) 19 が形成され、絶縁層 19 上に抵抗体膜 20 が配置されている。抵抗体膜 20 は、 TiN 、 TiON または TiSiON により形成される。この抵抗体膜 20 は、第 1 接続電極 12 と第 2 接続電極 13 との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ライン 20 は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ライン 20 上には、導体膜片 21 としてのアルミニウム膜が積層されている。各導体膜片 21 は、抵抗体膜ライン 20 上に、ライン方向に一定間隔 R を開けて積層されている。

[0029] この構成の抵抗体膜ライン 20 および導体膜片 21 の電氣的特徴を回路記号で示すと、図 4 の通りである。すなわち、図 4 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン 20 部分が、それぞれ、一定の抵抗値 r の単位抵抗体 R を形成している。導体膜片 21 が積層された領域は、当該導体膜片 21 で抵抗体膜ライン 20 が短絡されている。よって、図 4 (B) に示す抵抗 r の単位抵抗体 R の直列接続からなる抵抗回路が形成されている。

[0030] また、隣接する抵抗体膜ライン 20 同士は抵抗体膜ライン 20 および導体膜片 21 で接続されているから、図 3 A に示す抵抗回路網は、図 4 (C) に示す抵抗回路を構成している。図 3 B および図 3 C に示す図解的な断面図において、参照番号 11 は基板、19 は絶縁層としての二酸化シリコン SiO_2

２層、２０は絶縁層１９上に形成されたＴｉＮ、ＴｉＯＮまたはＴｉＳｉＯＮの抵抗体膜、２１はアルミニウム（Ａｌ）の配線膜、２２は保護膜としてのＳｉＮ膜、２３は保護層としてのポリイミド層を示している。

[0031] なお、かかる構成の抵抗回路網１４の製造プロセスについては、後に詳述する。この実施形態では、基板１１上に形成された抵抗回路網１４に含まれる単位抵抗体Ｒは、抵抗体膜ライン２０と、抵抗体膜ライン２０上に、ライン方向に一定間隔をあけて積層された複数の導体膜片２１とを含み、導体膜片２１が積層されていない一定間隔Ｒ部分の抵抗体膜ライン２０が、１個の単位抵抗体Ｒを構成している。単位抵抗体Ｒを構成している抵抗体膜ライン２０は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、基板１１上にマトリックス状に配列された多数個の単位抵抗体Ｒは、等しい抵抗値を有している。

[0032] 抵抗体膜ライン２０上に積層された導体膜片２１は、単位抵抗体Ｒを形成するとともに、複数個の単位抵抗体Ｒを接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。図５（Ａ）は、図２に示すチップ抵抗器１０の平面図の一部分を拡大して描いたヒューズ膜Ｆを含む領域の部分拡大平面図であり、図５（Ｂ）は、図５（Ａ）のＢ－Ｂに沿う断面構造を示す図である。

[0033] 図５（Ａ）（Ｂ）に示すように、ヒューズ膜Ｆも、抵抗体膜２０上に積層された配線膜２１により形成されている。すなわち、単位抵抗体Ｒを形成する抵抗体膜ライン２０上に積層された導体膜片２１と同じレイヤーに、導体膜片２１と同じ金属材料であるアルミニウム（Ａｌ）により形成されている。なお、導体膜片２１は、前述したように、抵抗回路を形成するために、複数個の単位抵抗体Ｒを電氣的に接続する接続用導体膜Ｃとしても用いられている。

[0034] つまり、抵抗体膜２０上に積層された同一レイヤーにおいて、単位抵抗体Ｒ形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網１４

を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網 14 を第 1 接続電極 12 および第 2 接続電極 13 に接続するための配線膜が、同一の金属材料（たとえばアルミニウム）を用いて、同じ製造プロセス（たとえばスパッタリングおよびフォトリソグラフィプロセス）によって形成されている。これにより、このチップ抵抗器 10 の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜 20 とのアライメント性も向上する。

[0035] 図 6 は、図 2 に示す抵抗回路網 14 における複数種類の抵抗回路を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗回路との接続関係を図解的に示す図である。図 6 を参照して、第 1 接続電極 12 には、抵抗回路網 14 に含まれる基準抵抗回路 R 8 の一端が接続されている。基準抵抗回路 R 8 は、8 個の単位抵抗体 R の直列接続からなり、その他端はヒューズ膜 F 1 に接続されている。

[0036] ヒューズ膜 F 1 と接続用導体膜 C 2 とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R 64 の一端および他端が接続されている。接続用導体膜 C 2 とヒューズ膜 F 4 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。ヒューズ膜 F 4 と接続用導体膜 C 5 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。

[0037] 接続用導体膜 C 5 とヒューズ膜 F 6 とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R 16 の一端および他端が接続されている。ヒューズ膜 F 7 および接続用導体膜 C 9 には、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。接続用導体膜 C 9 およびヒューズ膜 F 10 には、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。

[0038] ヒューズ膜 F 11 および接続用導体膜 C 12 には、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。接続用

導体膜C 1 2およびヒューズ膜F 1 3には、1個の単位抵抗体Rからなる抵抗回路体R 1の一端および他端が接続されている。ヒューズ膜F 1 3および接続用導体膜C 1 5には、2個の単位抵抗体Rの並列接続からなる抵抗回路R / 2の一端および他端が接続されている。

[0039] 接続用導体膜C 1 5およびヒューズ膜F 1 6には、4個の単位抵抗体Rの並列接続からなる抵抗回路R / 4の一端および他端が接続されている。ヒューズ膜F 1 6および接続用導体膜C 1 8には、8個の単位抵抗体Rの並列接続からなる抵抗回路R / 8の一端および他端が接続されている。接続用導体膜C 1 8およびヒューズ膜F 1 9には、16個の単位抵抗体Rの並列接続からなる抵抗回路R / 16の一端および他端が接続されている。

[0040] ヒューズ膜F 1 9および接続用導体膜C 2 2には、32個の単位抵抗体Rの並列接続からなる抵抗回路R / 32が接続されている。複数のヒューズ膜Fおよび接続用導体膜Cは、それぞれ、ヒューズ膜F 1、接続用導体膜C 2、ヒューズ膜F 3、ヒューズ膜F 4、接続用導体膜C 5、ヒューズ膜F 6、ヒューズ膜F 7、接続用導体膜C 8、接続用導体膜C 9、ヒューズ膜F 10、ヒューズ膜F 11、接続用導体膜C 12、ヒューズ膜F 13、ヒューズ膜F 14、接続用導体膜C 15、ヒューズ膜F 16、ヒューズ膜F 17、接続用導体膜C 18、ヒューズ膜F 19、ヒューズ膜F 20、接続用導体膜C 21、接続用導体膜C 22が、直線状に配置されて直列に接続されている。各ヒューズ膜Fが溶断されると、ヒューズ膜Fに隣接接続された接続用導体膜Cとの間の電氣的接続が遮断される構成である。

[0041] この構成を、電気回路図で示すと図7の通りである。すなわち、全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網14は、第1接続電極12および第2接続電極13間に設けられた8個の単位抵抗体Rの直列接続からなる基準抵抗回路R 8（抵抗値8r）の抵抗回路を構成している。たとえば、1個の単位抵抗体Rの抵抗値rを $r = 80\ \Omega$ とすれば、 $8r = 640\ \Omega$ の抵抗回路により、第1接続電極12および第2接続電極13が接続されたチップ抵抗器10が構成されている。

[0042] そして、基準抵抗回路 R 8 以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜 F が並列的に接続され、各ヒューズ膜 F によりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路 R 8 には、12 種類 13 個の抵抗回路 R 64 ~ R / 32 が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ膜 F により短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網 14 に組み込まれてはいない。

[0043] この実施形態に係るチップ抵抗器 10 は、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズ膜 F が溶断された抵抗回路は、抵抗回路網 14 に組み込まれることになる。よって、抵抗回路網 14 の全体の抵抗値を、溶断されたヒューズ膜 F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

[0044] 換言すれば、この実施形態に係るチップ抵抗器 10 は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路（たとえば、F 1、F 4、F 13 が溶断されると、抵抗回路 R 64、R 32、R 1 の直列接続）を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 14 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 10 とすることができる。

[0045] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、および 64 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個、および 32 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜 F で短絡された状態で直列に接続されている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 14 全体の抵抗値を、小さな抵抗値から大きな抵

抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

[0046] 図8は、本発明の他の実施形態に係るチップ抵抗器30の平面図であり、第1接続電極12、第2接続電極13および抵抗回路網4の配置関係ならびに抵抗回路網14の平面視の構成が示されている。チップ抵抗器30が、前述したチップ抵抗器10と異なるところは、抵抗回路網14における単位抵抗体Rの接続態様である。

[0047] すなわち、チップ抵抗器30の抵抗回路網14には、基板上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（図8の構成では、行方向（基板の長手方向）に沿って8個の単位抵抗体Rが配列され、列方向（基板の幅方向）に沿って44個の単位抵抗体Rが配列され、合計352個の単位抵抗体Rを含む構成）を有している。そして、これら多数個の単位抵抗体Rの1～128個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜Fにより並列態様で接続されている。複数のヒューズ膜Fは、第2接続電極13の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜Fが溶断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網14から電氣的に分離される構成である。

[0048] なお、抵抗回路網14を構成する多数個の単位抵抗体Rの構造や、接続用導体膜、ヒューズ膜Fの構造は、先に説明したチップ抵抗器10における対応する部位の構造と同様であるから、ここでの説明については省略する。図9は、図8に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜Fの配列関係ならびにヒューズ膜Fに接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

[0049] 図9を参照して、第1接続電極12には、抵抗回路網14に含まれる基準抵抗回路R／16の一端が接続されている。基準抵抗回路R／16は、16個の単位抵抗体Rの並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜Cに接続されている。ヒューズ膜F1と接続用導体膜Cと

には、128個の単位抵抗体Rの直列接続からなる抵抗回路R128の一端および他端が接続されている。

[0050] ヒューズ膜F5と接続用導体膜Cとには、64個の単位抵抗体Rの直列接続からなる抵抗回路R64の一端および他端が接続されている。抵抗膜F6と接続用導体膜Cとには、32個の単位抵抗体Rの直列接続からなる抵抗回路R32の一端および他端が接続されている。ヒューズ膜F7と接続用導体膜Cとには、16個の単位抵抗体Rの直列接続からなる抵抗回路R16の一端および他端が接続されている。

[0051] ヒューズ膜F8と接続用導体膜Cとには、8個の単位抵抗体Rの直列接続からなる抵抗回路R8の一端および他端が接続されている。ヒューズ膜F9と接続用導体膜Cとには、4個の単位抵抗体Rの直列接続からなる抵抗回路R4の一端および他端が接続されている。ヒューズ膜F10と接続用導体膜Cとには、2個の単位抵抗体Rの直列接続からなる抵抗回路R2の一端および他端が接続されている。

[0052] ヒューズ膜F11と接続用導体膜Cとには、1個の単位抵抗体Rの直列接続からなる抵抗回路R1の一端および他端が接続されている。ヒューズ膜F12と接続用導体膜Cとには、2個の単位抵抗体Rの並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。ヒューズ膜F13と接続用導体膜Cとには、4個の単位抵抗体Rの並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。

[0053] ヒューズ膜F14、F15、F16は電氣的に接続されており、これらヒューズ膜F14、F15、F16と接続用導体Cとには、8個の単位抵抗体Rの並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。ヒューズ膜F17、F18、F19、F20、F21は電氣的に接続されており、これらヒューズ膜F17～F21と接続用導体膜Cとには、16個の単位抵抗体Rの並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。

[0054] ヒューズ膜Fは、ヒューズ膜F1～F21の21個備えられていて、これら

は全て第2接続電極13に接続されている。かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜Fが溶断されると、そのヒューズ膜Fに一端が接続された抵抗回路は、抵抗回路網14から電氣的に切り離される。

[0055] 図9の構成、すなわちチップ抵抗器30に備えられた抵抗回路網14の構成を、電気回路図で示すと図10の通りである。全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網14は、第1接続電極14および第2接続電極13間に、基準抵抗回路 $R/16$ と、12種類の抵抗回路 $R/16$ 、 $R/8$ 、 $R/4$ 、 $R/2$ 、 $R1$ 、 $R2$ 、 $R4$ 、 $R8$ 、 $R16$ 、 $R32$ 、 $R64$ 、 $R128$ の並列接続回路との直列接続回路を構成している。

[0056] そして、基準抵抗回路 $R/16$ 以外の12種類の抵抗回路には、それぞれ、ヒューズ膜Fが直列に接続されている。よって、この抵抗回路網14を有するチップ抵抗器30では、要求される抵抗値に応じて、ヒューズ膜Fを選択的に、たとえばレーザ光で溶断すれば、溶断されたヒューズ膜Fに対応する抵抗回路（ヒューズ膜Fが直列に接続された抵抗回路）は、抵抗回路網14から電氣的に分離され、チップ抵抗器10の抵抗値を調整することができる。

[0057] 換言すれば、この実施形態に係るチップ抵抗器30も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網14の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器30とすることができる。

[0058] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体Rが、直列に1個、2個、4個、8個、16個、32個、64個および128個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体Rが並列に2個、4個、8個、16個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の

並列抵抗回路を備えている。よって、ヒューズ膜Fを選択的に溶断することにより、抵抗回路網14全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

[0059] なお、図10に示す電気回路においては、基準抵抗回路R/16および、並列接続された抵抗回路のうち、抵抗値の小さな抵抗回路には、過電流が流れる傾向があり、抵抗設定時に、抵抗に流せる定格電流を大きく設計しなければならない。そこで、電流を分散させるために、図10に示す電気回路を、図11(A)に示す電気回路構成となるように、抵抗回路網の接続構造を変更してもよい。すなわち、基準抵抗回路R/16を無くし、かつ、並列接続される抵抗回路は、最小の抵抗値を r とし、抵抗値 r の抵抗単位体R1を複数組並列に接続した構成140を含む回路に変えるのである。

[0060] 図11(B)は、具体的な抵抗値を示した電気回路図であり、 80Ω の単位抵抗体とヒューズ膜Fとの直列接続を複数組並列に接続した構成140を含む回路とされている。これにより、流れる電流の分散を図ることができる。

図12は、本発明のさらに他の実施形態に係るチップ抵抗器に備えられる抵抗回路網14の回路構成を電気回路図で示した図である。図12に示す抵抗回路網14の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。

[0061] 直列接続される複数種類の抵抗回路には、先の実施形態と同様、各抵抗回路毎に、並列にヒューズ膜Fが接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ膜Fで短絡状態とされている。従って、ヒューズ膜Fを溶断すると、そのヒューズ膜Fで短絡されていた抵抗回路が、抵抗回路網14に電氣的に組み込まれることになる。一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ膜Fが接続されている。従って、ヒューズ膜Fを溶断することにより、ヒューズ膜Fが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

[0062] かかる構成とすれば、たとえば、 $1\text{ k}\Omega$ 以下の小抵抗は並列接続側で作ри、

1 k Ω 以上の抵抗回路を直列接続側で作ることができる。よって、数 Ω の小抵抗から数 M Ω の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗回路網 14 を用いて作ることができる。また、より精度良く抵抗値を設定する場合は、要求抵抗値に近い直列接続側抵抗回路のヒューズ膜を予めカットしておけば、細かな抵抗値の調整を並列接続側の抵抗回路のヒューズ膜を溶断することにより行うことができ、所望の抵抗値への合わせ込みの精度が上がる。

[0063] 図 13 は、10 Ω ~ 1 M Ω の抵抗値を有するチップ抵抗器における抵抗回路網 14 の具体的な構成例を示す電気回路図である。図 13 に示す抵抗回路網 14 も、ヒューズ膜 F で短絡された複数種類の抵抗回路の直列接続と、ヒューズ膜 F が直列接続された複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっている。

[0064] 図 13 の抵抗回路によれば、並列接続側において、10 ~ 1 k Ω の任意の抵抗値を、精度 1 % 以内で設定できる。また、直列接続側の回路で、1 k ~ 1 M Ω の任意の抵抗値を、精度 1 % 以内で設定できる。直列接続側の回路を使用する場合は、所望の抵抗値に近い抵抗回路のヒューズ膜 F を予め溶断し、所望の抵抗値に合わせ込んでおくことで、より精度良く抵抗値を設定できるという利点がある。

[0065] なお、ヒューズ膜 F は、接続用導体膜 C と同一のレイヤーを用いる場合のみを説明したが、接続用導電膜 C 部分は、その上に更に別の導体膜を積層するようにし、導体膜の抵抗値を下げるようにしてもよい。また、抵抗膜をなくして、接続用導体膜 C のみとしても良い。なお、この場合であっても、ヒューズ膜 F の上に導体膜を積層しなければ、ヒューズ膜 F の溶断性が悪くなることはない。

[0066] 図 14 は、本発明のさらに他の実施形態に係るチップ抵抗器 90 の要部構造を説明するための図解的な平面図である。たとえば、前述したチップ抵抗器 10 (図 1、図 2 参照) や、チップ抵抗器 30 (図 8 参照) では、抵抗回路を構成する抵抗膜ライン 20 と導体膜片 21 の関係を平面視で表わすと

、図 1 4 (A) に示す構成になっている。すなわち、図 1 4 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン 2 0 部分が、一定の抵抗値 r の単位抵抗体 R を形成している。そして単位抵抗体 R の両側には導体膜片 2 1 が積層され、当該導体膜片 2 1 で抵抗体膜ライン 2 0 が短絡されている。

[0067] ここで、前述したチップ抵抗器 1 0 およびチップ抵抗器 3 0 では、単位抵抗体 R を形成している抵抗体膜ライン 2 0 部分の長さは、たとえば $12\ \mu\text{m}$ であり、抵抗体膜ライン 2 0 の幅は、たとえば $1.5\ \mu\text{m}$ であり、単位抵抗 (シート抵抗) は $10\ \Omega/\square$ である。このため、単位抵抗体 R の抵抗値 r は、 $r = 80\ \Omega$ である。ところで、たとえば図 1、図 2 に示すチップ抵抗器 1 0 において、抵抗回路網 1 4 の配置領域を拡げることなく、抵抗回路網 1 4 の抵抗値を高めて、チップ抵抗器 1 0 の高抵抗化を図りたいといった要望がある。

[0068] そこで、この実施形態に係るチップ抵抗器 9 0 では、抵抗回路網 1 4 のレイアウトを変更するとともに、抵抗回路網に含まれる抵抗回路を構成する単位抵抗体を、平面視において、図 1 4 (B) に示す形状および大きさとした。

図 1 4 (B) を参照して、抵抗体膜ライン 2 0 は、幅 $1.5\ \mu\text{m}$ で直線状に延びるライン状の抵抗体膜ライン 2 0 を含む。そして、抵抗体膜ライン 2 0 において、所定間隔 R' の抵抗体膜ライン 2 0 部分が、一定の抵抗値 r' の単位抵抗体 R' を形成している。単位抵抗体 R' の長さは、たとえば $17\ \mu\text{m}$ にする。こうすれば、単位抵抗体 R' の抵抗値 r' は、図 1 4 (A) に示す単位抵抗体 R に比べて、ほぼ 2 倍の $r' = 160\ \Omega$ の単位抵抗体とすることができる。

[0069] また、抵抗体膜ライン 2 0 上に積層される導体膜片 2 1 の長さは、図 1 4 (A) に示すものにおいても、(B) に示すものにおいても、同じ長さで構成することができる。それゆえ、抵抗回路網 1 4 に含まれる抵抗回路を構成する各単位抵抗体 R' のレイアウトパターンを変更し、単位抵抗体 R' が直列状に接続できるレイアウトパターンとすることにより、チップ抵抗器 9 0 は高抵抗化が実現されたものとなる。

[0070] 図15は、図1～7を参照して説明したチップ抵抗器10の製造工程の一例を示すフロー図である。次に、このフロー図の製造工程に従って、かつ、必要に応じて図1～7を参照しつつ、チップ抵抗器10の製造方法について詳細に説明をする。ステップS1：まず、基板11（実際には個々のチップ抵抗器10に切り分けられる前のウエハ（図17参照））が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、絶縁層19としての二酸化シリコン（ SiO_2 ）層が形成される。

[0071] ステップS2：次に、たとえばスパッタ法によって、 TiN 、 TiON または TiSiON の抵抗膜20が絶縁層19の表面全域に形成される。ステップS3：そして、絶縁層19の表面全域に形成された抵抗膜20の抵抗値が測定される。この測定は、たとえば四探針プローブを用いた四探針法により行われる。抵抗膜20のシート抵抗値をこの段階で測定して確認しておくことにより、後のフォトリソグラフィプロセスで所望の形状にされる抵抗配線の抵抗値の安定化を実現できる。また、測定されたシート抵抗値に基づいて、抵抗膜20の膜厚が計算されてもよい。膜厚は、次のチップ抵抗器のための製造プロセスの調整、改良に利用でき、次のチップ抵抗器の製造プロセスで膜厚を制御し、所望のシート抵抗値を得るのに役立つ。

[0072] ステップS4：次に、たとえばスパッタ法によって、抵抗膜20の表面全域にたとえばアルミニウム（ Al ）の配線膜21が積層形成される。積層された抵抗膜20および配線膜21の2層の膜の合計膜厚は8000 Å程度とされてもよい。ステップS5：次に、フォトリソグラフィプロセスを用い、配線膜21の表面に、抵抗回路網14の平面視の構成（導体膜Cおよびヒューズ膜Fを含むレイアウトパターン）に対応したレジストパターンが形成される（第1レジストパターンの形成）。

[0073] ステップS6：そして、第1エッチング工程が行われる。すなわち、ステップS4で形成された第1レジストパターンをマスクとして、抵抗膜20および配線膜21という積層された2層膜が、たとえば反応性イオンエッチング（ RIE ）によりエッチングされる。そして、エッチング後に第1レジス

トパターンは剥離される。 ステップS 7 : 再び、フォトリソグラフィプロセスを用いて、第2レジストパターンが形成される。ステップS 7で形成される第2レジストパターンは、抵抗膜20上に積層された配線膜21を選択的に除去して、単位抵抗体R (図2で細いドットを付して示す領域)を形成するためのパターンである。

[0074] ステップS 8 : ステップS 7で形成された第2レジストパターンをマスクとして、たとえばウェットエッチングにより、配線膜21のみが選択的にエッチングされる(第2エッチング工程)。エッチング後、第2レジストパターンが剥離される。これにより、図2に示した抵抗回路網14のレイアウトパターンが得られる。 ステップS 9 : この段階で、基板表面に形成された抵抗回路網14の抵抗値(回路網14全体の抵抗値)が測定される。この測定は、たとえばマルチプローブピンを図2に示す第1接続電極12とつながる側の抵抗回路網14の端部と、第2接続電極13につながる側のヒューズ膜および抵抗回路網14の端部とに接触させて測定する。この測定により、製造された抵抗回路網14の初期状態における良否が判定できる。

[0075] ステップS 10 : 次いで、基板11の上に形成された抵抗回路網14の全面を覆うように、たとえば窒化膜からなるカバー膜22aが形成される。このカバー膜22aの形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜(SiN膜)が形成されてもよい。カバー膜22aは、パターニングされた配線膜21、抵抗膜20およびヒューズ膜Fを覆う。

[0076] ステップS 11 : この状態から、ヒューズ膜Fを選択的に溶断して、チップ抵抗器10を所望の抵抗値に合わせ込むためのレーザトリミングが行われる。すなわち、図16(A)に示すように、ステップS 8で行われた全抵抗値測定の測定結果に応じて選択されたヒューズ膜Fにレーザ光を当てて、そのヒューズ膜Fおよびその下に位置する抵抗膜20が溶断される。これにより、ヒューズ膜Fで短絡されていた対応する抵抗回路が抵抗回路網14中に組み込まれ、抵抗回路網14の抵抗値を所望の抵抗値に合わせ込むことがで

きる。ヒューズ膜Fにレーザ光を当てるとき、カバー膜22aの働きによって、ヒューズ膜Fの近傍にレーザ光のエネルギーが蓄積され、それによって、ヒューズ膜Fおよびその下層の抵抗体膜20が溶断する。

[0077] ステップS12：次に、図16(B)に示すように、たとえばプラズマCVD法によって、カバー膜22a上に窒化シリコン膜が堆積され、パッシベーション膜22が形成される

。前述のカバー膜22aは、最終形態において、パッシベーション膜22と一体化し、このパッシベーション膜22の一部を構成する。ヒューズ膜Fおよびその下層の抵抗体膜20の切断後に形成されたパッシベーション膜22は、ヒューズ膜Fおよびその下層の抵抗体膜20の溶断の際に同時に破壊されたカバー膜22aの開口22b内に入り込み、ヒューズ膜Fおよびその下層の抵抗体膜20の切断面を保護する。従って、パッシベーション膜22は、ヒューズ膜Fの切断箇所に異物が入り込んだり水分が進入したりすることを防ぐ。パッシベーション膜22は、全体で、たとえば8000 Å程度の膜厚を有するように形成されてもよい。

[0078] ステップS13：次いで、図16(C)に示すように、全面に樹脂膜23が塗布される。樹脂膜23としては、たとえば感光性のポリイミドの塗布膜が用いられる。 ステップS14：この樹脂膜23に対して、前記第1接続電極12、第2接続電極13の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる。これにより、樹脂膜23に第1接続電極12および第2接続電極13のためのパッド開口が形成される。

[0079] ステップS15：その後、樹脂膜23を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜23が安定化される。 ステップS16：次に、第1接続電極12および第2接続電極13を形成すべき位置に貫通孔を有するポリイミド膜23をマスクとしてパッシベーション膜22のエッチングが行われる。それによって、配線膜21を第1接続電極12の領域および第2接続電極13の領域において露出させるパッド開口が形

成される。パッシベーション膜 22 のエッチングは、反応性イオンエッチング（RIE）によって行われてもよい。

[0080] ステップ S 17 : 2 つのパッド開口から露出した配線膜 21 にマルチプローブピンが接触され、チップ抵抗器の抵抗値が所望の抵抗値になっていることを確認するための抵抗値測定（アフター測定）が行われる。 ステップ S 18 : 2 つのパッド開口内に、たとえば無電解めっき法によって、外部接続電極としての第 1 接続電極 12 および第 2 接続電極 13 を成長させる。

[0081] ステップ S 19 : その後、ウエハ表面に配列形成された多数個（たとえば 50 万個）の各チップ抵抗器を個々のチップ抵抗器 10 に分離するために、フォトリソグラフィによって第 3 のレジストパターンが形成される。レジスト膜はウエハの表面において、たとえば図 18 における各チップ抵抗器 10 を保護すべく設けられ、各チップ抵抗器 10 間がエッチングされるように形成される。

[0082] ステップ S 20 : そしてプラズマダイシングが実行される。プラズマダイシングは、第 3 レジストパターンをマスクとしたエッチングであり、基板であるウエハの表面から所定深さの溝が、各チップ抵抗器 10 の間に形成される。その後レジスト膜が剥離される。 ステップ S 21 : そして、たとえば図 17 (A) に示すように、表面に保護テープ 100 が貼着される。

[0083] ステップ S 22 : 次いで、ウエハの裏面研削が行われて、チップ抵抗器は個々のチップ抵抗器 10 に分離される（図 17 (A) (B)）。 ステップ S 23 : そして、図 17 (C) に示すように、裏面側にキャリアテープ（熱発泡シート）200 が貼られて、個々のチップ抵抗器に分離された多数個のチップ抵抗器 10 は、キャリアテープ 200 上に配列された状態で保持される。一方で、表面に貼着された保護テープは取り除かれる（図 17 (D)）。

[0084] ステップ S 24 : 熱発泡シート 200 は、加熱されることによりその内部に含まれる熱発泡粒子 201 が膨らみ、それによりキャリアテープ 200 表面に接着されている各チップ抵抗器 10 はキャリアテープ 200 から剥離され

て個々に分離される（図 17（E）（F））。本発明は、以上説明した実施形態の製造方法に限定されるものではなく、特許請求の範囲に記載された事項の範囲内で種々の設計変更を施すことが可能である。たとえば、請求項で特定されていない製造の工程を変更したり、割愛したり、追加したものも、本発明の範囲に含まれる。＜第 1 参考例に係る発明＞（1）第 1 参考例に係る発明の特徴 たとえば、第 1 参考例に係る発明の特徴は、以下の A 1 ～ A 1 1 である。（A 1）基板上に抵抗膜を形成する工程と、前記抵抗膜のシート抵抗を測定する工程と、前記抵抗膜のシート抵抗を測定した後に、前記抵抗膜上に配線膜を形成する工程と、前記配線膜および前記抵抗膜をエッチングによってパターニングすることによって、複数の抵抗体、および前記複数の抵抗体をそれぞれ切り離し可能な複数のヒューズを形成するエッチング工程と、前記複数の抵抗体の全抵抗値を測定する工程と、前記測定された全抵抗値に基づいて、前記複数のヒューズのなかから切断すべきヒューズを選択する工程と、前記選択されたヒューズを切断する工程とを含むことを特徴とする、チップ抵抗器の製造方法。

[0085] A 1 記載の発明によれば、抵抗膜をパターニングする前にシート抵抗を測定することで、抵抗膜の膜厚を管理できる。そして、目標膜厚からのずれに応じて、抵抗膜の形成条件（形成時間）を調整することにより、目標膜厚を達成できる。さらに、エッチングによる微細加工およびヒューズによる抵抗値の合わせ込みにより、小サイズで正確な抵抗値のチップ抵抗器を実現できる。（A 2）前記エッチング工程の前に、前記配線膜のシート抵抗を測定する工程をさらに含むことを特徴とする、A 1 に記載のチップ抵抗器の製造方法。

[0086] A 2 記載の発明によれば、配線膜の膜厚、抵抗値まで含めて管理でき、一層正確な抵抗値を実現できる。（A 3）異なる膜厚の前記抵抗膜を有する複数種類のチップ抵抗器を同一生産ラインで製造することを特徴とする、A 1 または A 2 に記載のチップ抵抗器の製造方法。広い抵抗値範囲を実現するには、一律の膜厚の抵抗膜では対応できない。そこで、A 3 記載の発明に

よれば、必要な抵抗値範囲を複数（たとえば3個）に分け、3種類の膜厚の抵抗膜を形成する。抵抗膜形成後にシート抵抗を測定することで、目標膜厚になっていることを確認する。その結果、共通ラインでの他品種少量生産に適し、いずれの膜厚も正確に実現できる。（A4）前記エッチング工程が、前記配線膜および前記抵抗膜を同一マスクでエッチングする第1エッチング工程と、前記第1エッチング工程の後に、前記抵抗膜上の前記配線膜を部分的にエッチングする第2エッチング工程とを含むことを特徴とする、A1～A3のいずれか一項に記載のチップ抵抗器の製造方法。

[0087] A4記載の発明によれば、抵抗膜および配線膜のレイアウトにずれがなく、微細構成で整合された抵抗回路のチップ抵抗器を製造できる。（A5）前記基板が境界領域によって区分された複数のチップ抵抗器領域を有しており、前記エッチング工程よりも後に、前記境界領域に沿って前記基板を切断することにより、チップ抵抗器を個片化する工程をさらに含むことを特徴とする、A1～A4のいずれか一項に記載のチップ抵抗器の製造方法。

[0088] A5記載の発明によれば、基板上的複数のチップ抵抗器のため抵抗膜が形成された状態において、その抵抗膜のシート抵抗測定が行われる。たとえば、基板がいわゆるウエハの状態ですシート抵抗測定がおこなわれるので、複数のチップ抵抗器の抵抗値管理を一括して行え、製造効率が良い。（A6）前記チップ抵抗器を個片化する工程は、前記基板の前記境界領域に前記基板の表面から所定深さの溝を形成するエッチング工程と、前記基板の裏面を前記溝に到達するまで研削して、前記基板を複数のチップ抵抗器に分割する工程とをさらに含む、A5に記載のチップ抵抗器の製造方法。

[0089] A6記載の発明によれば、スクライブエラーが生じず良好にチップ抵抗器を個片化することができる。（A7）前記抵抗膜のシート抵抗値の測定は、探針プローブを用いた探針法により行われることを特徴とする、A1記載のチップ抵抗器の製造方法。A7記載の発明によれば、抵抗膜のシート抵抗値をこの段階で測定することにより、シート抵抗値を確認して、後のフォトリソグラフィプロセスで所望の形状にされる抵抗配線の抵抗値の安定化を

実現できる。(A 8) 前記シート抵抗値を測定する工程は、測定されたシート抵抗値に基づき抵抗体膜の膜厚を計算する工程を含むことを特徴とする、A 7 記載のチップ抵抗器の製造方法。

[0090] A 8 記載の発明によれば、測定したシート抵抗値に基づき抵抗体膜の膜厚が計算されるから、シート抵抗値が所望の値でない場合に、膜厚制御により、次のチップ抵抗器の製造プロセスを調整、改良でき、所望のシート抵抗値を得ることができる。(A 9) 前記抵抗体膜の上に積層された前記配線膜と、前記ヒューズとは同一レイヤーに形成された同一材料の金属膜で形成されることを特徴とする、A 1 ~ A 8 のいずれか一項に記載のチップ抵抗器の製造方法。

[0091] A 9 記載の発明によれば、製造が容易で、比較的少ないプロセスにより簡単に複数種類の金属膜(導体膜)を一度に形成することができる。(A 10) 前記抵抗体膜は、TiN、TiONまたはTiSiONで形成されることを特徴とする、A 1 ~ A 9 のいずれか一項に記載のチップ抵抗器の製造方法。

A 10 記載の発明によれば、抵抗体膜を良好に形成できるチップ抵抗器を提供できる。(A 11) 前記抵抗体膜を形成する前に、前記基板の表面に絶縁膜を形成する工程をさらに含む、A 1 ~ A 10 のいずれか一項に記載のチップ抵抗器の製造方法。

[0092] A 11 記載の発明によれば、抵抗体膜を基板から電氣的に分離でき、抵抗体膜による抵抗値を正確に設定できる。(2) 第1参考例に係る発明の実施形態 以下では、第1参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図19~図38で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0093] 図19(A)は、第1参考例の一実施形態に係るチップ抵抗器310の外観構成を示す図解的な斜視図であり、図19(B)は、チップ抵抗器310が基板上に実装された状態を示す側面図である。図19(A)を参照して、第1参考例の一実施形態に係るチップ抵抗器310は、基板311上に形成

された第1接続電極312と、第2接続電極313と、抵抗回路網314とを備えている。基板311は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L=0.3\text{ mm}$ 、短辺方向の幅 $W=0.15\text{ mm}$ 、厚み $T=0.1\text{ mm}$ 程度の大きさの微少なチップである。基板311は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。

[0094] チップ抵抗器310は、図36に示すように、基板上に格子状に多数個のチップ抵抗器310が形成され、基板が切断されて個々のチップ抵抗器310に分離されることにより得られる。基板311上において、第1接続電極312は基板311の一方短辺411に沿って設けられた短辺411方向に長手の矩形電極である。第2接続電極313は、基板311上の他方短辺412に沿って設けられた短辺412方向に長手の矩形電極である。抵抗回路網314は、基板311上の第1接続電極312と第2接続電極313とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網314の一端側は第1接続電極312に電氣的に接続されており、抵抗回路網314の他端側は第2接続電極313に電氣的に接続されている。これら第1接続電極312、第2接続電極313および抵抗回路網314は、たとえば一例として、基板311上に微細加工プロセスを用いて設けることができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網314を形成することができる。

[0095] 第1接続電極31

2および第2接続電極313は、それぞれ、外部接続電極として機能する。チップ抵抗器310が回路基板315に実装された状態においては、図19（B）に示すように、第1接続電極312および第2接続電極313が、それぞれ、回路基板315の回路（図示せず）と半田により電氣的かつ機械的に接続される。なお、外部接続電極として機能する第1接続電極312および第2接続電極313は、半田濡れ性の向上および信頼性の向上のために、少

なくとも表面領域を金（Au）で形成するか、または表面に金メッキを施すことが望ましい。

[0096] 図20は、チップ抵抗器310の平面図であり、第1接続電極312、第2接続電極313および抵抗回路網314の配置関係ならびに抵抗回路網314の平面視の構成（レイアウトパターン）が示されている。図20を参照して、チップ抵抗器310は、基板311上面の一方短辺411に長辺が沿うように配置された平面視略矩形をした第1接続電極312と、基板311上面の他方短辺412に長辺が沿うように配置された平面視略矩形をした第2接続電極313と、第1接続電極312および第2接続電極313間の平面視矩形の領域に設けられた抵抗回路網314とを含んでいる。

[0097] 抵抗回路網314には、基板311上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（図20の例では、行方向（基板311の長手方向）に沿って8個の単位抵抗体Rが配列され、列方向（基板311の幅方向）に沿って44個の単位抵抗体Rが配列され、合計352個の単位抵抗体Rを含む構成）を有している。そして、これら多数個の単位抵抗体Rの1～64個の所定の個数が導体膜C（導体で形成された配線膜）で電氣的に接続されて、接続された単位抵抗体Rの数に応じた複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は導体膜C（導体で形成された配線膜）で所定の態様に接続されている。

[0098] さらに、抵抗回路を抵抗回路網314に電氣的に組み込んだり、または、抵抗回路網314から電氣的に分離するために溶断可能な複数のヒューズ膜F（導体で形成された配線膜）が設けられている。複数のヒューズ膜Fは、第2接続電極313の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜Fおよび接続用導体膜Cが隣接するように配列され、その配列方向が直線状になるように配置されている。

[0099] 図21Aは、図20に示す抵抗回路網314の一部を拡大して描いた平面図であり、図21Bおよび図21Cは、それぞれ、抵抗回路網314におけ

る単位抵抗体 R の構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。図 2 1 A、図 2 1 B および 図 2 1 C を参照して、単位抵抗体 R の構成について説明をする。

[0100] 基板 3 1 1 の上面には絶縁層 (SiO_2) 3 1 9 が形成され、絶縁層 3 1 9 上に抵抗体膜 3 2 0 が配置されている。抵抗体膜 3 2 0 は、 TiN 、 TiON または TiSiON により形成される。この抵抗体膜 3 2 0 は、第 1 接続電極 3 1 2 と第 2 接続電極 3 1 3 との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ライン 3 2 0 は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ライン 3 2 0 上には、導体膜片 3 2 1 としてのアルミニウム膜が積層されている。各導体膜片 3 2 1 は、抵抗体膜ライン 3 2 0 上に、ライン方向に一定間隔 R を開けて積層されている。

[0101] この構成の抵抗体膜ライン 3 2 0 および導体膜片 3 2 1 の電気的特徴を回路記号で示すと、図 2 2 の通りである。すなわち、図 2 2 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン 3 2 0 部分が、それぞれ、一定の抵抗値 r の単位抵抗体 R を形成している。導体膜片 3 2 1 が積層された領域は、当該導体膜片 3 2 1 で抵抗体膜ライン 3 2 0 が短絡されている。よって、図 2 2 (B) に示す抵抗 r の単位抵抗体 R の直列接続からなる抵抗回路が形成されている。

[0102] また、隣接する抵抗体膜ライン 3 2 0 同士は抵抗体膜ライン 3 2 0 および導体膜片 3 2 1 で接続されているから、図 2 1 A に示す抵抗回路網は、図 2 2 (C) に示す抵抗回路を構成している。図 2 1 B および 図 2 1 C に示す図解的な断面図において、参照番号 3 1 1 は基板、3 1 9 は絶縁層としての二酸化シリコン SiO_2 層、3 2 0 は絶縁層 3 1 9 上に形成された TiN 、 TiON または TiSiON の抵抗体膜、3 2 1 はアルミニウム (Al) の配線膜、3 2 2 は保護膜としての SiN 膜、3 2 3 は保護層としてのポリイミド層を示している。

[0103] なお、かかる構成の抵抗回路網 3 1 4 の製造プロセスについては、後に詳述

する。この実施形態では、基板上 3 1 1 に形成された抵抗回路網 3 1 4 に含まれる単位抵抗体 R は、抵抗体膜ライン 3 2 0 と、抵抗体膜ライン 3 2 0 上に、ライン方向に一定間隔をあけて積層された複数の導体膜片 3 2 1 とを含み、導体膜片 3 2 1 が積層されていない一定間隔 R 部分の抵抗体膜ライン 3 2 0 が、1 個の単位抵抗体 R を構成している。単位抵抗体 R を構成している抵抗体膜ライン 3 2 0 は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、基板 3 1 1 上にマトリックス状に配列された多数個の単位抵抗体 R は、等しい抵抗値を有している。

[0104] 抵抗体膜ライン 3 2 0 上に積層された導体膜片 3 2 1 は、単位抵抗体 R を形成するとともに、複数個の単位抵抗体 R を接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。図 2 3 (A) は、図 2 0 に示すチップ抵抗器 3 1 0 の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 2 3 (B) は、図 2 3 (A) の B-B に沿う断面構造を示す図である。

[0105] 図 2 3 (A) (B) に示すように、ヒューズ膜 F も、抵抗体膜 3 2 0 上に積層された配線膜 3 2 1 により形成されている。すなわち、単位抵抗体 R を形成する抵抗体膜ライン 3 2 0 上に積層された導体膜片 3 2 1 と同じレイヤーに、導体膜片 3 2 1 と同じ金属材料であるアルミニウム (A 1) により形成されている。なお、導体膜片 3 2 1 は、前述したように、抵抗回路を形成するために、複数個の単位抵抗体 R を電氣的に接続する接続用導体膜 C としても用いられている。

[0106] つまり、抵抗体膜 3 2 0 上に積層された同一レイヤーにおいて、単位抵抗体 R 形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網 3 1 4 を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網 3 1 4 を第 1 接続電極 3 1 2 および第 2 接続電極 3 1 3 に接続するための配線膜が、同一の金属材料（たとえばアルミニウム）を用いて、同じ製造プロセス（たとえばスパッタリングおよびフォトリソグラフィプロセス）によって形

成されている。これにより、このチップ抵抗器 310 の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗膜 320 とのアライメント性も向上する。

[0107] 図 24 は、図 20 に示す抵抗回路網 314 における複数種類の抵抗回路を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗回路との接続関係を図解的に示す図である。図 24 を参照して、第 1 接続電極 312 には、抵抗回路網 314 に含まれる基準抵抗回路 R8 の一端が接続されている。基準抵抗回路 R8 は、8 個の単位抵抗体 R の直列接続からなり、その他端はヒューズ膜 F1 に接続されている。

[0108] ヒューズ膜 F1 と接続用導体膜 C2 とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R64 の一端および他端が接続されている。接続用導体膜 C2 とヒューズ膜 F4 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R32 の一端および他端が接続されている。ヒューズ膜 F4 と接続用導体膜 C5 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R32 の一端および他端が接続されている。

[0109] 接続用導体膜 C5 とヒューズ膜 F6 とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R16 の一端および他端が接続されている。ヒューズ膜 F7 および接続用導体膜 C9 には、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R8 の一端および他端が接続されている。接続用導体膜 C9 およびヒューズ膜 F10 には、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R4 の一端および他端が接続されている。

[0110] ヒューズ膜 F11 および接続用導体膜 C12 には、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R2 の一端および他端が接続されている。接続用導体膜 C12 およびヒューズ膜 F13 には、1 個の単位抵抗体 R からなる抵抗回路 R1 の一端および他端が接続されている。ヒューズ膜 F13 および接続用導体膜 C15 には、2 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。

- [0111] 接続用導体膜C 1 5およびヒューズ膜F 1 6には、4個の単位抵抗体Rの並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。ヒューズ膜F 1 6および接続用導体膜C 1 8には、8個の単位抵抗体Rの並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。接続用導体膜C 1 8およびヒューズ膜F 1 9には、16個の単位抵抗体Rの並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。
- [0112] ヒューズ膜F 1 9および接続用導体膜C 2 2には、32個の単位抵抗体Rの並列接続からなる抵抗回路 $R/32$ が接続されている。複数のヒューズ膜Fおよび接続用導体膜Cは、それぞれ、ヒューズ膜F 1、接続用導体膜C 2、ヒューズ膜F 3、ヒューズ膜F 4、接続用導体膜C 5、ヒューズ膜F 6、ヒューズ膜F 7、接続用導体膜C 8、接続用導体膜C 9、ヒューズ膜F 10、ヒューズ膜F 11、接続用導体膜C 12、ヒューズ膜F 13、ヒューズ膜F 14、接続用導体膜C 15、ヒューズ膜F 16、ヒューズ膜F 17、接続用導体膜C 18、ヒューズ膜F 19、ヒューズ膜F 20、接続用導体膜C 21、接続用導体膜C 22が、直線状に配置されて直列に接続されている。各ヒューズ膜Fが溶断されると、ヒューズ膜Fに隣接接続された接続用導体膜Cとの間の電氣的接続が遮断される構成である。
- [0113] この構成を、電気回路図で示すと図25の通りである。すなわち、全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網314は、第1接続電極312および第2接続電極313間に設けられた8個の単位抵抗体Rの直列接続からなる基準抵抗回路 R_8 （抵抗値 $8r$ ）の抵抗回路を構成している。たとえば、1個の単位抵抗体Rの抵抗値 r を $r=80\Omega$ とすれば、 $8r=640\Omega$ の抵抗回路により、第1接続電極312および第2接続電極313が接続されたチップ抵抗器310が構成されている。
- [0114] そして、基準抵抗回路 R_8 以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜Fが並列的に接続され、各ヒューズ膜Fによりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路 R_8 には、12種類13個の抵抗回路 $R_{64} \sim R/32$ が直列に接続されているが、各抵抗

回路は、それぞれ並列に接続されたヒューズ膜Fにより短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網314に組み込まれてはいない。

[0115] この実施形態に係るチップ抵抗器310は、要求される抵抗値に応じて、ヒューズ膜Fを選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズ膜Fが溶断された抵抗回路は、抵抗回路網314に組み込まれることになる。よって、抵抗回路網314の全体の抵抗値を、溶断されたヒューズ膜Fに対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

[0116] 換言すれば、この実施形態に係るチップ抵抗器310は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路（たとえば、F1、F4、F13が溶断されると、抵抗回路R64、R32、R1の直列接続）を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網314の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器310とすることができる。

[0117] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体Rが、直列に1個、2個、4個、8個、16個、32個、および64個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体Rが並列に2個、4個、8個、16個、および32個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜Fで短絡された状態で直列に接続されている。よって、ヒューズ膜Fを選択的に溶断することにより、抵抗回路網314全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

[0118] 図26は、第1参考例の他の実施形態に係るチップ抵抗器330の平面図であり、第1接続電極312、第2接続電極313および抵抗回路網314の

配置関係ならびに抵抗回路網 314 の平面視の構成が示されている。チップ抵抗器 330 が、前述したチップ抵抗器 310 と異なるところは、抵抗回路網 314 における単位抵抗体 R の接続態様である。

[0119] すなわち、チップ抵抗器 330 の抵抗回路網 314 には、基板 311 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R（図 26 の構成では、行方向（基板 311 の長手方向）に沿って 8 個の単位抵抗体 R が配列され、列方向（基板 311 の幅方向）に沿って 44 個の単位抵抗体 R が配列され、合計 352 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1～128 個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜 F により並列態様で接続されている。複数のヒューズ膜 F は、第 2 接続電極 313 の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜 F が溶断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網 314 から電氣的に分離される構成である。

[0120] なお、抵抗回路網 314 を構成する多数個の単位抵抗体 R の構造や、接続用導体膜、ヒューズ膜 F の構造は、先に説明したチップ抵抗器 310 における対応する部位の構造と同様であるから、ここでの説明については省略する。

図 27 は、図 26 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜 F の配列関係ならびにヒューズ膜 F に接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

[0121] 図 27 を参照して、第 1 接続電極 312 には、抵抗回路網 314 に含まれる基準抵抗回路 R/16 の一端が接続されている。基準抵抗回路 R/16 は、16 個の単位抵抗体 R の並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜 C に接続されている。ヒューズ膜 F1 と接続用導体膜 C とには、128 個の単位抵抗体 R の直列接続からなる抵抗回路 R128 の一端および他端が接続されている。

[0122] ヒューズ膜 F5 と接続用導体膜 C とには、64 個の単位抵抗体 R の直列接続

からなる抵抗回路 R 6 4 の一端および他端が接続されている。抵抗膜 F 6 と接続用導体膜 C とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。ヒューズ膜 F 7 と接続用導体膜 C とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 6 の一端および他端が接続されている。

[0123] ヒューズ膜 F 8 と接続用導体膜 C とには、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。ヒューズ膜 F 9 と接続用導体膜 C とには、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。ヒューズ膜 F 1 0 と接続用導体膜 C とには、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。

[0124] ヒューズ膜 F 1 1 と接続用導体膜 C とには、1 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 の一端および他端が接続されている。ヒューズ膜 F 1 2 と接続用導体膜 C とには、2 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。ヒューズ膜 F 1 3 と接続用導体膜 C とには、4 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。

[0125] ヒューズ膜 F 1 4、F 1 5、F 1 6 は電氣的に接続されており、これらヒューズ膜 F 1 4、F 1 5、F 1 6 と接続用導体 C とには、8 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。ヒューズ膜 F 1 7、F 1 8、F 1 9、F 2 0、F 2 1 は電氣的に接続されており、これらヒューズ膜 F 1 7～F 2 1 と接続用導体膜 C とには、16 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。

[0126] ヒューズ膜 F は、ヒューズ膜 F 1～F 2 1 の 21 個備えられていて、これらは全て第 2 接続電極 3 1 3 に接続されている。かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜 F が溶断されると、そのヒューズ膜 F に一端が接続された抵抗回路は、抵抗回路網 3 1 4 から電氣的に

切り離される。

[0127] 図 27 の構成、すなわちチップ抵抗器 330 に備えられた抵抗回路網 314 の構成を、電気回路図で示すと図 28 の通りである。全てのヒューズ膜 F が溶断されていない状態では、抵抗回路網 314 は、第 1 接続電極 314 および第 2 接続電極 313 間に、基準抵抗回路 $R/16$ と、12 種類の抵抗回路 $R/16$ 、 $R/8$ 、 $R/4$ 、 $R/2$ 、 $R1$ 、 $R2$ 、 $R4$ 、 $R8$ 、 $R16$ 、 $R32$ 、 $R64$ 、 $R128$ の並列接続回路との直列接続回路を構成している。

[0128] そして、基準抵抗回路 $R/16$ 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ膜 F が直列に接続されている。よって、この抵抗回路網 314 を有するチップ抵抗器 330 では、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザ光で溶断すれば、溶断されたヒューズ膜 F に対応する抵抗回路（ヒューズ膜 F が直列に接続された抵抗回路）は、抵抗回路網 314 から電氣的に分離され、チップ抵抗器 310 の抵抗値を調整することができる。

[0129] 換言すれば、この実施形態に係るチップ抵抗器 330 も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 314 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 330 とすることができる。

[0130] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 314 全体の抵抗値を、細かく、かつデジタル的に、任

意の抵抗値に設定することができる。

[0131] なお、図 28 に示す電気回路においては、基準抵抗回路 $R/16$ および、並列接続された抵抗回路のうち、抵抗値の小さな抵抗回路には、過電流が流れる傾向があり、抵抗設定時に、抵抗に流せる定格電流を大きく設計しなければならない。そこで、電流を分散させるために、図 28 に示す電気回路を、図 29 (A) に示す電気回路構成となるように、抵抗回路網の接続構造を変更してもよい。すなわち、基準抵抗回路 $R/16$ を無くし、かつ、並列接続される抵抗回路は、最小の抵抗値を r とし、抵抗値 r の抵抗単位体 $R1$ を複数組並列に接続した構成 440 を含む回路に変えるのである。

[0132] 図 29 (B) は、具体的な抵抗値を示した電気回路図であり、 80Ω の単位抵抗体とヒューズ膜 F との直列接続を複数組並列に接続した構成 440 を含む回路とされている。これにより、流れる電流の分散を図ることができる。

図 30 は、第 1 参考例のさらに他の実施形態に係るチップ抵抗器に備えられる抵抗回路網 314 の回路構成を電気回路図で示した図である。図 30 に示す抵抗回路網 314 の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。

[0133] 直列接続される複数種類の抵抗回路には、先の実施形態と同様、各抵抗回路に、並列にヒューズ膜 F が接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ膜 F で短絡状態とされている。従って、ヒューズ膜 F を溶断すると、そのヒューズ膜 F で短絡されていた抵抗回路が、抵抗回路網 314 に電氣的に組み込まれることになる。一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ膜 F が接続されている。従って、ヒューズ膜 F を溶断することにより、ヒューズ膜 F が直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

[0134] かかる構成とすれば、たとえば、 $1\text{ k}\Omega$ 以下の小抵抗は並列接続側で作し、 $1\text{ k}\Omega$ 以上の抵抗回路を直列接続側で作ることができる。よって、数 Ω の小

抵抗から数MΩの大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗回路網314を用いて作ることができる。また、より精度良く抵抗値を設定する場合は、要求抵抗値に近い直列接続側抵抗回路のヒューズ膜を予めカットしておけば、細かな抵抗値の調整を並列接続側の抵抗回路のヒューズ膜を溶断することにより行うことができ、所望の抵抗値への合わせ込みの精度が上がる。

[0135] 図31は、10Ω～1MΩの抵抗値を有するチップ抵抗器における抵抗回路網314の具体的な構成例を示す電気回路図である。図31に示す抵抗回路網314も、ヒューズ膜Fで短絡された複数種類の抵抗回路の直列接続と、ヒューズ膜Fが直列接続された複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっている。

[0136] 図31の抵抗回路によれば、並列接続側において、10～1kΩの任意の抵抗値を、精度1%以内で設定できる。また、直列接続側の回路で、1k～1MΩの任意の抵抗値を、精度1%以内で設定できる。直列接続側の回路を使用する場合は、所望の抵抗値に近い抵抗回路のヒューズ膜Fを予め溶断し、所望の抵抗値に合わせ込んでおくことで、より精度良く抵抗値を設定できるという利点がある。

[0137] なお、ヒューズ膜Fは、接続用導体膜Cと同一のレイヤーを用いる場合のみを説明したが、接続用導電膜C部分は、その上に更に別の導体膜を積層するようにし、導体膜の抵抗値を下げるようにしてもよい。また、抵抗膜をなくして、接続用導体膜Cのみとしても良い。なお、この場合であっても、ヒューズ膜Fの上に導体膜を積層しなければ、ヒューズ膜Fの溶断性が悪くなることはない。

[0138] 図32は、第1参考例のさらに他の実施形態に係るチップ抵抗器390の要部構造を説明するための図解的な平面図である。たとえば、前述したチップ抵抗器310（図19、図20参照）や、チップ抵抗器330（図26参照）では、抵抗回路を構成する抵抗膜ライン320と導体膜片321の関係を平面視で表わすと、図32（A）に示す構成になっている。すなわち、

図32(A)に示すように、所定間隔Rの領域の抵抗体膜ライン320部分が、一定の抵抗値rの単位抵抗体Rを形成している。そして単位抵抗体Rの両側には導体膜片321が積層され、当該導体膜片321で抵抗体膜ライン320が短絡されている。

[0139] ここで、前述したチップ抵抗器310およびチップ抵抗器330では、単位抵抗体Rを形成している抵抗体膜ライン320部分の長さは、たとえば $12\mu\text{m}$ であり、抵抗体膜ライン320の幅は、たとえば $1.5\mu\text{m}$ であり、単位抵抗（シート抵抗）は $10\Omega/\square$ である。このため、単位抵抗体Rの抵抗値rは、 $r=80\Omega$ である。ところで、たとえば図19、図20に示すチップ抵抗器310において、抵抗回路網314の配置領域を拡げることなく、抵抗回路網314の抵抗値を高めて、チップ抵抗器310の高抵抗化を図りたいといった要望がある。

[0140] そこで、この実施形態に係るチップ抵抗器390では、抵抗回路網314のレイアウトを変更するとともに、抵抗回路網に含まれる抵抗回路を構成する単位抵抗体を、平面視において、図32(B)に示す形状および大きさとした。図32(B)を参照して、抵抗体膜ライン320は、幅 $1.5\mu\text{m}$ で直線状に延びるライン状の抵抗体膜ライン320を含む。そして、抵抗体膜ライン320において、所定間隔R'の抵抗体膜ライン320部分が、一定の抵抗値r'の単位抵抗体R'を形成している。単位抵抗体R'の長さは、たとえば $17\mu\text{m}$ にする。こうすれば、単位抵抗体R'の抵抗値r'は、図32(A)に示す単位抵抗体Rに比べて、ほぼ2倍の $r'=160\Omega$ の単位抵抗体とすることができる。

[0141] また、抵抗体膜ライン320上に積層される導体膜片321の長さは、図32(A)に示すものにおいても、(B)に示すものにおいても、同じ長さで構成することができる。それゆえ、抵抗回路網314に含まれる抵抗回路を構成する各単位抵抗体R'のレイアウトパターンを変更し、単位抵抗体R'が直列状に接続できるレイアウトパターンとすることにより、チップ抵抗器390は高抵抗化が実現されたものとなる。

[0142] 図33は、図19～図25を参照して説明したチップ抵抗器310の製造工程の一例を示すフロー図である。次に、このフロー図の製造工程に従って、かつ、必要に応じて図19～図25を参照しつつ、チップ抵抗器310の製造方法について詳細に説明をする。ステップS1：まず、基板311（実際には個々のチップ抵抗器310に切り分けられる前のウエハ（図35参照））が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、絶縁層319としての二酸化シリコン（ SiO_2 ）層が形成される。

[0143] ステップS2：次に、たとえばスパッタ法によって、 TiN 、 TiON または TiSiON の抵抗膜320が絶縁層319の表面全域に形成される。

ステップS3：そして、絶縁層319の表面全域に形成された抵抗膜320の抵抗値が測定される。この測定は、たとえば四探針プローブを用いた四探針法により行われる。抵抗膜320のシート抵抗値をこの段階で測定して確認しておくことにより、後のフォトリソグラフィプロセスで所望の形状にされる抵抗配線の抵抗値の安定化を実現できる。また、測定されたシート抵抗値に基づいて、抵抗膜320の膜厚が計算されてもよい。膜厚は、次のチップ抵抗器のための製造プロセスの調整、改良に利用でき、次のチップ抵抗器の製造プロセスで膜厚を制御し、所望のシート抵抗値を得るのに役立つ。

[0144] ステップS4：次に、たとえばスパッタ法によって、抵抗膜320の表面全域にたとえばアルミニウム（ Al ）の配線膜321が積層形成される。積層された抵抗膜320および配線膜321の2層の膜の合計膜厚は8000Å程度とされてもよい。ステップS5：次に、フォトリソグラフィプロセスを用い、配線膜321の表面に、抵抗回路網314の平面視の構成（導体膜Cおよびヒューズ膜Fを含むレイアウトパターン）に対応したレジストパターンが形成される（第1レジストパターンの形成）。

[0145] ステップS6：そして、第1エッチング工程が行われる。すなわち、ステップS4で形成された第1レジストパターンをマスクとして、抵抗膜320および配線膜321という積層された2層膜が、たとえば反応性イオンエッ

チング（RIE）によりエッチングされる。そして、エッチング後に第1レジストパターンは剥離される。ステップS7：再び、フォトリソグラフィプロセスを用いて、第2レジストパターンが形成される。ステップS7で形成される第2レジストパターンは、抵抗体膜320上に積層された配線膜321を選択的に除去して、単位抵抗体R（図20で細いドットを付して示す領域）を形成するためのパターンである。

[0146] ステップS8：ステップS7で形成された第2レジストパターンをマスクとして、たとえばウェットエッチングにより、配線膜321のみが選択的にエッチングされる（第2エッチング工程）。エッチング後、第2レジストパターンが剥離される。これにより、図20に示した抵抗回路網314のレイアウトパターンが得られる。ステップS9：この段階で、基板311表面に形成された抵抗回路網314の抵抗値（回路網314全体の抵抗値）が測定される。この測定は、たとえばマルチプローブピンを図20に示す第1接続電極312とつながる側の抵抗回路網314の端部と、第2接続電極313につながる側のヒューズ膜および抵抗回路網314の端部とに接触させて測定する。この測定により、製造された抵抗回路網314の初期状態における良否が判定できる。

[0147] ステップS10：次いで、基板311の上に形成された抵抗回路網314の全面を覆うように、たとえば窒化膜からなるカバー膜322aが形成される。このカバー膜322aの形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜（SiN膜）が形成されてもよい。カバー膜322aは、パターニングされた配線膜321、抵抗体膜320およびヒューズ膜Fを覆う。

[0148] ステップS11：この状態から、ヒューズ膜Fを選択的に溶断して、チップ抵抗器310を所望の抵抗値に合わせ込むためのレーザトリミングが行われる。すなわち、図34（A）に示すように、ステップS8で行われた全抵抗値測定の測定結果に応じて選択されたヒューズ膜Fにレーザ光を当てて、そのヒューズ膜Fおよびその下に位置する抵抗体膜320が溶断される。これ

により、ヒューズ膜Fで短絡されていた対応する抵抗回路が抵抗回路網314中に組み込まれ、抵抗回路網314の抵抗値を所望の抵抗値に合わせ込むことができる。ヒューズ膜Fにレーザ光を当てるとき、カバー膜322aの働きによって、ヒューズ膜Fの近傍にレーザ光のエネルギーが蓄積され、それによって、ヒューズ膜Fおよびその下層の抵抗体膜320が溶断する。

[0149] ステップS12：次に、図34（B）に示すように、たとえばプラズマCVD法によって、カバー膜322a上に窒化シリコン膜が堆積され、パッシベーション膜322が形成される。前述のカバー膜322aは、最終形態において、パッシベーション膜322と一体化し、このパッシベーション膜322の一部を構成する。ヒューズ膜Fおよびその下層の抵抗体膜320の切断後に形成されたパッシベーション膜322は、ヒューズ膜Fおよびその下層の抵抗体膜320の溶断の際に同時に破壊されたカバー膜322aの開口322b内に入り込み、ヒューズ膜Fおよびその下層の抵抗体膜320の切断面を保護する。従って、パッシベーション膜322は、ヒューズ膜Fの切断箇所に異物が入り込んだり水分が進入したりすることを防ぐ。パッシベーション膜322は、全体で、たとえば8000Å程度の膜厚を有するように形成されてもよい。

[0150] ステップS13：次いで、図34（C）に示すように、全面に樹脂膜323が塗布される。樹脂膜323としては、たとえば感光性のポリイミドの塗布膜323が用いられる。 ステップS14：この樹脂膜323に対して、前記第1接続電極312、第2接続電極313の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる。これにより、樹脂膜323に第1接続電極312および第2接続電極313のためのパッド開口が形成される。

[0151] ステップS15：その後、樹脂膜323を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜323が安定化される。
ステップS16：次に、第1接続電極312および第2接続電極313を形

成すべき位置に貫通孔を有するポリイミド膜 3 2 3 をマスクとしてパッシベーション膜 3 2 2 のエッチングが行われる。それによって、配線膜 3 2 1 を第 1 接続電極 3 1 2 の領域および第 2 接続電極 3 1 3 の領域において露出させるパッド開口が形成される。パッシベーション膜 3 2 2 のエッチングは、反応性イオンエッチング（R I E）によって行われてもよい。

[0152] ステップ S 1 7 : 2 つのパッド開口から露出した配線膜 3 2 1 にマルチプローブピンが接触され、チップ抵抗器の抵抗値が所望の抵抗値になっていることを確認するための抵抗値測定（アフター測定）が行われる。 ステップ S 1 8 : 2 つのパッド開口内に、たとえば無電解めっき法によって、外部接続電極としての第 1 接続電極 3 1 2 および第 2 接続電極 3 1 3 を成長させる。

[0153] ステップ S 1 9 : その後、ウエハ表面に配列形成された多数個（たとえば 5 0 万個）の各チップ抵抗器を個々のチップ抵抗器 3 1 0 に分離するために、フォトリソグラフィによって第 3 のレジストパターンが形成される。レジスト膜はウエハの表面において、たとえば図 3 6 における各チップ抵抗器 3 1 0 を保護すべく設けられ、各チップ抵抗器 3 1 0 間がエッチングされるように形成される。

[0154] ステップ S 2 0 : そしてプラズマダイシングが実行される。プラズマダイシングは、第 3 レジストパターンをマスクとしたエッチングであり、基板 3 1 1 の表面から所定深さの溝が、各チップ抵抗器 3 1 0 の間に形成される。その後レジスト膜が剥離される。 ステップ S 2 1 : そして、たとえば図 3 5 (A) に示すように、表面に保護テープ 4 0 0 が貼着される。

[0155] ステップ S 2 2 : 次いで、ウエハの裏面研削が行われて、チップ抵抗器は個々のチップ抵抗器 3 1 0 に分離される（図 3 5 (A) (B)）。 ステップ S 2 3 : そして、図 3 5 (C) に示すように、裏面側にキャリアテープ（熱発泡シート）5 0 0 が貼られて、個々のチップ抵抗器に分離された多数個のチップ抵抗器 3 1 0 は、キャリアテープ 5 0 0 上に配列された状態で保持される。一方で、表面に貼着された保護テープは取り除かれる（図 3 5 (D)）。

）。

[0156] ステップS 2 4：熱発泡シート5 0 0は、加熱されることによりその内部に含まれる熱発泡粒子5 0 1が膨らみ、それによりキャリアテープ5 0 0表面に接着されている各チップ抵抗器3 1 0はキャリアテープ5 0 0から剥離されて個々に分離される（図3 5（E）（F））。図3 7は、第1参考例の製造方法により製造されたチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン5 0 1は、扁平な直方体形状の筐体5 0 2の内部に電子部品を収納して構成されている。筐体5 0 2は表側および裏側に長形状の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体5 0 2の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネル5 0 3の表示面が露出している。表示パネル5 0 3の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0157] 表示パネル5 0 3は、筐体5 0 2の一つの主面の大部分を占める長方形形状に形成されている。表示パネル5 0 3の一つの短辺に沿うように、操作ボタン5 0 4が配置されている。この実施形態では、複数（3つ）の操作ボタン5 0 4が表示パネル5 0 3の短辺に沿って配列されている。使用者は、操作ボタン5 0 4およびタッチパネルを操作することによって、スマートフォン5 0 1に対する操作を行い、必要な機能呼び出して実行させることができる。

[0158] 表示パネル5 0 3の別の一つの短辺の近傍には、スピーカ5 0 5が配置されている。スピーカ5 0 5は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン5 0 4の近くには、筐体5 0 2の一つの側面にマイクロフォン5 0 6が配置されている。マイクロフォン5 0 6は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0159] 図3 8は、筐体5 0 2の内部に收容された電子回路アセンブリ5 1 0の構成を示す図解的な平面図である。電子回路アセンブリ5 1 0は、配線基板5 1

1 と、配線基板 5 1 1 の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）5 1 2－5 2 0 と、複数のチップ部品とを含む。複数の IC は、伝送処理 IC 5 1 2、ワンセグ TV 受信 IC 5 1 3、GPS 受信 IC 5 1 4、FM チューナ IC 5 1 5、電源 IC 5 1 6、フラッシュメモリ 5 1 7、マイクロコンピュータ 5 1 8、電源 IC 5 1 9 およびベースバンド IC 5 2 0 を含む。複数のチップ部品は、チップインダクタ 5 2 1、5 2 5、5 3 5、チップ抵抗器 5 2 2、5 2 4、5 3 3、チップキャパシタ 5 2 7、5 3 0、5 3 4、およびチップダイオード 5 2 8、5 3 1 を含む。チップ抵抗器 5 2 2、5 2 4、5 3 3 は、第 1 参考例の製造方法により製造されたものである。

[0160] 伝送処理 IC 5 1 2 は、表示パネル 5 0 3 に対する表示制御信号を生成し、かつ表示パネル 5 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル 5 0 3 との接続のために、伝送処理 IC 5 1 2 には、フレキシブル配線 5 0 9 が接続されている。ワンセグ TV 受信 IC 5 1 3 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグ TV 受信 IC 5 1 3 の近傍には、複数のチップインダクタ 5 2 1 と、複数のチップ抵抗器 5 2 2 とが配置されている。ワンセグ TV 受信 IC 5 1 3、チップインダクタ 5 2 1 およびチップ抵抗器 5 2 2 は、ワンセグ放送受信回路 5 2 3 を構成している。チップインダクタ 5 2 1 およびチップ抵抗器 5 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 5 2 3 に高精度な回路定数を与える。

[0161] GPS 受信 IC 5 1 4 は、GPS 衛星からの電波を受信してスマートフォン 5 0 1 の位置情報を出力する電子回路を内蔵している。FM チューナ IC 5 1 5 は、その近傍において配線基板 5 1 1 に実装された複数のチップ抵抗器 5 2 4 および複数のチップインダクタ 5 2 5 とともに、FM 放送受信回路 5 2 6 を構成している。チップ抵抗器 5 2 4 およびチップインダクタ 5 2 5 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、F

M放送受信回路526に高精度な回路定数を与える。

[0162] 電源IC516の近傍には、複数のチップキャパシタ527および複数のチップダイオード528が配線基板511の実装面に実装されている。電源IC516は、チップキャパシタ527およびチップダイオード528とともに、電源回路529を構成している。フラッシュメモリ517は、オペレーティングシステムプログラム、スマートフォン501の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

[0163] マイクロコンピュータ518は、CPU、ROMおよびRAMを内蔵しており、各種の演算処理を実行することにより、スマートフォン501の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ518の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。電源IC519の近くには、複数のチップキャパシタ530および複数のチップダイオード531が配線基板511の実装面に実装されている。電源IC519は、チップキャパシタ530およびチップダイオード531とともに、電源回路532を構成している。

[0164] ベースバンドIC520の近くには、複数のチップ抵抗器533、複数のチップキャパシタ534、および複数のチップインダクタ535が、配線基板511の実装面に実装されている。ベースバンドIC520は、チップ抵抗器533、チップキャパシタ534およびチップインダクタ535とともに、ベースバンド通信回路536を構成している。ベースバンド通信回路536は、電話通信およびデータ通信のための通信機能を提供する。

[0165] このような構成によって、電源回路529、532によって適切に調整された電力が、伝送処理IC512、GPS受信IC514、ワンセグ放送受信回路523、FM放送受信回路526、ベースバンド通信回路536、フラッシュメモリ517およびマイクロコンピュータ518に供給される。マイクロコンピュータ518は、伝送処理IC512を介して入力される入力信

号に応答して演算処理を行い、伝送処理 I C 5 1 2 から表示パネル 5 0 3 に表示制御信号を出力して表示パネル 5 0 3 に各種の表示を行わせる。

[0166] タッチパネルまたは操作ボタン 5 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 5 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル 5 0 3 に出力し、受信された音声をスピーカ 5 0 5 から音響化させるための演算処理が、マイクロコンピュータ 5 1 8 によって実行される。また、スマートフォン 5 0 1 の位置情報が必要とされるときには、マイクロコンピュータ 5 1 8 は、GPS 受信 I C 5 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0167] さらに、タッチパネルまたは操作ボタン 5 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ 5 1 8 は、FM 放送受信回路 5 2 6 を起動し、受信された音声をスピーカ 5 0 5 から出力させるための演算処理を実行する。フラッシュメモリ 5 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ 5 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ 5 1 8 は、必要に応じて、フラッシュメモリ 5 1 7 に対してデータを書き込み、またフラッシュメモリ 5 1 7 からデータを読み出す。

[0168] 電話通信またはデータ通信の機能は、ベースバンド通信回路 5 3 6 によって実現される。マイクロコンピュータ 5 1 8 は、ベースバンド通信回路 5 3 6 を制御して、音声またはデータを送受信するための処理を行う。第 1 参考例は、以上説明した実施形態の製造方法に限定されるものではなく、前記（1）第 1 参考例に係る発明の特徴に記載された事項の範囲内で種々の設計変更を施すことが可能である。たとえば、各特徴 A 1 ～ A 1 1 で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第 1 参考例の範囲に含まれる。

符号の説明

[0169] 1 0、3 0 チップ抵抗器 1 1 基板 1 2 第 1 接続電極（外部

接続電極) 1 3 第2 接続電極 (外部接続電極) 1 4 抵抗回路網
2 0、1 0 3 抵抗体膜 (抵抗体膜ライン) 2 1 導体膜 (配線膜
) F ヒューズ膜 C 接続用導体膜

請求の範囲

- [請求項1] 基板上に抵抗体膜を形成する工程と、 前記抵抗体膜の表面に接するように配線膜を形成する工程と、 フォトリソグラフィによって、前記配線膜の上に第1レジストパターンを形成する工程と、 前記第1レジストパターンをマスクとして、前記配線膜および前記抵抗体膜をエッチングする第1エッチング工程と、 フォトリソグラフィによって、前記第1エッチング工程の後に、前記配線膜の上に第2レジストパターンを形成する工程と、 前記第2レジストパターンをマスクとして前記抵抗体膜の上の前記配線膜を部分的にエッチングすることにより、前記基板上に複数の抵抗体を形成する第2エッチング工程とを含む、チップ抵抗器の製造方法。
- [請求項2] 前記第1レジストパターンが、前記複数の抵抗体を形成すべき抵抗体領域と、外部接続用のパッド領域と、前記抵抗体領域と前記パッド領域との間のヒューズ領域とが前記第1エッチング工程によって形成されるレジストパターンであり、 前記第1エッチング工程によって、前記ヒューズ領域に、前記複数の抵抗体を抵抗回路網に電気的に取り込み、または、抵抗回路網から電気的に分離するために切断可能な複数のヒューズが形成される、請求項1に記載のチップ抵抗器の製造方法。
- [請求項3] 前記第1レジストパターンが、一对の前記パッド領域を含み、 前記第2エッチング工程よりも後に、前記一对のパッド領域間の電気抵抗を測定する工程と、 前記測定された電気抵抗に基づいて前記複数のヒューズのなかから切断すべきヒューズを選択する工程と、 前記選択されたヒューズを切断するヒューズ切断工程とをさらに含む、請求項2に記載のチップ抵抗器の製造方法。
- [請求項4] 前記ヒューズ切断工程の前に、前記複数のヒューズを覆うカバー膜を形成する工程をさらに含む、請求項3に記載のチップ抵抗器の製造方法。

- [請求項5] 前記ヒューズ切断工程の後に、前記配線膜を覆う保護膜を形成する工程と、 フォトリソグラフィを利用して、前記保護膜に前記パッド領域の一部を露出させるパッド開口を形成する工程とをさらに含む、請求項3または4に記載のチップ抵抗器の製造方法。
- [請求項6] 前記パッド開口内に外部接続電極をめっき成長させる工程をさらに含む、請求項5に記載のチップ抵抗器の製造方法。
- [請求項7] 前記保護膜を形成する工程が、前記配線膜を覆うパッシベーション膜をCVD（化学的気相成長）法によって形成する工程を含む、請求項5または6に記載のチップ抵抗器の製造方法。
- [請求項8] 前記保護膜を形成する工程が、前記パッシベーション膜上に感光性樹脂の塗布膜を形成する工程を含み、 前記パッド開口を形成する工程が、前記塗布膜を前記パッド開口に対応した露光パターンで露光する工程と、露光後の前記塗布膜を現像する工程と、現像された前記塗布膜をマスクとして前記パッシベーション膜をエッチングして開口する工程とを含む、請求項7に記載のチップ抵抗器の製造方法。
- [請求項9] 前記基板が、複数のチップ抵抗器領域を含み、 前記基板上に前記複数のチップ抵抗器領域の境界領域に対応した第3レジストパターンをフォトリソグラフィによって形成する工程と、 前記第3レジストパターンをマスクとしたエッチングによって、前記基板の前記境界領域に前記基板の表面から所定深さの溝を形成する第3エッチング工程と、 前記基板の裏面を前記溝に到達するまで研削して、前記基板を複数のチップ抵抗器に分割する工程とをさらに含む、請求項1～8のいずれか一項に記載のチップ抵抗器の製造方法。
- [請求項10] 前記抵抗膜を形成する前に、前記基板の表面に絶縁膜を形成する工程をさらに含む、請求項1～9のいずれか一項に記載のチップ抵抗器の製造方法。
- [請求項11] 前記基板上に抵抗膜を形成した後、形成した抵抗膜のシート抵抗値を測定する工程をさらに含む、請求項1～10のいずれか一項に記

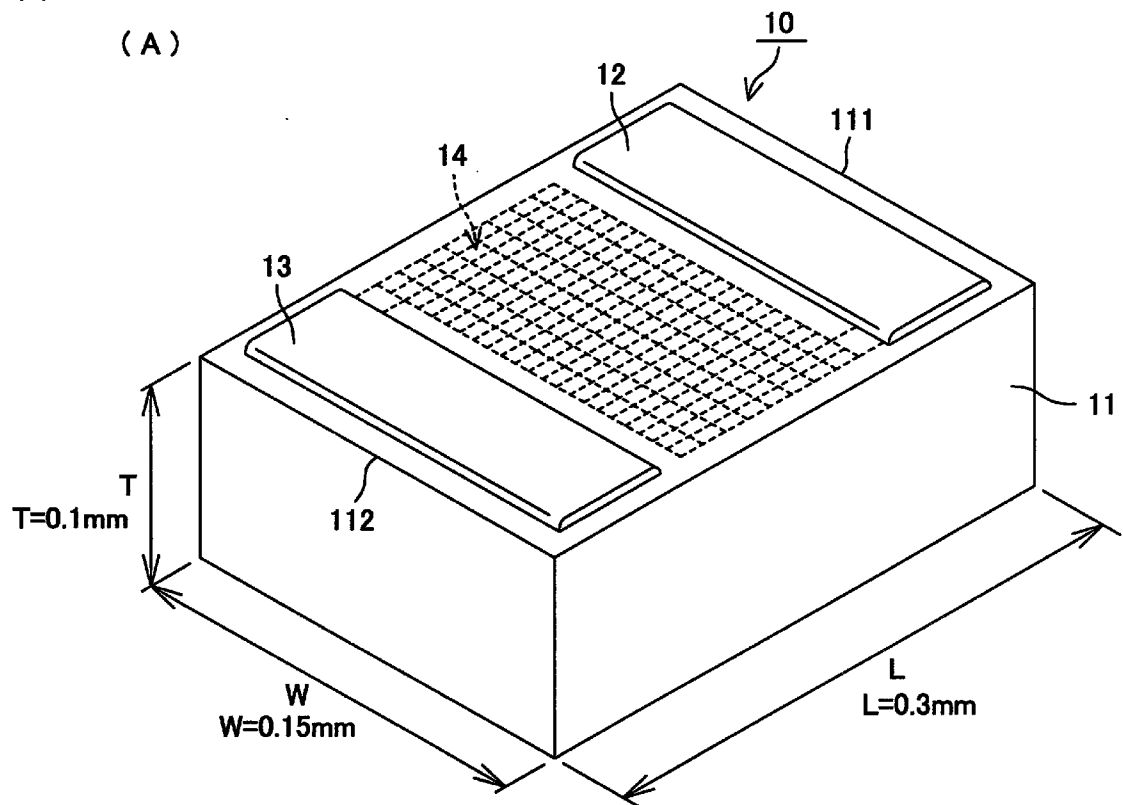
載のチップ抵抗器の製造方法。

[請求項12] 前記抵抗体膜のシート抵抗値の測定は、探針プローブを用いた探針法により行われる、請求項11記載のチップ抵抗器の製造方法。

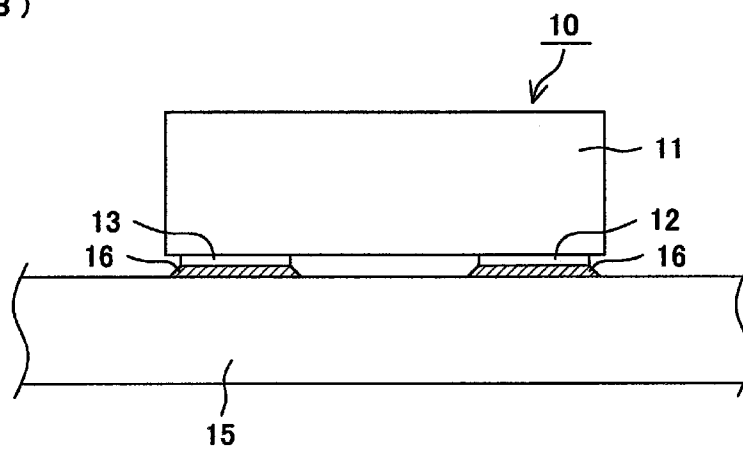
[請求項13] 前記シート抵抗値を測定する工程は、測定されたシート抵抗値に基づき抵抗体膜の膜厚を計算する工程を含む、請求項11または12記載のチップ抵抗器の製造方法。

[図1]

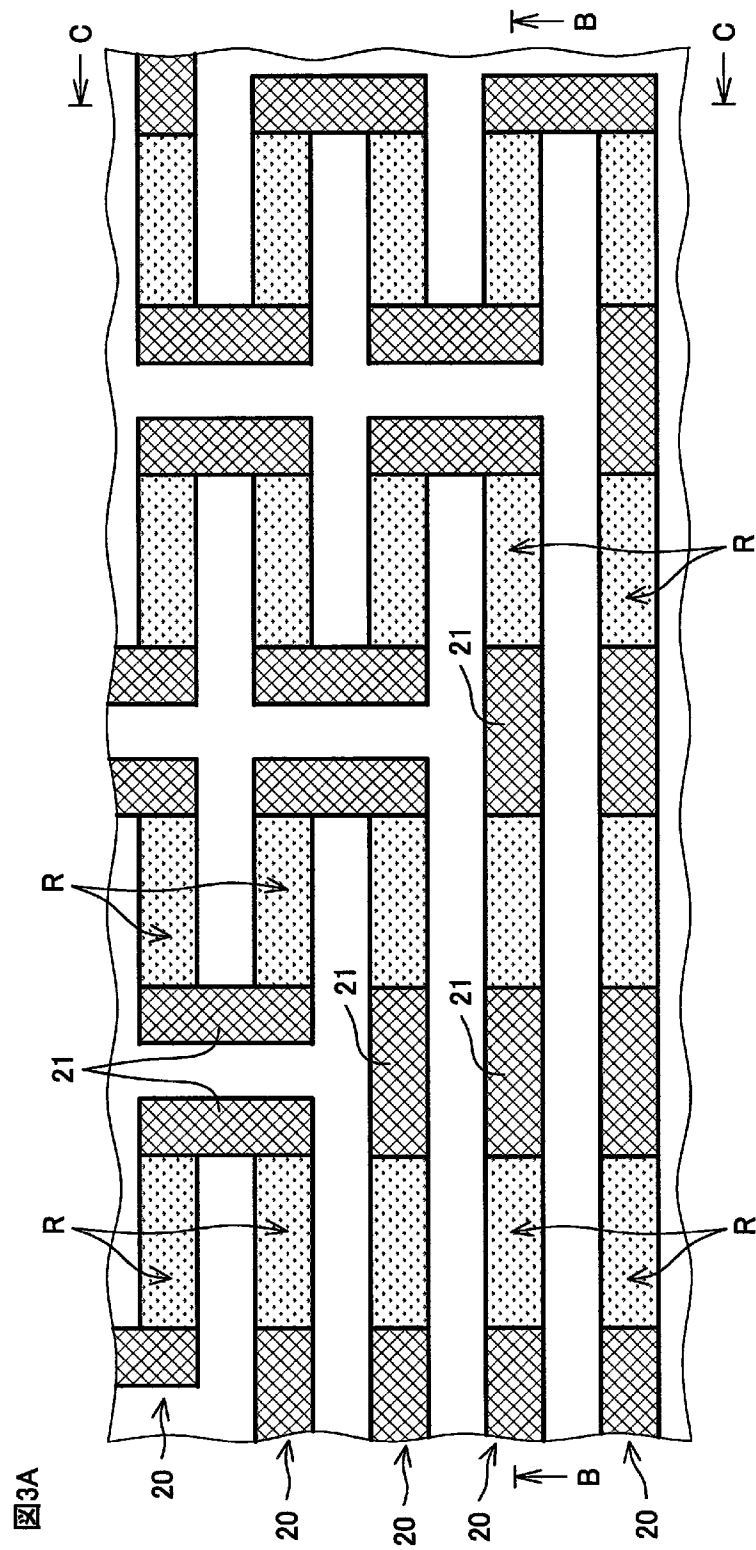
図1



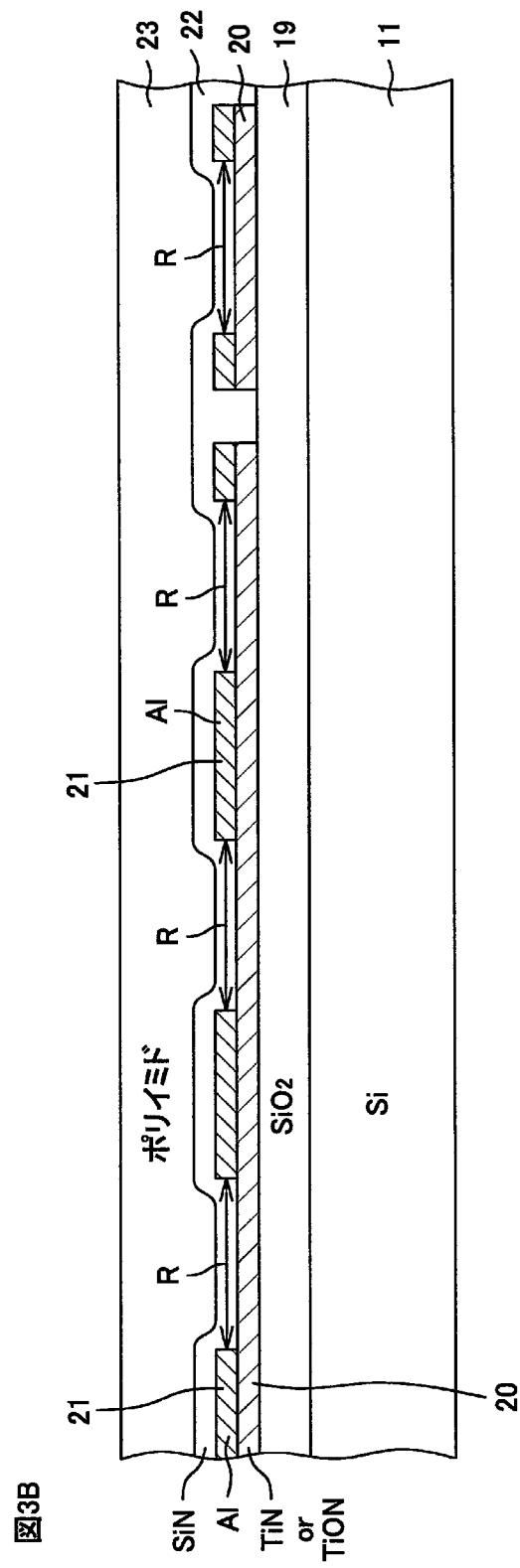
(B)



[図3A]

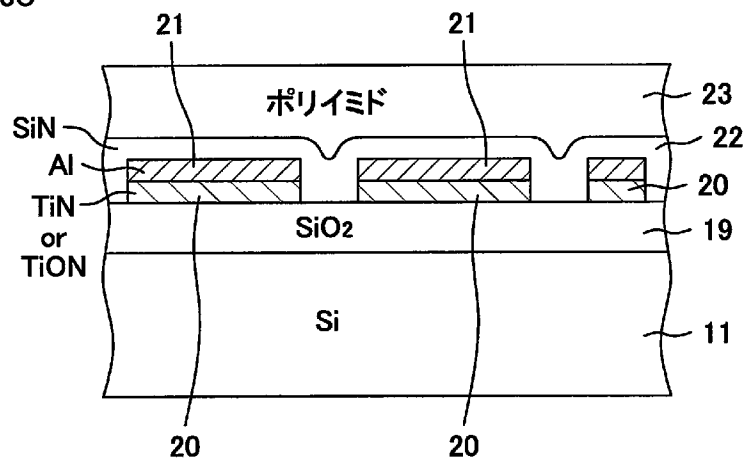


[図3B]



[図3C]

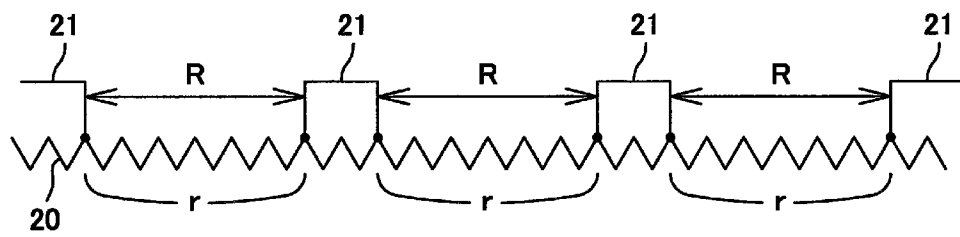
図3C



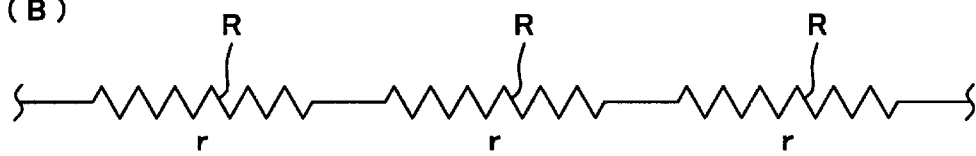
[図4]

図4

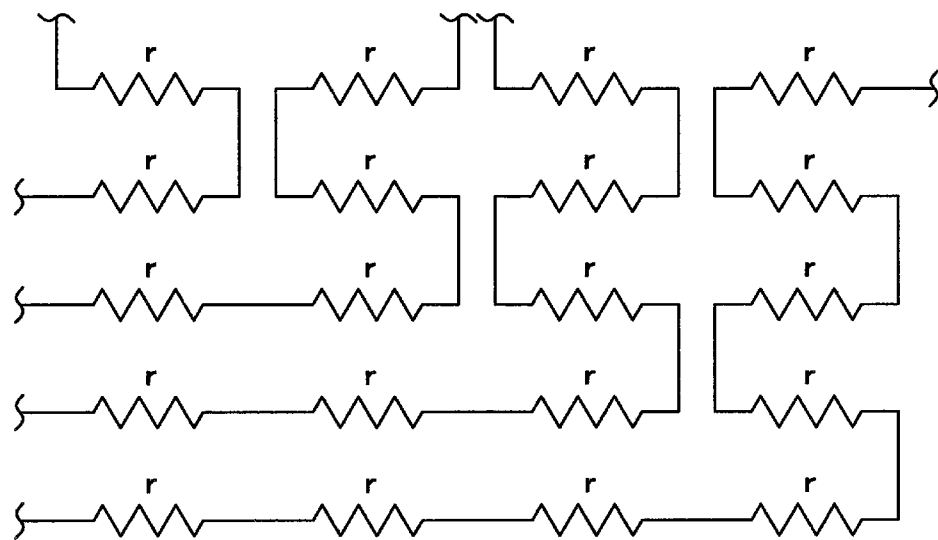
(A)



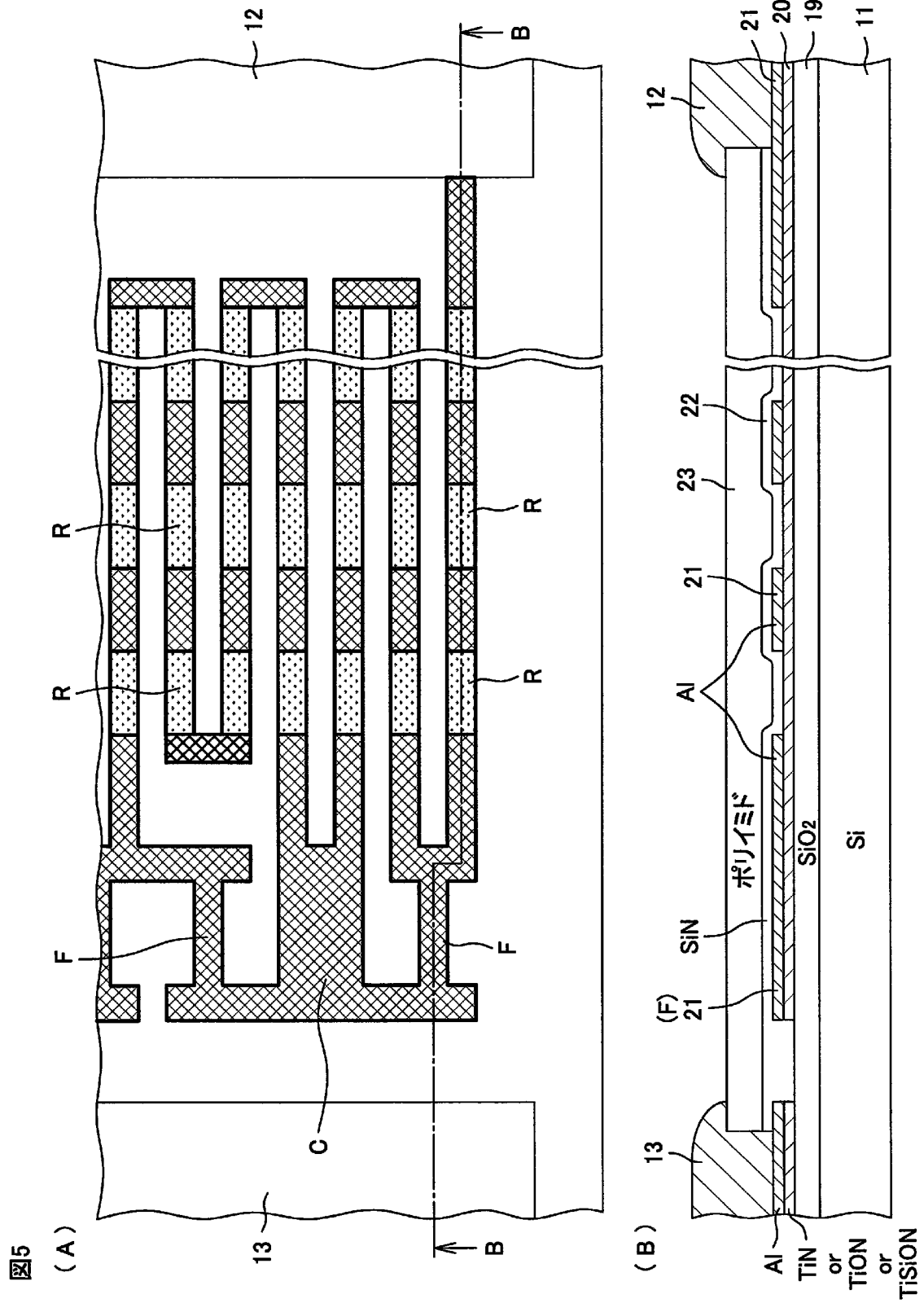
(B)



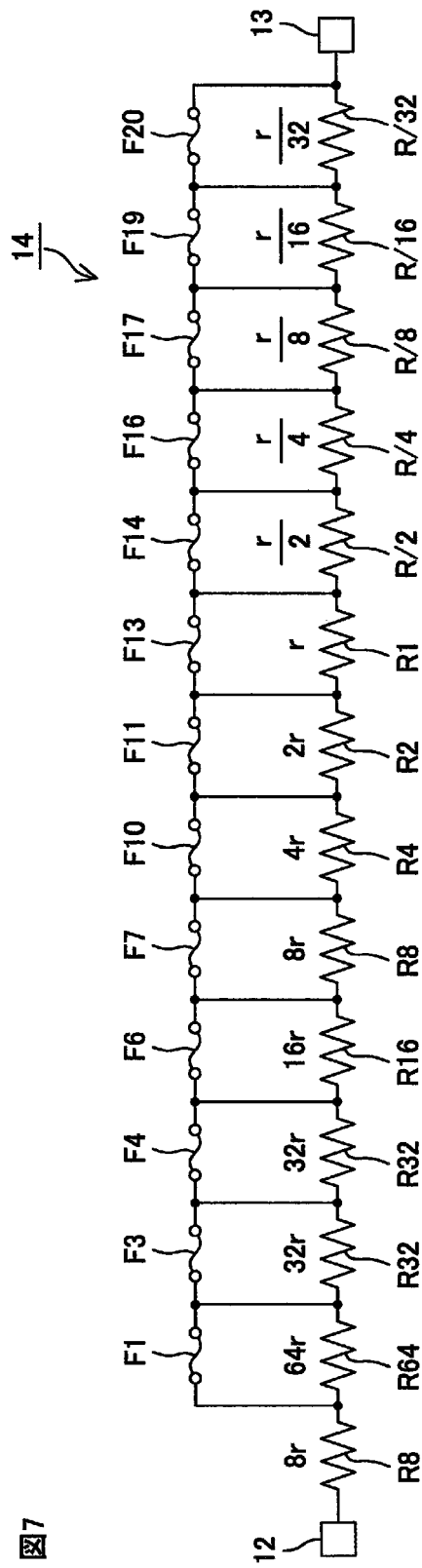
(C)



[図5]



[図7]



[図8]

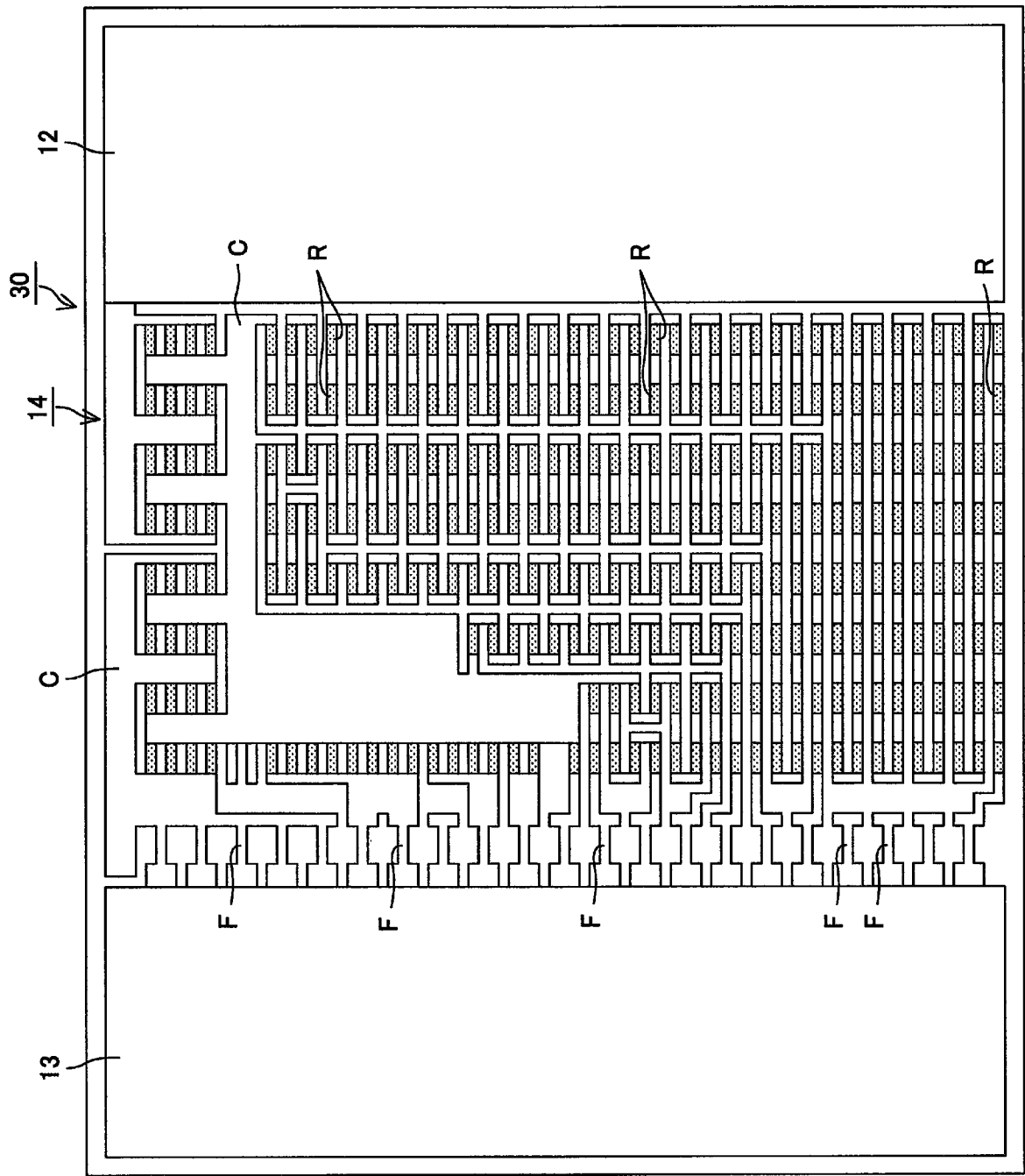
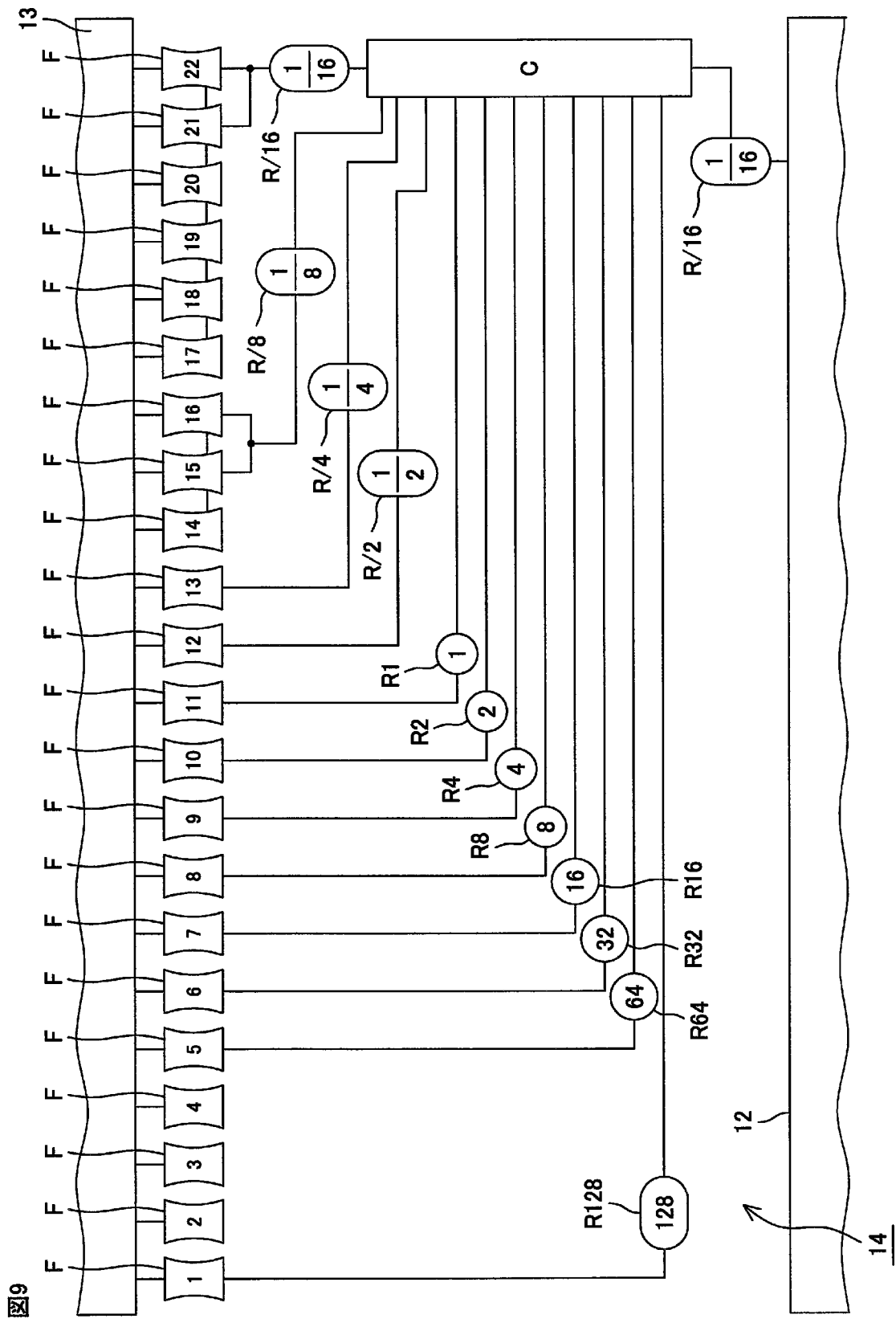


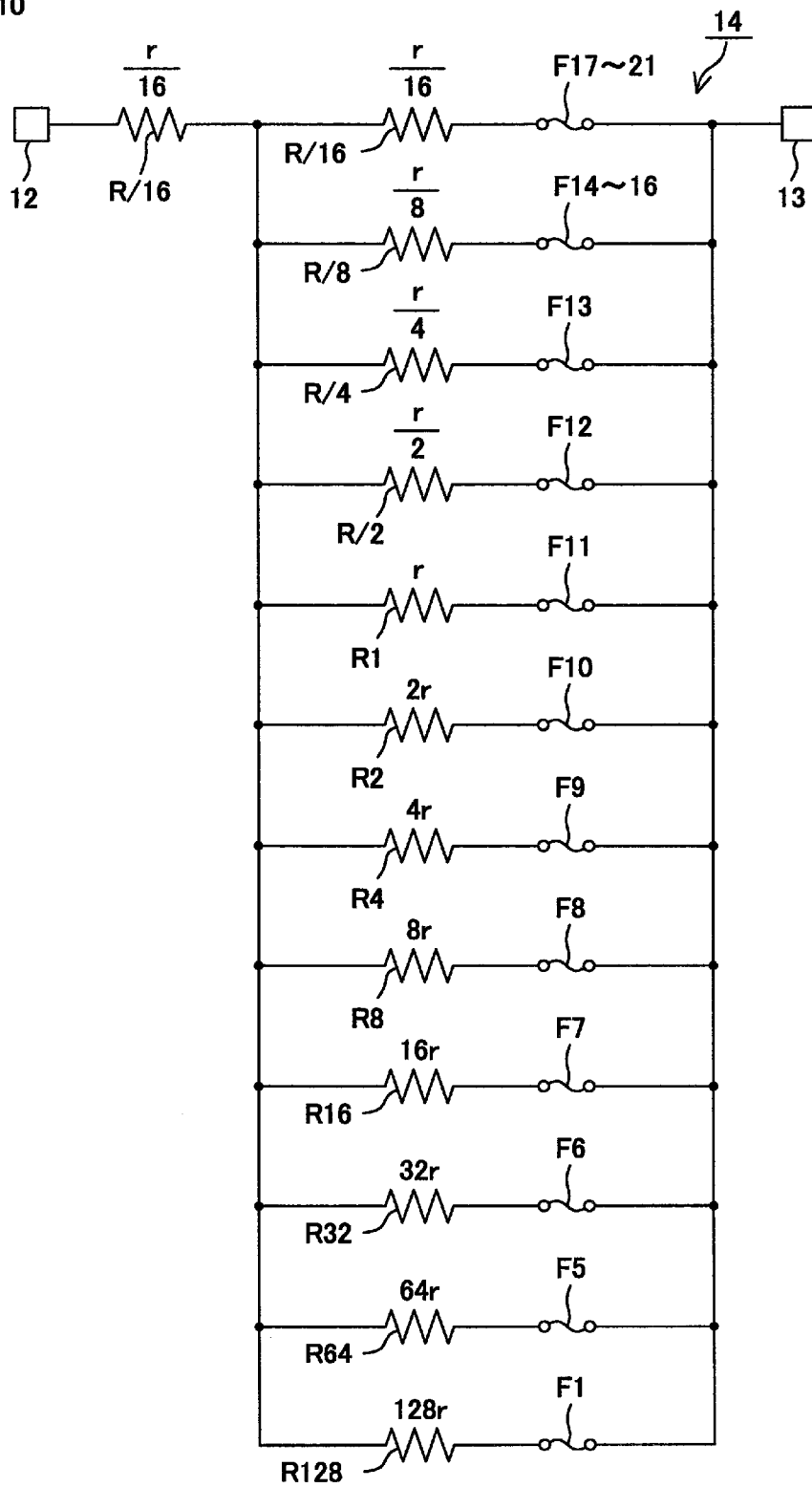
図8

[図9]



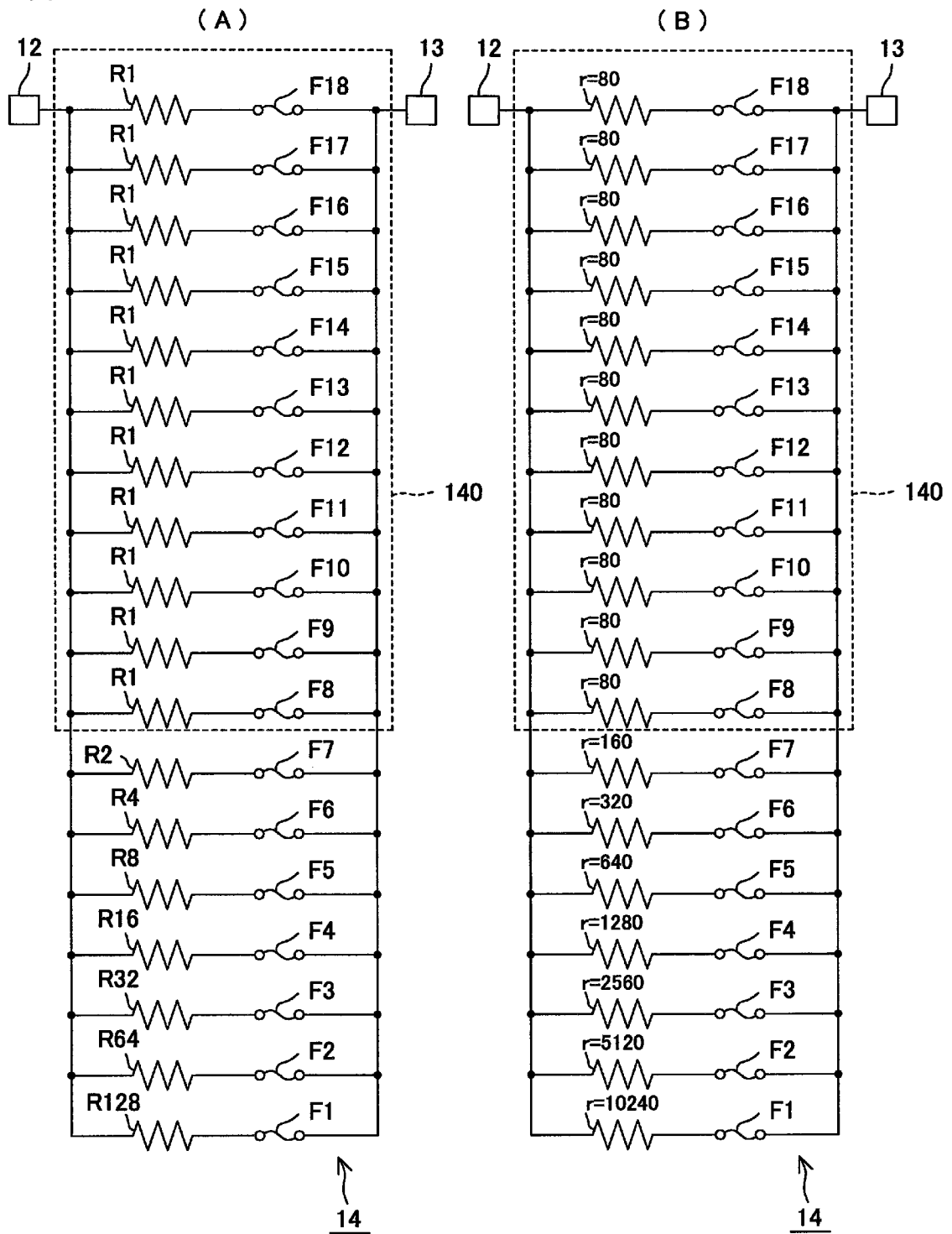
[図10]

図10



[図11]

図11



[図12]

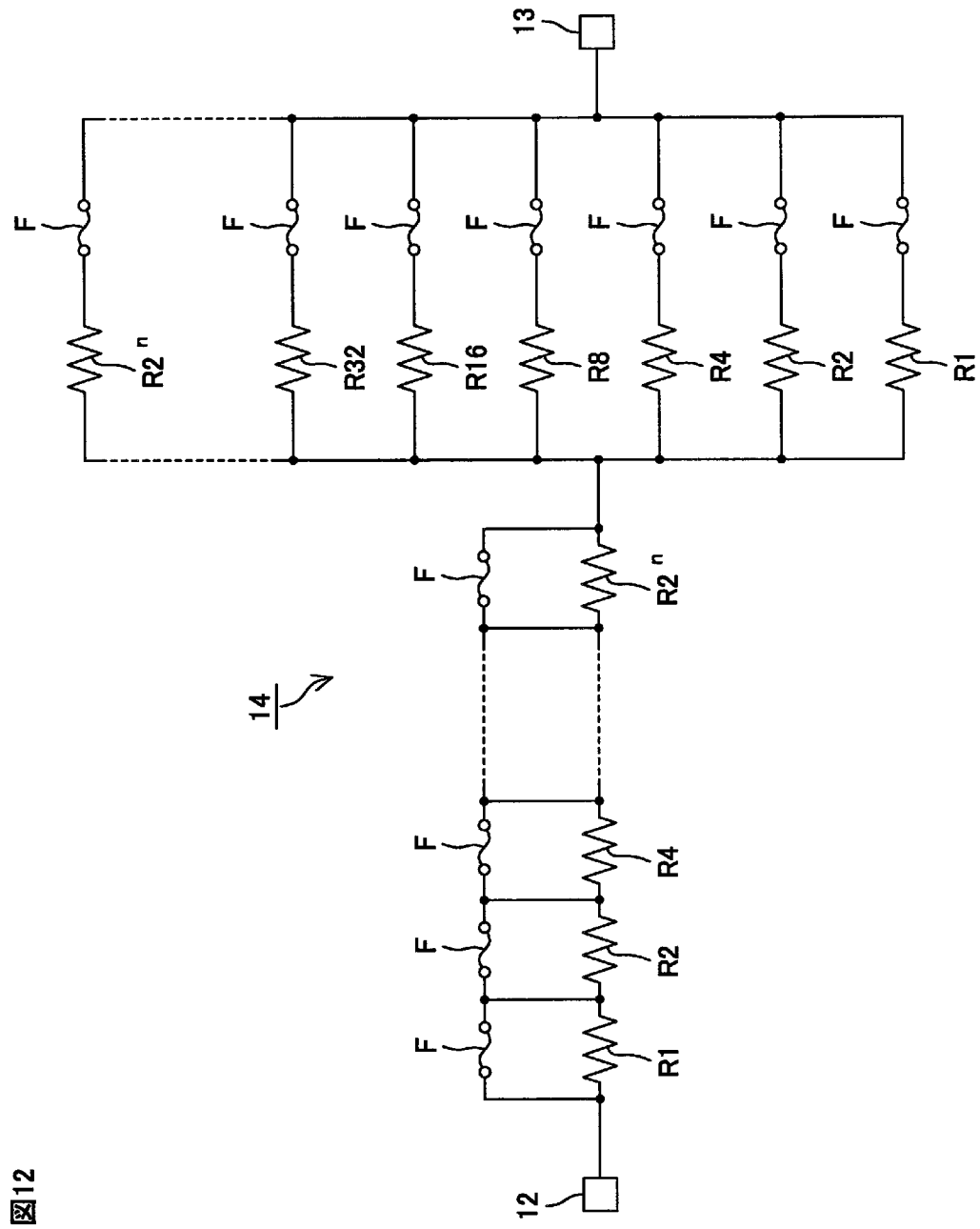
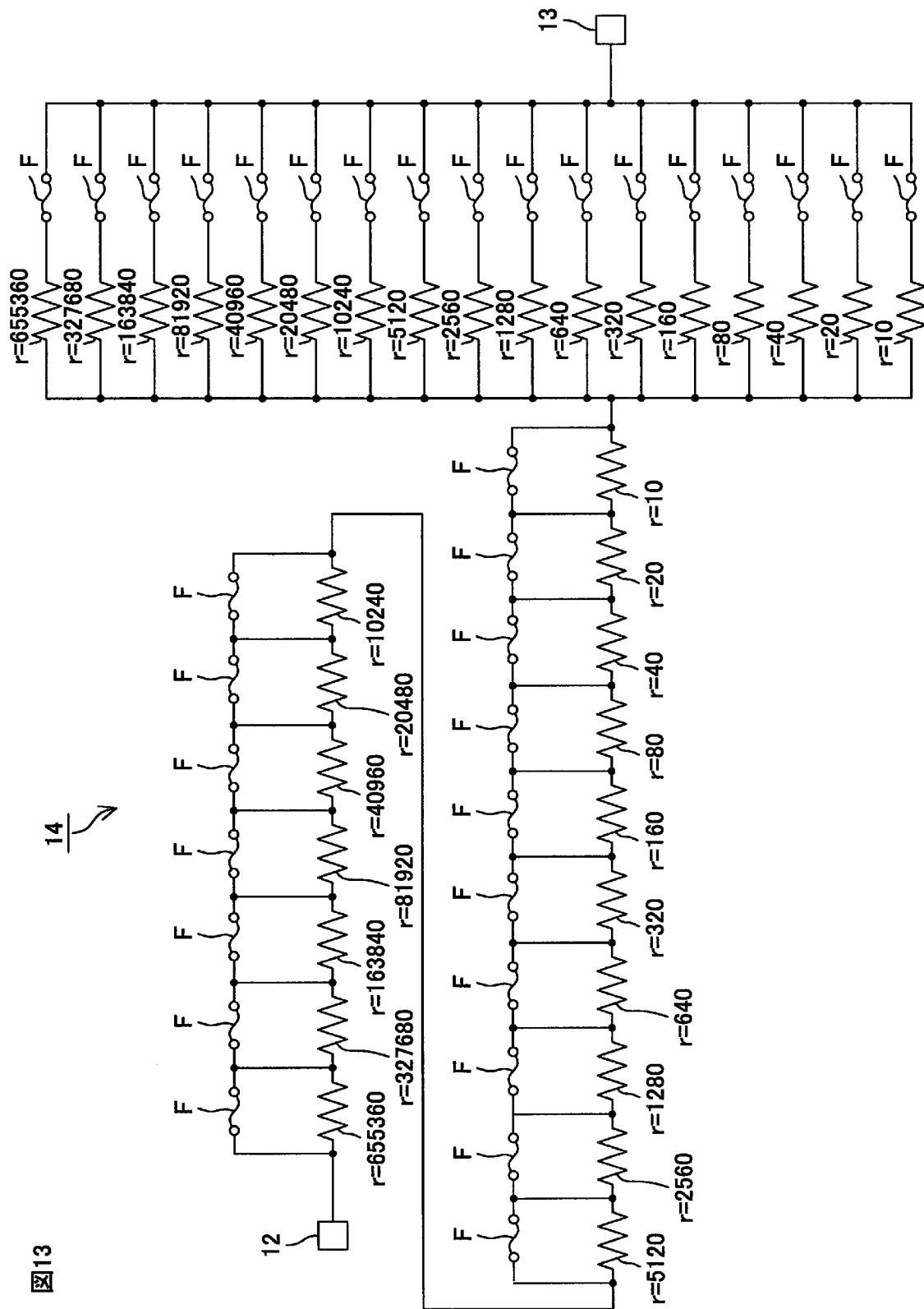


図 12

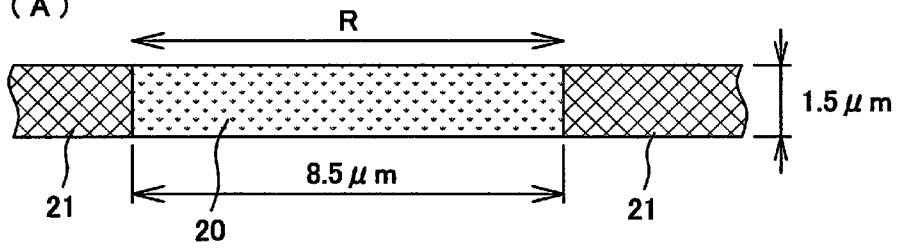
[図13]



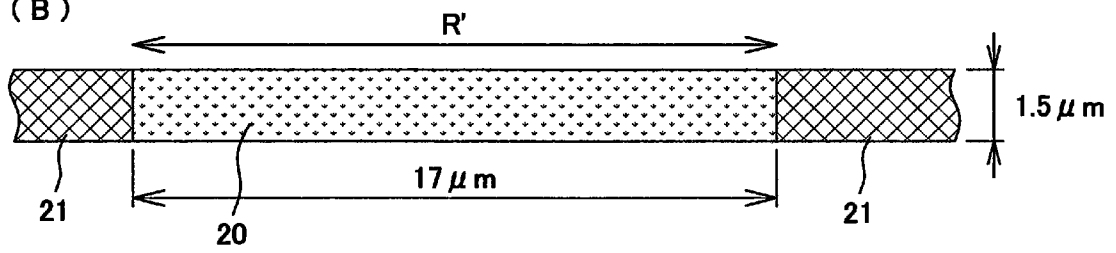
[図14]

図14

(A)

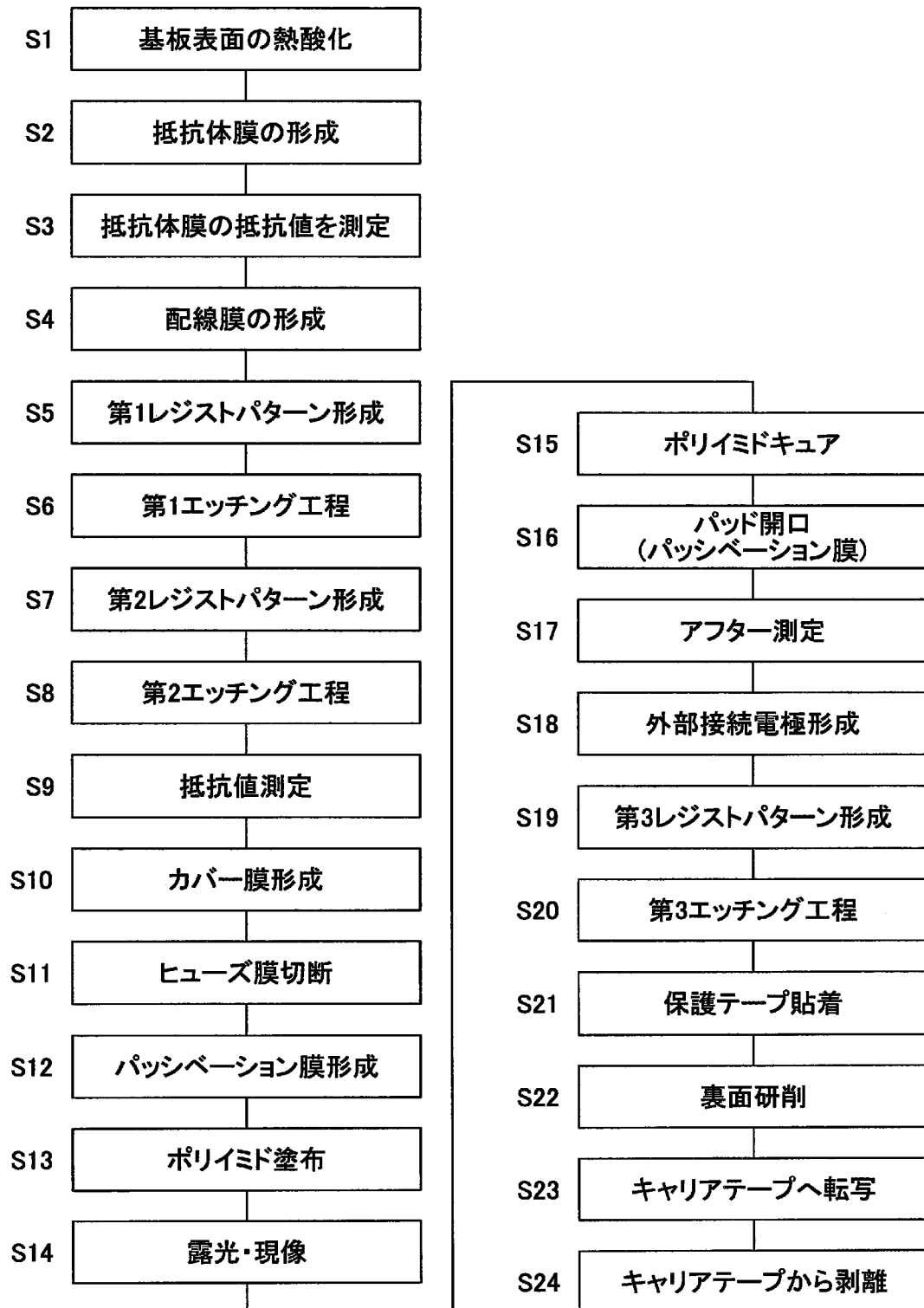


(B)



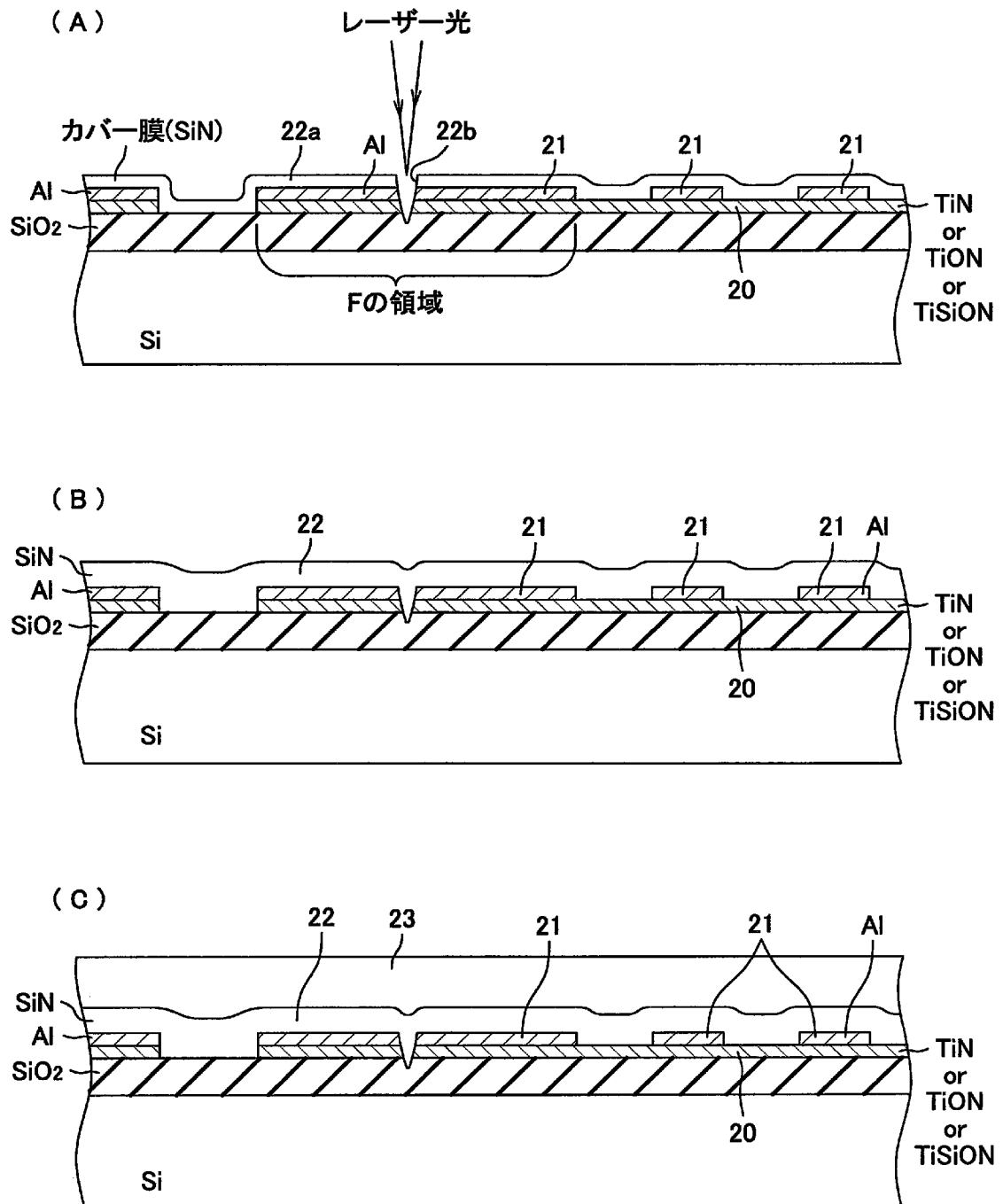
[図15]

図15



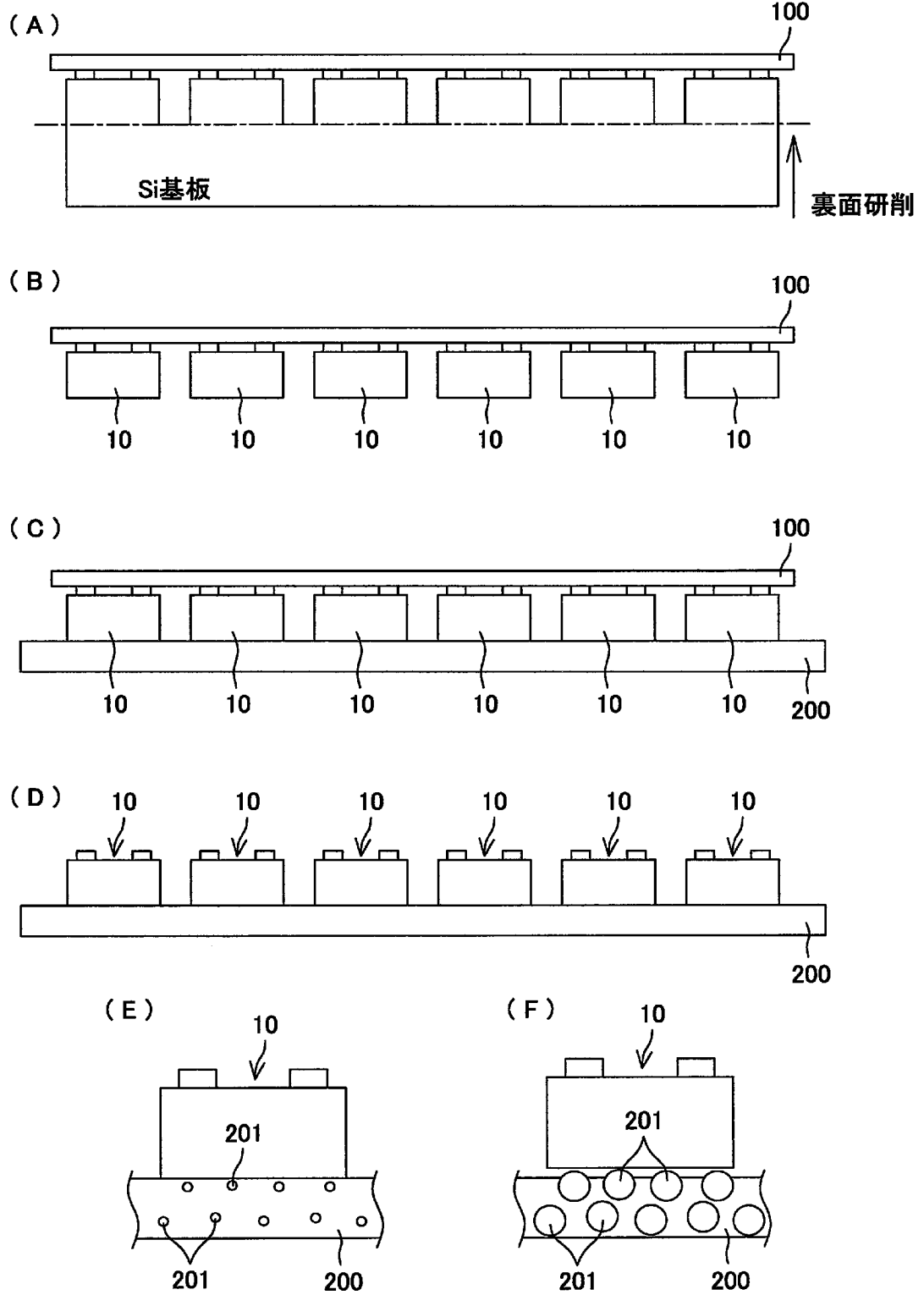
[図16]

図16



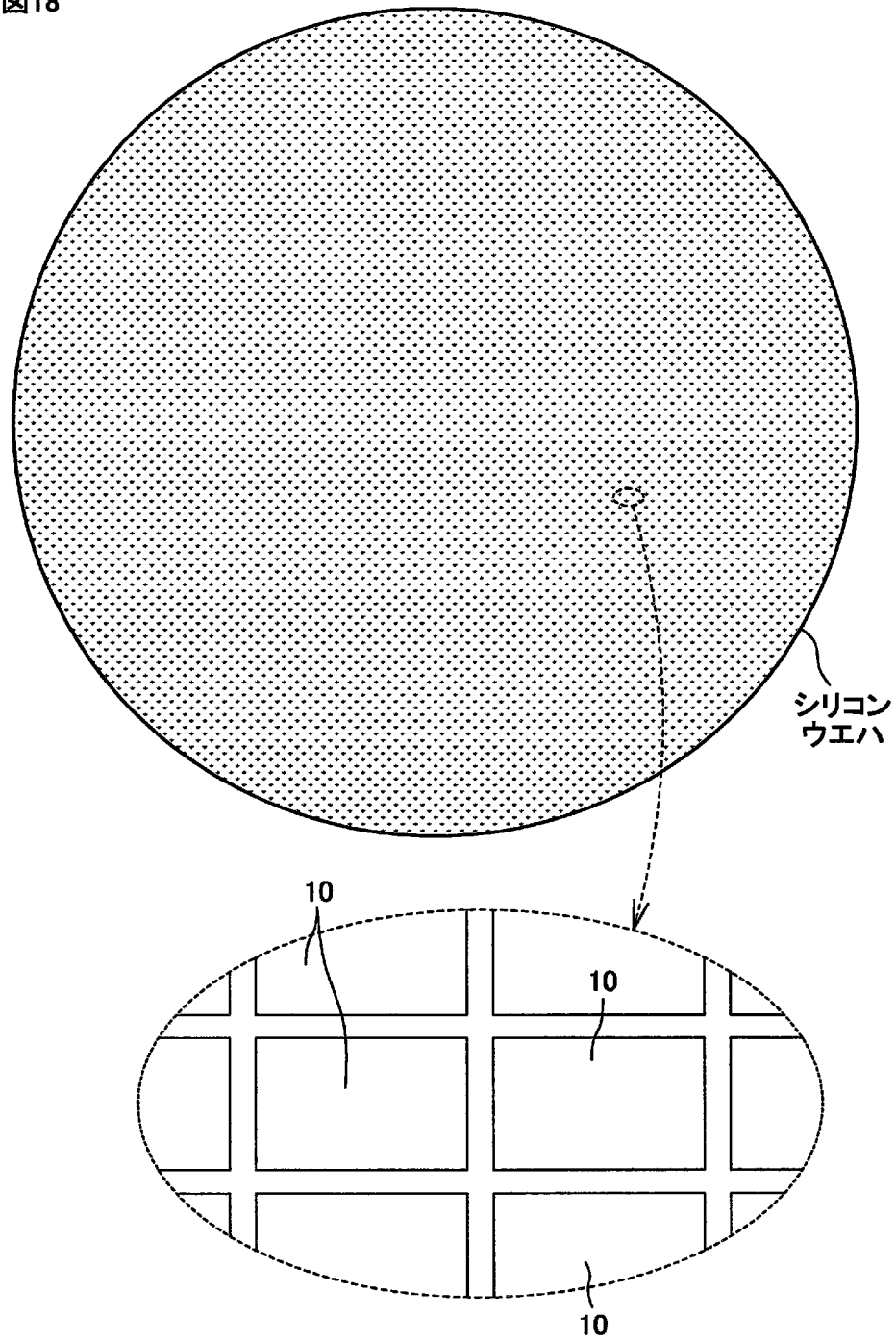
[図17]

図17



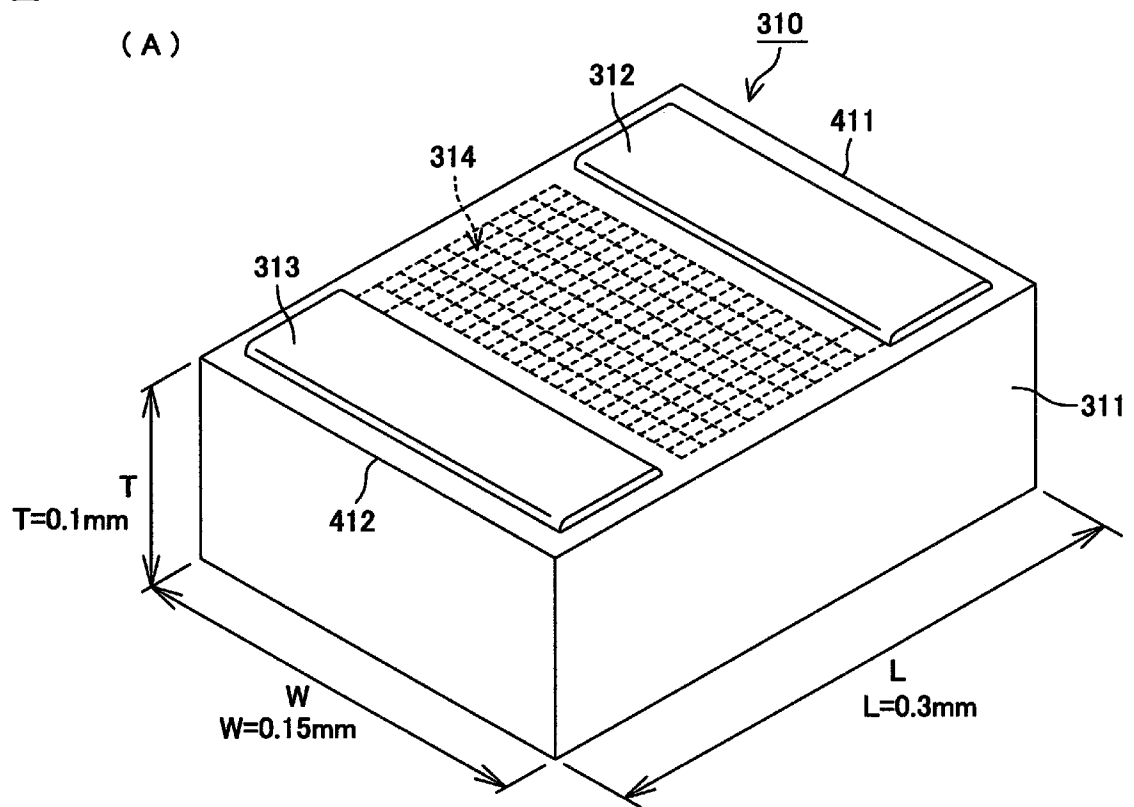
[図18]

図18

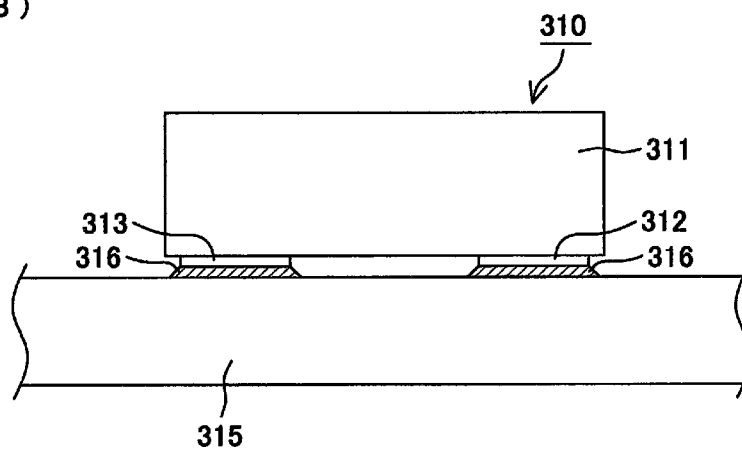


[図19]

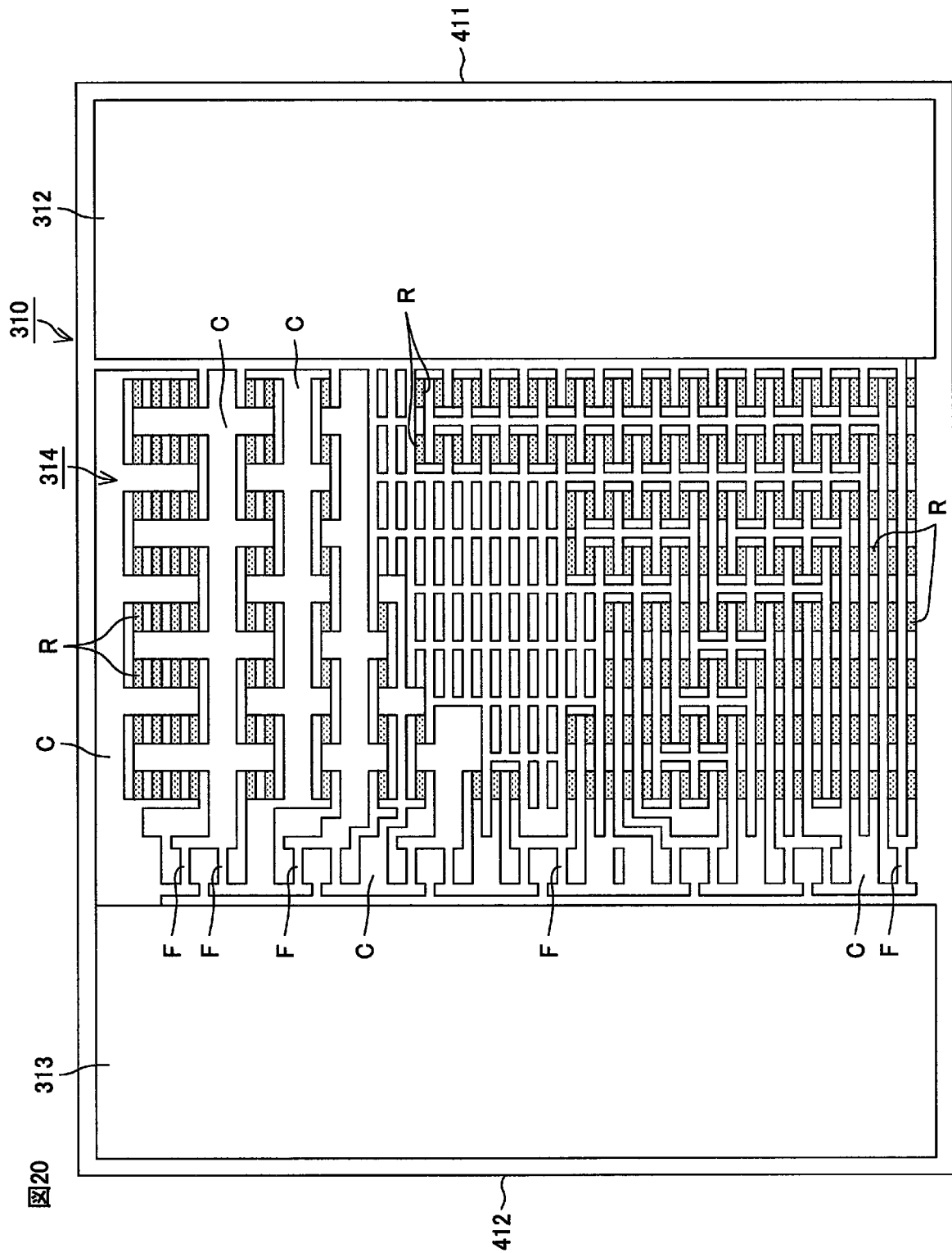
図19



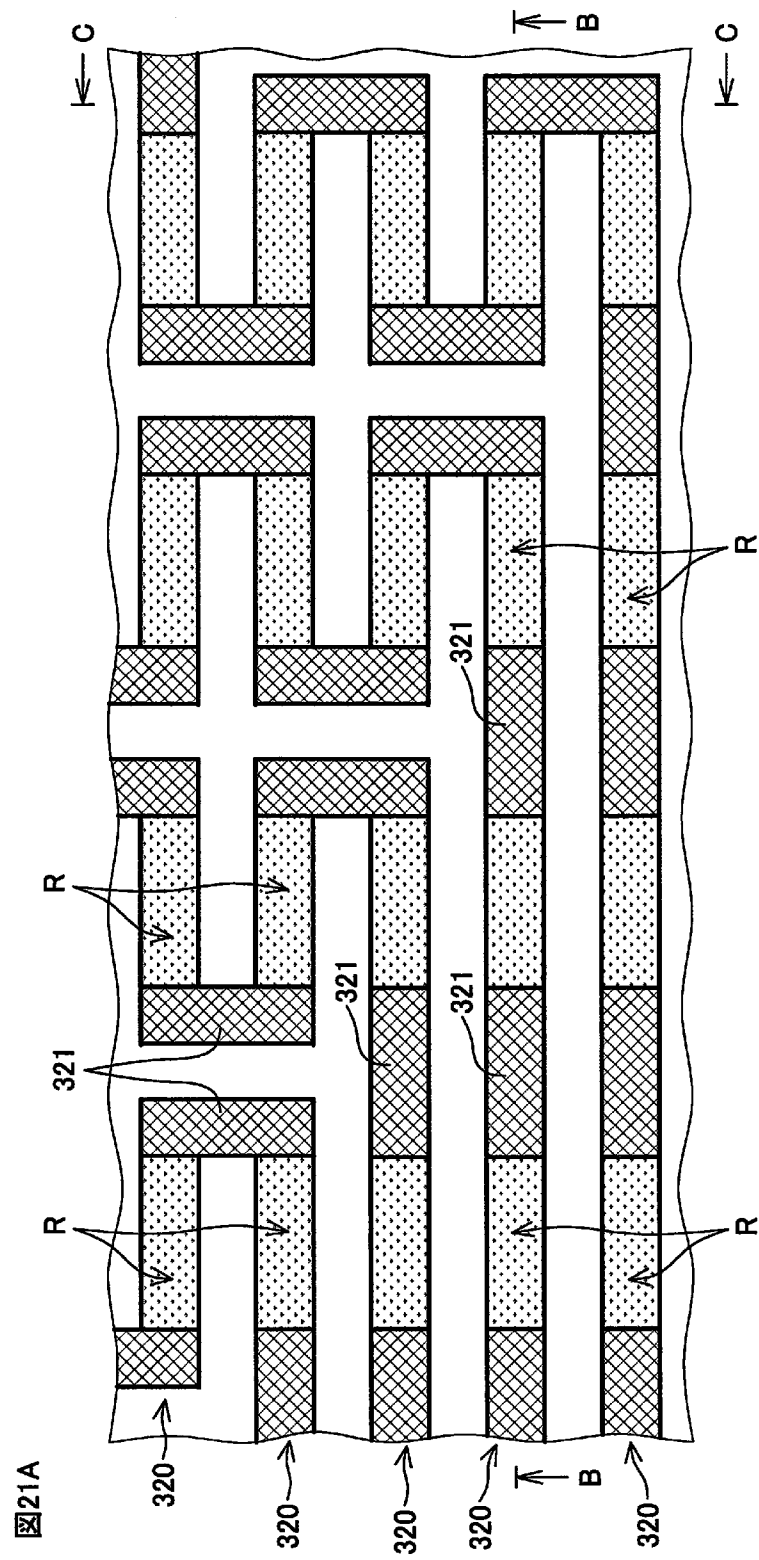
(B)



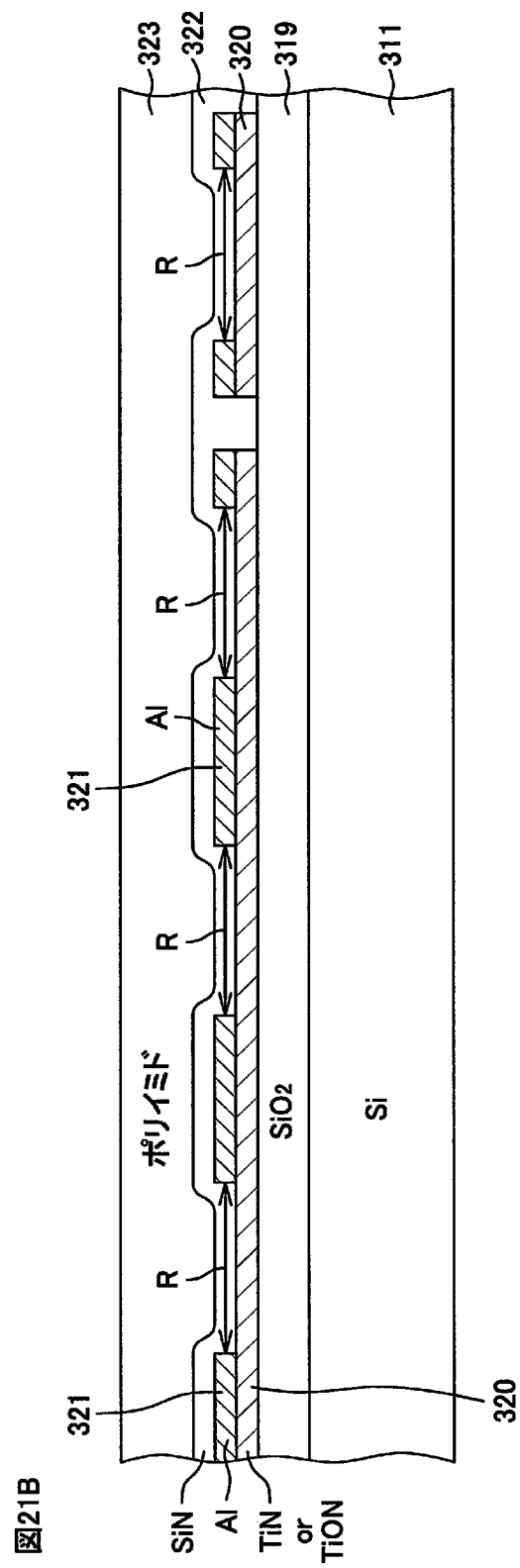
[図20]



[図21A]

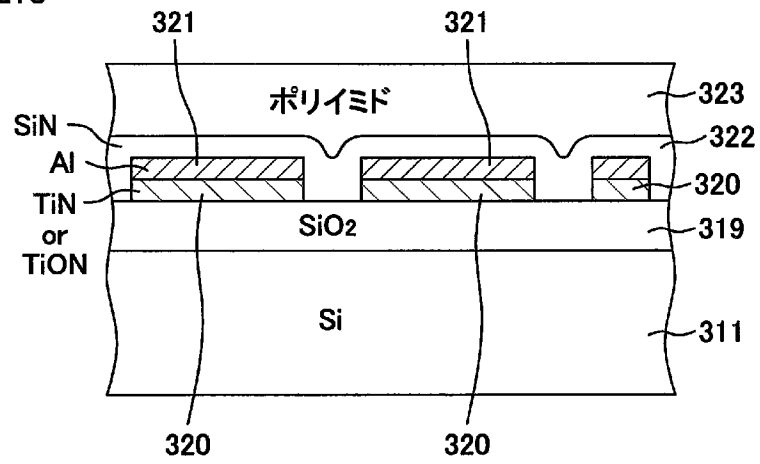


[図21B]



[図21C]

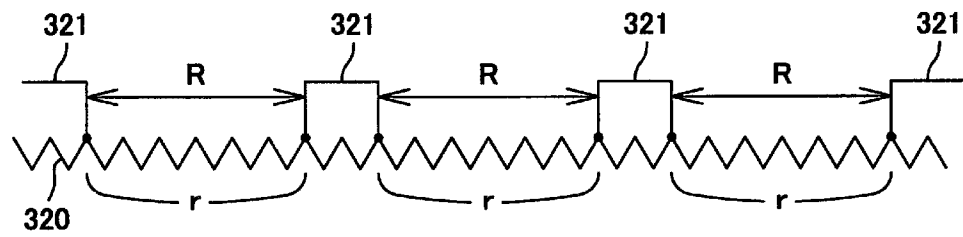
図21C



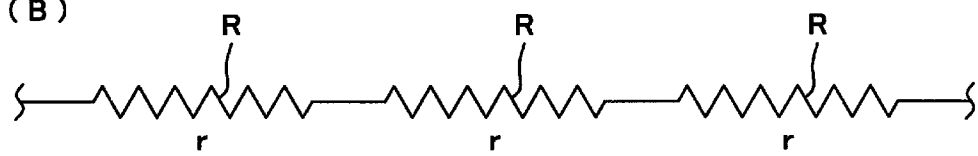
[図22]

図22

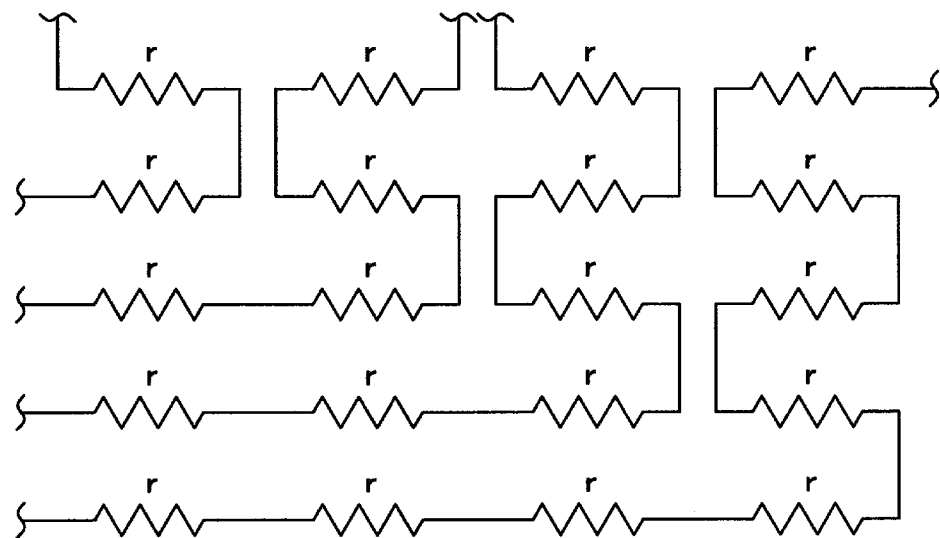
(A)



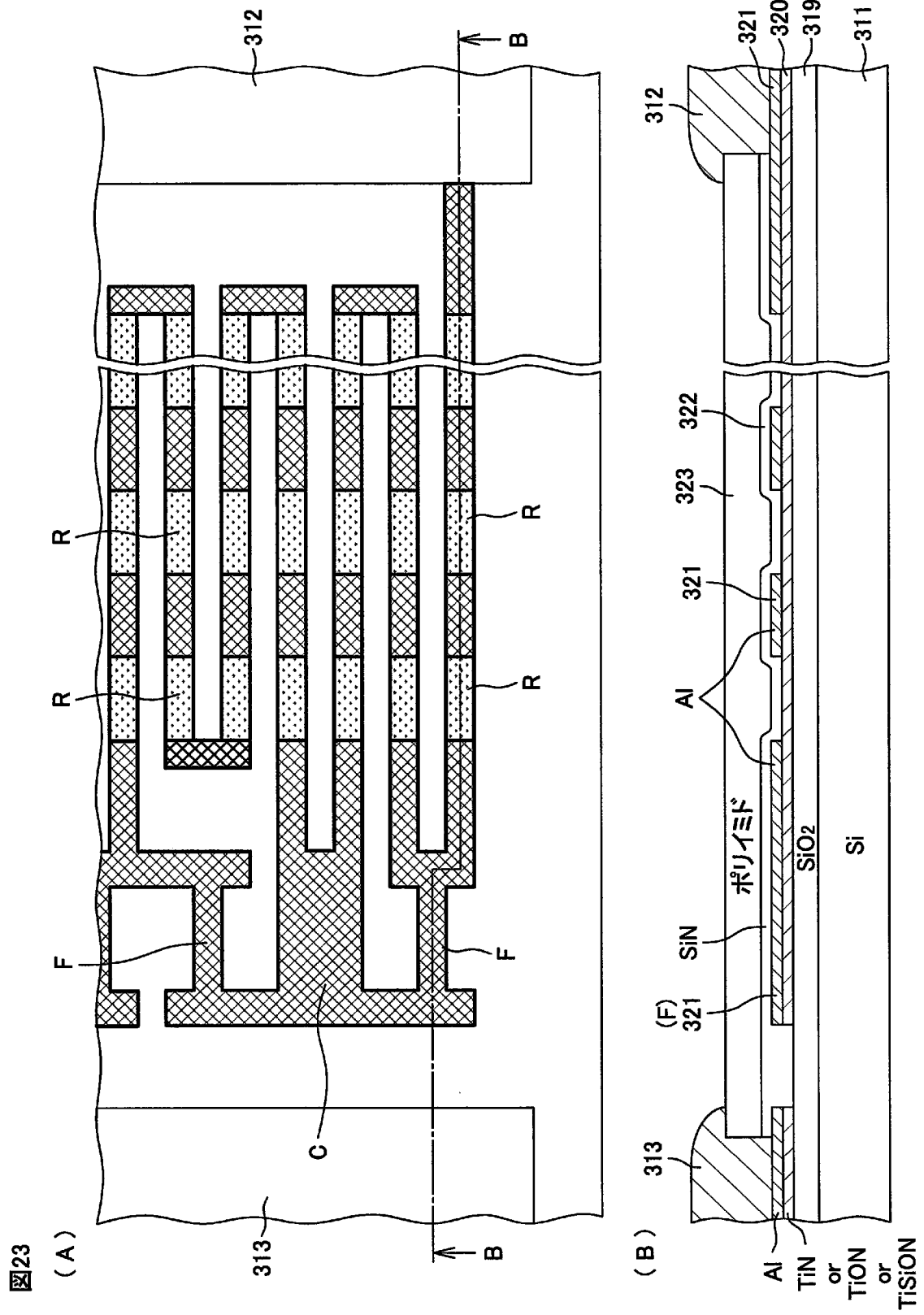
(B)



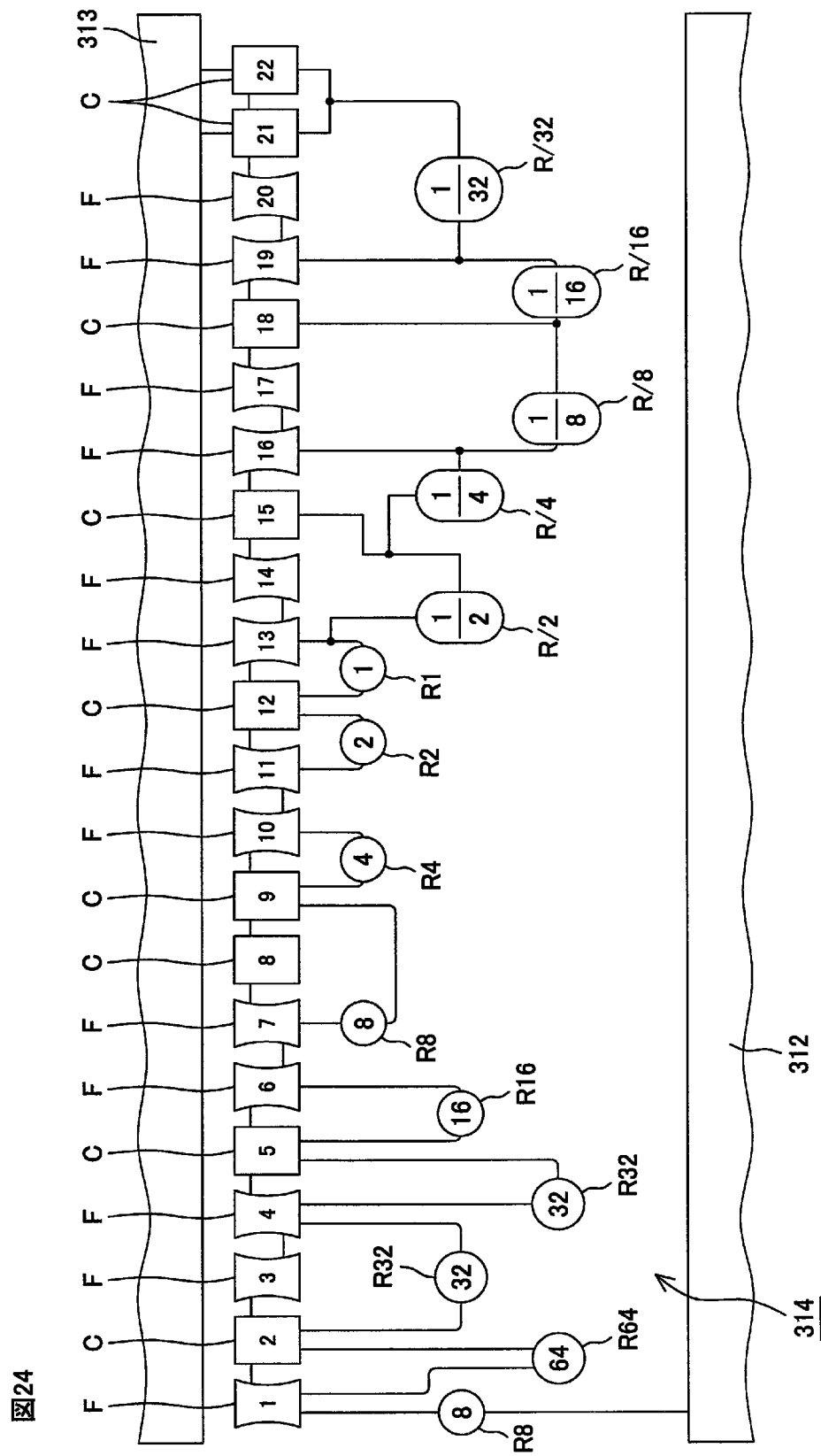
(C)



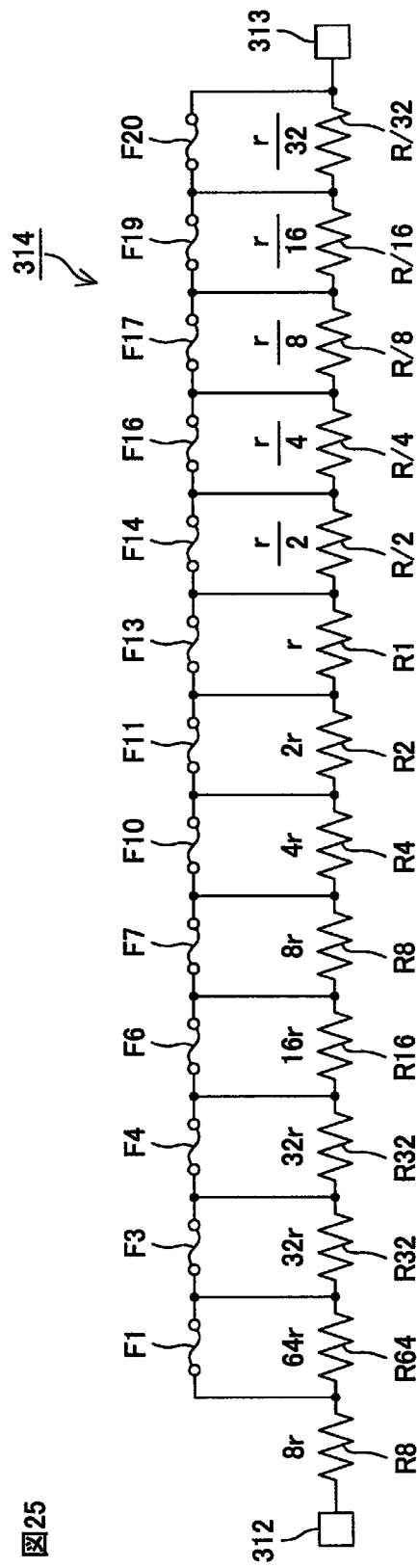
[図23]



[図24]



[図25]



[図26]

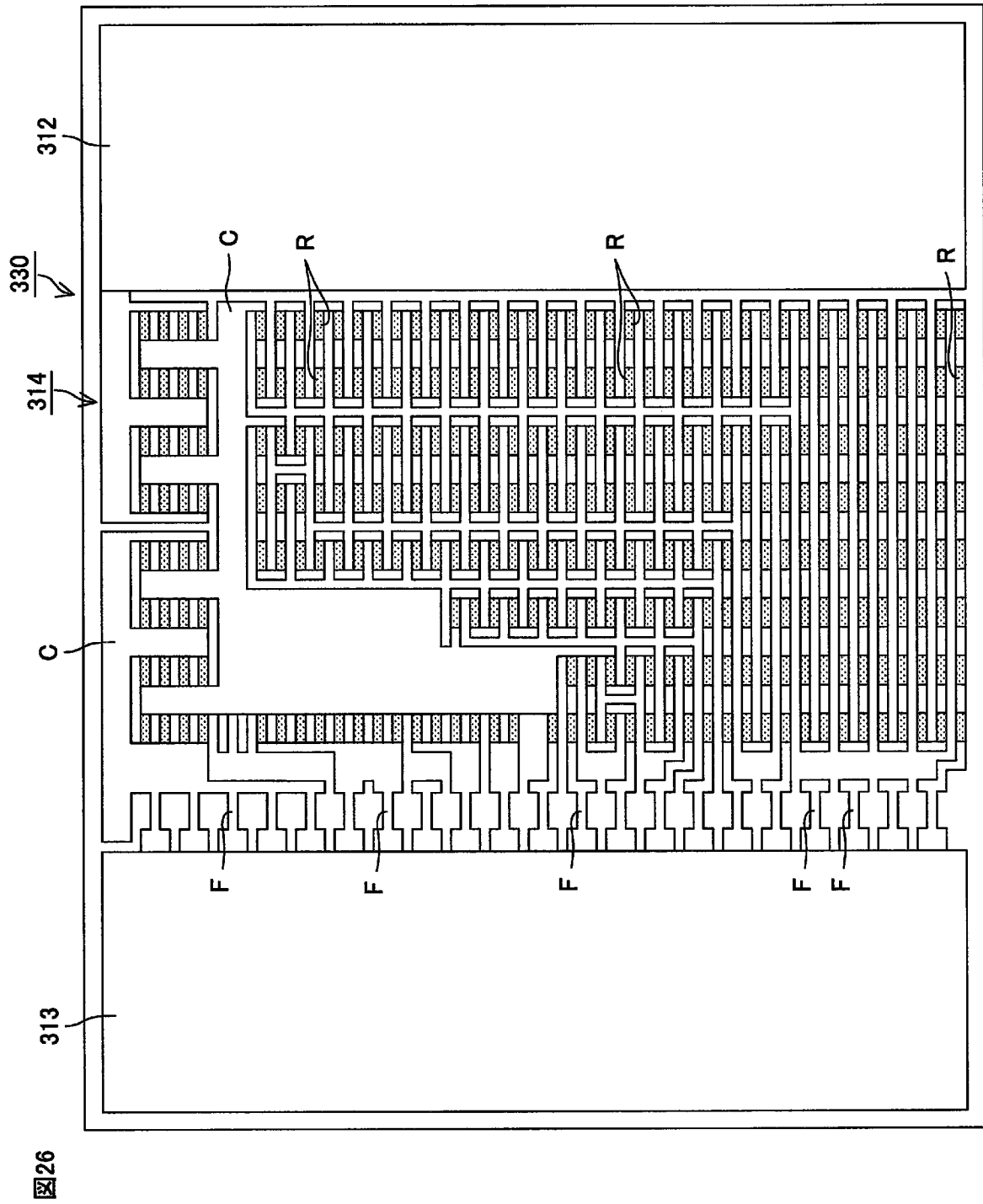
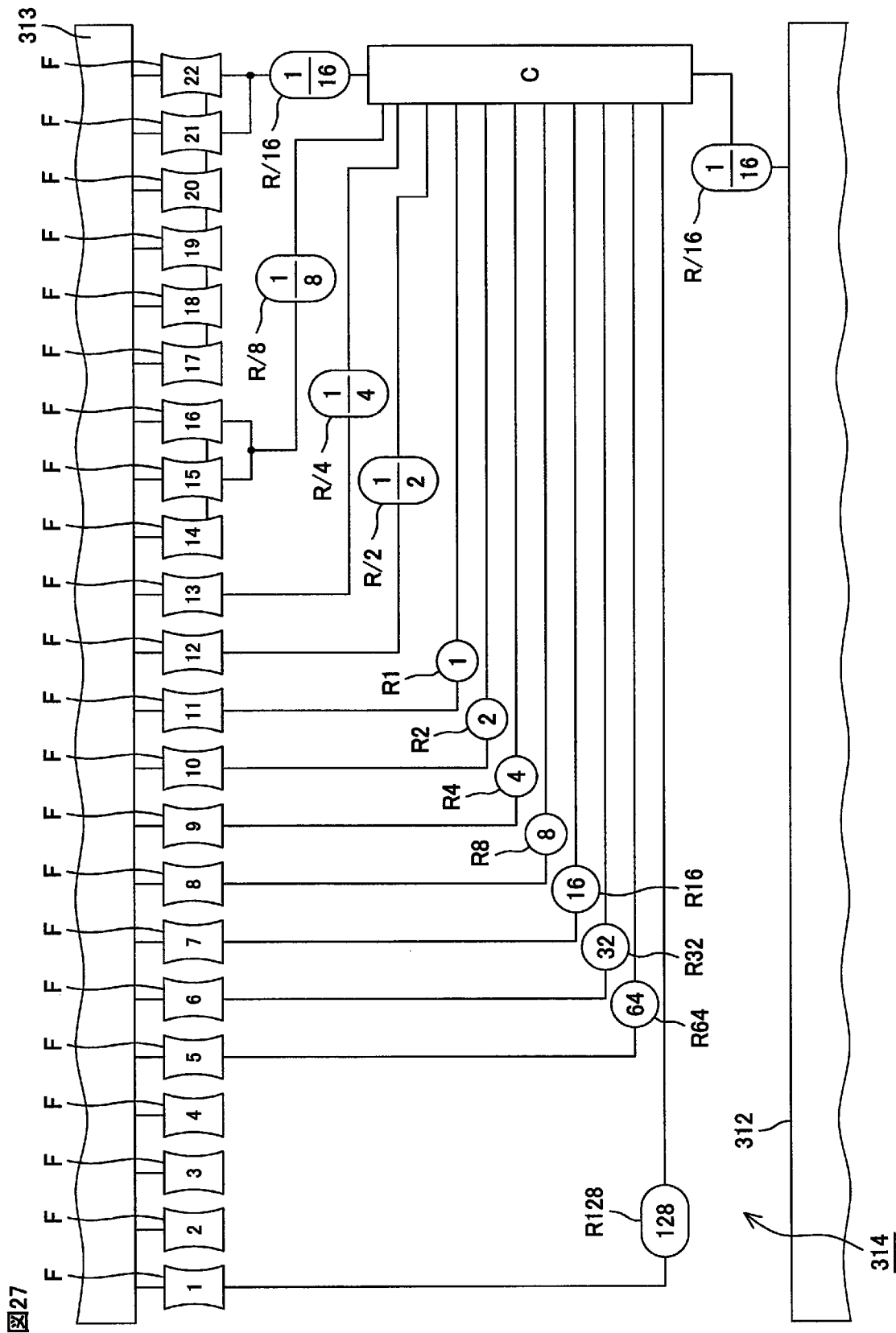


图27



[図28]

図28

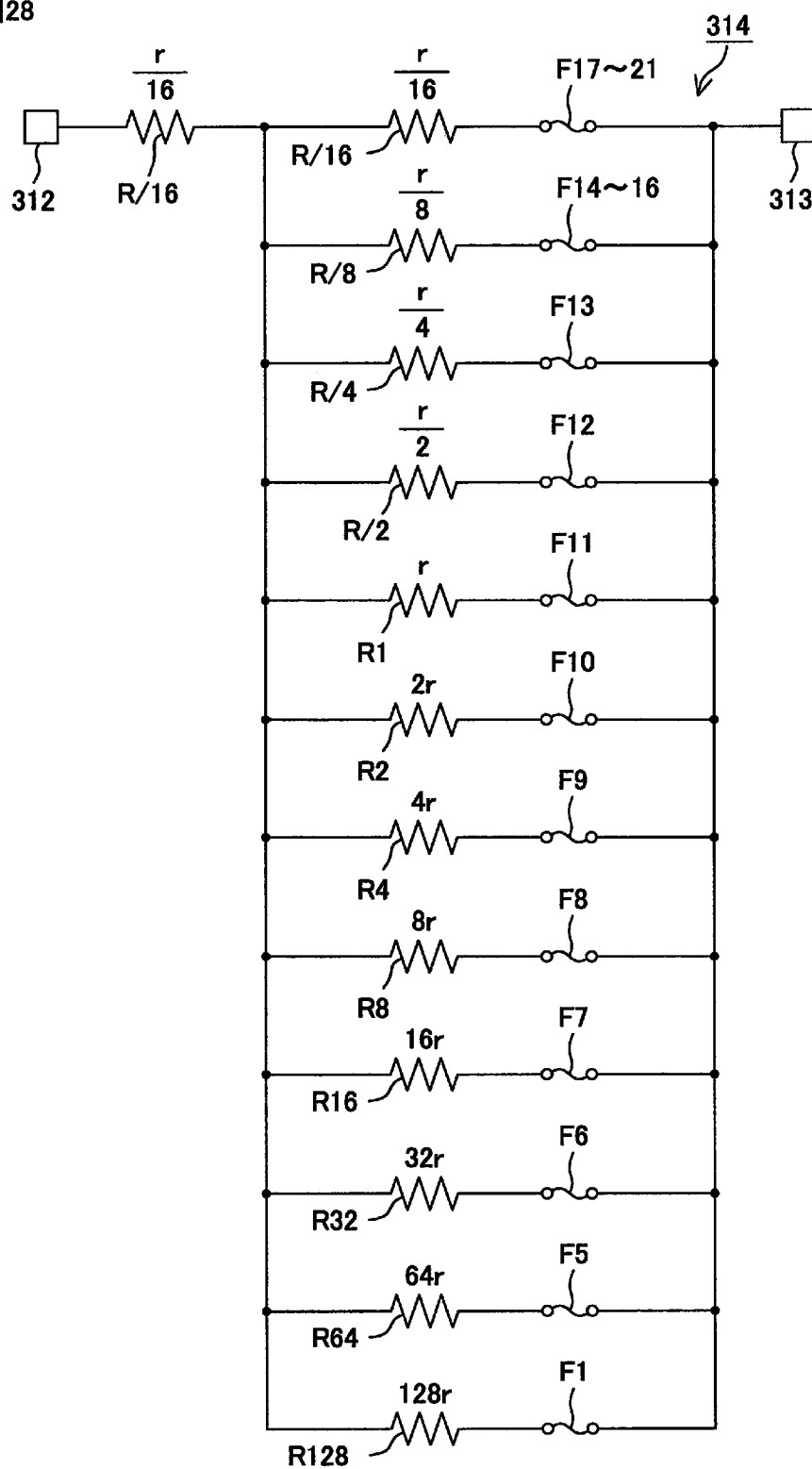
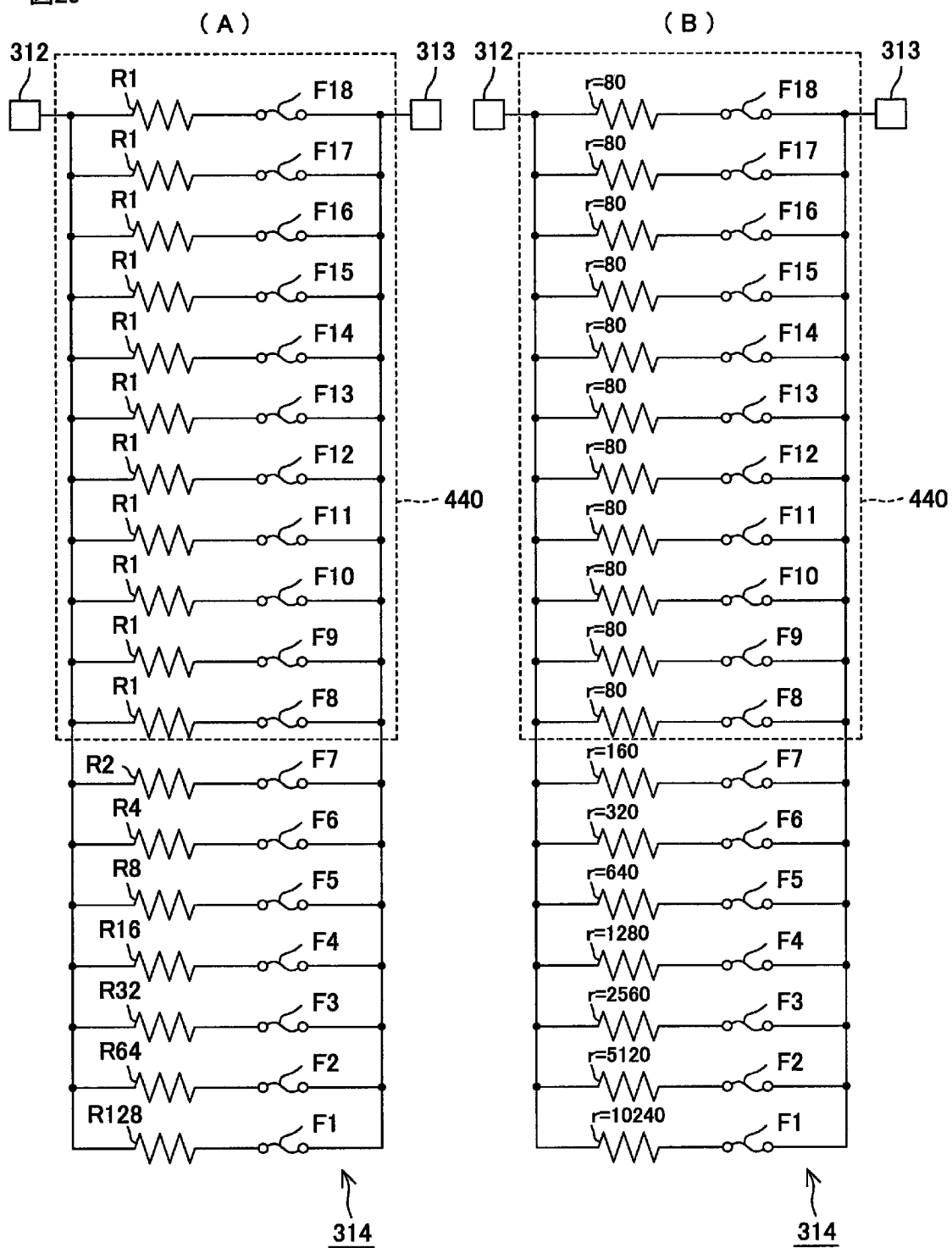


图29



[図30]

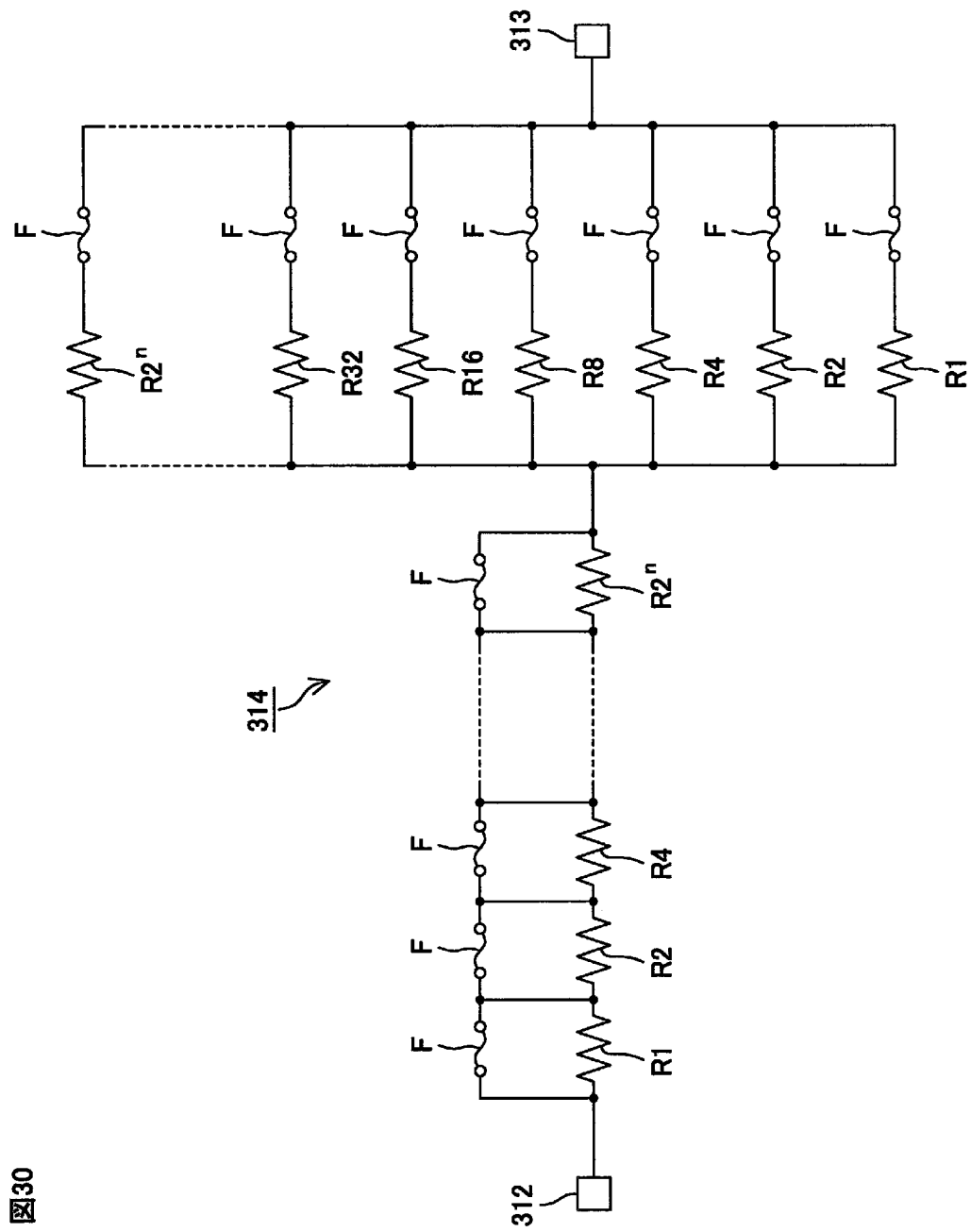
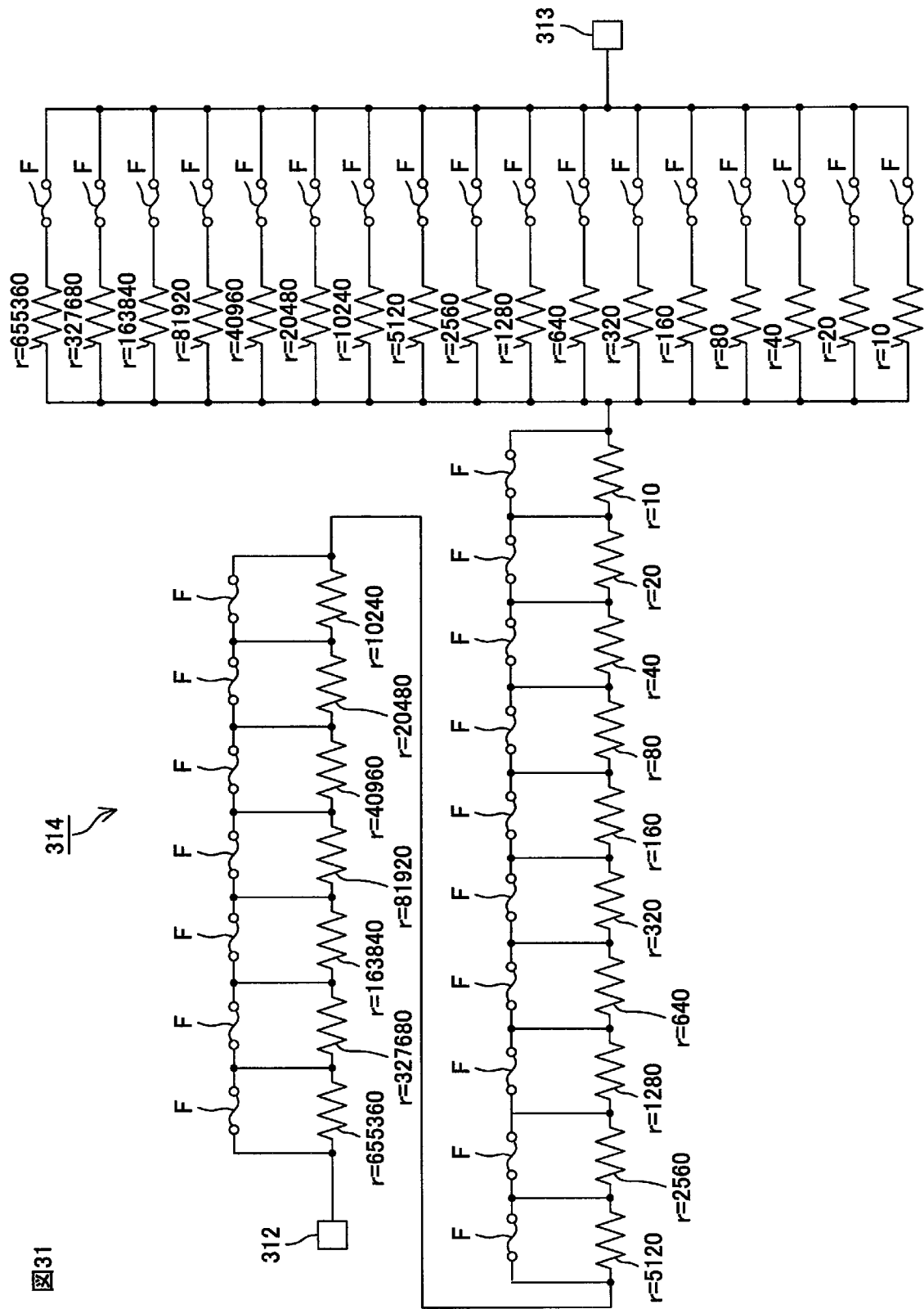


図30

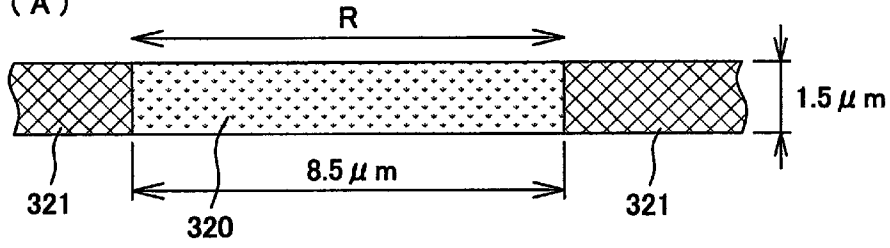
[図31]



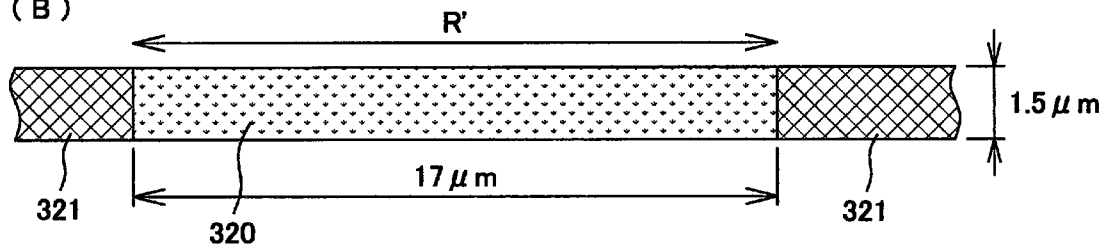
[図32]

図32

(A)

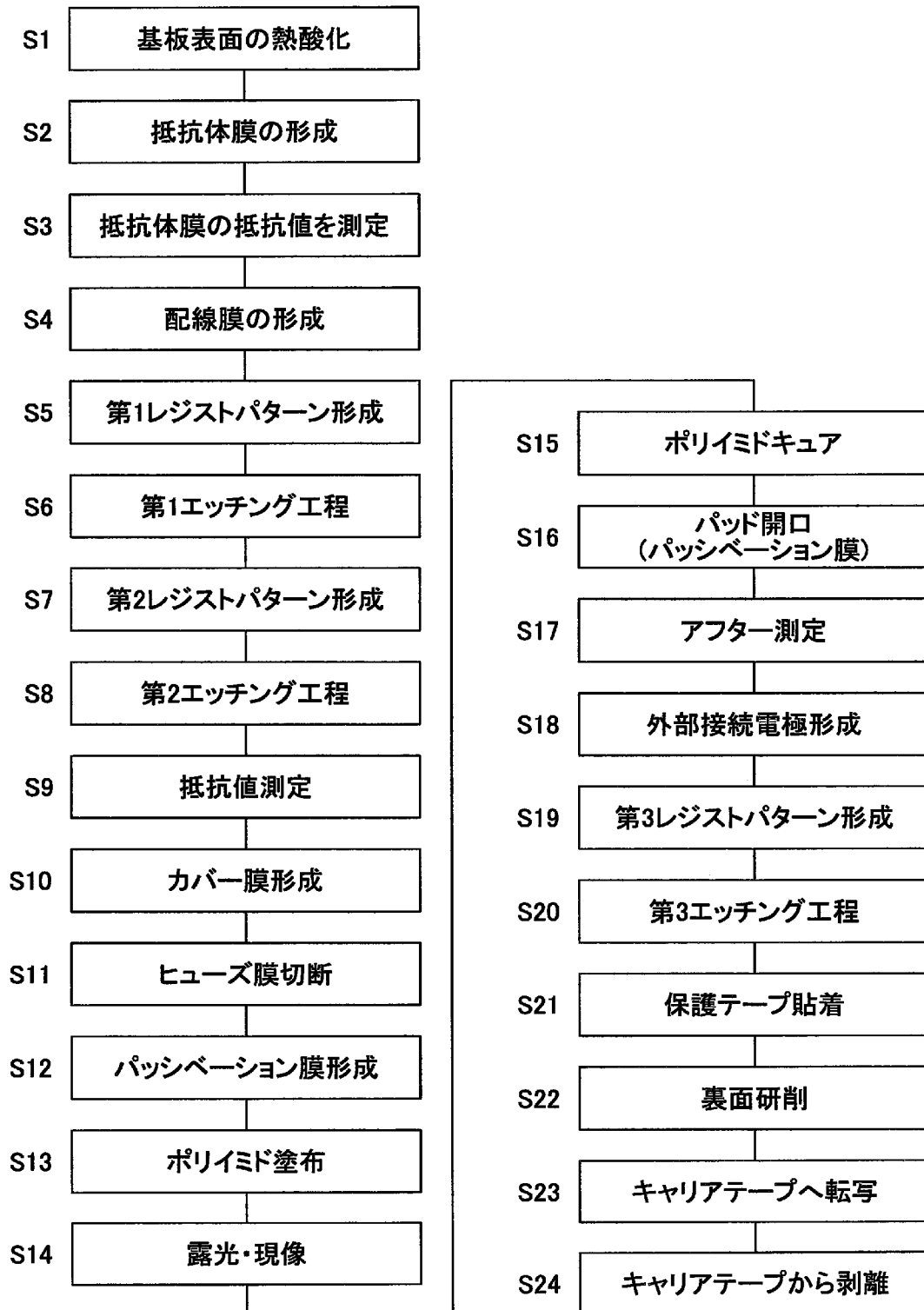


(B)



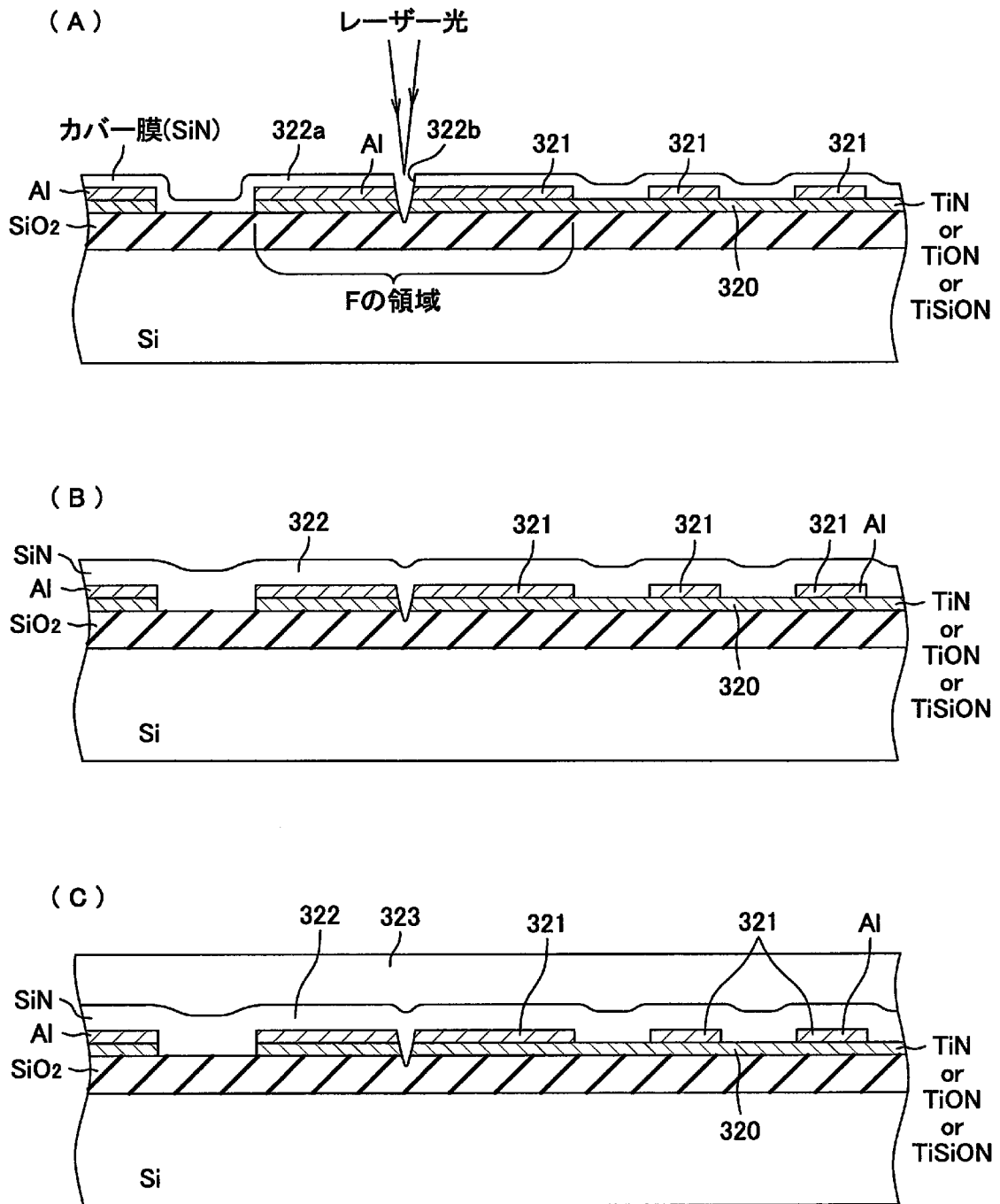
[図33]

図33



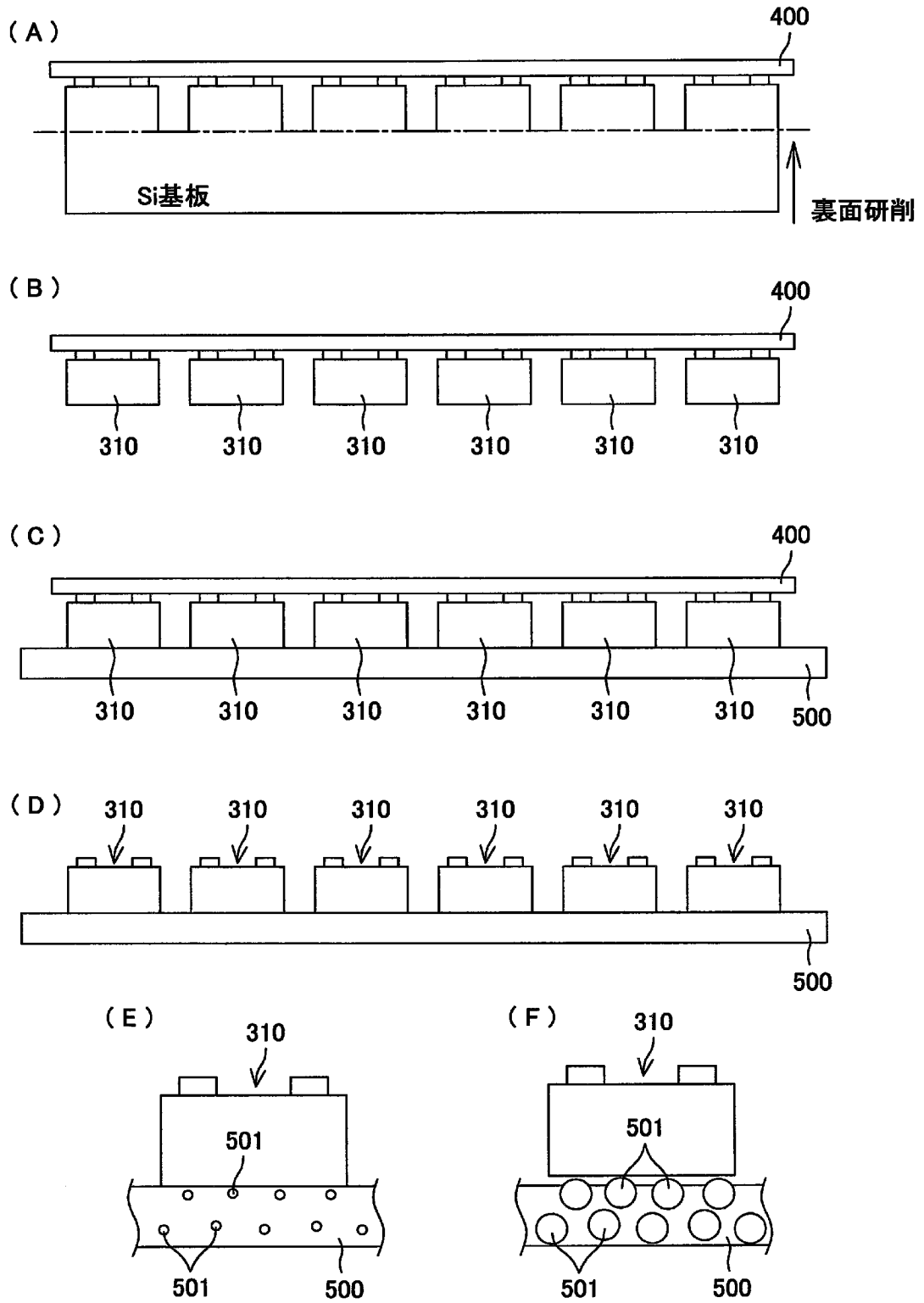
[図34]

図34



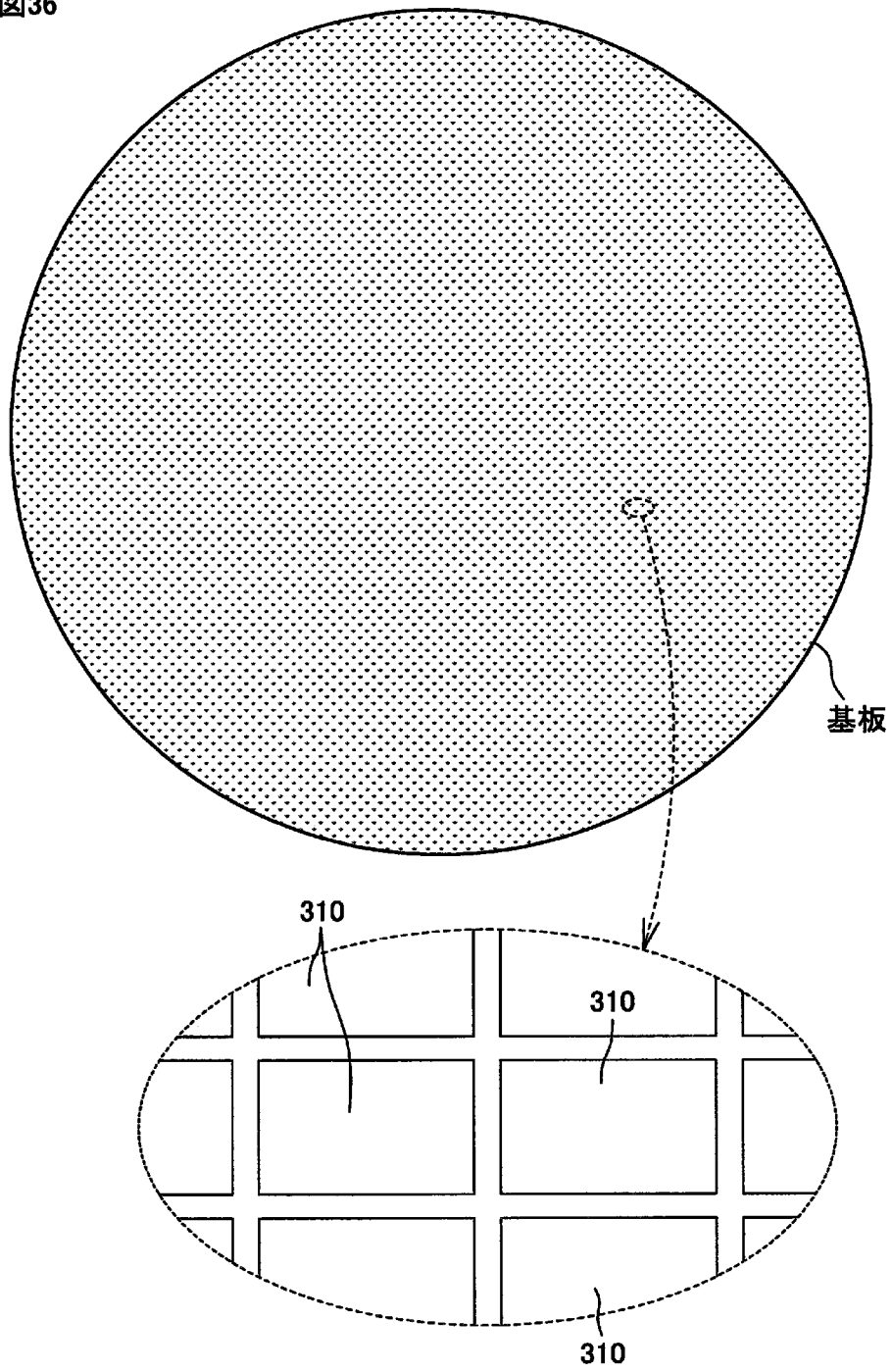
[図35]

図35



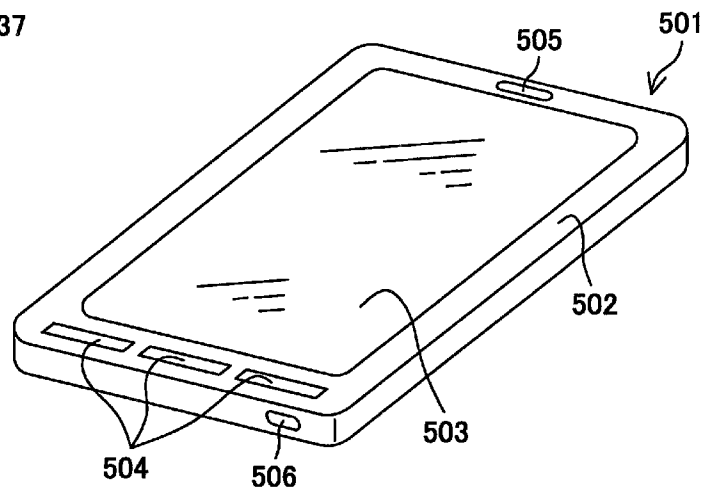
[図36]

図36



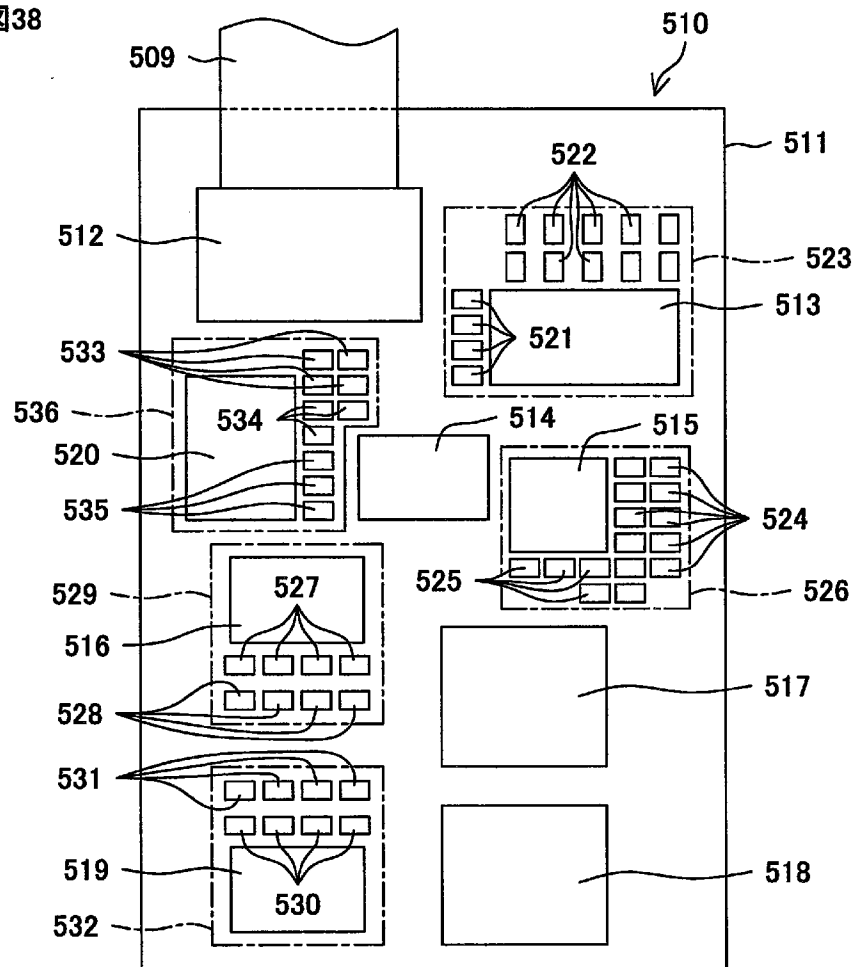
[図37]

図37



[図38]

図38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083569

A. CLASSIFICATION OF SUBJECT MATTER

H01C17/06(2006.01)i, H01C13/02(2006.01)i, H01C17/12(2006.01)i, H01C17/22(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01C17/06, H01C13/02, H01C17/12, H01C17/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-165780 A (Fujikura Ltd.), 29 July 2010 (29.07.2010), paragraphs [0006] to [0008], [0020]; fig. 3 (Family: none)	1 2-13
Y	JP 2006-502592 A (Robert Bosch GmbH), 19 January 2006 (19.01.2006), paragraphs [0006], [0018] to [0020]; fig. 2, 3 & US 2006/0164201 A1 & EP 1579464 A & WO 2004/061873 A1	2-8
Y	JP 2011-59314 A (Hitachi Displays, Ltd.), 24 March 2011 (24.03.2011), paragraphs [0034] to [0037] & US 2011/0058133 A1	5-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 January, 2013 (22.01.13)Date of mailing of the international search report
29 January, 2013 (29.01.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083569

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-218151 A (Seiko Epson Corp.), 31 July 2003 (31.07.2003), paragraphs [0031] to [0035] (Family: none)	6
Y	JP 2002-25948 A (Canon Inc.), 25 January 2002 (25.01.2002), paragraphs [0034] to [0038], [0041]; fig. 1 (Family: none)	9
Y	JP 10-326704 A (Kokukyo Kofun Yugen Koshi), 08 December 1998 (08.12.1998), paragraph [0002] (Family: none)	10
Y	JP 63-94604 A (Matsushita Electric Industrial Co., Ltd.), 25 April 1988 (25.04.1988), page 2, lower right column, lines 5 to 10 (Family: none)	11-13
Y	JP 64-1972 A (Kokusai Electric Co., Ltd.), 06 January 1989 (06.01.1989), page 2, upper right column, lines 11 to 14 (Family: none)	12
Y	JP 9-61210 A (Murata Mfg. Co., Ltd.), 07 March 1997 (07.03.1997), paragraph [0018]; fig. 2 (Family: none)	13
A	JP 2001-44001 A (Rohm Co., Ltd.), 16 February 2001 (16.02.2001), paragraphs [0014] to [0021]; fig. 1 to 4 & US 6292091 B1	1-13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083569

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
(See extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet (2)

Document 1 (JP 2010-165780 A (Fujikura Ltd.), 29 July 2010 (29.07.2010), paragraphs [0006] to [0008], [0020]; fig. 3) sets forth a method for manufacturing a thin film resistive element (a chip resistor), which comprises: a step wherein a resistive base layer (a resistor film) is formed on an insulating substrate (a substrate); a step wherein a conductor layer (a wiring film) is formed in contact with the surface of the resistive base layer; a step wherein the conductor layer and the resistive base layer are chemically etched by providing a mask; and a step wherein a resistive pattern (a resistor) is formed on the substrate by partially etching the conductor layer on the resistive base layer by providing a mask again after the etching step.

In addition, document 1 also sets forth that a mask is formed using an etching resist film with use of a photolithography technique.

Therefore, the invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 1, and does not have a special technical feature.

Consequently, the following four inventions (invention groups) are involved in claims.

Meanwhile, the invention of claim 1 having no special technical feature is classified into invention 1.

(Invention group 1) claims 1-8: A method for manufacturing a chip resistor, which comprises, in addition to the matter of claim 1, a step wherein a fuse is formed, and the like.

(Invention group 2) claim 9: A method for manufacturing a chip resistor, which comprises, in addition to the matter of claim 1, a step wherein a substrate is divided into a plurality of chip resistors by grinding the back surface of the substrate, and the like.

(Invention group 3) claim 10: A method for manufacturing a chip resistor, which comprises, in addition to the matter of claim 1, a step wherein an insulating film is formed on the surface of a substrate.

(Invention group 4) claims 11-13: A method for manufacturing a chip resistor, which comprises, in addition to the matter of claim 1, a step wherein a sheet resistance is measured, and the like.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01C17/06(2006.01)i, H01C13/02(2006.01)i, H01C17/12(2006.01)i, H01C17/22(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01C17/06, H01C13/02, H01C17/12, H01C17/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-165780 A (株式会社フジクラ) 2010.07.29, 第6-8, 2 0段落、図3 (ファミリーなし)	1 2-13
Y	JP 2006-502592 A (ローベルト ボツシュ ゲゼルシャフト ミツ ト ベシユレンクテル ハフツング) 2006.01.19, 第6, 18-2 0段落、図2, 3 & US 2006/0164201 A1 & EP 1579464 A & WO 2004/061873 A1	2-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 1 . 2 0 1 3

国際調査報告の発送日

2 9 . 0 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岡本 正紀

5 D

3 1 3 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-59314 A (株式会社 日立ディスプレイズ) 2011.03.24, 第 3 4 - 3 7 段落 & US 2011/0058133 A1	5-8
Y	JP 2003-218151 A (セイコーエプソン株式会社) 2003.07.31, 第 3 1 - 3 5 段落 (ファミリーなし)	6
Y	JP 2002-25948 A (キヤノン株式会社) 2002.01.25, 第 3 4 - 3 8 , 4 1 段落、図 1 (ファミリーなし)	9
Y	JP 10-326704 A (國巨股▲ふん▼有限公司) 1998.12.08, 第 2 段落 (ファミリーなし)	10
Y	JP 63-94604 A (松下電器産業株式会社) 1988.04.25, 第 2 頁右下欄 第 5 - 1 0 行 (ファミリーなし)	11-13
Y	JP 64-1972 A (国際電気株式会社) 1989.01.06, 第 2 頁右上欄第 1 1 - 1 4 行 (ファミリーなし)	12
Y	JP 9-61210 A (株式会社村田製作所) 1997.03.07, 第 1 8 段落、図 2 (ファミリーなし)	13
A	JP 2001-44001 A (ローム株式会社) 2001.02.16, 第 1 4 - 2 1 段落、 図 1 - 4 & US 6292091 B1	1-13

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1（JP 2010-165780 A（株式会社フジクラ）2010.07.29, 第6－8, 20段落、図3）には、絶縁基板（基板）上に抵抗基材層（抵抗体膜）を形成する工程と、前記抵抗基材層の表面に接するように導電体層（配線膜）を形成する工程と、マスクを設けて、前記導電体層および前記抵抗基材層を化学的にエッチングする工程と、前記エッチング工程の後に、再びマスクを設けて前記抵抗基材層の上の前記導電体層を部分的にエッチングすることにより、前記基板上に抵抗パターン（抵抗体）を形成する工程とを含む、薄膜抵抗素子（チップ抵抗器）の製造方法が記載されている。また、文献1には、フォトリソグラフィ技術を用いてエッチングレジスト膜でマスクすることも記載されている。

（特別ページに続く）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

したがって、請求項 1 に係る発明は、文献 1 に記載された発明に対して新規性が認められず、特別な技術的特徴を有していない。よって、請求の範囲は、以下に示す 4 の発明（群）が含まれる。なお、特別な技術的特徴を有しない請求項 1 に係る発明は、発明 1 に区分する。

- （発明 1）請求項 1－8：請求項 1 の内容に加え、ヒューズを形成する工程等を含むチップ抵抗器の製造方法。
- （発明 2）請求項 9：請求項 1 の内容に加え、基板の裏面を研削することによって基板を複数のチップ抵抗器に分割する工程等を含むチップ抵抗器の製造方法。
- （発明 3）請求項 10：請求項 1 の内容に加え、基板の表面に絶縁膜を形成する工程を含むチップ抵抗器の製造方法。
- （発明 4）請求項 11－13：請求項 1 の内容に加え、シート抵抗値を測定する工程等を含むチップ抵抗器の製造方法。