



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0052744
(43) 공개일자 2025년04월21일

(51) 국제특허분류(Int. Cl.)

H10K 85/10 (2023.01) C08G 61/12 (2006.01)

H10K 10/43 (2023.01) H10K 71/40 (2023.01)

(52) CPC특허분류

H10K 85/113 (2023.02)

C08G 61/123 (2013.01)

(21) 출원번호 10-2023-0135896

(22) 출원일자 2023년10월12일

심사청구일자 2023년10월12일

(71) 출원인

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

동서대학교 산학협력단

부산광역시 사상구 주례로 47(주례동, 동서대학교)

(72) 발명자

이병훈

서울특별시 서대문구 이화여대8길 123, 101동 1507호 (북아현동, 힐스테이트 신촌)

이정훈

부산광역시 부산진구 거제대로 37, 205동 703호 (양정동, 현대아파트)

유현진

서울특별시 서대문구 이화여대5길 35, 418호 (대현동)

(74) 대리인

특허법인엠에이피에스

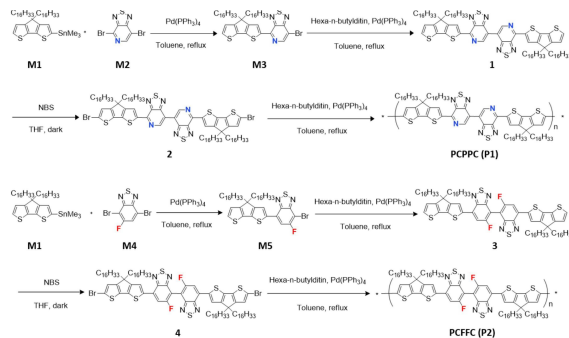
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 양극성 트랜지스터 및 논리회로용 양극성 고분자 반도체 박막

(57) 요약

본원은 양극성 트랜지스터 및 논리회로용 양극성 고분자 반도체 박막 및 양극성 고분자 반도체의 제조 방법에 관한 것이다.

대표도



(52) CPC특허분류

H10K 10/43 (2023.02)
H10K 71/40 (2023.02)
C08G 2261/3241 (2013.01)
C08G 2261/3243 (2013.01)
C08G 2261/3246 (2013.01)
C08G 2261/51 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711160847
과제번호	2019R1C1C1010426
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	배향된 고분자 반도체의 전하 이동 특성 연구
기 여 율	3/10
과제수행기관명	이화여자대학교
연구기간	2022.03.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711183671
과제번호	2022R1A4A2000835
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	엑시톤 나노구조의 양자 물성 제어 연구실
기 여 율	3/10
과제수행기관명	이화여자대학교
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711131983
과제번호	2019R1F1A1043474
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	위치규칙성의 체계적인 조절을 통한 고성능 유기반도체 재료 개발
기 여 율	4/10
과제수행기관명	동서대학교
연구기간	2021.03.01 ~ 2022.02.28

명세서

청구범위

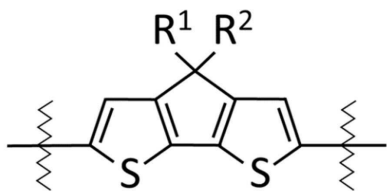
청구항 1

하기 화학식 1로서 표시되는 도너 및 하기 화학식 2 또는 3으로서 표시되는 억셉터를 포함하는, 양극성 고분자 반도체

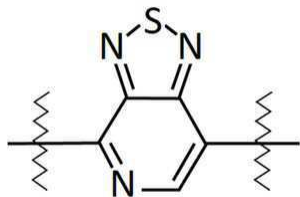
를 포함하는, 트랜지스터용 양극성 고분자 반도체 박막으로서,

상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것인, 트랜지스터용 양극성 고분자 반도체 박막:

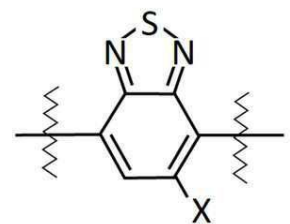
[화학식 1]



[화학식 2]



[화학식 3]



상기 화학식 1 및 3에서,

R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고,

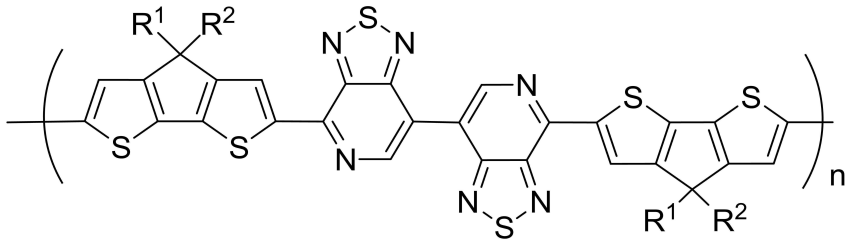
X는 H, F, Cl, Br, I, -CN, 또는 -OCH₃ 임.

청구항 2

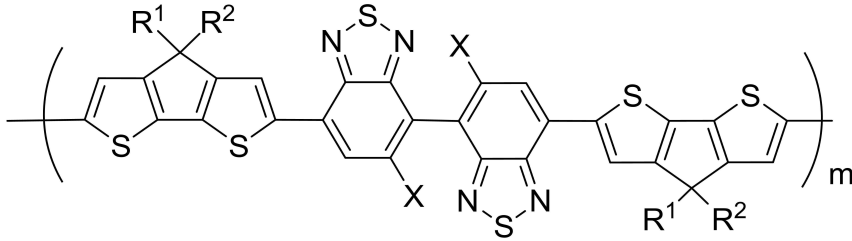
제 1 항에 있어서,

상기 양극성 고분자 반도체는 하기 화학식 4 또는 5로서 표시되는 것인, 트랜지스터용 양극성 고분자 반도체 박막:

[화학식 4]



[화학식 5]



상기 화학식 4 및 5에서,

R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고,

X는 H, F, Cl, Br, I, -CN, 또는 -OCH₃이며,

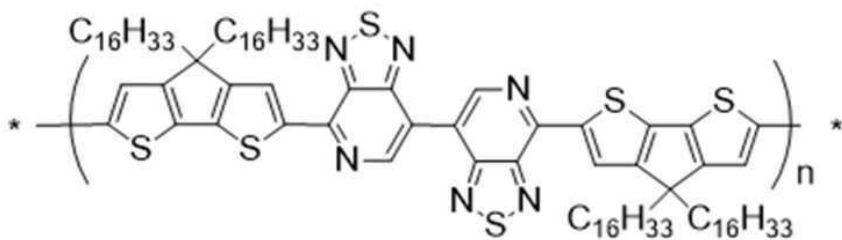
n 및 m은, 각각, 3 내지 200의 정수임.

청구항 3

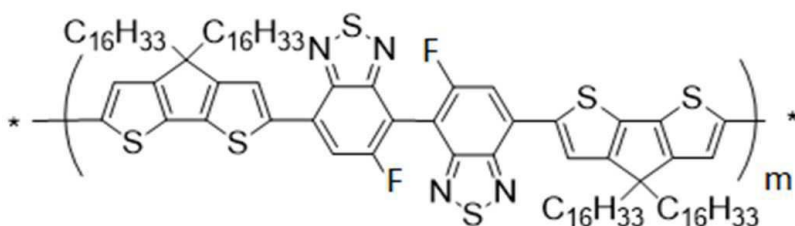
제 1 항에 있어서,

상기 양극성 고분자 반도체는 하기 화학식 6 또는 7로서 표시되는 것인, 트랜지스터용 양극성 고분자 반도체 박막:

[화학식 6]



[화학식 7]



상기 화학식 6 및 7에서,

n 및 m은, 각각, 3 내지 200의 정수임.

청구항 4

제 1 항에 있어서,

상기 트랜지스터용 양극성 고분자 반도체 박막은,

도너-억셉터 모이어티를 포함하는 고분자를 포함하는 박막과 비교하여 전도대엣지 에너지 준위가 더 깊은 것인, 트랜지스터용 양극성 고분자 반도체 박막.

청구항 5

제 1 항에 있어서,

상기 트랜지스터용 양극성 고분자 반도체 박막의 전도대엣지 에너지 준위 값은 2 eV 내지 5.5 eV 인 것인, 트랜지스터용 양극성 고분자 반도체 박막.

청구항 6

제 1 항에 있어서,

상기 트랜지스터용 양극성 고분자 반도체 박막 및 도너-억셉터 모이어티를 포함하는 고분자를 포함하는 박막의 전도대엣지 에너지 준위 차이 값은 0.1 eV 내지 2 eV인 것인, 트랜지스터용 양극성 고분자 반도체 박막.

청구항 7

제 1 항에 따른 트랜지스터용 양극성 고분자 반도체 박막을 포함하는 반도체층을 포함하는, 트랜지스터로서,

상기 반도체층은 n-형 및 p-형 반도체로서 작동하는 것인, 트랜지스터.

청구항 8

제 7 항에 있어서,

상기 트랜지스터의 전자 이동도는 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 인 것인, 트랜지스터.

청구항 9

제 7 항에 있어서,

상기 트랜지스터는 히스테리시스-프리(hysteresis-free) 특성을 갖는 것인, 트랜지스터.

청구항 10

제 7 항에 있어서,

상기 트랜지스터는 인버터 또는 직류교류변환소자에 사용되는 것인, 트랜지스터.

청구항 11

도너 전구체 및 억셉터 전구체를 Pd 촉매 하에서 반응시켜 도너-억셉터 중간 화합물을 수득하는 것;

상기 도너-억셉터 중간 화합물을 헥사-n-부틸디틴 및 Pd 촉매 하에서 스틸레 반응시켜 도너-억셉터-억셉터-도너 중간 화합물을 수득하는 것;

상기 도너-억셉터-억셉터-도너 중간 화합물 및 N-브로모숙신이미드를 반응시켜 이브로화된 도너-억셉터-억셉터-도너 모이어티를 수득하는 것; 및

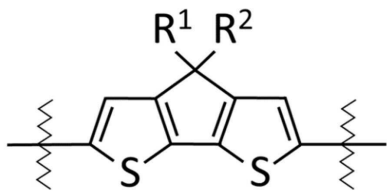
상기 이브로화된 도너-억셉터-억셉터-도너 모이어티 및 헥사-n-부틸디틴을 Pd 촉매 하에서 스틸레 반응시켜 양극성 고분자 반도체를 수득하는 것

을 포함하는, 양극성 고분자 반도체의 제조 방법으로서,

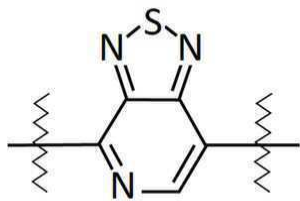
상기 양극성 고분자 반도체는 하기 화학식 1로서 표시되는 도너 및 하기 화학식 2 또는 3으로서 표시되는 억셉터를 포함하는 것이고,

상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것인, 양극성 고분자 반도체의 제조 방법:

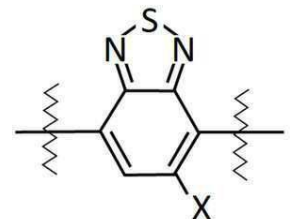
[화학식 1]



[화학식 2]



[화학식 3]



상기 화학식 1 및 3에서,

R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고,

X는 H, F, Cl, Br, I, -CN, 또는 -OCH₃임.

청구항 12

제 11 항에 있어서,

상기 제조 방법은 용매 존재 하에서 수행되는 것인, 양극성 고분자의 제조 방법.

청구항 13

제 11 항에 있어서,

상기 도너-억셉터-억셉터-도너 중간 화합물을 수득하는 것은 100℃ 내지 120℃의 온도 범위에서 1 일 내지 12 일 동안 수행되는 것인, 양극성 고분자의 제조 방법.

발명의 설명

기술 분야

[0001] 본원은 양극성 트랜지스터 및 논리회로용 양극성 고분자 반도체 박막 및 양극성 고분자 반도체의 제조 방법에 관한 것이다.

배경 기술

[0002] 도너-억셉터(donor-acceptor; D-A) 형 고분자 반도체를 기반으로 한 유기 전계 효과 트랜지스터(Organic field-effect transistor; OFET)는 $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 이상의 현저히 향상된 전하 캐리어(μ)로 인해 지속적인 관심을 받아왔다. 전하 캐리어를 개선하는 것 외에도, 고분자 반도체의 교번 D-A 구조는 인접한 소스 및/또는 드레인 전극으로부터 전자 및 정공 전하 캐리어를 효율적으로 주입하는 데 유리하도록 에너지 레벨을 조정하여 양극성 전하 수송을 가능하게 한다. 단일 성분 고분자 반도체 박막의 양극성 전하 수송은 CMOS(complementary metal-oxide semiconductor) 인버터를 포함하는, 양극성 OFET 및 로직 회로(logic circuit)의 손쉬운 제조라는 이점을 제공할 수 있다. 그러나, 수많은 D 및 A 모이어티 사이에서 히스테리시스-프리 트랜지스터 특성을 갖는, 높은 전자 및 정공 이동도를 위한 이상적인 D-A 구성을 결정하는 것은 시행착오를 통한 상당한 노력이 요구된다. 따라서, D-A 형 고분자 반도체에서 전자의 이동은 합리적으로 깊어진 전도대 엣지(conduction band edge; CBE) 에너지 준위에도 불구하고 제한되어왔다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 대한민국 등록특허공보 제1933102호.

발명의 내용

해결하려는 과제

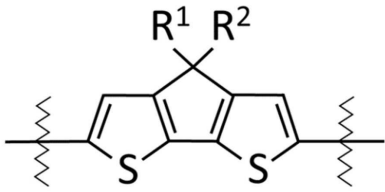
[0004] 본원은 양극성 트랜지스터 및 논리회로용 양극성 고분자 반도체 박막 및 양극성 고분자 반도체의 제조 방법을 제공하고자 한다.

[0005] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본원의 제 1 측면은, 하기 화학식 1로서 표시되는 도너 및 하기 화학식 2 또는 3로서 표시되는 억셉터를 포함하는, 양극성 고분자 반도체를 포함하는, 트랜지스터용 양극성 고분자 반도체 박막으로서, 상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것인, 트랜지스터용 양극성 고분자 반도체 박막을 제공한다:

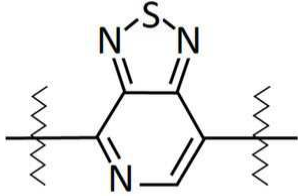
[0007] [화학식 1]



[0008]

[0009]

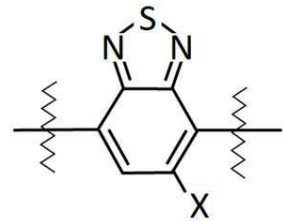
[화학식 2]



[0010]

[0011]

[화학식 3]



[0012]

[0013]

상기 화학식 1 및 3에서, R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고, X는 H, F, Cl, Br, I, -CN, 또는 $-OCH_3$ 임.

[0014]

본원의 제 2 측면은, 제 1 측면에 따른 트랜지스터용 양극성 고분자 반도체 박막을 포함하는 반도체층을 포함하는, 트랜지스터로서, 상기 반도체층은 n-형 및 p-형 반도체로서 작동하는 것인, 트랜지스터를 제공한다.

[0015]

본원의 제 3 측면은, 도너 전구체 및 억셉터 전구체를 Pd 촉매 하에서 반응시켜 도너-억셉터 중간 화합물을 수득하는 것; 상기 도너-억셉터 중간 화합물을 헥사-n-부틸디틴 및 Pd 촉매 하에서 스티렌 반응시켜 도너-억셉터-억셉터-도너 중간 화합물을 수득하는 것; 상기 도너-억셉터-억셉터-도너 중간 화합물 및 N-브로모숙신이미드를 반응시켜 이브로화된 도너-억셉터-억셉터-도너 모이어티를 수득하는 것; 및 상기 이브로화된 도너-억셉터-억셉터-도너 모이어티 및 헥사-n-부틸디틴을 Pd 촉매 하에서 스티렌 반응시켜 양극성 고분자 반도체를 수득하는 것을 포함하는, 양극성 고분자 반도체의 제조 방법으로서, 상기 양극성 고분자 반도체는 상기 화학식 1로서 표시되는 도너 및 상기 화학식 2 또는 3으로서 표시되는 억셉터를 포함하는 것이고, 상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것인, 양극성 고분자 반도체의 제조 방법을 제공한다.

[0016]

본원의 제 4 측면은, 제 3 측면에 따른 제조 방법을 통하여 양극성 고분자 반도체를 수득하는 것; 및 상기 양극성 고분자 반도체를 용매와 혼합하고, 용액공정을 수행하여 양극성 고분자 반도체 박막을 제조하는 것을 포함하는, 트랜지스터용 양극성 고분자 반도체 박막의 제조 방법을 제공한다.

발명의 효과

[0017]

본원의 구현예들에 따른 도너-억셉터-억셉터-도너 모이어티를 포함하는 양극성 고분자 반도체 및 이를 포함하는 트랜지스터용 양극성 고분자 반도체 박막은, 종래의 도너-억셉터형 모이어티(도너-억셉터-도너-억셉터)를 포함하는 고분자와 비교하여, 향상된 전자 및 정공 이동도를 가지며, 전도대갯지(CBE) 에너지 준위가 깊어진 특징이 있다.

[0018]

본원의 구현예들에 따른 트랜지스터용 양극성 고분자 반도체 박막을 반도체층으로서 포함하는, 트랜지스터 및 CMOS 인버터(complementary metal-oxide semiconductor inverter)는 우수한 전하 수송 특성 및 히스테리시스-

프리(hysteresis-free) 특성을 갖는 특징이 있다.

[0019] 본원의 구현예들에 따른 CMOS 인버터는 우수한 전하 수송 특성을 가짐에 따라 약 110 이상, 또는 약 160 이상의 높은 이득(gain)을 나타내는 것일 수 있다.

[0020] 본원의 구현예들에 따른 CMOS 인버터는 채널층으로서 상기 트랜지스터용 양극성 고분자 반도체 박막의 단층을 포함하므로, 종래의 n-형 및 p-형 채널을 각각 포함하는 COMS 인버터와 비교하여, 제조 시 복잡한 패터닝(patterning) 공정을 요하지 않는 특징이 있다.

도면의 간단한 설명

[0021] 도 1은, 본원의 일 실시예에 있어서, P1(폴리(4,4'-비스(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-7,7'-비[1,2,5]티아디아졸로[3,4-c]피리딘)) 및 P2(폴리(7,7'-비스(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-5,5'-디플루오로-4,4'-비벤조[c][1,2,5]티아디아졸))의 합성 경로를 나타낸 것이다.

도 2는, 본원의 일 실시예에 있어서, (a) CF 용액과 박막에서 P1 및 P2의 표준화된 UV-vis-NIR 흡수 스펙트럼; (b) 접지 상태에서 P1 및 P2에 대한 모델 삼량체(trimer)의 계산된 정면도 및 수평도; 및 (c 및 d) P1 및 P2의 순환 전압전류곡선 (c) 및 에너지 준위 다이어그램 (d) (점선은 각각 PCDTPT (파란색) 및 PCDTFBT (빨간색)의 VBE 및 CBE를 나타냄)을 나타낸 것이다.

도 3은, 본원의 일 실시예에 있어서, (a) 최적 온도(P1의 경우 240℃, P2의 경우 160℃)에서 열 어닐링 전(프리스틴(pristine); P)과 후(어닐링됨(annealed); A)의 P1 및 P2 박막에 대한 GIWAXD 역 공간 맵(reciprocal space map); (b) IP(q_{xy}) 및 OOP(q_z) 방향의 해당 라인 컷 프로파일(line-cut profile)(주황색 상자는 어닐링된 P1 및 P2 박막의 확대된 영역을 나타냄); 및 (c) 관련 분자 적층 거리와 함께 P1 및 P2의 결정 구조의 모식도를 나타낸 것이다.

도 4는, 본원의 일 실시예에 있어서, 최적의 온도에서 열 어닐링 전(P)과 후(A)의 P1 및 P2 박막의 AFM 높이 이미지를 나타낸 것이다 (스케일바: 500 nm).

도 5는, 본원의 일 실시예에 있어서, (a) OFET의 소자 구조; (b 및 c) 각각 240℃ 및 160℃에서 어닐링된 P1(b) 및 P2(c) 박막으로 제조된 최고 성능 OFET의 전달 특성; (d) P1(파란색) 및 P2(빨간색) 박막의 평균 μ_h 및 μ_e 값(스케일바는 평균 μ_h 및 μ_e 값의 표준 편차를 나타냄); (e-f) 각각 240℃ 및 160℃에서 어닐링된 P1(e) 및 P2(f) 박막으로 제조된 최고 성능 OFET의 출력 특성을 나타낸 것이다.

도 6은, 본원의 일 실시예에 있어서, 다양한 어닐링 온도에서 열 어닐링 전후의 P1(a) 및 P2(b) 박막으로 제조된 OFET의 전달 특성을 나타낸 것이다.

도 7은, 본원의 일 실시예에 있어서, (a) 유기 인버터의 소자 구조 및 광학 현미경 이미지(스케일바: 500 μ m); (b) 240℃에서 어닐링된 P1으로 제작된 최고 성능 양극성 인버터의 전달 특성 및 이득(여기서, 인버터는 $V_{DD} = 100$ V에서 작동되었음); 및 (c-d) $V_{DD} = 60$ V, 80 V, 및 100 V에서 수득된 인버터의 전달 특성(c) 및 이득(d)을 나타낸 것이다.

도 8은, 본원의 일 실시예에 있어서, $V_{DD} = 40$ V에서 수득된 인버터의 전달 특성 및 이득 (a), 최적화된 인버터 소자의 이미지 (b) 및 회로도 (c)를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0023] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.

[0024] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0025] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0026] 본 명세서에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0027] 본원 명세서 전체에서 사용되는 정도의 용어 “~ 하는 단계” 또는 “~의 단계”는 “~를 위한 단계”를 의미하지 않는다.

[0028] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합(들)"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.

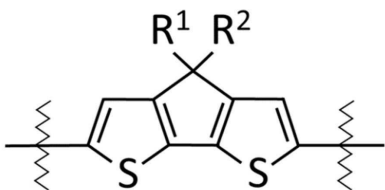
[0029] 본원 명세서 전체에서, "A 및/또는 B"의 기재는, "A 또는 B, 또는 A 및 B"를 의미한다.

[0030] 본원 명세서 전체에서, 용어 "알킬" 또는 "알킬기"는, 1 내지 12 개의 탄소 원자, 1 내지 10 개의 탄소 원자, 1 내지 8 개의 탄소 원자, 또는 1 내지 5 개의 탄소 원자를 갖는 선형 또는 분지형 알킬기 및 이들의 모든 가능한 이성질체를 포함한다. 예를 들어, 상기 알킬 또는 알킬기는 메틸기(Me), 에틸기(Et), n-프로필기(ⁿPr), iso-프로필기(ⁱPr), n-부틸기(ⁿBu), iso-부틸기(ⁱBu), tert-부틸기(tert-Bu, ^tBu), sec-부틸기(sec-Bu, ^{sec}Bu), n-펜틸기(ⁿPe), iso-펜틸기(^{iso}Pe), sec-펜틸기(^{sec}Pe), tert-펜틸기(^tPe), neo-펜틸기(^{neo}Pe), 3-펜틸기, n-헥실기, iso-헥실기, 헵틸기, 4,4-디메틸헵틸기, 옥틸기, 2,2,4-트리메틸헵틸기, 노닐기, 데실기, 운데실기, 도데실기, 및 이들의 이성질체들 등을 들 수 있으나, 이에 제한되지 않을 수 있다.

[0032] 이하, 본원의 구현예를 상세히 설명하였으나, 본원이 이에 제한되지 않을 수 있다.

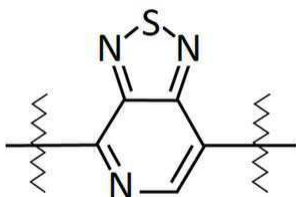
[0034] 본원의 제 1 측면은, 하기 화학식 1로서 표시되는 도너 및 하기 화학식 2 또는 3으로서 표시되는 억셉터를 포함하는, 양극성 고분자 반도체를 포함하는, 트랜지스터용 양극성 고분자 반도체 박막으로서, 상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것인, 트랜지스터용 양극성 고분자 반도체 박막을 제공한다:

[0035] [화학식 1]



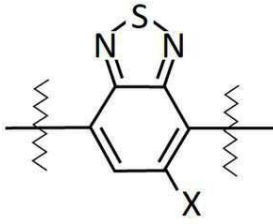
[0036] ,

[0037] [화학식 2]



[0038] ,

[0039] [화학식 3]



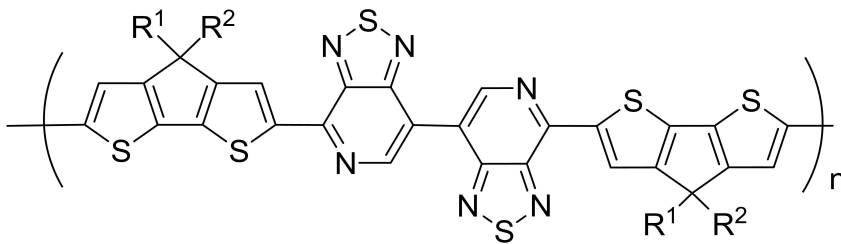
[0040]

[0041] 상기 화학식 1 및 3에서, R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고, X는 H, F, Cl, Br, I, -CN, 또는 $-OCH_3$ 임.

[0042] 본원의 일 구현예에 있어서, 상기 알킬기는 C_{1-20} 의 선형 알킬기일 수 있다. 예를 들어, 상기 알킬기는 메틸기, 에틸기, 프로필기, 부틸기, 펜틸기, 헥실기, 헵틸기, 옥틸기, 노닐기, 데실기, 운데실기, 도데실기, 트리데실기, 테트라데실기, 펜타데실기, 헥사데실기, 헵타데실기, 옥타데실기, 노나데실기, 이코사닐기, 및 이들의 가능한 이성질체들 중 선택되는 것일 수 있다. 본원의 일 구현예에 있어서, 상기 알킬기는 $-C_{16}H_{33}$ 일 수 있으나, 이에 제한되지 않을 수 있다.

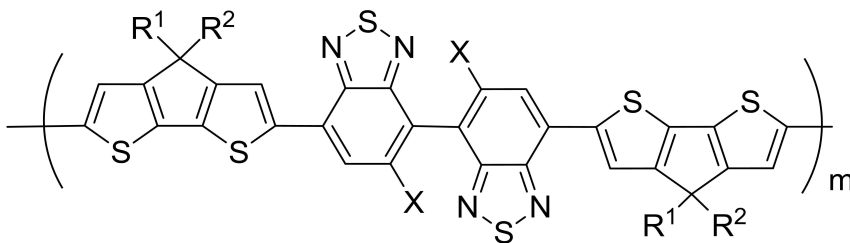
[0043] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체는 하기 화학식 4 또는 5로서 표시되는 것일 수 있다:

[0044] [화학식 4]



[0045]

[0046] [화학식 5]

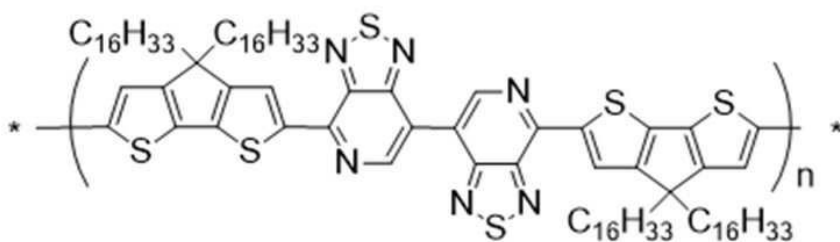


[0047]

[0048] 상기 화학식 4 및 5에서, R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고, X는 H, F, Cl, Br, I, -CN, 또는 $-OCH_3$ 이며, n 및 m은, 각각, 3 내지 200의 정수임.

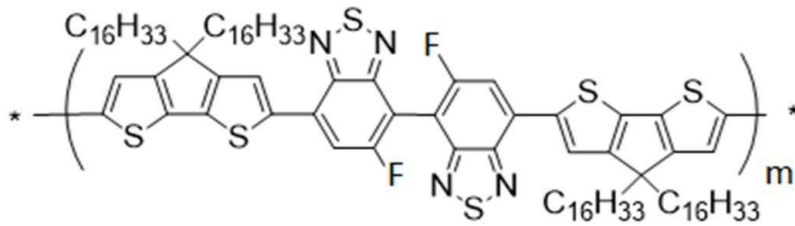
[0049] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체는 하기 화학식 6 또는 7로서 표시되는 것일 수 있다:

[0050] [화학식 6]



[0051]

[0052] [화학식 7]



[0053]

[0054] 상기 화학식 6 및 7에서, n 및 m은, 각각, 3 내지 200의 정수임.

[0055] 본원의 일 구현예에 있어서, 상기 화학식 4 내지 7에서, n 및 m은, 각각, 3 내지 200, 3 내지 150, 3 내지 130, 8 내지 200, 8 내지 150, 또는 8 내지 130의 정수일 수 있다.

[0056] 본원의 일 구현예에 있어서, 상기 도너는 사이클로펜타디티오펜(cyclopentadithiophene; CDT)을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0057] 본원의 일 구현예에 있어서, 상기 억셉터는 피리딜-2,1,3-티아디아졸(pyridyl-2,1,3-thiadiazole; PT) 또는 플루오로-2,1,3-벤조티아디아졸(fluoro-2,1,3-benzothiadiazole; FBT)을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0058] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것으로서, 도너-억셉터 모이어티를 포함하는 고분자와 비교하여 전도대엣지(conduction band edge; CBE) 에너지 준위가 더 깊은 것(more deepened)일 수 있다.

[0059] 본원 명세서 전체에서, 상기 양극성 고분자 반도체의 도너 및 억셉터를 포함하고, 도너-억셉터 모이어티를 포함하는 고분자는, 상기 양극성 고분자 반도체의 대응물(counterpart)로 칭한다. 예를 들어, 상기 도너가 CDT이고, 상기 억셉터가 PT인 경우, 상기 양극성 고분자 반도체는 CDT-PT-PT-CDT 모이어티를 포함하는 것이고, 상기 양극성 고분자 반도체의 대응물은 CDT-PT 모이어티를 포함하는 것일 수 있다.

[0060] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막은, 도너-억셉터 모이어티를 포함하는 고분자를 포함하는 박막과 비교하여 전도대엣지(CBE) 에너지 준위가 더 깊은 것일 수 있다. 상기 CBE 에너지 준위가 더 깊은 것은, CBE 에너지 준위의 절대값이 더 큰 것을 의미한다.

[0061] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막의 전도대엣지 에너지 준위 값은 약 2 eV 내지 약 5.5 eV일 수 있다. 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막의 전도대엣지 에너지 준위 값은 약 2 eV 내지 약 5.5 eV, 약 2 eV 내지 약 5 eV, 약 2 eV 내지 약 4.5 eV, 약 2 eV 내지 약 4 eV, 약 2 eV 내지 약 3.5 eV, 또는 약 2 eV 내지 약 3 eV일 수 있다.

[0062] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막 및 도너-억셉터 모이어티를 포함하는 고분자를 포함하는 박막의 전도대엣지(CBE) 에너지 준위 차이 값은 약 0.1 eV 내지 약 2 eV인 것일 수 있다.

[0063] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막은 상기 양극성 고분자 반도체의 대응물(도너-억셉터 모이어티를 포함하는 고분자)을 포함하는 박막과 비교하여 CBE 에너지 준위가 더 깊으므로 효율적인 전자 주입이 가능한 것일 수 있다.

[0064] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막은 고체 상태로 존재함으로써, 고분자 사슬 간의 상호작용이 개선되고 δ 전자의 비편재화가 이루어지는 특징을 가질 수 있다.

[0065] 본원의 일 구현예에 있어서, 상기 화학식 1로서 표시되는 도너 및 상기 화학식 2로서 표시되는 억셉터를 포함하는 양극성 고분자 반도체; 또는 상기 화학식 4 또는 6으로서 표시되는 양극성 고분자 반도체를 포함하는, 트랜지스터용 양극성 고분자 반도체 박막은 우선 엣지-온(preferential edge-on) 결정자(crystallite) 및 페이스-온(face-on) 결정자를 포함하는 엣지-온/페이스-온 혼합 결정 구조를 포함하는 것일 수 있으며, 이에 따라, 높은 전자 및 정공 이동도를 가질 수 있다.

[0066] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막은 약 80℃ 내지 약 300℃, 약 80℃ 내지 약 270℃, 약 80℃ 내지 약 240℃, 약 80℃ 내지 약 200℃, 약 80℃ 내지 약 160℃, 약 100℃ 내지 약

300℃, 약 100℃ 내지 약 270℃, 약 100℃ 내지 약 240℃, 약 100℃ 내지 약 200℃, 약 100℃ 내지 약 160℃, 약 130℃ 내지 약 300℃, 약 130℃ 내지 약 270℃, 약 130℃ 내지 약 240℃, 약 130℃ 내지 약 200℃, 약 130℃ 내지 약 160℃, 약 200℃ 내지 약 300℃, 약 200℃ 내지 약 270℃, 약 200℃ 내지 약 240℃, 약 200℃ 내지 약 200℃, 약 200℃ 내지 약 160℃, 약 150℃ 내지 약 170℃, 또는 약 230℃ 내지 약 250℃의 온도 범위에서 열 어닐링(thermal annealing)된 것일 수 있다.

[0067] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막은 열 어닐링됨으로써 결정도가 향상될 수 있다.

[0069] 본원의 제 2 측면은, 제 1 측면에 따른 트랜지스터용 양극성 고분자 반도체 박막을 포함하는 반도체층을 포함하는, 트랜지스터로서, 상기 반도체층은 n-형 및 p-형 반도체로서 작동하는 것인, 트랜지스터를 제공한다.

[0070] 본원의 제 1 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제 1 측면에 대해 설명한 내용은 본원의 제 2 측면에서 그 설명이 생략되었다하더라도 동일하게 적용될 수 있다.

[0071] 본원의 일 구현예에 있어서, 상기 트랜지스터는 전계효과트랜지스터(field-effect transistor)일 수 있다.

[0072] 본원의 일 구현예에 있어서, 상기 트랜지스터는 게이트 유전체로서 유기 고분자를 사용한 유기전계효과트랜지스터(organic field-effect transistor, OFET)일 수 있으나, 이에 제한되지 않을 수 있다. 본원의 일 구현예에 있어서, 상기 유기 고분자는 통상적으로 트랜지스터의 게이트 유전체로서 사용될 수 있는 유기 고분자라면 제한 없이 사용될 수 있으며, 비제한적인 예로서, 폴리(메틸 메타크릴레이트)(poly(methyl methacrylate); PMMA)일 수 있다.

[0073] 본원의 일 구현예에 있어서, 상기 트랜지스터의 구조는 바텀-컨택-탑-게이트(bottom-contact-top-gate; BCTG)형, TCBG(top-contact-bottom-gate)형, TCTG(top-contact-top-gate)형, 또는 BCBG(bottom-contact-bottom-gate)형을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0074] 본원의 일 구현예에 있어서, 상기 트랜지스터의 전자 이동도(μ_e)는 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 일 수 있다. 본원의 일 구현예에 있어서, 상기 트랜지스터의 전자 이동도(μ_e)는 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 또는 약 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 일 수 있다.

[0075] 본원의 일 구현예에 있어서, 상기 화학식 1로서 표시되는 도너 및 상기 화학식 2로서 표시되는 억셉터를 포함하는 양극성 고분자 반도체; 또는 상기 화학식 4 또는 6으로서 표시되는 양극성 고분자 반도체를 포함하는, 트랜지스터용 양극성 고분자 반도체 박막을 반도체층으로서 포함하는 트랜지스터의 전자 이동도는 약 $0.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.41 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.40 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.41 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.40 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.25 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.28 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.28 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.28 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.41 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.28 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.40 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 $0.28 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 약 0.3

$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $0.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $0.45 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $0.41 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $0.40 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 또는 약 $0.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $0.35 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 일 수 있다.

[0076] 본원의 일 구현예에 있어서, 상기 트랜지스터의 정공(홀)(hole; h) 이동도(μ_h)는 약 $0.001 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 일 수 있다. 본원의 일 구현예에 있어서, 상기 트랜지스터의 정공 이동도(μ_h)는 약 $0.001 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.001 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.002 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.002 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.002 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.003 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.003 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 또는 약 $0.003 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 일 수 있다.

[0077] 본원의 일 구현예에 있어서, 상기 화학식 1로서 표시되는 도너 및 상기 화학식 2로서 표시되는 억셉터를 포함하는 양극성 고분자 반도체; 또는 상기 화학식 4 또는 6으로서 표시되는 양극성 고분자 반도체를 포함하는, 트랜지스터용 양극성 고분자 반도체 박막을 반도체층으로서 포함하는 트랜지스터의 정공 이동도는 약 $0.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.35 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.8 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.8 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.8 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.35 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.9 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.9 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $0.9 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.35 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $1 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.5 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 약 $1 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$, 또는 약 $1 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 내지 약 $1.35 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 일 수 있다.

[0078] 본원의 일 구현예에 있어서, 상기 트랜지스터는, 상기 양극성 고분자 반도체의 대응물을 포함하는 고분자 박막을 반도체층으로서 포함하는 트랜지스터와 비교하여, 전자 및 정공의 전달 특성이 향상되어 높은 전자 및 정공 이동도를 갖는 것일 수 있다.

[0079] 본원의 일 구현예에 있어서, 상기 트랜지스터는 히스테리시스-프리(hysteresis-free) 특성을 갖는 것일 수 있다.

[0080] 본원의 일 구현예에 있어서, 상기 트랜지스터는 인버터(inverter) 또는 직류교류변환소자에 사용되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0081] 본원의 일 구현예에 있어서, 상기 인버터는 CMOS(complementary metal-oxide semiconductor) 인버터를 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0082] 본원의 일 구현예에 있어서, 상기 인버터는 역논리적 회로(NAND) 또는 역논리합 회로(NOR)에 사용되는 것일 수 있다.

[0083] 본원의 일 구현예에 있어서, 상기 CMOS 인버터는 제 1 측면에 따른 트랜지스터용 양극성 고분자 반도체 박막을 채널층 소재로서 포함하는 것으로서, 상기 채널층은 n-형 및 p-형 채널로서 작동하는 것일 수 있다.

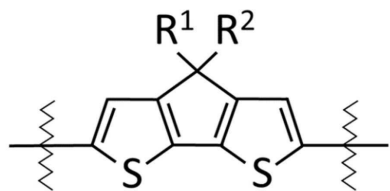
[0084] 본원의 일 구현예에 있어서, 상기 CMOS 인버터는 채널층으로서 상기 트랜지스터용 양극성 고분자 반도체 박막의 단층을 포함하므로, 종래의 n-형 및 p-형 채널을 각각 포함하는 CMOS 인버터와 비교하여, 제조 시 복잡한 패터닝(patterning) 공정을 요하지 않는 특징이 있다.

[0085] 본원의 일 구현예에 있어서, 상기 CMOS 인버터는, 유전체의 두께는 약 600 nm 내지 약 700 nm 이고, p-형과 n-형 트랜지스터의 폭(width) 비율은 약 1:1인 경우, 공급 전압(supply voltage; V_{DD})이 $V_{DD} =$ 약 100 V 일 때 이득(gain; G) 값은 약 90 내지 약 110 또는 약 100 내지 약 110일 수 있다.

[0086] 본원의 일 구현예에 있어서, 상기 CMOS 인버터는, 유전체의 두께는 약 300 nm 내지 약 400 nm 이고, p-형과 n-형 트랜지스터의 폭(width) 비율은 약 1:4인 경우, 공급 전압이 $V_{DD} =$ 약 40 V 일 때 이득(gain; G) 값은 약 150 이상, 약 160 이상, 또는 약 160 내지 약 180일 수 있다.

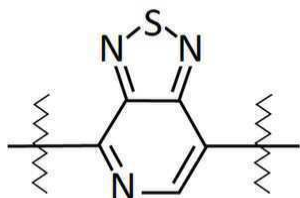
[0088] 본원의 제 3 측면은, 도너 전구체 및 억셉터 전구체를 Pd 촉매 하에서 반응시켜 도너-억셉터 중간 화합물을 수득하는 것; 상기 도너-억셉터 중간 화합물을 헥사-*n*-부틸디틴 및 Pd 촉매 하에서 스티레 반응시켜 도너-억셉터-억셉터-도너 중간 화합물을 수득하는 것; 상기 도너-억셉터-억셉터-도너 중간 화합물 및 N-브로모숙신이미드를 반응시켜 이브로화된 도너-억셉터-억셉터-도너 모이어티를 수득하는 것; 및 상기 이브로화된 도너-억셉터-억셉터-도너 모이어티 및 헥사-*n*-부틸디틴을 Pd 촉매 하에서 스티레 반응시켜 양극성 고분자 반도체를 수득하는 것을 포함하는, 양극성 고분자 반도체의 제조 방법으로서, 상기 양극성 고분자 반도체는 하기 화학식 1로서 표시되는 도너 및 하기 화학식 2 또는 3으로서 표시되는 억셉터를 포함하는 것이고, 상기 양극성 고분자 반도체는 도너-억셉터-억셉터-도너 모이어티를 포함하는 것인, 양극성 고분자 반도체의 제조 방법을 제공한다:

[0089] [화학식 1]



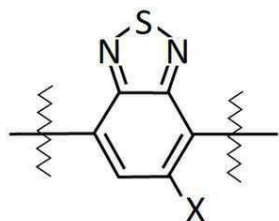
[0090]

[0091] [화학식 2]



[0092]

[0093] [화학식 3]



[0094]

[0095] 상기 화학식 1 및 3에서, R^1 및 R^2 는, 각각 독립적으로, 선형 또는 분지형의 C_{1-30} 의 알킬기이고, X는 H, F, Cl, Br, I, -CN, 또는 -OCH₃임.

[0096] 본원의 제 1 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제 1 측면에 대해 설명한 내용은 본원의 제 3 측면에서 그 설명이 생략되었더라도 동일하게 적용될 수 있다.

[0097] 본원의 일 구현예에 있어서, 상기 제조 방법은 용매 존재 하에서 수행되는 것일 수 있다. 본원의 일 구현예에 있어서, 상기 용매는 톨루엔(toluene), 테트라히드로푸란(tetrahydrofuran; THF), 클로로포름(chloroform; CF), 클로로벤젠(chlorobenzene; CB) 또는 자일렌(xylene)을 포함하는 유기 용매 또는 물일 수 있으나, 이에 제한되지 않을 수 있다.

[0098] 본원의 일 구현예에 있어서, 상기 Pd 촉매는 Pd(PPh₃)₄를 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0099] 본원의 일 구현예에 있어서, 상기 도너 모이어티 전구체는 4,4-디헥사데실-4H-사이클로펜타[1,2-*b*:5,4-*b'*]디티오펜-2-일)트리메틸스탄난 (4,4-Dihexadecyl-4H-cyclopenta[1,2-*b*:5,4-*b'*]dithiophen-2-

yl)trimethylstannane)을 포함하는 것일 수 있다.

- [0100] 본원의 일 구현예에 있어서, 상기 억셉터 모이어티는 4,7-디브로모-[1,2,5] 티아디아졸로 [3,4-c]피리딘 (4,7-dibromo-[1,2,5]thiadiazolo[3,4-c]pyridine) 또는 4,7-디브로모-5-플루오로벤조[c][1,2,5] 티아디아졸 (4,7-dibromo-5-fluorobenzo[c][1,2,5]thiadiazole)를 포함하는 것일 수 있다.
- [0101] 본원의 일 구현예에 있어서, 상기 도너-억셉터-억셉터-도너 중간 화합물을 수득하는 것은, 상기 도너-억셉터 중간 화합물, 헥사-n-부틸디틴, 및 Pd 촉매를 톨루엔에 용해한 후, 교반하면서 스틸레 반응시켜 수행되는 것일 수 있다.
- [0102] 본원의 일 구현예에 있어서, 상기 도너-억셉터-억셉터-도너 중간 화합물을 수득하는 것은 약 100℃ 내지 약 120℃의 온도 범위에서 약 1 일 내지 약 12일, 약 1 일 내지 약 11 일, 약 7 일 내지 약 12 일, 약 7 일 내지 약 11 일 동안 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.
- [0103] 본원의 일 구현예에 있어서, 상기 이브롬화된 도너-억셉터-억셉터-도너 모이어티를 수득하는 것은, 상기 도너-억셉터-억셉터-도너 중간 화합물 및 N-브로모숙신이미드(NBS)를 테트라히드로푸란(tetrahydrofuran; THF)에 용해한 후, 교반하여 반응시켜 수행되는 것일 수 있다.
- [0104] 본원의 일 구현예에 있어서, 상기 이브롬화된 도너-억셉터-억셉터-도너 모이어티를 수득하는 것은 실온 및 암실 조건 하에서 약 1 일 내지 약 3일 동안 수행되는 것일 수 있다.
- [0105] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체를 수득하는 것은, 상기 이브롬화된 도너-억셉터-억셉터-도너 모이어티, 헥사-n-부틸디틴, 및 Pd 촉매를 톨루엔에 용해하고, 교반하면서 스틸레 반응시켜 수행되는 것일 수 있다.
- [0106] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체를 수득하는 것은 약 100℃ 내지 약 120℃의 온도 범위에서 약 1 시간 내지 약 5 시간, 약 1 시간 내지 약 3 시간, 약 2 시간 내지 약 5 시간, 또는 약 2 시간 내지 약 3 시간 동안 수행되는 것일 수 있다.
- [0107] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체의 제조 방법에서, 상기 반응은 아르곤 분위기, 질소 분위기, 또는 대기 하에서 수행되는 것일 수 있다.
- [0108] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체의 제조 방법은 생성물의 세척, 여과, 추출, 농축, 및/또는 건조하는 것을 추가 포함할 수 있다.
- [0109] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체의 제조 방법은 상기 도너-억셉터 중간 화합물을 먼저 수득하고, 상기 도너-억셉터 중간 화합물을 스틸레 반응시켜 상기 도너-억셉터-억셉터-도너 중간 화합물을 수득하는, 일련의 단계를 포함하는 것으로서, 특히, 상기 억셉터 모이어티 전구체가 측쇄에 할로젠기(F)를 포함하는 경우 발생할 수 있는 입체 장애 및 이성질체 발생의 문제점을 해결하고, 높은 수율로 생성물을 수득할 수 있는 장점이 있다.
- [0110] 본원의 일 구현예에 있어서, 상기 양극성 고분자 반도체의 수율은 약 40% 이상, 약 45% 이상, 약 50% 이상, 약 60% 이상, 약 70% 이상, 또는 약 80% 이상일 수 있다.
- [0112] 본원의 제 4 측면은, 제 3 측면에 따른 제조 방법을 통하여 양극성 고분자 반도체를 수득하는 것; 및 상기 양극성 고분자 반도체를 용매와 혼합하고, 용액공정을 수행하여 양극성 고분자 반도체 박막을 제조하는 것을 포함하는, 트랜지스터용 양극성 고분자 반도체 박막의 제조 방법을 제공한다.
- [0113] 본원의 일 구현예에 있어서, 상기 트랜지스터용 양극성 고분자 반도체 박막의 제조 방법은, 상기 양극성 고분자 반도체 박막을 약 80℃ 내지 약 300℃, 약 80℃ 내지 약 270℃, 약 80℃ 내지 약 240℃, 약 80℃ 내지 약 200℃, 약 80℃ 내지 약 160℃, 약 100℃ 내지 약 300℃, 약 100℃ 내지 약 270℃, 약 100℃ 내지 약 240℃, 약 100℃ 내지 약 200℃, 약 100℃ 내지 약 160℃, 약 130℃ 내지 약 300℃, 약 130℃ 내지 약 270℃, 약 130℃ 내지 약 240℃, 약 130℃ 내지 약 200℃, 약 130℃ 내지 약 160℃, 약 200℃ 내지 약 300℃, 약 200℃ 내지 약 270℃, 약 200℃ 내지 약 240℃, 약 200℃ 내지 약 200℃, 약 200℃ 내지 약 160℃, 약 150℃ 내지 약 170℃, 또는 약 230℃ 내지 약 250℃의 온도 범위에서 열 어닐링(thermal annealing)하는 것을 추가 포함할 수 있다.

[0115] 이하, 본원에 대하여 실시예를 이용하여 좀더 구체적으로 설명하지만, 하기 실시예는 본원의 이해를 돕기 위하여 예시하는 것일 뿐, 본원의 내용이 하기 실시예에 한정되는 것은 아니다.

[0117] [실시예]

[0118] 1. 실험

[0119] 1) 합성 및 특성평가

[0120] 모든 출발 물질은 시그마 알드리치사 또는 아크로스사에서 구입하여 정제과정 없이 사용하였다. 달리 명시하지 않는 한 모든 용매는 ACS 등급이다. 4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)트리메틸스탄난 (4,4-Dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)trimethylstannane)(**M1**), 4,7-디브로모-[1,2,5]티아디아졸로[3,4-c]피리딘 (4,7-dibromo-[1,2,5]thiadiazolo[3,4-c]pyridine)(**M2**), 7-브로모-4-(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-[1,2,5]티아디아졸로[3,4-c]피리딘 (7-bromo-4-(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-[1,2,5]thiadiazolo[3,4-c]pyridine)(**M3**), 4,7-디브로모-5-플루오로벤조[c][1,2,5]티아디아졸 (4,7-dibromo-5-fluorobenzo[c][1,2,5]thiadiazole)(**M4**), 및 4-브로모-7-(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-5-플루오로벤조[c][1,2,5]티아디아졸 (4-bromo-7-(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-5-fluorobenzo[c][1,2,5]thiadiazole)(**M5**)은 종래의 연구에 따라 합성하였다.

[0121] 4,4'-비스(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-7,7'-비[1,2,5]티아디아졸로[3,4-c]피리딘 (4,4'-bis(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-7,7'-bi[1,2,5]thiadiazolo[3,4-c]pyridine)(**화합물 1**)의 합성

[0122] 먼저, **M3** (7.38g, 8.77mmol), Pd(PPh₃)₄ (0.30g, 0.263mmol) 및 헥사-n-부틸디틴 (2.42g, 4.18mmol)을 아르곤 분위기 하에서 무수 톨루엔(150mL)에 용해시켰다. 두번째로, 반응 혼합물을 110℃에서 7 일 동안 교반하였다. 실온으로 냉각시킨 후, 톨루엔을 감압하에 제거하였다. 혼합물을 디클로로메탄(DCM; 100 mL로 5 회) 및 탈이온수(300 mL)로 추출하고 무수 MgSO₄로 건조시킨 후 여과하였다. 초기 생성물을 감압 하에 농축하고 실리카겔 크로마토그래피(용리액: 100/0 내지 70/30 부피비의 헥산/DCM)으로 정제하여 진한 파란색 오일(4.34 g, 59%)을 수득하였다.

[0123] 4,4'-비스(6-브로모-4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-7,7'-바이[1,2,5]티아디아졸로[3,4-c]피리딘 (4,4'-bis(6-bromo-4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-7,7'-bi[1,2,5]thiadiazolo[3,4-c]pyridine)(**화합물 2**)의 합성

[0124] **화합물 1**(3.50 g, 2.30 mmol) 및 NBS(0.90 g, 5.06 mmol)를 아르곤 하에서 무수 THF 150 mL에 용해시켰다. 용액을 실온에서 암실 조건 하에 48 시간 동안 교반하였다. 혼합물을 물(80 mL)에 붓고 DCM(100 mL로 3 회)을 사용하여 추출한 다음, MgSO₄로 건조시키고 여과하였다. 초기 혼합물을 감압 하에 농축하고 실리카겔 크로마토그래피(용리액: 100/0 내지 40/60 부피비의 헥산/DCM)로 정제하여 진한 파란색(dark-blue) 오일(2.30g, 60%)을 수득하였다.

[0125] 7,7'-비스(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-5,5'-디플루오로-4,4'-비벤조[c][1,2,5]티아디아졸 (7,7'-bis(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-5,5'-difluoro-4,4'-bibenzo[c][1,2,5]thiadiazole)(**화합물 3**)의 합성

[0126] 먼저, **M5** (3.95g, 4.60mmol), Pd(PPh₃)₄ (0.16g, 0.14mol), 및 헥사-n-부틸디틴 (1.21g, 2.09mmol)을 아르곤 분위기 하에서 무수 톨루엔(100 mL)에 용해시켰다. 반응 혼합물을 110℃에서 11 일 동안 교반하였다. 실온으로 냉각시킨 후, 톨루엔을 감압하에 제거하였다. 혼합물을 DCM(100 mL로 6 회) 및 탈이온수(300 mL)로 추출하고 무수 MgSO₄로 건조시키고 여과하였다. 초기 혼합물을 감압 하에 농축하고 실리카겔 크로마토그래피(용리액: 100/0 내지 65/35 부피비의 헥산/DCM)로 정제하여 진한 빨간색(dark-red) 오일(1.07g, 29%)을 수득하였다.

[0127] 7,7'-비스(6-브로모-4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-5,5'-디플루오로-4,4'-비벤조[c][1,2,5]티아디아졸 (7,7'-bis(6-bromo-4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-

yl)-5,5'-difluoro-4,4'-bibenzo[c][1,2,5]thiadiazole) (**화합물 4**)의 합성

[0128] **화합물 3**(0.80g, 0.51mmol) 및 NBS(0.20g, 1.13mmol)을 아르곤 하에서 무수 THF 50mL에 용해시켰다. 용액을 실온에서 암실 조건 하에 48 시간 동안 교반하였다. 혼합물을 물(80 mL)에 붓고 DCM(100 mL로 3회)에서 추출한 다음 $MgSO_4$ 로 건조시키고 여과하였다. 초기 혼합물을 감압 하에 농축하고 실리카겔 크로마토그래피(용리액: 100/0 내지 80/20 부피비의 헥산/DCM)로 정제하여 진한 빨간색 오일(0.72g, 82%)을 수득하였다.

[0129] 폴리(4,4'-비스(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-7,7'-비[1,2,5]티아디아졸로[3,4-c]피리딘) (Poly(4,4'-bis(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-7,7'-bi[1,2,5]thiadiazolo[3,4-c]pyridine)(**P1**)의 합성

[0130] **화합물 2** (170 mg, 0.10 mol), 헥사-n-부틸디틴 (58.6 mg, 0.10 mmol), $Pd(PPh_3)_4$ (3.51 mg, 3.04 μ mol), 및 톨루엔(20 mL)을 슈링크 튜브에 첨가하였다. 반응물을 아르곤 하에 110°C에서 2 시간 동안 교반하였다. 초기 생성물을 메탄올(300 mL)에 침전시켰다. 생성된 고체를 여과하고 메탄올(24 시간), 아세톤(24 시간), 헥산(24 시간)을 사용하여 순차적으로 속슬렛(soxhlet) 추출하여 저분자량 분획을 제거하였다. 잔류물을 CF로 추출하고, 메탄올로 침전시키고, 진공 오븐에서 건조시켜 진한 초록색 생성물을 수득하였다. 분리 수율 = 81%(13.8mg). M_n = 89.4 kg/mol, 중량 평균 분자량(M_w) = 319 kg/mol, PDI = 3.57

[0131] 폴리(7,7'-비스(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-5,5'-디플루오로-4,4'-비벤조[c][1,2,5]티아디아졸) (Poly(7,7'-bis(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-5,5'-difluoro-4,4'-bibenzo[c][1,2,5]thiadiazole)(**P2**)의 합성

[0132] **화합물 4** (200mg, 0.12mmol), 헥사-n-부틸디틴 (67.7mg, 0.12mmol), $Pd(PPh_3)_4$ (2.03mg, 3.50 μ mol) 및 톨루엔 (20 mL)을 Schlenk 튜브에 첨가하였다. 반응물을 아르곤 하에 110°C에서 3 시간 동안 교반하였다. 초기 생성물을 메탄올 (300 mL)에 침전시켰다. 생성된 고체를 여과한 후 메탄올(24 시간), 아세톤(24 시간), 헥산(24 시간)으로 순차적으로 속슬렛 추출하여 저분자량 분획물을 제거하였다. 잔류물을 CF로 추출하고, 메탄올로 침전시키고, 진공 오븐에서 건조시켜 진한 녹색 생성물을 수득하였다. 분리 수율 = 45%(89 mg). M_n = 48 kg/mol, M_w = 84 kg/mol, PDI = 1.74.

[0133] 2) 자외선-가시광선-근적외선 분광기(Ultraviolet-Visible-Near Infrared Spectroscopy)

[0134] 자외선-가시광선-근적외선(UV-vis-NIR) 흡수 스펙트럼은 UV-vis-NIR 분광광도계(V-770, Jasco Inc.)를 사용하여 실온(25°C에서 측정하였다. 용액은 P1과 P2를 CF 용매(25 μ g mL⁻¹)에 용해시켜 제조하였다. P1 및 P2 박막은 CF 용액(5 mg mL⁻¹)을 석영 기판에 스핀코팅하였다.

[0135] 3) 순환전압전류법 (Cyclic Voltammetry)

[0136] 순환전압전류법(CV) 측정은 아르곤 하 실온에서 100 mV s⁻¹의 스캔 속도로 아세토니트릴에 용해된 0.1 M 테트라-n-부틸암모늄 헥사플루오로포스페이트(n-Bu₄NPF₆) 용액의 3전극 셀 시스템을 사용하여, 전기화학 스테이션 (METEK, Versa STAT3 Inc.)에서 수행되었다. Ag/Ag⁺ 전극, 백금 와이어, 및 유리질 탄소 디스크를 각각 기준 전극, 상대 전극, 및 작동 전극으로 사용하였다. 기준 전극은 페로센/페로세늄 산화환원 쌍 (ferrocene/ferrocenium redox couple)을 외부 표준으로 사용하여 보정하였으며, 산화 전위는 진공 수준에 대해 -4.8 eV로 설정되었다. VBE 및 CBE 에너지 준위는 종래의 연구 결과를 참조하였다.

[0137] 4) 밀도 함수 이론 계산 (Density Functional Theory Calculations)

[0138] 밀도 함수 이론(DFT) 계산은 비국소 하이브리드 Becke 3개 매개변수 Lee-Yang-Parr(B3LYP) 기능과 6-31G 기본 세트가 포함된 Gaussian 16W 패키지를 사용하여 수행되었으며, 동일한 방법을 사용하여 P1 및 P2 이합체의 기하학적 구조를 최적화한 후 VBE 및 CBE 에너지 준위를 설명하였다.

[0139] 5) 겔 투과 크로마토그래피 (Gel Permeation Chromatography)

[0140] P1과 P2의 M_n , M_w , 및 PDI는 겔 투과 크로마토그래피(GPC) 시스템(1200S, Agilent Inc.)을 사용하여 결정하였다. 실온에서 THF(HPLC 등급)에 용해된 일련의 단분산 폴리스티렌을 표준으로 사용하였다.

[0141] 6) 그레이징-입사 광각 X선 회절(Grazing-Incidence Wide-Angle X-ray Diffraction)

[0142] GIWAXD(2차원 그레이징 입사 광각 X선 회절) 측정은 한국 포항 가속기 연구소의 9A U-SAXS 빔라인에서 수행하였다. 진공 내 언들레이터의 X선은 입사각 0.12° 로 단색화되었다 ($E = 11.08 \text{ keV}$). GIWAXD 패턴은 2차원 CCD 검출기(MX170-HS, Rayonix Inc.)로 기록되었다. 검출기는 샘플 중심에서 약 210mm 떨어진 곳에 배치되었다.

[0143] 7) 원자힘 현미경 (Atomic Force Microscopy)

[0144] P1 및 P2 박막의 원자힘 현미경(AFM) 높이 이미지는 열 어닐링 전후에 AFM 장비(Cypher S, Oxford Instruments)를 사용하여 획득하였다. 제곱평균제곱근(root-mean-square; RMS) 값은 내장 소프트웨어를 사용하여 결정되었다.

[0145] 8) 소자 제작 및 특성평가

[0146] 유기 전계 효과 트랜지스터(For organic field-effect transistor; OFET)의 경우, Ni(5 nm)/Au(50 nm) 소스 및 드레인 전극은 $n^{++}\text{Si}$ (500 μm)/실리콘 디옥사이드(SiO_2 , 300 nm) 기판에 종래의 포토리소그래피 공정에 따라 패턴화되었다. 그후, 기판을 초음파 처리 배스(sonication bath)에서 아세톤과 이소프로판올로 각각 10분 동안 순차적으로 세척하였다. 세척된 기판을 100°C 의 건조 오븐에 밤새 보관하였다. P1 및 P2 박막은 사전 세척된 $n^{++}\text{Si}/\text{SiO}_2$ 기판 위의 클로로벤젠 용액(5 mg mL^{-1})으로 스핀코팅하였다. 폴리(메틸 메타크릴레이트)(poly(methyl methacrylate); PMMA) 용액은 부틸 아세테이트 용액(80 mg mL^{-1})으로부터 스핀코팅하였다. 특히, 어닐링된 소자의 경우, P1 및 P2 박막은 PMMA 게이트 유전체를 스핀코팅하기 전에 질소가 채워진 글러브 박스에서 각각 240°C 및 160°C 에서 어닐링하였다. PMMA 박막을 질소가 채워진 글러브 박스에서 80°C 에서 2시간 동안 열경화시켰다. 마지막으로, Al(50 nm) 게이트 전극은 고진공(약 $3 \times 10^{-6} \text{ Torr}$) 하에서 열 증발에 의해 새도우 마스크를 통해 증착되었다. 동일한 공정으로 CMOS(Complementary Metal-Oxide Semiconductor) 인버터를 제작하였으나, OFET 제작 공정에서 사용된 것과는 다른 새도우 마스크를 사용하였다. 모든 소자 파라미터는 질소가 채워진 글러브 박스에서 반도체 파라미터 분석기(4200A-SCS, Keithley Co. Ltd.)를 사용하여 기록하였다. 채널 폭은 1000 μm 이고, 채널 길이는 20 μm 및 40 μm 이다. 일 실시예의 인버터의 구조는 p-채널과 n-채널 모두 채널 폭은 1000 μm 이고, 채널 길이는 20 μm 이다 (도 7의 a 및 b의 삽입도). 또 다른 실시예의 인버터의 구조는 p-채널과 n-채널 모두 채널 길이는 20 μm 이나, 채널 폭은 p-채널의 경우 200 μm 이고 n-채널의 경우 800 μm 로 1:4의 비율을 갖는다 (도 8의 b 및 c).

[0148] 2. 결과 및 논의

[0149] 1) 합성 및 특성평가

[0150] 도 1에 나타난 합성 경로에 따라 P1을 제조하였다. 또한, A 모이어티로서 플루오로-2,1,3-벤조티아디아졸(fluoro-2,1,3-benzothiadiazole; FBT)을 사용하여 또 다른 도너-억셉터-억셉터-도너(D-A-A-D) 형 고분자 반도체(이하, PCFFC(P2)로 칭함)를 제조하여, 다양한 도너-억셉(D-A) 조합에 대한 본 발명의 설계 전략의 적용 가능성을 조사하였다. 이를 위하여, 7-브로모-4-(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-[1,2,5]티아디아졸로[3,4-c]피리딘(7-bromo-4-(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-[1,2,5]thiadiazolo[3,4-c]pyridine; CDT-PT-Br)(M3) 및 4-브로모-7-(4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)-5-플루오로벤조[c][1,2,5]티아디아졸(4-bromo-7-(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-5-fluorobenzo[c][1,2,5]thiadiazole; CDT-FBT-Br)(M5)을 종래의 보고된 절차에 따라 4,4-디헥사데실-4H-사이클로펜타[1,2-b:5,4-b']디티오펜-2-일)트리메틸스테인(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)trimethylstannane (M1), 4,7-디브로모-[1,2,5]티아디아졸로[3,4-c]피리딘(4,7-dibromo-[1,2,5]thiadiazolo[3,4-c]pyridine) (M2), 및 4,7-디브로모-5-플루오로벤조[c][1,2,5]티아디아졸(4,7-dibromo-5-fluorobenzo[c][1,2,5]thiadiazole) (M4)을 이용하여 획득하였다. 화합물 1(CDT-PT-PT-CDT) 및 화합물 3(CDT-FBT-FBT-CDT)은 각각 M3 또는 M5와 헥사-n-부틸디틴(hexa-n-butyliditin) 사이의 Pd 매개 스틸레(Stille) 커플링 반응에 의해 제조되었다. 특히, 화합물 3은 FBT 모이어티에서 부피가 큰 불소 원자에 의한 입체 장애로 인해 화합물 1보다 더 긴 반응 시간(10일 이상)이 필요하였고, 더 낮은 수율(<22%)을 나타냈다.

[0151] 이후, 암실 조건에서 N-브로모숙신이미드(N-bromosuccinimide; NBS)를 사용하여 화합물 1 및 3을 각각 이브로뮴화 단량체 화합물 2(Br-CDT-PT-PT-CDT-Br) 및 화합물 4(Br-CDT-FBT-FBT-CDT-Br)로 전환하였다. 최종적으로, 단량체 2 및 4를 헥사-*n*-부틸디틴(hexa-*n*-butylditin)과 함께 사용하여 스틸레 중합을 수행하여 최종 생성물 P1 및 P2를 각각 만족스러운 수율(80% 이상)로 수득하였다. 생성된 고분자 P1 및 P2는 테트라히드로푸란(tetrahydrofuran; THF), 클로로포름(chloroform; CF), 클로로벤젠(chlorobenzene; CB) 및 자일렌(xylene)과 같은 다양한 유기 용매에서 우수한 실온 용해도를 나타냈다. P1 및 P2의 수평균 분자량(the number-average molecular weight; M_n) 값은 겔 투과 크로마토그래피(gel permeation chromatography; GPC)에 의해 각각 89 kg/mol 및 48 kg/mol로 측정되었다. 해당 다분산 지수(polydispersity index, PDI)는 3.57 및 1.74이었다. P2의 M_n 은 아마도 단량체 4의 입체 장애로 인해 P1의 M_n 보다 적었지만 (이후 논의됨), P2의 M_n 은 고체 상태에서 효율적인 전하 수송을 위해 충분히 높다.

[0153] 2) 광학 및 전기화학적 특성

[0154] 희석 용액 및 박막 상태에서 P1 및 P2의 광학적 특성은 자외선-가시광선-근적외선(UV-vis-NIR) 흡수 분광법을 통해 조사하였다 (도 2의 a). 하기 표 1에는 자세한 파라미터가 요약되어 있다. 모든 용액과 박막은 스펙트럼 영역 파장(λ) 500 nm 이상에서 분자 내 전하 전달(intramolecular charge transfer; ICT) 상태로의 전자 전이를 포함하는, 일반적으로 도너-억셉(D-A) 형 공액 분자에서 관찰되는 이중-밴드 흡수(dual-band absorption)를 나타냈다. P1 박막의 밴드폭(bandwidth)은 P1 용액의 밴드폭과 비교하여 증가하였다. P1 박막의 더 넓은 스펙트럼 밴드는 약 $\lambda \approx 900$ nm 파장에서 향상된 0-0 모드 전이에 기인하며, 사슬간 상호작용이 개선되고 고체 상태에서 π 전자의 비편재화가 이루어진다.

[0155] P1과 비교하여, P2 용액 및 박막은 흡수 스펙트럼에서 단파색 이동(hypsochromic shift)을 나타내어 P2의 밴드갭(bandgap)이 상당히 증가하였다. P2 용액 및 박막의 최대 파장(λ_{max})은 각각 631 nm 및 636 nm이었다. P1 및 P2의 용액과 박막 사이의 λ_{max} 차이($\Delta \lambda_{max}$)는 각각 약 150 nm 및 약 148 nm인 것으로 나타났다. 동시에 깊어진 가전자대 엣지(valence band edge; VBE)와 CBE 에너지 준위가 광학 밴드갭의 급격한 변화 없이 불소화 억셉터-포함 고분자 반도체에서 예상된다는 점을 고려하면, P2의 광학 밴드갭($E_g \approx 1.74$ eV)이 P1($E_g \approx 1.20$ eV)과 비교하여 상당히 증가한 것은 예상치 못한 결과이다.

[0156] D-A 형 고분자 반도체의 단파색 이동과 그에 따른 증가된 밴드갭은 π -컨쥬게이션의 왜곡으로 인해 ICT 상태로의 비효율적인 전자 전이에 의해 유도될 수 있으므로, P1 및 P2의 백본 동일평면성(coplanarity)을 밀도함수이론(density functional theory; DFT) 계산으로 B3LYP/6-31G 수준에서 조사하였다 (도 2의 b). P1과 P2의 이량체(dimer)에 대해 수행된 DFT 계산에서 헥사데실(hexadecyl) 측쇄는 단순화를 위해 메틸기로 대체하였다. P1에 대한 최적화된 구성은 현저히 작은 이면체 비틀림(dihedral torsional) 각도($<0.01^\circ$)를 보인 반면, P2는 FBT 모이어티 사이에 상대적으로 큰 각도($\sim 47^\circ$)를 나타냈다. 이러한 큰 왜곡은 FBT 모이어티의 불소 원자 사이의 입체 반발에 기인한다. 따라서, P2의 밴드갭은 P1 및 P1의 D-A 형 대응물인 폴리(사이클로펜타[1,2-*b*:5,4-*b'*]디티오펜-플루오로벤조[c][1,2,5]티아디아졸(poly(cyclopenta[1,2-*b*:5,4-*b'*]dithiophene-fluorobenzo[c][1,2,5]thiadiazole; PCDTFBT) ($E_g \approx 1.32$ eV)의 것보다 크게 나타났다. 이러한 결과는 D-A-A-D 형 양극성 고분자 반도체의 A 모이어티에서 치환된 원자의 유형과 위치의 중요성을 보여준다.

[0157] UV-vis-NIR 흡수 분광법 결과 외에도, 순환 전압전류법(cyclic voltammetry; CV)을 사용하여 P1 및 P2의 VBE 및 CBE 에너지 준위를 결정하였다 (도 2의 c). 참조로서 산화환원 결합 페로센/페로세늄(redox-coupled ferrocene/ferrocenium) (Fc/Fc^+)을 사용하는 내부 표준과 비교하여, P1 및 P2는 각각 음극 및 양극 스캔에서 가역적 산화 및 환원 특성을 나타냈다. 측정 및 계산은 종래의 연구에 따라 수행되었다. 하기 표 1에 자세한 파라미터를 요약하였다. P1과 P2의 VBE/CBE 에너지 준위는 CV(VBE의 경우) 및 UV-vis-NIR(E_g 의 경우) 결과를 기반으로 각각 -5.28/-4.08 eV 및 -5.24/-3.50 eV로 나타났다 (도 2의 d). DFT 계산에서 얻은 에너지 준위는 앞서 언급한 실험 데이터(표 1)와 잘 일치하였다. D-A-A-D 형 P1의 CBE 에너지 준위는 P2 및 P1의 D-A 형 대응물(예를 들어, PCDTPT)의 CBE 에너지 준위보다 깊기 때문에, Au 전극으로부터 효율적인 전자 주입은 P2 및 PCDTPT 기반 소자에 비해 P1 기반 OFET 소자에서 기대할 수 있다.

표 1

Polymer	UV-vis-NIR			CV			DFT		
	$\lambda_{\max}$ (nm) ^a	$\lambda_{\max}$ (nm) ^b	E_g^{opt} (eV) ^c	E_{VBE} (eV) ^d	E_{CBE} (eV) ^d	E_g^{CV} (eV) ^e	E_{HOMO} (eV)	E_{LUMO} (eV)	E_g (eV)
P1	781	784	1.20	-5.28	-3.41	1.87	-5.32	-3.95	1.37
P2	631	636	1.74	-5.24	-3.33	1.91	-5.33	-3.60	1.73

3) 결정 구조

P1 및 P2 박막의 결정 구조와 순서를 조사하기 위하여, 2차원 스침 입사 광각 X선 회절 (two-dimensional grazing incidence wide-angle X-ray diffraction; GIWAXD) 실험을 프리스틴(pristine; P) 및 어닐링된 (annealed; A) P1 및 P2 박막에 대해 수행하였다. 특히, 최적의 어닐링 온도는 각 OFET 소자에 대해 가장 높은 μ 값을 초래하는 온도로 결정되었다 (이후 논의됨). 도 3의 a는 프리스틴 및 어닐링된 P1 및 P2 박막에 대한 상호 공간 맵(reciprocal space maps)을 보여주고, 도 3의 b는 면내(in-plane(IP); q_{xy}) 및 면외(out-of-plane(OOP); q_z) 방향에 따른 해당 라인 컷 프로파일(line-cut profile)을 보여준다. 표 2는 상세한 결정학적 파라미터를 보여준다. 프리스틴 P1 박막은 우선 엣지-온(preferential edge-on) 구성을 갖는 고차의 결정 구조에 해당하는 회절 피크를 나타냈다. OOP 방향에서 사차까지의 회절 피크는 잘 정렬된 엣지-온 결정자(crystallite)를 나타낸다. 240℃에서 열 어닐링 후 결정 피크의 강도가 증가하였으며, 이는 더 정렬된 고분자 결정자를 의미한다. 흥미롭게도, P1 박막은 또한, OOP 방향에서 약한 (010) 회절 피크를 갖는 페이스-온(face-on) 결정자를 나타냈다. P1에서 관찰된 혼합된 엣지-온/페이스-온 결정 구조는 고분자 결정자의 삼차원 네트워크(network)를 통해 전자와 정공의 전하 수송을 향상시키는 것으로 알려져 있으므로, P2 및 PCDTPT와 비교하여 P1의 전자 및 정공 이동도가 향상될 것으로 예상된다.

표 2

Polymer	Thermal Annealing (°C)	In-Plane (Å)				Out-of-Plane (Å)			
		$d_{(100)}$	$L_{c(100)}$	$d_{(010)}$	$L_{c(010)}$	$d_{(200)}^a$	$L_{c(200)}$	$d_{(010)}$	$L_{c(010)}$
P1	-	27.12	84.06	3.57	37.04	25.87	73.36	3.58	24.49
P2	-	25.11	50.57	-	-	-	-	-	-
P1	240	28.05	101.47	3.56	66.49	26.17	97.00	3.55	31.08
P2	160	25.39	53.66	3.88	78.97	25.70	111.32	-	-

대조적으로, 프리스틴 P2 박막은 눈에 띄는 결정 피크를 나타내지 않았다. 160℃에서 열 어닐링한 후, P2 박막에 엣지-온 결정이 생성되었다. 그러나, 흥미롭게도, 어닐링된 P2 박막에서 엣지-온 결정자의 π - π 적층 거리(π - π stacking distance; $d_{\pi-\pi}$)(3.88 Å)는 어닐링된 P1 박막의 것($d_{\pi-\pi}$ = 3.56 Å)보다 상당히 컸다. 어닐링된 P2 박막에서 엣지-온 결정자의 향상된 π - π 적층 거리는 CDT-FBT-FBT-CDT 프레임워크(architecture)의 비-동일평면(non-coplanar) 백본(backbone) 구조에 기인하며, 그에 따른 P2 고분자 사슬의 바람직하지 않은 적층에 기인한다 (도 2의 b). 따라서, P2의 라멜라 적층 거리(lamellar stacking distance; $d_{(100)}$)(25.75 Å)는, 도 3의 c에 나타난 바와 같이, P1($d_{(100)}$ = 26.50 Å)에 비해 약간 감소하였다. P2보다 P1의 고차 정렬 및 적층 특성은 원자힘 현미경(atomic force microscopy; AFM) 결과에 의해 확인되었으며, P1 박막에서 잘 정렬된 나노 결정자가 드러났다 (도 4).

4) 전기적 특성

P1과 P2의 전기적 특성을 조사하기 위하여, 게이트 유전체로서 폴리(메틸 메타크릴레이트)(poly(methyl

methacrylate); PMMA)를 사용하여 바텀-컨택-탑-게이트(bottom-contact-top-gate)구성의 OFET를 제작하였다 (도 5의 a 및 표 3). 도 5의 b 및 c는 각각 240℃와 160℃에서 어닐링된 P1 및 P2 전하 수송층으로 제작된 최고 성능 소자의 전달 특성을 보여준다. 도 6과 표 4는 각각 어닐링 온도의 함수로서 P1과 P2의 전달 특성과 해당 소자 파라미터를 보여준다. 어닐링된 P1 박막으로 제작된 소자는 $1.10 \pm 0.23 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 및 $0.28 \pm 0.05 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 의 평균 μ_h 및 μ_e 값을 나타냈다 (도 5의 d). P1의 최고 μ_h 및 μ_e 값은 각각 $1.50 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 및 $0.41 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 이었으며, 이 값은 종래의 보고된 D-A 형 PCDTPT의 값보다 약 2 배 더 크다. 특히, P1 소자는 종래의 보고된 PCDTPT 기반 양극성 OFET보다 성능이 뛰어난, 히스테리시스-프리 출력 특성(도 5의 e 및 f)을 나타냈다. 향상된 μ_e 및 히스테리시스-프리 트랜지스터 특성은 D-A 형 PCDTPT에 비해 D-A-A-D형 P1 박막에 대한 향상된 전자 수송을 보여주었다.

표 3

Polymer	$\mu_{\max} (\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1})$		$\mu_{\text{ave}} (\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1})$		ON/OFF Ratio		$V_T (\text{V})$	
	p-Type	n-Type	p-Type	n-Type	p-Type	n-Type	p-Type	n-Type
P1	1.5	0.41	1.11 (0.23)	0.28 (0.05)	250	24	-42	60
P2	0.003	0.001	0.0013 (0.0005)	0.0003 (0.0002)	96	82	-33	66

표 4

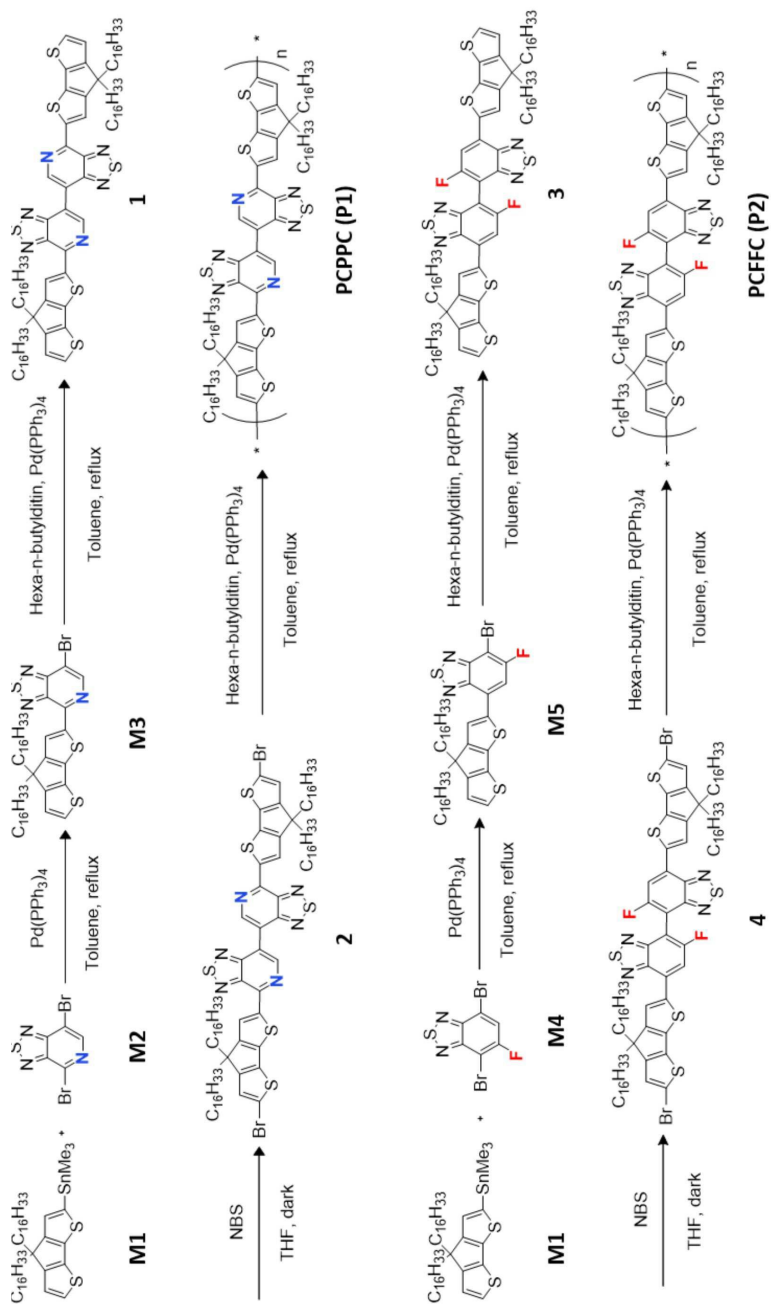
Polymer	Annealing temperature (°C)	Hole $\mu (\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1})$	ON/OFF Ratio	$V_T (\text{V})$
P1	-	0.01	4.7×10^5	-20.3
	80	0.13	7.1×10^4	-21.4
	160	0.30	4.9×10^4	-21.4
	240	0.33	1.0×10^5	-25.3
	300	0.20	1.8×10^3	-38.4
P2	-	8.0×10^{-4}	3.0×10^6	31.2
	80	1.0×10^{-3}	1.5×10^6	-8.5
	160	1.0×10^{-2}	1.4×10^7	-20.8
	240	8.0×10^{-3}	3.0×10^6	-30.4
	300	6.0×10^{-4}	1.5×10^6	-2.6

P2는 $0.0013 \pm 0.0005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 및 $0.0003 \pm 0.0002 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 의 평균 μ_h 및 μ_e 값을 나타냈으며, 여기서 최고 μ_h 및 μ_e 값은 각각 $0.003 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 및 $0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 이었다 (도 5의 d). 이 값은 P1, PCDTPT, 및 이의 D-A 형 대응물(예를 들어, PCDTFBT)의 값보다 100 배 이상 작다. 이러한 P2의 낮은 μ_h 및 μ_e 값은 P2 박막의 결정성이 낮기 때문이다 (도 3). 또한, P2의 더 높은 CBE 에너지 준위로 인해 전자 주입이 제한될 수 있다 (도 2의 d). P2 박막의 전자 수송에 대한 이러한 열악한 조건에도 불구하고, μ_h 값($\approx 0.003 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)과 합리적으로 비교할 수 있는 μ_e 값($\approx 0.001 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)은 다른 고분자 반도체에 본 발명의 설계 전략의 적용 가능성을 입증하여, D-A-A-D 형 고분자 반도체에서 치환된 원자의 중요성을 입증한다.

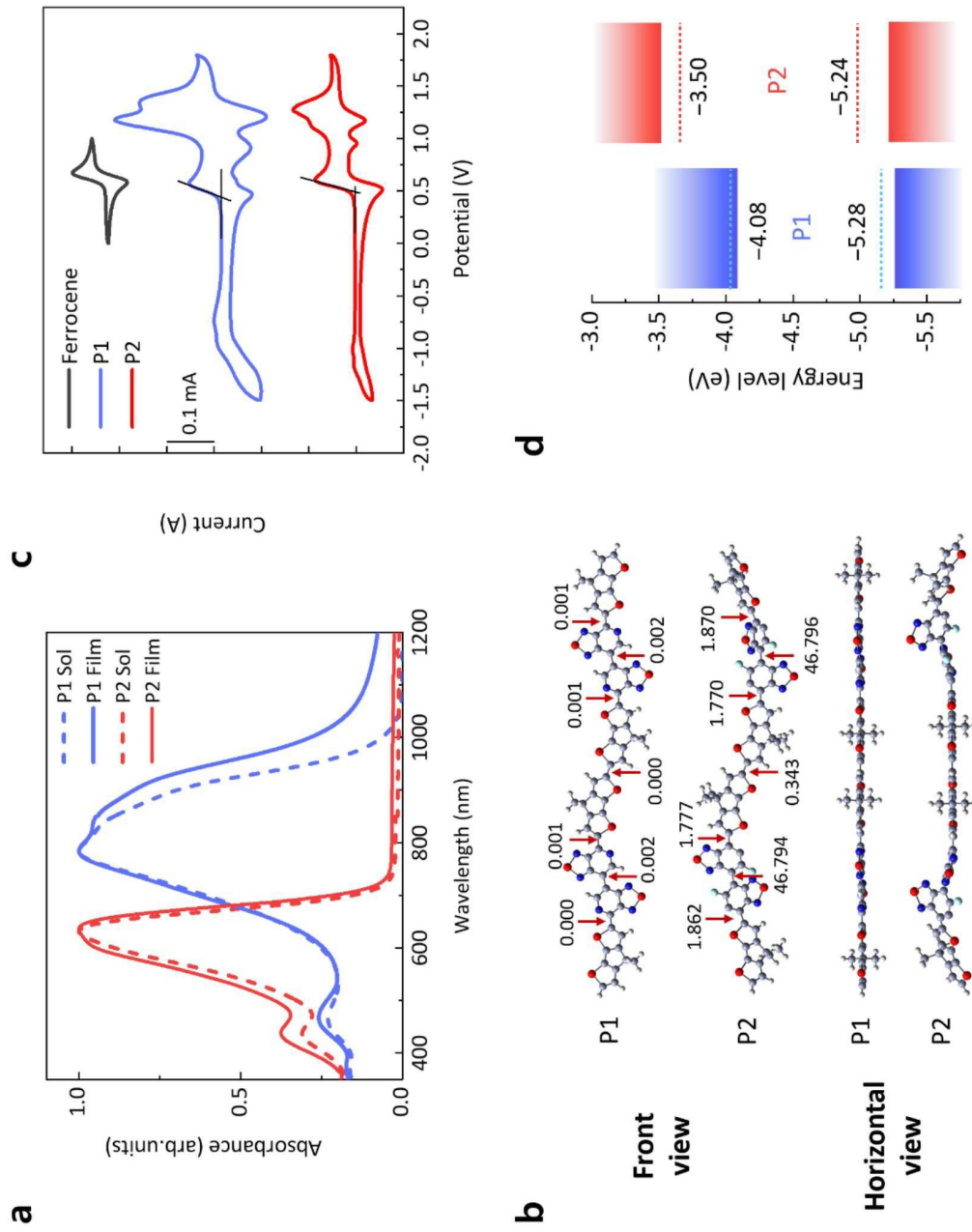
- [0172] 양극성 P1 박막의 유용성을 입증하기 위하여, 어닐링된 P1 박막을 p-채널 및 n-채널 층으로 사용하여 CMOS 인버터를 제작하였다 (도 7의 a, 도 7의 b의 삽입). 인버터는 공통 게이트인 입력 전압(V_{IN}), 공통 드레인인 출력 전압(V_{OUT}), 그라운드(GND), 및 공급 전압(V_{DD})에 대해 각각 4 개의 독립 전극으로 구성되었다. V_{DD} 및 V_{OUT} 은 각각 풀업(pull-up) (p형 트랜지스터) 부분에 해당하고, GND와 V_{OUT} 은 풀다운(pull-down)(n형 트랜지스터) 부분에 해당한다. 특히, 복잡한 패터닝 없이 P1 단층을 이용하여 인버터를 제작하였다. 도 7의 b는 최고 성능 양극성 인버터의 전달 특성과 이득을 보여준다. 상기 소자는 V_{OUT} 이 V_{IN} 에 따라 증가하지만 포화 영역에서 풀다운 트랜지스터의 작동에 의해 구동되는 V_{IN} 이 GND 근처에 있는 V_{DD} 에 도달하지 않는다는 점에서 양극성 인버터의 일반적인 전달 특성을 나타냈다. 최고 이득은 $V_{DD} = 100$ V에서 약 110이었다.
- [0173] 도 7의 c는 60 V, 80 V, 및 100 V의 V_{DD} 값에 대한 전달 특성을 보여준다. $V_{DD} = 60$ V에서 작은 히스테리시스(4 V 이하)가 관찰되었지만, 인버터의 전달 특성은 V_{DD} 가 감소함에 따라 스위칭 전압(switching voltage; V_{SW})이 점차 감소하는 양극성 인버터의 전형적인 특성이다. 또한, 인버터는 V_{DD} 에 상관없이 레일-투-레일 출력 스윙(rail-to-rail output swing)으로 날카로운 스위칭을 나타냈다. 이득 값은 각각 60 V 및 80 V의 V_{DD} 값에서 41 및 67로 결정되었다 (도 7의 d). P1에서 수득한 110의 최고 이득은 CDT 기반 고분자 반도체에 대한 첫 번째 결과이다. 또한, 이는 양극성 고분자 반도체를 기반으로 한 유기 인버터에 대해 종래에 보고된 가장 높은 값 중 하나이다. 이러한 결과는 유기 로직 회로에서 양극성 P1 반도체의 이점을 입증한다.
- [0174] 또한, PMMA(유전체)의 두께는 360 nm로 감소시키고, 인버터 구성 요소 중 p-형과 n-형 트랜지스터의 폭(width) 비율을 최적화 (1:4)하여 CMOS 인버터를 추가 제작한 후, 이득 값을 측정하였다 (도 8의 a). 더 낮은 V_{DD} (40 V)에서 더 높은 이득 값(약 160 이상)을 수득하였다. 결과적으로, 소자 구조 최적화를 통하여, 더 적은 전력을 사용하여 우수한 성능을 구현할 수 있음을 확인하였다.
- [0176] **3. 결론**
- [0177] D 및 A 모이어티를 간단히 재구성함으로써 D-A-A-D 구성을 형성하여, 고분자 반도체 박막의 양극성 전하 수송(transport)이 향상되었다. CDT-PT 구성에 기반한 종래의 D-A 형 고분자 반도체와 비교하여, 본 발명의 반복 단위 위에 CDT-PT-PT-CDT 프레임워크를 포함하는 D-A-A-D 형 P1은 2 배 이상 높은 전자 및 정공 이동도와 히스테리시스-프리 트랜지스터 특성을 나타냈다. 그 결과, 전하 수송층으로 단일 성분 양극성 P1을 사용하여 제조한 CMOS 인버터는 160 보다 큰 높은 이득을 나타냈다. 이는 CDT 기반 고분자 반도체로 개발된 유기 인버터에 대해 보고된 가장 높은 값 중 하나이다. 본 발명의 전략은 간단하고 종래의 보고된 수많은 D-A 형 고분자 반도체에 적용될 수 있으므로, 본 발명의 결과는 고성능 양극성 고분자 반도체 및 관련 유기 전자 장치의 설계를 위한 간편하고 효과적이며 일반적인 지침을 제공하였다.
- [0179] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수도 있다.
- [0180] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위, 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

도면

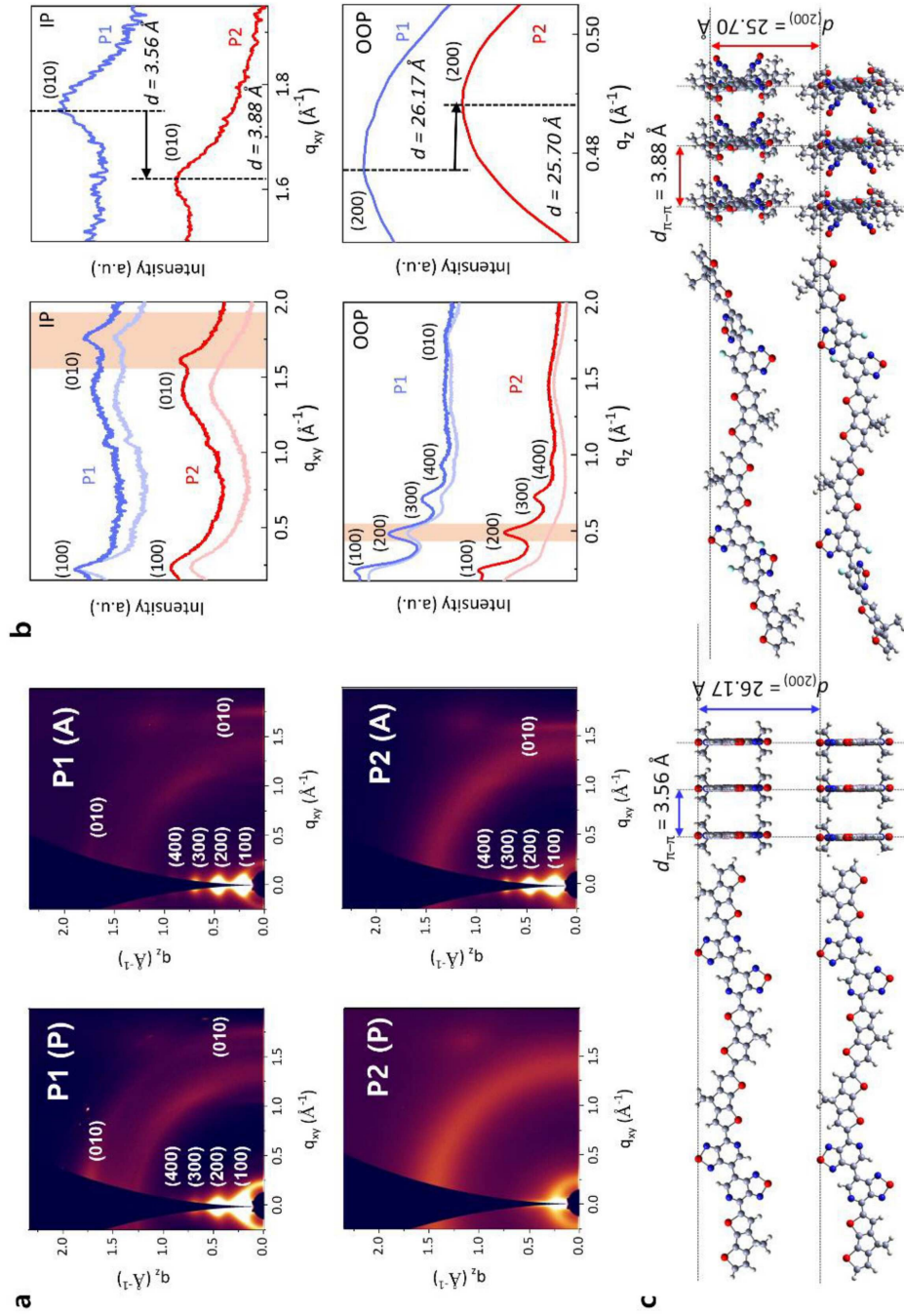
도면1



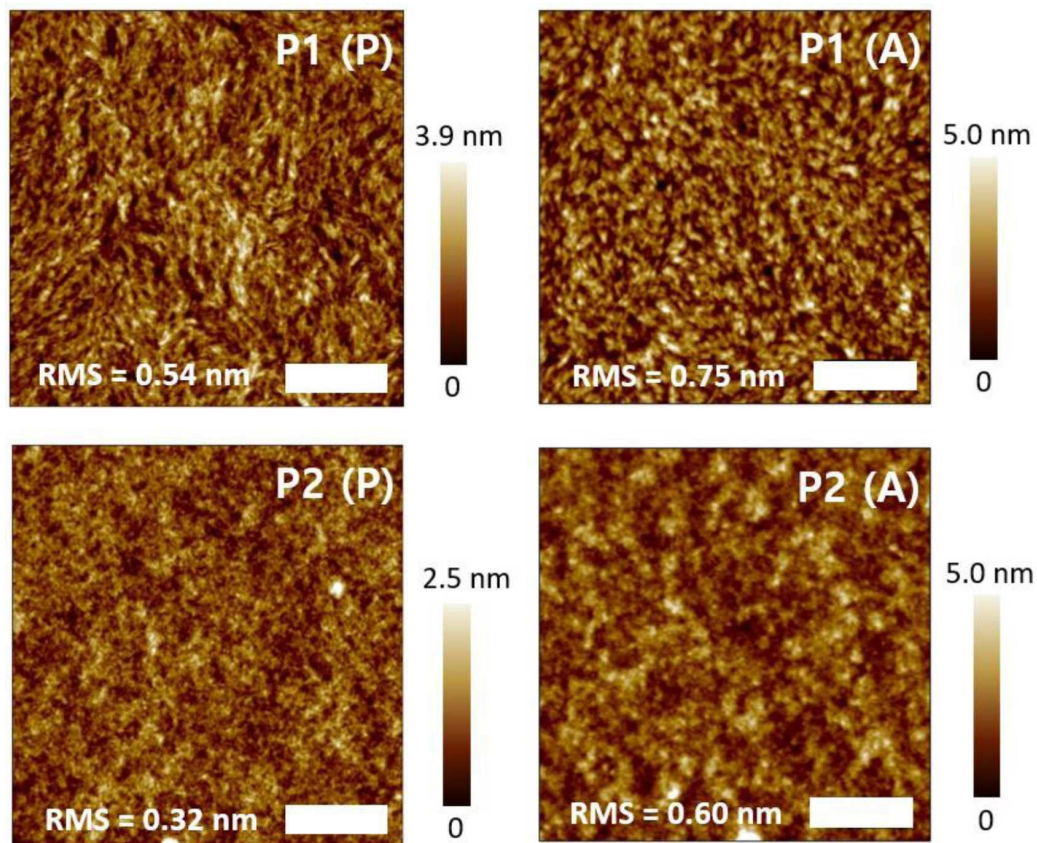
도면2



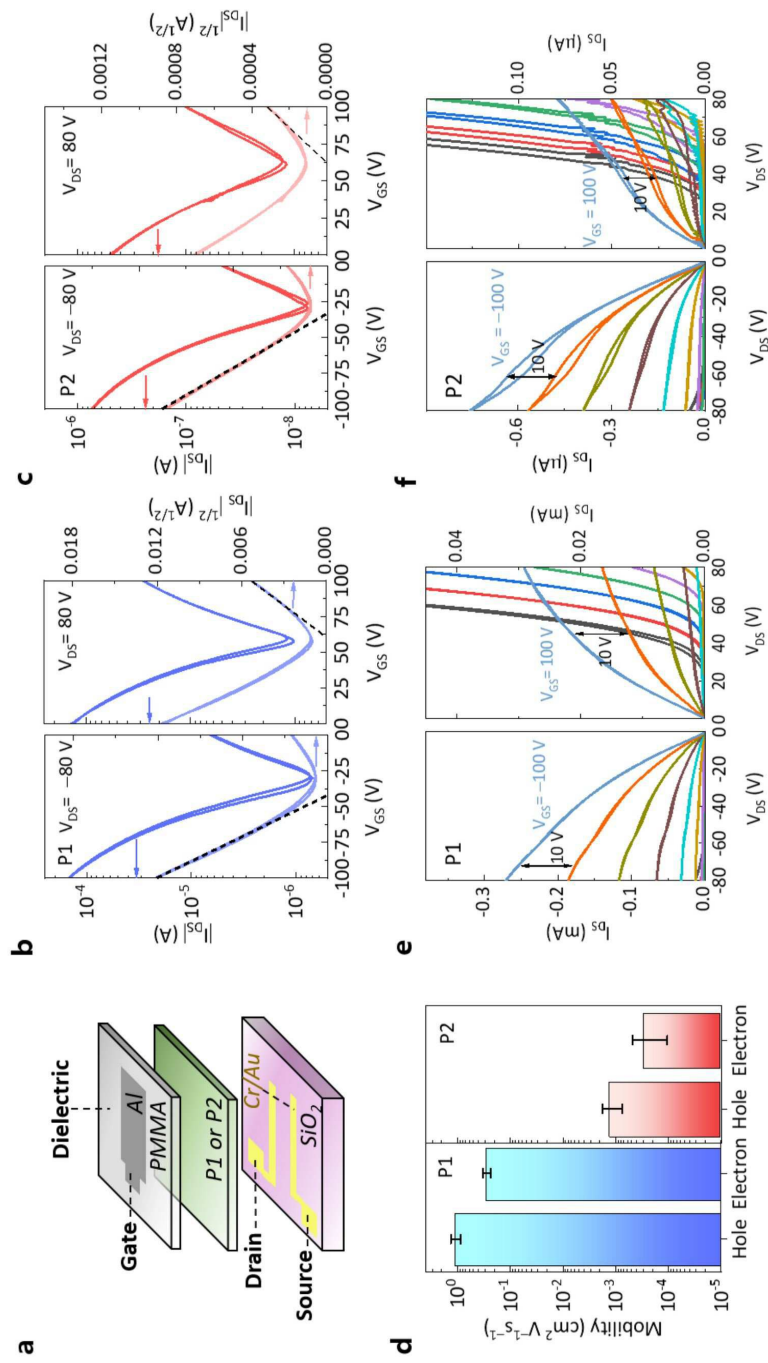
도면3



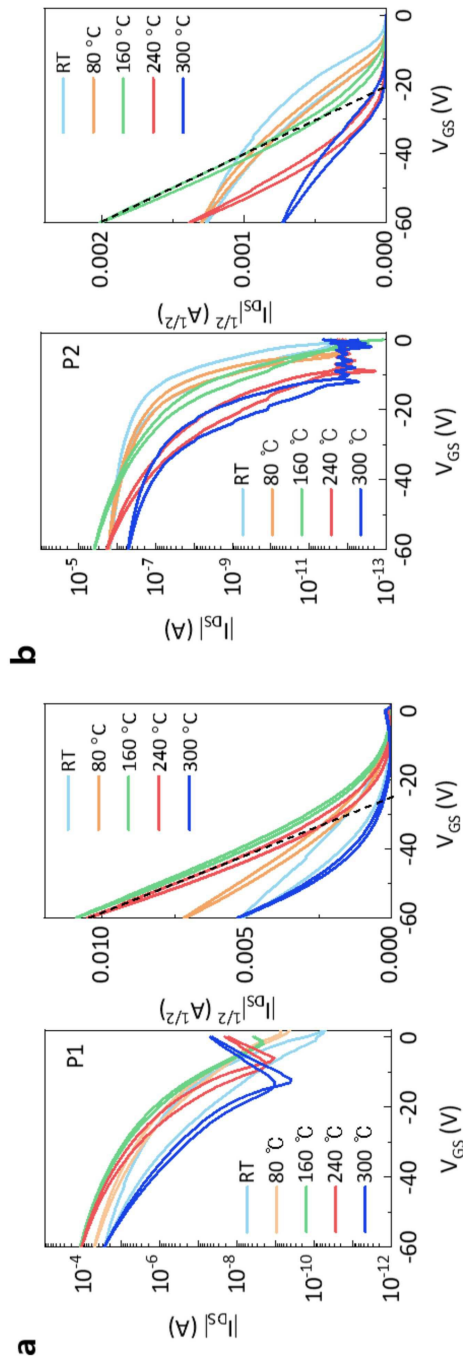
도면4



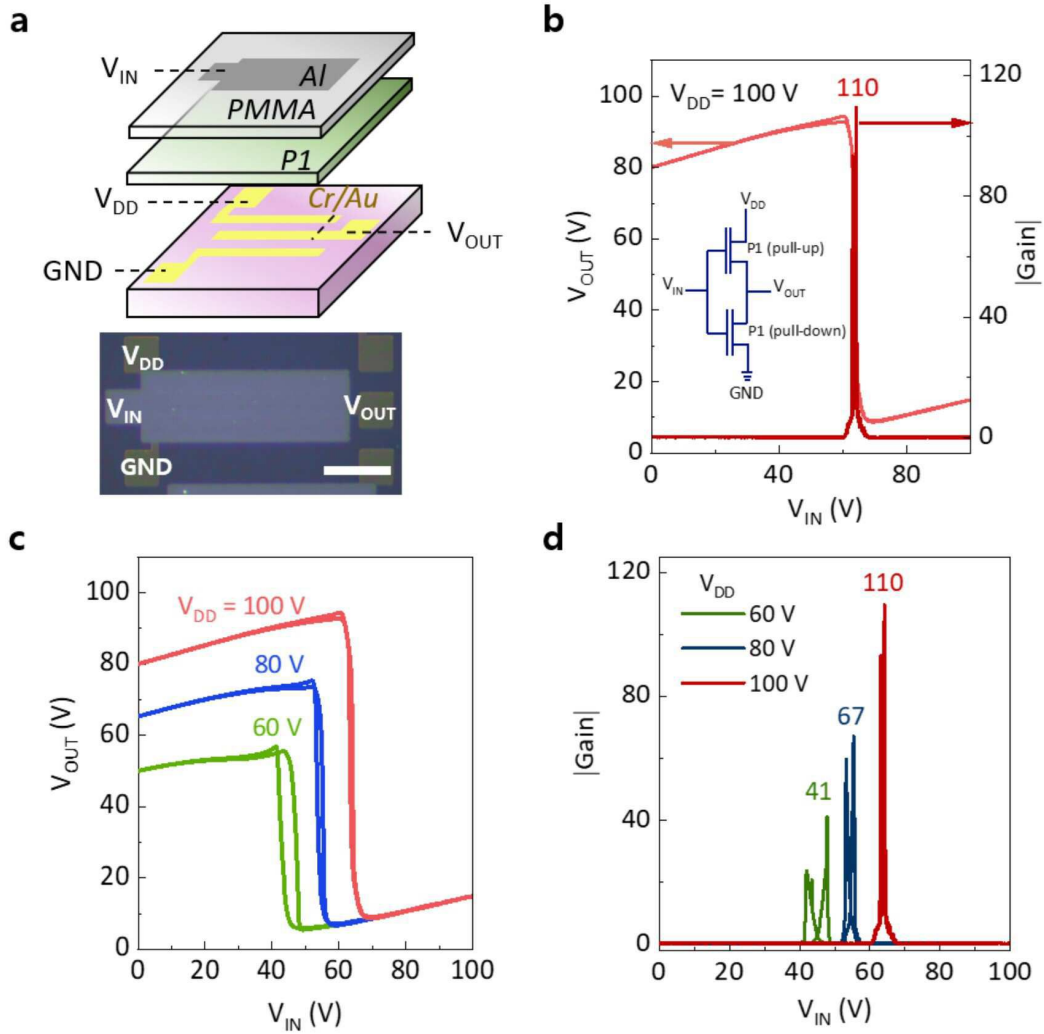
도면5



도면6



도면7



도면8

