(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 3 月 3 日(03.03.2011)

PCT

(10) 国際公開番号
WO 2011/024724 A1

(51) 国際特許分類:
H01C 7/04 (2006.01)

(21) 国際出願番号: PCT/JP2010/064089

(22) 国際出願日: 2010 年 8 月 20 日(20.08.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-198024 2009 年 8 月 28 日(28.08.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 三浦　忠将 (**MIURA Tadamasa**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 森下　武一, 外(**MORISHITA Takekazu** et al.); 〒5410054 大阪府大阪市中央区南本町４丁目２番１０号　本町永和ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

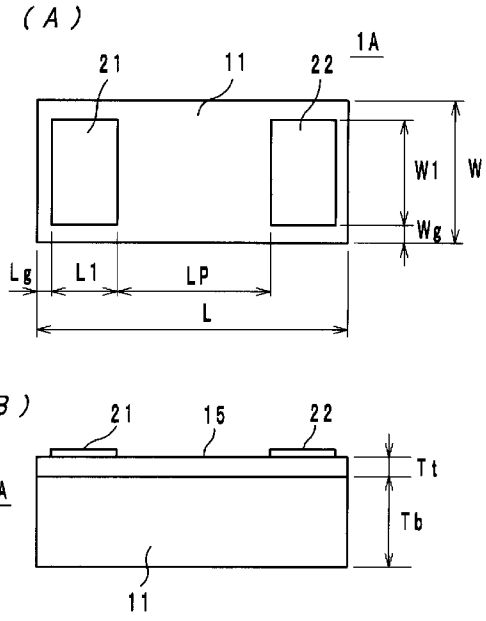
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: THERMISTOR AND METHOD FOR PRODUCING SAME

(54) 発明の名称 : サーミスタ及びその製造方法

［図1］



(57) **Abstract**: Disclosed is a method for producing a thermistor which can be reduced in height, which can be mounted in a reflow process and mounted on a minimal space, which can be produced at a low cost, and which can suppress the occurrence of cracks to a great degree. A NTC thermistor is comprised of a metal substrate (11), a thermistor thin film layer (15) formed on the metal substrate (11), and a pair of split electrodes (21, 22) formed on the thermistor thin film layer (15). A ceramic slurry is applied to a carrier film to form the thermistor thin film layer (15), a metal powder contained paste is applied to the thermistor thin film layer (15) to form the metal substrate (11), and an electrode paste is applied to the metal substrate (11) to form the split electrodes (21, 22). After that, the thermistor thin film layer (15), the metal substrate (11), and the split electodes (21, 22) are integrally sintered.

(57) 要約:　低背化やリフローでの実装が可能で、極小スペースへの実装を可能としたサーミスタ及び安価に製造できてクラックの発生を極力抑制できるサーミスタの製造方法を得る。金属基材（１１）と、該金属基材（１１）上に形成されたサーミスタ薄膜層（１５）と、該サーミスタ薄膜層（１５）上に形成された一対の分割電極（２１），（２２）とを備えたＮＴＣサーミスタ。キャリアフィルム上にセラミックスラリーを塗布してサーミスタ薄膜層（１５）を形成し、該サーミスタ薄膜層（１５）上に金属粉含有ペーストを塗布して金属基材（１１）を形成し、さらに、金属基材（１１）上に電極ペーストを塗布して分割電極（２１），（２２）を形成する。その後、３者を一体的に焼成する。

WO 2011/024724 A1

明　細　書

発明の名称 ： サーミスタ及びその製造方法

技術分野

[0001] 本発明は、サーミスタ及びその製造方法、特に、金属基材とサーミスタ薄膜層と電極とが積層されているサーミスタ及びその製造方法に関する。

背景技術

[0002] 従来、保護回路中に温度センサなどとして使用されるＮＴＣサーミスタあるいはＰＴＣサーミスタとしては特許文献１に記載のものが知られている。このサーミスタは、電極を兼ねた平板状金属基板と、前記平板状金属基板の一方の表面に形成された感温抵抗体膜と、前記感温抵抗体膜の上に形成された電極膜とからなる。

[0003] しかしながら、前記サーミスタは、平板状金属基板を一方の電極とし、最上層に形成されている電極膜を他方の電極としている構造を有するため、電極膜への電気的接続はワイヤボンディングによらざるを得ず、極小スペースへの実装は不可能であった。例えば、プリント配線基板上に実装されたＩＣ部品の温度センサとして使用する場合、プリント配線基板とＩＣ部品との間には１５０～２００μｍの微小な隙間が生じており、サーミスタをこの隙間に実装することが好ましい。しかし、ワイヤボンディングによる実装ではこのような極小スペースへの実装はできない。

[0004] また、前記サーミスタでは感温抵抗体膜（サーミスタ薄膜）をスパッタなどの気相法で形成しているが、これではコストが上昇し、生産性にも欠けるという問題点を有していた。さらに、前記サーミスタでは、金属基板や感温抵抗体膜にクラックなどが生じると、抵抗値が変動して温度センサとしての特性が変化するという問題点も有していた。

先行技術文献

特許文献

[0005] 特許文献1：特開昭６１－２４５５０２号公報

発明の開示

発明が解決しようとする課題

[0006] そこで、本発明の目的は、リフローでの実装が可能で、極小スペースへの実装を可能としたサーミスタ及びその製造方法を提供することにある。他の目的は、低背化が可能で、クラックの発生を極力抑制でき、かつ、安価に製造できるサーミスタ及びその製造方法を提供することにある。

課題を解決するための手段

[0007] 本発明の第１の形態であるサーミスタは、金属基材と、該金属基材上に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一対の分割電極と、を備えたことを特徴とする。

[0008] 前記サーミスタにおいては、一対の分割電極をプリント配線基板のランドにリフローによってはんだ付けすることができ、ワイヤボンディングによる実装を必要としないので、２００μｍ以下の極小スペースであっても実装することが可能である。

[0009] 特に、金属基材の厚みが１０～８０μｍ、サーミスタ薄膜層の厚みが１～１０μｍであれば、低背化が達成されるだけでなく、薄膜のサーミスタと金属基材とを一体化していることでフレキシブル性が付与される。このため、サーミスタに応力が加わったとしても、サーミスタ薄膜層部分にクラックが生じにくく、実装スペースに凹凸・段差などがある場合であっても、前記サーミスタであれば実装可能である。

[0010] また、サーミスタに過度な応力が加わり撓みが生じ、サーミスタ薄膜層の中央部にクラックが発生したとしても、前記サーミスタは分割電極を採用しており、サーミスタ薄膜層の中央部分は通電経路ではないので、サーミスタとしての電気的特性に影響を及ぼしにくい。

[0011] 本発明の第２の形態であるサーミスタの製造方法は、

金属基材と、該金属基材上に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一対の分割電極と、を備えたサーミスタの製造方法であって、

キャリアフィルム上にセラミックスラリーを所定の厚さに塗布して前記サーミスタ薄膜層となるセラミックグリーンシートを形成する工程と、

前記セラミックグリーンシート上に金属粉含有ペーストを所定の厚さに塗布して金属基材となる金属基材シートを形成する工程と、

前記セラミックグリーンシートの前記金属基材シートが形成された面と対向する面上に電極ペーストを所定の厚さに塗布して分割電極となる分割電極パターンを形成する工程と、

前記金属基材シート、前記セラミックグリーンシート、前記分割電極パターンを一体的に焼成する工程と、

を備えたことを特徴とする。

[0012] 前記製造方法においては、サーミスタ薄膜層を固相法によって形成するため、気相法よりも安価に製造でき、しかも、金属基材、サーミスタ薄膜層、分割電極を一体的に焼成するため、金属基材やサーミスタ薄膜層にクラックが発生することを極力抑えることができる。

発明の効果

[0013] 本発明によれば、低背化やリフローでの実装が可能で、極小スペースへの実装を可能としたサーミスタを得ることができる。また、サーミスタ薄膜層を固相法で形成するために安価に製造でき、一体的に焼成することでクラックの発生を極力抑制できる。

図面の簡単な説明

[0014] [図1]第１実施例であるサーミスタを示し、（Ａ）は平面図、（Ｂ）は正面図。

[図2]前記サーミスタの等価回路図。

[図3]前記サーミスタの通電状態を示す説明図。

[図4]前記サーミスタの製造工程を示す説明図。

[図5]第３実施例であるサーミスタを示す断面図。

[図6]第３実施例であるサーミスタの変形例を示す断面図。

[図7]第４実施例であるサーミスタを示す断面図。

[図8]第５実施例であるサーミスタを示す断面図。

発明を実施するための形態

[0015] 以下、本発明に係るサーミスタ及びその製造方法の実施例について添付図面を参照して説明する。なお、各図において、共通する部品、部分は同じ符号を付し、重複する説明は省略する。

[0016] （第１実施例、図１～図３参照）

第１実施例であるＮＴＣサーミスタ１Ａは、図１に示すように、金属基材１１と、該金属基材１１上に形成されたサーミスタ薄膜層１５と、該サーミスタ薄膜層１５上に形成された一対の分割電極２１，２２とで構成されている。金属基材１１は金属粉ペーストからシート状に形成され、サーミスタ薄膜層１５はセラミックスラリーからシート状に形成され、分割電極２１，２２は電極材料ペーストを所定形状に形成したもので、これらの３者は一体的に焼成されている。なお、少なくとも金属基材１１とサーミスタ薄膜層１５とが一体焼成されればよい。

[0017] 金属基材１１の厚みは１０～８０μｍ程度、サーミスタ薄膜層１５の厚みは１～１０μｍ程度、分割電極２１，２２の厚みは０．１～１０μｍ程度であり、サーミスタ１Ａ全体としての厚みは１０～１００μｍ程度である。ここで、サーミスタ１Ａの全体長さ寸法をＬ、全体幅寸法をW、分割電極２１，２２間の距離をＬｐ、分割電極２１，２２の短辺長さをＬ１、サーミスタ１Ａの端面までの寸法をＬｇ、長辺長さをW１、サーミスタ１Ａの側面までの寸法をWｇとする。さらに、金属基材１１の高さ寸法をＴｂ、サーミスタ薄膜層１５の厚みをＴｔとする。

[0018] サーミスタ薄膜層１５としては、Ｍｎ，Ｎｉ，Ｆｅ，Ｔｉ，Ｃｏ，Ａｌ，Ｚｎなどを任意の組合せで適量含む種々のセラミック材料を用いることができる。実際上は、前記遷移金属元素の酸化物を用いて混合されるが、前記元素の炭酸塩、水酸化物などを出発原料として用いてもよい。金属基材１１及び分割電極２１，２２としては、Ａｇ，Ｐｄ，Ｐｔ，Ａｕなどの貴金属、又は，Ｃｕ，Ｎｉ，Ａｌ，W，Ｔｉなどの卑金属の単体あるいはこれらを含む

合金を用いることができる。

[0019] 金属基材１１やサーミスタ薄膜層１５をシート状に形成する方法としてはドクターブレード法が一般的であるが、スクリーン印刷、グラビア印刷、インクジェット方式であってもよい。分割電極２１，２２の形成はスクリーン印刷などの印刷法、スパッタ法や蒸着法で行うことができる。なお、材料や製造工程については後に詳述する。

[0020] ここで、サーミスタ１Ａの等価回路について図２を参照して説明する。分割電極２１，２２が入出力端子となり、抵抗Ｒ１、Ｒ２はサーミスタ薄膜層１５によって形成されるとともに、金属基材１１を介して電気的に直列に接続されている。即ち、分割電極２１，２２は直接接触しているサーミスタ薄膜層１５による抵抗Ｒ１，Ｒ２を介してサーミスタ回路を構成している。

[0021] サーミスタ薄膜層１５の表面に分割電極２１，２２が形成されているため、通電状態は図３に矢印で示すように、分割電極２１，２２に接している部分のサーミスタ薄膜層１５と金属基材１１を通じる経路となる。サーミスタ１Ａの撓みやマウンタでの実装時にはサーミスタ薄膜層１５の中央部分にクラックが発生しやすい。しかし、仮に、サーミスタ薄膜層１５の中央部分にクラックが発生したとしても、その部分は通電経路ではないので、サーミスタ１Ａとしての電気的特性に影響を及ぼすことはない。

[0022] 以上の構成からなるＮＴＣサーミスタ１Ａは、例えば、プリント配線基板上に実装されたＩＣ部品の温度センサに使用される。この場合、サーミスタ１Ａはプリント配線基板のランド上に分割電極２１，２２をリフローによってはんだ付けし、実装される。本第１実施例であるサーミスタ１Ａは１０～１００μｍ程度に低背化されているため、プリント配線基板とＩＣ部品との間に形成される１５０～２００μｍ程度の隙間に実装することができる。サーミスタ１Ａがこの隙間に実装されることにより、温度センサとしてＩＣ部品の温度上昇に即座に対応することができる。

[0023] また、薄膜のサーミスタと金属基材とを一体化していることでフレキシブル性が付与される。このため、サーミスタに応力が加わったとしても、サー

ミスタ薄膜層部分にクラックが生じにくく、実装スペースに凹凸・段差などがある場合であっても、サーミスタ１Ａであれば実装可能である。

[0024] （製造工程、図４参照）

次に、前記サーミスタ１Ａの製造工程について説明する。まず、サーミスタ薄膜層１５の原料として、Ｍｎ－Ｎｉ－Ｆｅ－Ｔｉの酸化物を所定の配合（抵抗率が１０４Ωｃｍとなることを目標とする）となるように秤量し、ボールミルにより、ジルコニアなどの粉砕媒体を用いて、十分に湿式粉砕し、その後、所定の温度で仮焼し、セラミック粉末を得た。

[0025] 前記セラミック粉末に有機バインダを添加し、湿式で混合処理を行ってスラリー状とし、得られたスラリーをドクターブレード法により焼成後の厚みが１～１５μｍとなるセラミックグリーンシートを得た。得られたセラミックグリーンシート上にＡｇ－Ｐｄを主成分とした金属基材用ペーストをドクターブレード法にて、焼成後の厚みが５～１００μｍとなる金属基材シートを形成してマザーシートとした。さらに、比較検討用として、厚み３０μｍの金属基材シート上に厚み０．５μｍのサーミスタ薄膜層をスパッタ法によって形成して比較検討用マザーシートとした。その後、セラミックグリーンシート上にＡｇ－Ｐｄペーストをスクリーン印刷し、分割電極を形成した。

[0026] 次に、分割電極を形成した各マザーシートを１単位のサーミスタにカットし、ジルコニア製の匣に収容し、脱バインダ処理を行った後、所定温度（例えば、９００～１３００℃）で焼成した。これにて、金属基材１１、サーミスタ薄膜層１５、分割電極２１，２２からなる積層型のサーミスタ１Ａが得られた。

[0027] 具体的な工程としては、図４（Ａ）に示すように、ＰＥＴ製のキャリアフィルム３１上に前記セラミックスラリーを塗布してドクターブレード法でサーミスタ薄膜層となるセラミックグリーンシート１５を形成し、さらにその上に前記金属基材用ペーストを塗布してドクターブレード法で金属基材となる金属基材シート１１を形成する。フィルム３１、シート１５，１１を多数個取りのマザーシートとなる寸法にカットし（図４（Ｂ）参照）、シート１

５，１１をフィルム３１から剥離する（図４（Ｃ）参照）。その後、シート１５上にＡｇ－Ｐｄペーストをスクリーン印刷して分割電極２１，２２を形成し（図４（Ｄ）参照）、所定のチップ寸法にカットする（図４（Ｅ）参照）。このチップを焼成し、積層型のサーミスタ１Ａを得る。

[0028] 前述の工程にて得られたサーミスタについて、以下に説明する各種試験を実施した後に、光学顕微鏡並びに走査型電子顕微鏡（ＳＥＭ）などでサーミスタを観察し、欠陥（クラック）の発生状況を確認した。また、試験前後に室温抵抗値（室温２５℃での抵抗値を意味する、以下同じ）を測定し、負荷試験による室温抵抗値の抵抗変化の有無を検証した。なお、抵抗変化は負荷試験前からの変化率が±１%未満であるものを抵抗変化無と判定した。

[0029] （評価試験）

まず、巻付け試験を実施した。巻付け試験は、撓み量１ｍｍ、２ｍｍ、８ｍｍ、１６ｍｍでのサーミスタのそり量に相当する直径０．７１ｃｍ、１．３０ｃｍ、５．０７ｃｍ、１０．１３ｃｍの円筒に、長さ５００ｍｍ、幅５ｍｍのサーミスタ試験片を巻き付けて１０秒間保持した。試験片において、金属基材の厚みＴｂは３０μｍとし、サーミスタ薄膜層の厚みＴｔは０．５～１５．０μｍとした。

[0030] 試験結果は以下の表１に示すとおりであり、金属基材表面のクラック観察、試験前後の抵抗を測定することで評価した。クラックの有無は、光学顕微鏡にて５０倍、１００倍の倍率で試料の表面全体を目視にて観察し、さらに、走査型電子顕微鏡（ＳＥＭ）にて１０００倍の倍率で試料の表面全体を目視にて観察することで確認した。表１の評価欄において、◎印は、クラックが観察されず、試験前後の抵抗変化率が±１%未満であることを示している。○印は、クラックは観察されたが、試験前後の抵抗変化率が±１%未満であることを示している。×印は、クラックが観察され、かつ、試験前後の抵抗変化率が±１%以上であることを示している。

[0031]

[表1]

金属基材厚み Ｔｂ（μｍ）	サーミスタ薄膜層厚み Ｔｔ（μｍ）	巻付け試験の円筒の直径（ｃｍ）			
		0.71	1.30	5.07	10.13
30	0.5	◎	◎	◎	◎
30	1.0	◎	◎	◎	◎
30	2.0	◎	◎	◎	◎
30	3.0	○	◎	◎	◎
30	5.0	×	○	◎	◎
30	10.0	×	×	○	◎
30	15.0	×	×	×	×

[0032] 以上の巻付け試験によると、サーミスタ薄膜層の厚みＴｔが１０μｍより厚いと、撓み量が１ｍｍ相当の試験においてクラックが発生してしまう。１μｍ未満では、結果は十分に評価できるものであったが、厚み１μｍ未満のサーミスタ薄膜層を固相法で形成することは困難である。製造コスト及び生産性の点では固相法が有利であり、固相法を用いることを前提とすると、サーミスタ薄膜層の厚みＴｔは１．０～１０μｍが最適である。

[0033] 以上より、薄膜のサーミスタと金属基材とを一体化することでサーミスタにフレキシブル性が付与される。特に、サーミスタ薄膜層の厚みＴｔが１０μｍ以下であれば、直径が１０．１３ｃｍの円筒に巻き付けられるほどのフレキシブル性を有し、さらに好ましくはサーミスタ薄膜層の厚みＴｔが２μｍ以下であれば、直径が０．７１ｃｍの円筒に巻き付けられるほどの優れたフレキシブル性を有することがわかる。

[0034] 次に、引張り試験を実施した。引張り試験は、長さ５０ｍｍ、幅５ｍｍのサーミスタ試験片を引張り試験機（島津Autograph）にセットし、切断時の荷重を測定した。試験片において、金属基材の幅寸法Ｗは５００μｍとし、厚みＴｂを５～１００μｍとし、サーミスタ薄膜層の厚みＴｔは３μｍとした。

[0035] 試験結果は以下の表２に示すとおりであり、金属基材の厚みＴｂが１０μｍよりも薄いと引張り強度が著しく低く、例えば、プリント配線基板に実装

したときにランド間のはんだ応力にて千切れるおそれがある。また、製造上取扱いが困難である。厚みＴｂが８０μｍよりも厚くなると、引張り強度は十分であるが、金属材料の使用量が多くなってコストが上昇し、サーミスタの低背化が損われることになる。従って、金属基材の厚みＴｂは１０～８０μｍが好ましい。但し、厚みＴｂの上限は必ずしも強度上の制約ではない。

[0036] [表2]

金属基材 幅 W (μm)	金属基材 厚みＴb (μm)	サーミスタ 薄膜層 厚み Ｔt (μm)	破壊強度 (ｋｇｆ)
500	5	3.0	3.8
500	10	3.0	7.6
500	30	3.0	22.6
500	50	3.0	37.6
500	80	3.0	60.1
500	100	3.0	75.1

[0037] 次に、分割電極間の距離Ｌｐにおける室温（２５℃）での抵抗値をＦＥＭ（有限要素法）によるシミュレーションにより求めた。この際の印加電圧は１Ｖとした。分割電極間の距離Ｌｐを２．０～２００μｍとし、サーミスタ薄膜層の厚みＴｔを１．０～１０．０μｍの範囲で変化させた場合の室温抵抗値Ｒ（ｋΩ）から距離Ｌｐの変化に対する抵抗変化率ΔＲ／Ｒ（％／μｍ）を以下の式により算出した。この値が大きいほど抵抗値のばらつきが大きいことを意味する。他の数値は、Ｌ＝６００μｍ、Ｗ＝３００μｍ、Ｌ１＝２００μｍ、Ｗ１＝２６０μｍ、Ｔｂ＝３０μｍ、Ｗｇ＝２０μｍである。

[0038] ΔＲ／Ｒ（％／μｍ）＝｛（Ｒ１－Ｒ２）／Ｒ２｝／（Ｌｐ１－Ｌｐ２）

Ｒ１：分割電極間距離がＬｐ１のときの抵抗値

Ｒ２：分割電極間距離がＬｐ２のときの抵抗値

[0039] なお、Ｌｐ１とＬｐ２は、表における連続して並ぶ隣り合う数値であり、Ｌｐ１＞Ｌｐ２である。例えば、Ｌｐ１が２００μｍのときＬｐ２が１９０μｍ、Ｌｐ１が１９０μｍのときＬｐ２が１８０μｍとする。従って、表の最下段（表４では、Ｌｐが２．０μｍ）の場合、比較対象が存在しないため

、－と表記している。また、ΔＲ／Ｒ（％／μｍ）において１．００を超える値が得られた場合、それ以上にＬｐ１及びＬｐ２の値を小さくしても、ΔＲ／Ｒ（％／μｍ）は１．００よりも大きくなることから、実験を省略し、－と表記している。

[0040] シミュレーションの結果は以下の表３に示すとおりであり、抵抗変化率ΔＲ／Ｒが±０．２％未満であることが好ましい。即ち、距離Ｌｐは、Ｔｔ＋５μｍ以上であることが好ましく、Ｔｔ＋５μｍよりも狭くなると、素子抵抗が厚み方向だけでなく、表面方向に影響を受けるようになる。この結果、距離Ｌｐの抵抗への寄与度が大きくなり、加工誤差で抵抗値のばらつきを生じる。また、分割電極間にクラックなどが生じた際に抵抗値が変化してしまう。

[0041]

[表3]

サーミスタ寸法　L=600μm　W=300μm　L1=200μm　W1=260μm　Tb=30μm

Lp(μm) ＼ Tt	R (kΩ)				ΔR/R (%/μm)			
	1.0μm	3.0μm	5.0μm	10.0μm	1.0μm	3.0μm	5.0μm	10.0μm
200.0	3.646	10.905	18.062	35.361	0.12	0.14	0.15	0.19
190.0	3.603	10.757	17.793	34.692	0.07	0.07	0.07	0.09
180.0	3.577	10.686	17.676	34.379	0.02	0.02	0.03	0.06
170.0	3.569	10.660	17.627	34.166	0.01	0.01	0.01	0.00
140.0	3.554	10.620	17.571	34.132	-0.01	-0.01	-0.01	-0.01
80.0	3.568	10.656	17.628	34.235	0.01	0.01	0.01	0.01
50.0	3.554	10.612	17.553	34.138	-0.02	-0.02	-0.02	0.00
15.0	3.582	10.698	17.681	34.101	-0.04	0.00	0.05	0.08
12.0	3.586	10.698	17.652	34.017	0.01	0.03	0.03	0.23
10.0	3.585	10.693	17.643	33.861	0.00	0.05	0.09	0.27
9.0	3.586	10.688	17.627	33.769	0.06	0.11	0.20	0.35
8.0	3.584	10.676	17.592	33.649	0.12	0.14	0.24	0.48
7.0	3.579	10.660	17.551	33.487	0.13	0.21	0.29	0.64
6.0	3.574	10.638	17.501	33.273	0.16	0.25	0.32	0.69
5.0	3.569	10.612	17.444	33.043	0.48	0.49	0.63	1.17
4.0	3.552	10.559	17.335	32.657	0.70	0.70	1.04	-
3.0	3.527	10.485	17.154		1.52	1.73	-	-
2.0	3.473	10.304			-	-	-	-

[0042] 前記同様に、分割電極の端面距離Ｌｇについても室温（２５℃）での抵抗値をシミュレーションにより求めた。端面距離Ｌｇを０．０～２０．０μｍ

とし、サーミスタ薄膜層の厚みＴｔを１．０～１０．０μｍの範囲で変化させた場合の室温抵抗値Ｒ（ｋΩ）、抵抗変化率ΔＲ／Ｒ（％／μｍ）を算出した結果を以下の表４に示す。側面距離Ｗｇは２０μｍとし、他の数値は表４の欄外に記載されている。

[0043]

[表4]

サーミスタ寸法 L=600μm W=300μm L1=200μm W1=260μm Wg=20μm Tb=30μm

Lg (μm) \ Tt	R (kΩ)				ΔR/R (%/μm)			
	1.0μm	3.0μm	5.0μm	10.0μm	1.0μm	3.0μm	5.0μm	10.0μm
0.0	3.646	10.905	18.062	35.361	-0.23	-0.27	-0.30	-0.38
5.0	3.603	10.757	17.793	34.692	-0.15	-0.13	-0.13	-0.18
10.0	3.577	10.686	17.676	34.379	-0.04	-0.05	-0.06	-0.12
15.0	3.569	10.660	17.627	34.166	-0.05	-0.05	-0.04	-0.05
20.0	3.560	10.634	17.587	34.079	-	-	-	-

[0044] また、分割電極の側面距離Wgについても抵抗値をシミュレーションによ

り求めた。側面距離Ｗｇを０．０～２０．０μｍとし、サーミスタ薄膜層の厚みＴｔを１．０～１０．０μｍの範囲で変化させた場合の室温抵抗値Ｒ（ｋΩ）、抵抗変化率ΔＲ／Ｒ（％／μｍ）を算出した結果を以下の表５に示す。端面距離Ｌｇは２０μｍとし、他の数値は表５の欄外に記載されている。

[0045]

[表5]

サーミスタ寸法　L=600μm　W=300μm　L1=(52000/W1)μm　W1=(300−2×Wg)μm　Lg=20μm　Tb=30μm
Lp=560−2×L1

Wg (μm) ＼ Tt	R (kΩ)				ΔR/R (%/μm)			
	1.0μm	3.0μm	5.0μm	10.0μm	1.0μm	3.0μm	5.0μm	10.0μm
0.0	3.665	10.966	18.183	35.696	0.24	0.30	0.35	0.49
5.0	3.620	10.803	17.862	34.813	0.16	0.14	0.15	0.19
10.0	3.590	10.725	17.725	34.475	0.08	0.08	0.08	0.11
20.0	3.560	10.634	17.587	34.079	−	−	−	−

[0046]　距離Ｌｇ，Ｗｇに関しても抵抗変化率ΔＲ／Ｒが±０．２%未満であるこ

とが好ましい。即ち、距離Ｌｇ，Ｗｇを５μｍ以上確保することが好ましく、端面及び側面での表面リークに起因する抵抗変化の影響を防止できる。

[0047] （第２実施例）

第２実施例として、図１に示した第１実施例と同様の構成からなり、以下の表６及び表７に示す材料を用意し、前記同様の製造工程にて、Ｔｂ＝３０μｍ、Ｌ＝６００μｍ、Ｗ＝３００μｍ、Ｌ１＝２００μｍ、Ｗ１＝２６０μｍ、Ｌｇ＝２０μｍ、Ｗｇ＝２０μｍ、Ｌｐ＝１６０μｍ、Ｔｔ＝５μｍのサーミスタを作製した。なお、表６及び表７に示す線膨張係数は金属基材材料及びサーミスタ薄膜材料から断面２．０ｍｍ×２．０ｍｍ、長さ５．０ｍｍの角柱を作製し、大気雰囲気にてＴＭＡによる線膨張係数の測定を実施した結果である。３０℃を基準として８００℃での線膨張係数の値を示している。測定条件は、昇温速度１０℃／ｍｉｎ、荷重１０ｇｆとした。

[0048] [表6]

金属基材材料	線膨張係数 (×10^{-5}/K)
Ag:100	1.93
Ag:80、Pd:20	1.79
Ag:70、Pd:30	1.65
Ag:30、Pd:70	1.49
Pd:100	1.35
Pt:100	0.89

[0049]

[表7]

サーミスタ薄膜材料	線膨張係数（×10^{-5}/K）
Mn-Ni-Al	0.76
Mn-Ni-Fe	0.93
Mn-Co-Fe-Al	1.19
Mn-Co-Fe-Ti	1.39
Mn-Co-Cu	1.80

[0050] そして、一体焼成後のサーミスタの表面を走査型電子顕微鏡にて観察し、クラック発生の有無を調査した。その結果を以下の表８に示す。

[0051]

[表8]

金属基材の線膨張係数（10^{-5}/K）	セラミック薄膜層の線膨張係数（10^{-5}/K）	線膨張係数比率（基材／セラミック）	一体焼成後のクラックの発生観察
1.93	0.76	2.54	発生
1.79		2.36	発生
1.65		2.17	未発生
1.49		1.96	未発生
1.35		1.78	未発生
0.89		1.17	未発生
1.93	0.93	2.08	未発生
1.79		1.92	未発生
1.65		1.77	未発生
1.49		1.60	未発生
1.35		1.45	未発生
0.89		0.96	未発生
1.93	1.19	1.62	未発生
1.79		1.50	未発生
1.65		1.39	未発生
1.49		1.25	未発生
1.35		1.13	未発生
0.89		0.75	未発生
1.93	1.39	1.39	未発生
1.79		1.29	未発生
1.65		1.19	未発生
1.49		1.07	未発生
1.35		0.97	未発生
0.89		0.64	発生
1.93	1.80	1.07	未発生
1.79		0.99	未発生
1.65		0.92	未発生
1.49		0.83	未発生
1.35		0.75	未発生
0.89		0.49	発生

[0052] 表８から明らかなように、金属基材材料とサーミスタ薄膜材料の線膨張係数比率を０．７５～２．１７とすることにより、一体焼成時における（特に、焼成後の降温時における）線膨張差によるクラックの発生を抑制することができる。セラミック材料は特に引張り応力に弱いことから、金属基材材料よりも早く縮む場合（サーミスタ薄膜材料の線膨張係数が大きい場合）にク

ラックが発生しやすい。また、両材料の線膨張係数比率を前記の数値範囲内とすることにより、本サーミスタをリフローによって基板に実装する場合の熱応力によるクラックの発生をも抑制することができる。

[0053] （第３実施例、図５参照）

第３実施例であるＮＴＣサーミスタ１Ｂは、図５に示すように、金属基材１１、サーミスタ薄膜層１５、分割電極２１，２２からなることは前記第１実施例と同様であり、それに加えて、サーミスタ薄膜層１５上に保護層１６を形成し、かつ、分割電極２１，２２上にＮｉめっき層２３及びＳｎめっき層２４を形成したものである。

[0054] 金属基材１１の表面にもＮｉめっき層２３’及びＳｎめっき層２４’が形成されているが、これらはめっき層２３，２４の形成時に同時に形成されたものである。このめっき層２３’，２４’は金属基材１１がＡｇ／Ｐｄなどの場合はＡｇのマイグレーションを防止する効果が期待できる。

[0055] 保護層１６は、めっき層２３，２４の形成時にサーミスタ薄膜層１５がめっきによって浸食されることを抑えるものであり、ガラス、樹脂、絶縁体セラミックなどでめっきに浸食されない絶縁体材料であればよい。特に、保護層１６として絶縁体セラミックを用いた場合、金属基材１１とサーミスタ薄膜層１５とを一体焼成する際に、予めサーミスタ薄膜層１５上に絶縁体セラミックグリーンシートを形成しておくことで、金属基材１１とサーミスタ薄膜層１５と保護層１６とを一体焼成で形成することができ、製造工程が簡素化され、サーミスタ薄膜層１５と保護層１６との密着性が良好になる。

[0056] （変形例、図６参照）

図６に示すサーミスタ１Ｂ’は、図５に示した前記サーミスタ１Ｂに対して、保護層１６を金属基材１１の裏面や側面にも形成したものである。この種のサーミスタプリント配線基板４０の表面に形成したランド４１上にはんだ４２を介してリフローによって実装される。このとき、金属基材１１が表面に露出していると、図示しない導電性の部品や配線などが金属基材１１と導通してしまうおそれがある。このように分割電極２１，２２を除くサーミス

タの全面を保護層（絶縁層）１６で覆うことにより、このような短絡事故を未然に防止することができる。

[0057] （第４実施例、図７参照）

第４実施例であるサーミスタ１Ｃは、図７に示すように、サーミスタ薄膜層１５を分割電極２１，２２の直下に、分割電極２１，２２よりも僅かに小さい矩形状に形成したものである。分割電極２１，２２上にはＮｉめっき層２３及びＳｎめっき層２４が形成されていることは、前記第３実施例と同様である。

[0058] 前記第３実施例（図５参照）では、分割電極２１，２２の上に保護層１６を形成しているため、保護層１６でサーミスタ薄膜層１５を完全に覆うには、どうしても分割電極２１，２２の周囲に保護層１６を重ねる必要がある（図５のＡ部参照）。この場合、Ａ部では下地の相違によって保護層１６の焼成具合や焼結挙動が変わってしまい、Ａ部でクラックが生じるおそれがある。そこで、本第４実施例のごとく、サーミスタ薄膜層１５を分割電極２１，２２の直下に設けて、保護層１６をサーミスタ薄膜層１５と同一平面に設けることにより、保護層１６の下地は全て金属基材１１となり、重なり部分であるＡ部の存在が解消されるのでクラック発生のおそれもなくなり、サーミスタとしてのトータルの厚みが薄くなる。

[0059] ここで、第４実施例であるサーミスタ１Ｃにおいて、分割電極２１，２２の面積のばらつきに起因する抵抗値の変化について表９に示す試料Ｎｏ１～Ｎｏ４にて測定した結果を示す。試料Ｎｏ１～Ｎｏ４ごとに、分割電極２１，２２の面積（Ｌ１×Ｗ１）を３１０μｍ角、３００μｍ角、２９０μｍ角の３種類とし、サーミスタ材料の抵抗率ρ１を１０ｋΩｃｍ、保護層１６の抵抗率ρ２を試料Ｎｏ１では１０ｋΩｃｍ、試料Ｎｏ２では１００ｋΩｃｍ、試料Ｎｏ３では１０００ｋΩｃｍ、試料Ｎｏ４では１００００ｋΩｃｍとした。サーミスタ薄膜層１５の面積は２５０×２５０μｍ、厚さ（Ｔｔ）は３μｍである。また、Ｌ＝１０００μｍ、Ｗ＝５００μｍ、Ｔｂ＝３０μｍ、Ｌｇ＝２０μｍ、Ｌｐ＝９６０μｍ－分割電極のＬ方向寸法（２９０、３

００、３１０μｍ）、Ｗｇ＝２０μｍである。なお、ρ１はサーミスタ薄膜層となるサーミスタ材料（具体的にはＭｎ－Ｎｉ－Ｆｅ－Ｔｉサーミスタ材料）の抵抗率である。また、ρ２は保護層となる絶縁体材料（具体的にはＦｅ－Ｍｎフェライト材料）の抵抗率であり、組成比を変更することで抵抗率を変化させている。抵抗値の変化率（％）は以下の式により算出した。

[0060] 抵抗値の変化率＝（Ｒ２－Ｒ１）／Ｒ１×１００

Ｒ１：分割電極面積が２９０μｍのときの素子抵抗値

Ｒ２：分割電極面積が３１０μｍのときの素子抵抗値

[0061]

[表9]

試料Ｎｏ．１	分割電極面積		
	□310μm	□300μm	□290μm
サーミスタ材料の抵抗率（ρ１）	10kΩcm		
保護層の抵抗率（ρ２）	10kΩcm		
サーミスタ材料と保護層の抵抗率の比ρ２／ρ１	1		
素子抵抗（ｋΩ）	6.243	6.667	7.134
抵抗値の変化（%）	14.27		

試料Ｎｏ．２	分割電極面積		
	□310μm	□300μm	□290μm
サーミスタ材料の抵抗率（ρ１）	10kΩcm		
保護層の抵抗率（ρ２）	100kΩcm		
サーミスタ材料と保護層の抵抗率の比ρ２／ρ１	10		
素子抵抗（ｋΩ）	9.110	9.195	9.279
抵抗値の変化（%）	1.86		

試料Ｎｏ．３	分割電極面積		
	□310μm	□300μm	□290μm
サーミスタ材料の抵抗率（ρ１）	10kΩcm		
保護層の抵抗率（ρ２）	1000kΩcm		
サーミスタ材料と保護層の抵抗率の比ρ２／ρ１	100		
素子抵抗（ｋΩ）	9.549	9.558	9.567
抵抗値の変化（%）	0.19		

試料Ｎｏ．４	分割電極面積		
	□310μm	□300μm	□290μm
サーミスタ材料の抵抗率（ρ１）	10kΩcm		
保護層の抵抗率（ρ２）	10000kΩcm		
サーミスタ材料と保護層の抵抗率の比ρ２／ρ１	1000		
素子抵抗（ｋΩ）	9.595	9.596	9.597
抵抗値の変化（%）	0.02		

[0062] 表９から明らかなように、抵抗値の変化率（%）は、ρ２／ρ１が１（試料Ｎｏ１）のときは１４．２７、ρ２／ρ１が１０（試料Ｎｏ２）のときは１．８６、ρ２／ρ１が１００（試料Ｎｏ３）のときは０．１９、ρ２／ρ１が１０００（試料Ｎｏ４）のときは１４．２７であった。ρ２／ρ１が１００倍以上であると、分割電極２１，２２の面積にばらつきを生じたとして

も、抵抗値の変化率を０．２％以下に抑えることができるために好ましい。

[0063] （第５実施例、図８参照）

第５実施例であるサーミスタ１Ｄは、図８に示すように、サーミスタ薄膜層１５の面積を分割電極２１，２２の面積よりも大きくしたもの、換言すると、サーミスタ薄膜層１５の外周部分Ｂを分割電極２１，２２の外周部分よりも外側に位置させたもので、保護層１６はサーミスタ薄膜層１５の外周部分Ｂから若干内側まで覆っている。他の構成は第４実施例と同様である。

[0064] 本第５実施例では、サーミスタ薄膜層１５の外周部分Ｂを保護層１６が覆っているため、保護層１６が金属基材１１に密着することによってサーミスタ薄膜層１５が保持され、サーミスタ薄膜層１５が金属基材１１から剥離することが防止される。仮に、サーミスタ薄膜層１５が金属基材１１から剥離すると、抵抗値が寄与する領域が減少するため、抵抗値が大きくなる傾向にあるが、本発明はその心配がない。保護層１６はサーミスタ特性には寄与していないので、金属基材１１と密着性の高い材料を選択すればよい。

[0065] また、本第５実施例のように、サーミスタ薄膜層１５を形成した後、サーミスタ薄膜層１５の外周部分にその一部が重なるように保護層１６を形成し、その後に分割電極２１，２２を形成した場合、分割電極２１，２２のうちサーミスタ薄膜層１５側の外周部分とサーミスタ薄膜層１５との間に保護層１６の外周部分が形成される。この場合、保護層１６のＡ部でサーミスタ薄膜層１５との間でクラックが生じてめっき形成時にめっき層２３，２４の成長が生じていしまったとしても、分割電極２１，２２とクラック発生し得る箇所（Ａ部）が離れて位置することから、分割電極２１，２２と金属基材１１とが短絡を生じることがない。

[0066] （他の実施例）

なお、本発明に係るサーミスタ及びその製造方法は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

[0067] 特に、前記実施例で示したサーミスタの種々のサイズはあくまで一例である。さらに、金属基材、サーミスタ薄膜層及び分割電極の細部の形状などは

任意である。

産業上の利用可能性

[0068] 以上のように、本発明は、サーミスタ及びその製造方法に有用であり、特に、低背化やリフローなどの実装が可能で、安価に製造でき、クラックの発生を極力抑制できる点で優れている。

符号の説明

[0069] １Ａ，１Ｂ，１Ｂ’，１Ｃ，１Ｄ…サーミスタ

１１…金属基材

１５…サーミスタ薄膜層

１６…保護層（絶縁層）

２１，２２…分割電極

３１…キャリアフィルム

請求の範囲

[請求項1] 金属基材と、該金属基材上に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一対の分割電極と、を備えたことを特徴とするサーミスタ。

[請求項2] 前記金属基材の厚みが１０～８０μｍ、前記サーミスタ薄膜層の厚みが１～１０μｍであること、を特徴とする請求項１に記載のサーミスタ。

[請求項3] 前記分割電極間の距離をＬｐ、前記サーミスタ薄膜層の厚みをＴｔとしたとき、Ｌｐ≧Ｔｔ＋５μｍであること、を特徴とする請求項１又は請求項２に記載のサーミスタ。

[請求項4] 前記分割電極の端部から前記サーミスタ薄膜層の端部までの距離が５μｍ以上であること、を特徴とする請求項１ないし請求項３のいずれかに記載のサーミスタ。

[請求項5] 前記金属基材と前記サーミスタ薄膜層の線膨張係数の比が、０．７５～２．１７であること、を特徴とする請求項１ないし請求項４のいずれかに記載のサーミスタ。

[請求項6] 前記金属基材は金属粉ペーストからシート状に形成され、前記サーミスタ薄膜層はセラミックスラリーからシート状に形成されていること、を特徴とする請求項１ないし請求項５のいずれかに記載のサーミスタ。

[請求項7] 前記シート状の金属基材と前記シート状のサーミスタ薄膜層は一体的に積層した状態で焼成されたものであること、を特徴とする請求項６に記載のサーミスタ。

[請求項8] 前記サーミスタ薄膜層の少なくとも分割電極が形成されている面に絶縁材料からなる保護層が形成されていることを特徴とする請求項１ないし請求項７に記載のサーミスタ。

[請求項9] 前記サーミスタ薄膜層となるサーミスタ材料と、前記保護層となる絶縁体材料の抵抗率の差が１００倍以上であることを特徴とする請求

項８に記載のサーミスタ。

[請求項10] 前記サーミスタ薄膜層が、それぞれの前記分割電極に対応して分割して形成されており、前記サーミスタ薄膜層の外周部分が前記分割電極の外周部分よりも外側に位置していることを特徴とする請求項１ないし請求項９に記載のサーミスタ。

[請求項11] 前記分割電極のうち前記サーミスタ薄膜層側の位置する外周部分と、前記サーミスタ薄膜層との間に前記保護層の外周部分が形成されていることを特徴とする請求項８または請求項９に記載のサーミスタ。

[請求項12] 金属基材と、該金属基材上に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一対の分割電極と、を備えたサーミスタの製造方法であって、

キャリアフィルム上にセラミックスラリーを所定の厚さに塗布して前記サーミスタ薄膜層となるセラミックグリーンシートを形成する工程と、

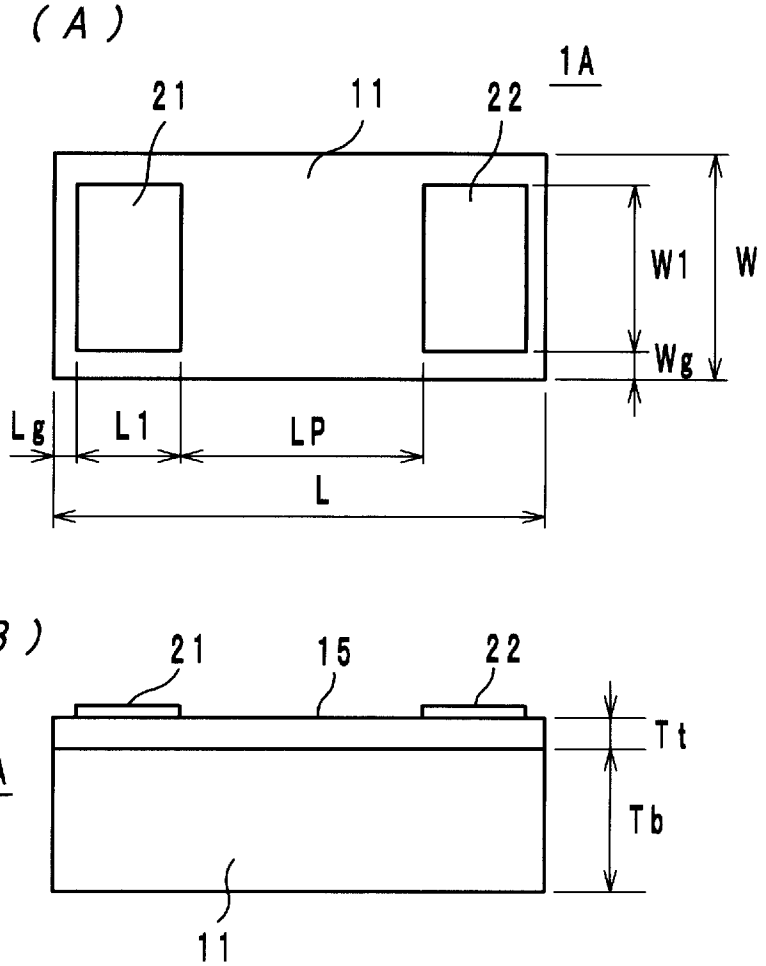
前記セラミックグリーンシート上に金属粉含有ペーストを所定の厚さに塗布して金属基材となる金属基材シートを形成する工程と、

前記セラミックグリーンシートの前記金属基材シートが形成された面と対向する面上に電極ペーストを所定の厚さに塗布して分割電極となる分割電極パターンを形成する工程と、

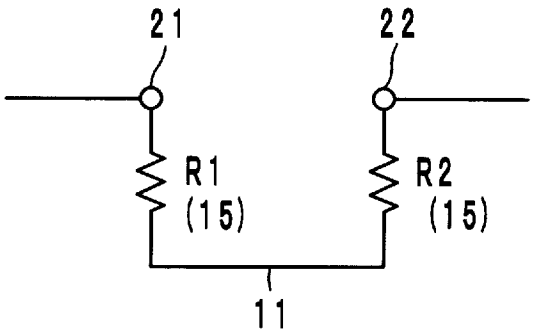
前記金属基材シート、前記セラミックグリーンシート、前記分割電極パターンを一体的に焼成する工程と、

を備えたことを特徴とするサーミスタの製造方法。

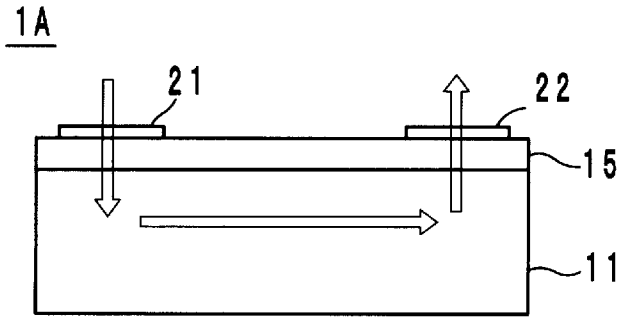
[図1]


(A)
1A
21
11
22
W1
W
Wg
Lg
L1
LP
L
(B)
21
15
22
1A
Tt
Tb
11

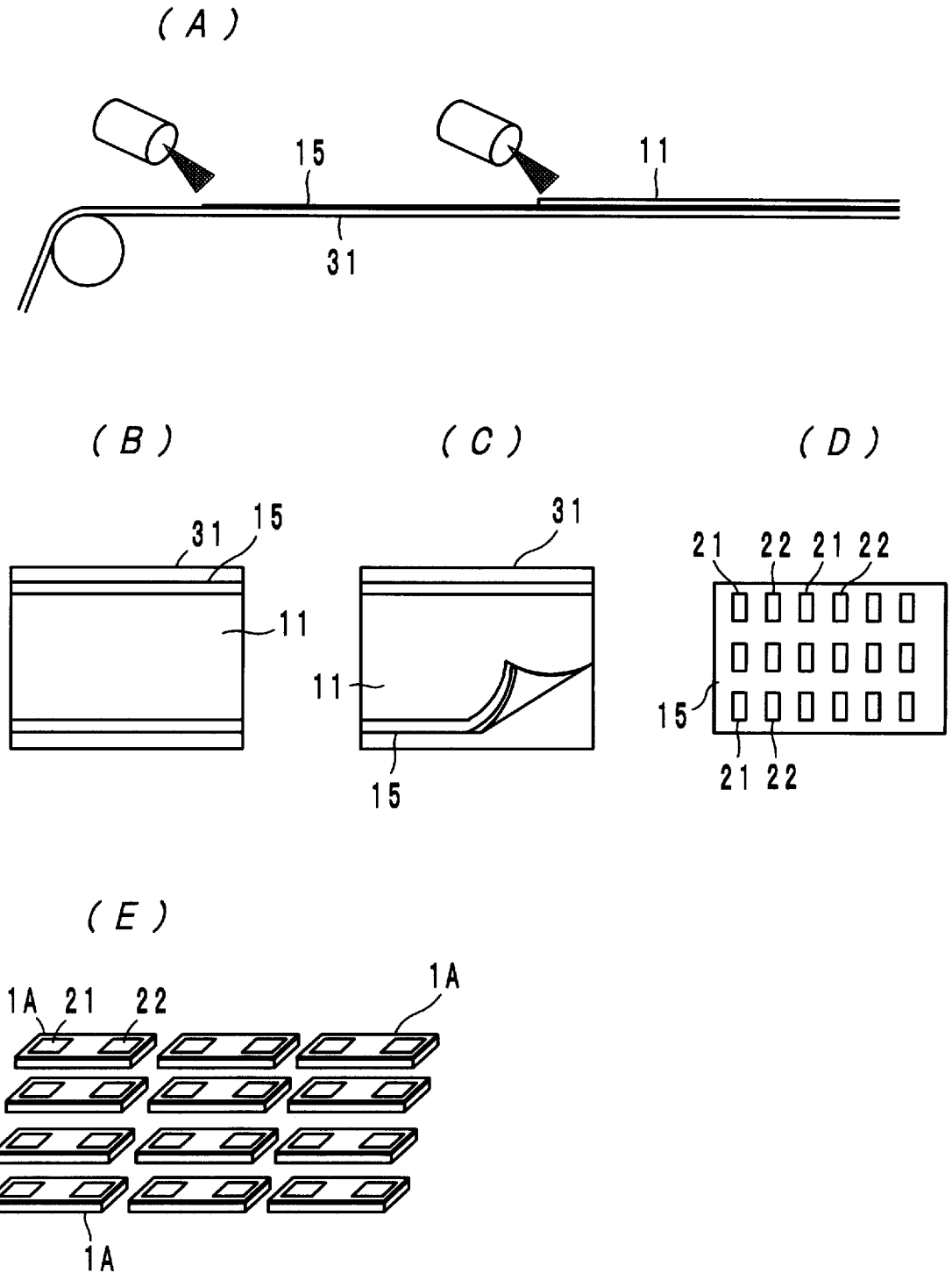
[図2]


21
22
R1
(15)
R2
(15)
11

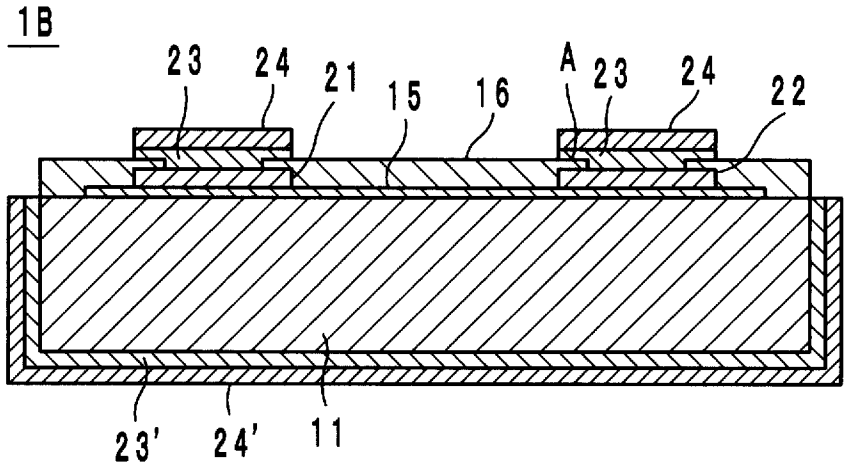
[図3]


1A
21
22
15
11

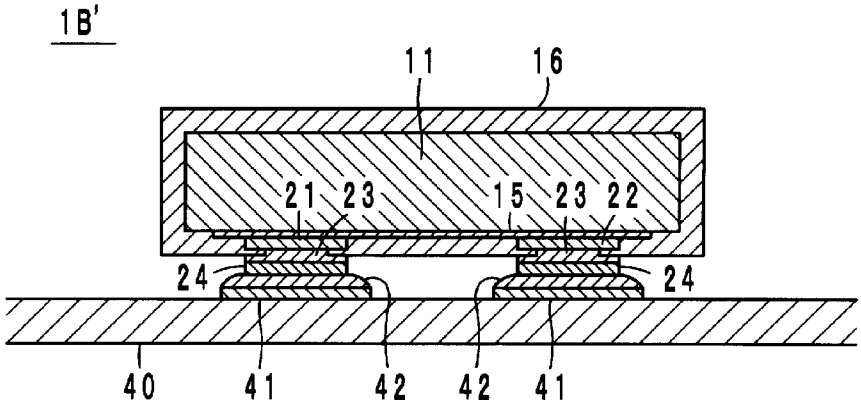
[図4]



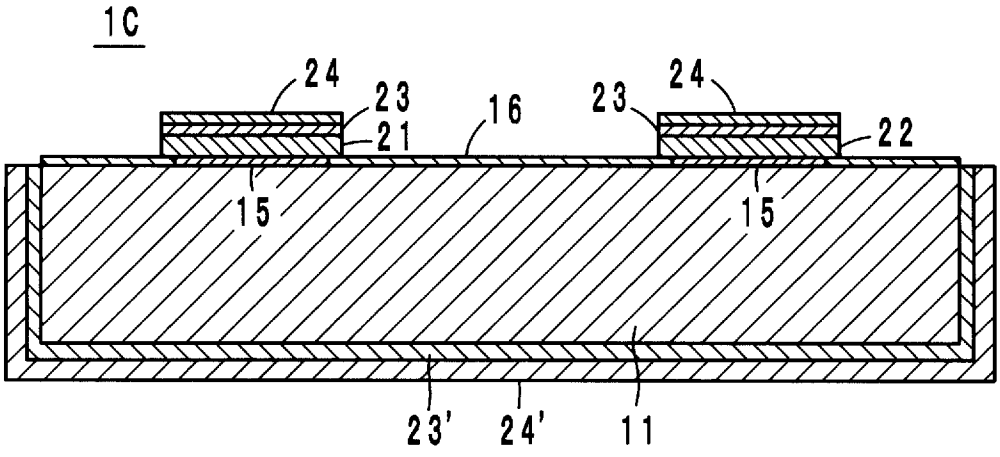
[図5]


1B
23
24
21
15
16
A
23
24
22
23'
24'
11

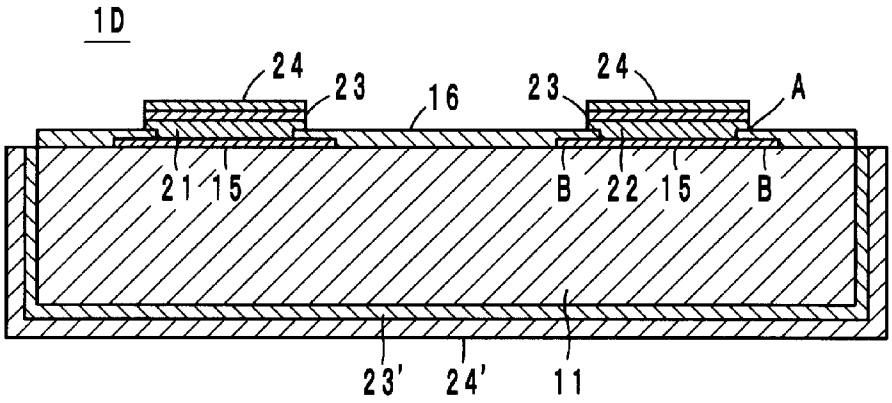
[図6]


1B'
11
16
21
23
15
23
22
24
24
40
41
42
42
41

[図7]


1C
24
23
21
16
23
24
22
15
15
23'
24'
11

[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/064089

A. CLASSIFICATION OF SUBJECT MATTER
H01C7/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01C7/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-242002 A (Matsushita Electric Industrial Co., Ltd.), 28 October 1986 (28.10.1986), entire text; all drawings (Family: none)	1-12
Y	JP 61-245502 A (Matsushita Electric Industrial Co., Ltd.), 31 October 1986 (31.10.1986), entire text; all drawings (Family: none)	1-12
Y	JP 05-090010 A (Matsushita Electric Industrial Co., Ltd.), 09 April 1993 (09.04.1993), entire text; all drawings (Family: none)	8,9,11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 November, 2010 (16.11.10)	22 November, 2010 (22.11.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/064089

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-310101 A (NOK Corp.), 19 December 1988 (19.12.1988), entire text; all drawings (Family: none)	10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０６４０８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01C7/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01C7/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 61-242002 A（松下電器産業株式会社）1986.10.28，全文、全図（ファミリーなし）	１－１２
Y	JP 61-245502 A（松下電器産業株式会社）1986.10.31，全文、全図（ファミリーなし）	１－１２
Y	JP 05-090010 A（松下電器産業株式会社）1993.04.09，全文、全図（ファミリーなし）	８，９，１１

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 １６．１１．２０１０	国際調査報告の発送日 ２２．１１．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｒ　９１７３ 右田　勝則 電話番号　０３－３５８１－１１０１　内線　３５６５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 63-310101 A（エヌオーケー株式会社）1988.12.19，全文、全図（ファミリーなし）	１０