

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-58215

(P2007-58215A)

(43) 公開日 平成19年3月8日(2007.3.8)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H089
<b>G02F 1/1333 (2006.01)</b>	G02F 1/1333	2H092
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622A	5C006
<b>G09F 9/40 (2006.01)</b>	G09G 3/20 621M	5C080
審査請求 未請求 請求項の数 51 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2006-224885 (P2006-224885)  
 (22) 出願日 平成18年8月22日 (2006.8.22)  
 (31) 優先権主張番号 10-2005-0077607  
 (32) 優先日 平成17年8月24日 (2005.8.24)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10-2005-0093204  
 (32) 優先日 平成17年10月5日 (2005.10.5)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 (74) 代理人 100094145  
 弁理士 小野 由己男  
 (74) 代理人 100106367  
 弁理士 稲積 朋子  
 (72) 発明者 安 賢 ▲ヨン▼  
 大韓民国京畿道水原市靈通区網浦洞536  
 -13番地ミリムビル201号

最終頁に続く

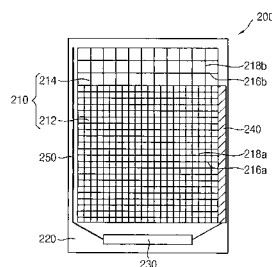
(54) 【発明の名称】 薄膜トランジスタアレイ基板及びそれを含む液晶表示装置

## (57) 【要約】

【課題】 主要画像が表示されない場合にも使用者に必要な情報を常時表示しながら電力消費量の少ない薄膜トランジスタ表示パネル及びそれを含む液晶表示装置を提供する。

【解決手段】 互いに異なる画像を表示する第1領域及び第2領域を含む表示部と、第1領域にゲート信号を提供する駆動チップ及び第2領域にゲート信号を提供するように表示パネルに直接形成された駆動回路部を含む薄膜トランジスタ表示パネル及び液晶表示装置を構成することにより、全体表示パネルを駆動せずに使用者に常時必要な情報を表示することができて電力消費量を大きく削減でき、駆動回路のうち一部を表示パネル上に直接形成することでチップサイズを減少させながら電力消費を減少させることができる。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

高解像度部と低解像度部とを含んでなる表示部と、  
前記表示部を取り囲んだ周辺部と、  
前記周辺部に形成され前記高解像度部に第 1 ゲート信号を提供する駆動回路部と、  
前記周辺部に実装され前記低解像度部に第 2 ゲート信号を提供する駆動チップと、  
を含むことを特徴とする T F T アレイ基板。

## 【請求項 2】

前記駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 1  
記載の T F T アレイ基板。

10

## 【請求項 3】

前記 T F T アレイ基板は前記表示部の一側面の少なくとも一部分に沿って形成され前記  
駆動チップからのゲート駆動信号を前記低解像度部に伝達する信号配線をさらに含み、  
前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成されることを特  
徴とする請求項 1 記載の T F T アレイ基板。

## 【請求項 4】

前記低解像度部は、前記高解像度部より開口率が高いことを特徴とする請求項 1 記載  
の T F T アレイ基板。

## 【請求項 5】

前記低解像度部は、前記高解像度部より面積が広いことを特徴とする請求項 1 記載の T  
F T アレイ基板。

20

## 【請求項 6】

完全駆動モードと待機モードで駆動される T F T アレイ基板として、  
ベース基板と、  
前記ベース基板上に形成され、前記完全駆動モードで駆動する際に動作する主表示部と  
、  
前記ベース基板上に形成され、前記待機モードで駆動する際に動作する副表示部と、  
前記ベース基板に直接形成され前記主表示部に第 1 ゲート信号を提供する駆動回路部と  
、  
前記ベース基板に実装され前記副表示部に第 2 ゲート信号を提供する駆動チップと、  
を含むことを特徴とする T F T アレイ基板。

30

## 【請求項 7】

前記主表示部は、前記表示部より解像度の高いことを特徴とする請求項 6 記載の T F T  
アレイ基板。

## 【請求項 8】

前記駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 6  
記載の T F T アレイ基板。

## 【請求項 9】

前記 T F T アレイ基板は、前記表示部の一側面の少なくとも一部分に沿って形成され、  
前記駆動チップからのゲート駆動信号を前記副表示部に伝達する信号配線をさらに含み、  
前記駆動回路部は、前記表示部の他側面の少なくとも一部分に沿って形成されることを  
特徴とする請求項 6 記載の T F T アレイ基板。

40

## 【請求項 10】

前記副表示部は、前記主表示部より開口率の高いことを特徴とする請求項 6 記載の T F  
T アレイ基板。

## 【請求項 11】

前記副表示部は、前記主表示部より面積の広いことを特徴とする請求項 6 記載の T F T  
アレイ基板。

## 【請求項 12】

複数の領域に分割される表示部と、

50

前記表示部を取り囲んだ周辺部と、

前記周辺部に形成され前記複数の表示部のうち少なくとも１つの表示部にゲート信号を提供する非晶質シリコン薄膜トランジスタを含む駆動回路部と、  
を含むことを特徴とするＴＦＴアレ基板。

【請求項１３】

前記表示部は高解像度部と低解像度部を含む複数の領域に分割され、

前記駆動回路部は前記高解像度部に第１ゲート信号を提供することを特徴とする請求項１２記載のＴＦＴアレ基板。

【請求項１４】

前記ＴＦＴアレ基板は、

前記周辺部に実装され低解像度部に第２ゲート信号を提供する駆動チップと、

前記表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからのゲート駆動信号を前記副表示部に伝達する信号配線と、  
をさらに含み、前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成されたことを特徴とする請求項１３記載のＴＦＴアレ基板。

【請求項１５】

前記表示部は、完全駆動モードで駆動する際の画像を表示する主表示部と、待機モードで駆動する際の画像を表示する副表示部を含む複数の領域に分割され、前記駆動回路部は前記主表示部に第１ゲート信号を提供することを特徴とする請求項１２記載のＴＦＴアレ基板。

【請求項１６】

前記ＴＦＴアレ基板は、

前記周辺部に実装され副表示部に第２ゲート信号を提供する駆動チップと、

前記表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからのゲート駆動信号を前記副表示部に伝達する信号配線と、  
をさらに含み、前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成されることを特徴とする請求項１５記載のＴＦＴアレ基板。

【請求項１７】

表示部と、前記表示部を取り囲んだ周辺部とからなるＴＦＴアレ基板であって、

前記表示部は複数の領域に分割され、

前記複数の領域に分割された表示部のうちいずれか１つの領域に第１ゲート信号を提供するように前記周辺部の前記ＴＦＴアレ基板上に直接形成された駆動回路部を含むことを特徴とするＴＦＴアレ基板。

【請求項１８】

前記表示部は高解像度部と低解像度部を含む複数の領域に分割され、前記駆動回路部は前記高解像度部に前記第１ゲート信号を提供することを特徴とする請求項１７記載のＴＦＴアレ基板。

【請求項１９】

前記ＴＦＴアレ基板は、

前記周辺部に実装され低解像度部に第２ゲート信号を提供する駆動チップと、

前記表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからのゲート駆動信号を前記副表示部に伝達する信号配線と、  
をさらに含み、前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成されることを特徴とする請求項１８記載のＴＦＴアレ基板。

【請求項２０】

前記表示部は完全駆動モードで駆動する際に動作する主表示部と待機モードで駆動する際に動作する副表示部を含む複数の領域に分割され、前記駆動回路部は前記主表示部に前記第１ゲート信号を提供することを特徴とする請求項１７記載のＴＦＴアレ基板。

【請求項２１】

前記ＴＦＴアレ基板は、

10

20

30

40

50

前記周辺部に形成され副表示部に第 2 ゲート信号を提供する駆動チップと、

前記表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからのゲート駆動信号を前記副表示部に伝達する信号配線と、  
をさらに含み、前記駆動回路部は、前記表示部の他側面の少なくとも一部分に沿って形成されることを特徴とする請求項 20 記載の TFT アレイ基板。

【請求項 22】

前記駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 17 記載の TFT アレイ基板。

【請求項 23】

それぞれ第 1 及び第 2 画像を表示するための第 1 表示部及び第 2 表示部を含む表示部が 10  
形成された基板と、

前記第 1 表示部に第 1 ゲート信号を提供する駆動チップと、

前記第 1 及び第 2 表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからの前記第 1 ゲート信号を前記第 1 表示部に伝達する信号配線と、

前記表示部の他側面の少なくとも一部分に沿って形成され前記第 2 表示部に第 2 ゲート信号を提供する駆動回路部と、  
を含むことを特徴とする TFT アレイ基板。

【請求項 24】

前記駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 23 記載の TFT アレイ基板。 20

【請求項 25】

前記第 1 表示部は、前記第 2 表示部より解像度が低いことを特徴とする請求項 23 記載の TFT アレイ基板。

【請求項 26】

前記第 1 表示部は、前記第 2 表示部より開口率が高いことを特徴とする請求項 23 記載の TFT アレイ基板。

【請求項 27】

第 1 表示部と第 2 表示部に区画された表示部と、

前記表示部を取り囲んだ周辺部と、

前記第 1 表示部と隣接した前記周辺部に形成され前記第 1 表示部に第 1 ゲート信号を提供する第 1 駆動回路部と、 30

第 2 表示部と隣接した前記周辺部に形成され、前記第 2 表示部に第 2 ゲート信号を提供する第 2 駆動回路部と、  
を含むことを特徴とする TFT アレイ基板。

【請求項 28】

前記第 1 及び第 2 駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 27 記載の TFT アレイ基板。

【請求項 29】

前記第 1 表示部の解像度は、前記第 2 表示部の解像度に比べて高いことを特徴とする請求項 27 記載の TFT アレイ基板。 40

【請求項 30】

前記第 1 表示部には前記ゲート信号が提供されるゲートラインが形成され、

前記第 1 駆動回路部は、

前記ゲートラインのうち奇数番目のゲートラインに前記第 1 ゲート信号を提供する第 1 ゲート駆動部と、

前記ゲートラインのうち偶数番目ゲートラインに前記第 1 ゲート信号を提供する第 2 ゲート駆動部と、  
を含むことを特徴とする請求項 27 記載の TFT アレイ基板。

【請求項 31】

前記第 1 ゲート駆動部は前記周辺部のうち第 1 周辺領域に形成され、前記第 2 ゲート駆 50

動部は前記表示部を基準にして前記第 1 周辺領域と対向する第 2 周辺領域に形成されることを特徴とする請求項 30 記載の TFT アレイ基板。

【請求項 32】

前記第 2 表示部には前記ゲート信号が提供されるゲートラインが形成され、  
前記第 2 駆動回路部は、  
前記ゲートラインのうち奇数番目のゲートラインに前記第 2 ゲート信号を提供する第 3 ゲート駆動部と、  
前記ゲートラインのうち偶数番目のゲートラインに前記第 2 ゲート信号を提供する第 4 ゲート駆動部と、  
を含むことを特徴とする請求項 27 記載の TFT アレイ基板。

10

【請求項 33】

前記第 3 ゲート駆動部は前記周辺部のうちの第 1 周辺領域に形成され、前記第 4 ゲート駆動部は前記第 1 周辺領域と対向する第 2 周辺領域に形成されることを特徴とする請求項 32 記載の TFT アレイ基板。

【請求項 34】

複数のゲート配線及びデータ配線によってマトリクス形態に配列され定義される複数の画素部と、前記各画素部に前記ゲート配線及びデータ配線から延長され形成された薄膜トランジスタとを含む TFT アレイ基板と、  
前記 TFT アレイ基板に対向して結合される対向基板と、  
前記 TFT アレイ基板と前記対向基板との間に介在された液晶からなる液晶表示パネルと、を含む液晶表示装置として、  
前記 TFT アレイ基板は複数の領域に分割される表示部と、前記表示部を取り囲んだ周辺部と、前記周辺部に形成され前記複数の表示部のうち少なくとも 1 つの表示部に第 1 ゲート信号を提供し前記 TFT アレイ基板に直接形成された駆動回路部と、  
を含むことを特徴とする液晶表示装置。

20

【請求項 35】

前記液晶表示装置は、光の一部を反射し一部は透過する選択反射フィルムをさらに含むことを特徴とする請求項 34 記載の液晶表示装置。

【請求項 36】

前記駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 34 記載の液晶表示装置。

30

【請求項 37】

前記表示部は高解像度部と低解像度部とを含む複数の領域に分割され、  
前記駆動回路部は前記高解像度部に前記第 1 ゲート信号を提供することを特徴とする請求項 34 記載の液晶表示装置。

【請求項 38】

前記低解像度部は、前記高解像度部より開口率の大きいことを特徴とする請求項 37 記載の液晶表示装置。

【請求項 39】

前記 TFT アレイ基板は、  
前記周辺部に実装され低解像度部に第 2 ゲート信号を提供する駆動チップと、  
前記表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからのゲート駆動信号を前記低解像度部に伝達する信号配線と、  
をさらに含み、前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成されることを特徴とする請求項 37 記載の液晶表示装置。

40

【請求項 40】

前記表示部は、完全駆動モードで駆動する際に画像を表示する主表示部と待機モードで駆動する際に画像を表示する副表示部を含む複数の領域に分割され、前記駆動回路部は前記主表示部に第 1 ゲート信号を提供することを特徴とする請求項 34 記載の液晶表示装置。

50

## 【請求項 4 1】

前記 T F T アレイ基板は、  
前記周辺部に実装され副表示部に第 2 ゲート信号を提供する駆動チップと、  
前記表示部の一側面の少なくとも一部分に沿って形成され、前記駆動チップからのゲート駆動信号を前記副表示部に伝達する信号配線と、  
をさらに含み、前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成されることを特徴とする請求項 4 0 記載の液晶表示装置。

## 【請求項 4 2】

表示部、及び前記表示部を取り囲んだ周辺部に区画され前記表示部にゲート信号を提供する複数の駆動回路部が前記周辺部に形成された T F T アレイ基板と、前記アレイ基板と対向して結合される対向基板と、前記 2 つの基板の間に介在する液晶層とを具備した液晶表示パネルと、

10

前記駆動回路部にゲート駆動信号をそれぞれ提供する駆動チップと、  
を含むことを特徴とする液晶表示装置。

## 【請求項 4 3】

前記駆動回路部は、非晶質シリコン薄膜トランジスタを含むことを特徴とする請求項 4 2 記載の液晶表示装置。

## 【請求項 4 4】

前記表示部は、  
高解像度を有する第 1 表示部と、  
前記第 1 表示部に比べて低解像度を有する第 2 表示部と、  
を含むことを特徴とする請求項 4 2 記載の液晶表示装置。

20

## 【請求項 4 5】

前記駆動チップは、前記第 1 及び第 2 表示部を駆動させる駆動モードと、前記第 1 表示部を非駆動させ前記第 2 表示部を駆動させる待機モードと、を有することを特徴とする請求項 4 4 記載の液晶表示装置。

## 【請求項 4 6】

前記駆動モードは、前記第 1 表示部にメイン画像を表示し、前記第 2 表示部に待機画像を表示することを特徴とする請求項 4 5 記載の液晶表示装置。

## 【請求項 4 7】

前記駆動モードは、前記第 1 表示部と第 2 表示部にメイン画像を表示することを特徴とする請求項 4 5 記載の液晶表示装置。

30

## 【請求項 4 8】

前記待機モードは、前記第 2 表示部に待機画像を表示することを特徴とする請求項 4 5 記載の液晶表示装置。

## 【請求項 4 9】

前記駆動回路部は、  
前記第 1 表示部と隣接した前記周辺部に形成され前記第 1 表示部に形成されたゲートラインに第 1 ゲート信号を提供する第 1 駆動回路部と、  
前記第 2 表示部と隣接した前記周辺部に形成され前記第 2 表示部に形成されたゲートラインに第 2 ゲート信号を提供する第 2 駆動回路部と、  
を含むことを特徴とする請求項 4 2 記載の液晶表示装置。

40

## 【請求項 5 0】

前記第 1 駆動回路部は、  
前記ゲートラインのうち奇数番目のゲートラインに前記第 1 ゲート信号を提供する第 1 ゲート駆動部と、  
前記ゲートラインのうち偶数番目ゲートラインに前記第 1 ゲート信号を提供する第 2 ゲート駆動部と、  
を含むことを特徴とする請求項 4 9 記載の液晶表示装置。

## 【請求項 5 1】

50

前記第 2 駆動回路部は、

前記ゲートラインのうち奇数番目ゲートラインに前記第 2 ゲート信号を提供する第 3 ゲート駆動部と、

前記ゲートラインのうち偶数番目のゲートラインに前記第 2 ゲート信号を提供する第 4 ゲート駆動部と、

を含むことを特徴とする請求項 49 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ表示パネル及びそれを用いた液晶表示装置に関し、特に、消費電力の節減のための薄膜トランジスタ表示パネル及びそれを用いた液晶表示装置に関する。 10

【背景技術】

【0002】

一般的に、液晶表示装置は電界生成電極備える 2 つの基板とその間にある誘電率異方性を有する液晶層を含む。電界生成電極に電圧を印加して液晶層に電気場を生成し、この電気場の強度を調節することで液晶層を通過する光の透過率を調節して所望する画像を得る。

この際の光は、別途設けられる人工光源により提供される光を用いることができ、また自然光を用いることもできる。 20

【0003】

液晶表示装置用人工光源、即ち、バックライトアセンブリ装置は光源として C C F L (cold cathode fluorescent lamp) や E E F L (external electrode fluorescent) などのような幾つかの蛍光灯を使用するか複数個の発光ダイオードを使用する。

ところで、バックライトが消費する電力は液晶表示装置の全体消費電力の相当部分を占める。従って、液晶表示装置の消費電力を低くするためにはバックライトの電力効率を高めるかその使用時間を短縮することが望ましい。

【0004】

特に、携帯電話などの携帯用表示機器の場合、電源として電池を使用することから電源の供給量に限界があり、従って、携帯用表示機器に使用される液晶表示装置の電力消費を減少させ、携帯用機器の使用時間を延長するための方案が必要である。 30

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は前記のような課題を解決するために案出されたもので、消費電力を節減することができる T F T アレイ基板を提供することにある。

本発明の他の目的は前記基板を採用する液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

このような技術的課題を実現するための本発明の一実施例による T F T アレイ基板は、表示部、周辺部、駆動回路部及び駆動チップを含む。前記表示部は高解像度部と低解像度部を含む。前記周辺部は前記表示部を取り囲む。前記駆動回路部は前記周辺部に形成され前記高解像度部に第 1 ゲート信号を提供する。前記駆動チップは前記周辺部に実装され前記低解像度部に第 2 ゲート信号を提供する。 40

【0007】

本発明の他の実施例による T F T アレイ基板は、完全駆動モードと待機モードで駆動される。前記 T F T アレイ基板は、ベース基板、主表示部、副表示部、駆動回路部、及び駆動チップを含む。前記主表示部は前記ベース基板上に形成され、前記完全駆動モードで駆動する際に動作する。前記副表示部は前記ベース基板上に形成され、前記待機モードで駆動する際に動作する。前記駆動回路部は前記ベース基板に直接形成され前記主表示部に第 50

1 ゲート信号を提供する。前記駆動チップは前記ベース基板に実装され前記副表示部に第2ゲート信号を提供する。

【0008】

本発明のさらに他の実施例によるTFTアレイ基板は、表示部、周辺部及び駆動回路部を含む。前記表示部は複数の領域に分割される。前記周辺部は前記表示部を取り囲む。前記駆動回路部は前記周辺部に形成され前記複数の表示部のうち少なくとも1つの表示部にゲート信号を提供する非晶質シリコン薄膜トランジスタを含む。

本発明のさらに他の実施例によるTFTアレイ基板は、表示部と前記表示部を取り囲んだ周辺部とからなるTFTアレイ基板として、前記表示部は複数の領域に分割され、前記複数の領域に分割された表示部のうちいずれか1つの領域に第1ゲート信号を提供するように前記周辺部の前記TFTアレイ基板上に直接形成された駆動回路部を含むことを特徴とする。

【0009】

本発明のさらに他の実施例によるTFTアレイ基板は、基板、駆動チップ、信号配線及び駆動回路線を含む。前記基板はそれぞれ第1及び第2画像を表示するための第1表示部及び第2表示部を含む表示部が形成される。前記駆動チップは前記第1表示部に第1ゲート信号を提供する。前記信号配線は第1及び第2表示部の一側面の少なくとも一部分に沿って形成され前記駆動チップからの前記第1ゲート信号を前記第1表示部に伝達する。前記駆動回路部は前記表示部の他側面の少なくとも一部分に沿って形成され前記第2表示部に第2ゲート信号を提供する。

【0010】

本発明のさらに他の実施例によるTFTアレイ基板は、表示部、周辺部、第1駆動回路部、及び第2駆動回路部を含む。前記表示部は第1表示部と第2表示部に区画される。前記周辺部は前記表示部を取り囲む。前記第1駆動回路部は前記第1表示部と隣接した前記周辺部に形成され前記第1表示部に第1ゲート信号を提供する。前記第2駆動回路部は第2表示部と隣接した前記周辺部に形成され前記第2表示部に第2ゲート信号を提供する。

【0011】

本発明の一実施例による液晶表示装置はTFTアレイ基板、対向基板及び液晶層を含む。前記TFTアレイ基板は複数のゲート配線及びデータ配線によってマトリックス形態に配列され定義される複数の画素部と、前記各画素部に前記ゲート配線及びデータ配線から延長され形成された薄膜トランジスタとを含む。前記対向基板は前記TFTアレイ基板に対向して結合される。前記液晶層は前記TFTアレイ基板と前記対向基板との間に介在される。前記TFTアレイ基板は複数の領域に分割される表示部と、前記表示部を取り囲んだ周辺部と、前記周辺部に形成され前記複数の表示部のうち少なくとも1つの表示部に第1ゲート信号を提供し前記TFTアレイ基板上に直接形成された駆動回路部とを含む。

【0012】

本発明の他の実施例による液晶表示装置は、液晶表示パネル及び駆動チップを含む。前記液晶表示パネルは表示部と前記表示部を取り囲んだ周辺部に区画され、前記表示部にゲート信号を提供する複数の駆動回路部が前記周辺部に形成されたTFTアレイ基板と、前記アレイ基板と対向して結合される対向基板と、前記2つの基板の間に介在された液晶層とを具備する。前記駆動チップは前記駆動回路部にゲート駆動信号をそれぞれ提供する。

【0013】

前記した本発明によるTFTアレイ基板及び液晶表示装置によると、表示装置が主要画像を表示しない場合にも使用者に前記必要な情報を表示することができ、全体表示パネルを駆動する場合に比べて電力消費量を大きく低減することができるという効果がある。また、常時情報を表示する領域は電力消費量の少ない駆動チップに実装された回路を通じて印加し、必要な場合のみにオンされ主要画像を表示する領域には、薄膜トランジスタの形態で基板上に直接形成された駆動回路部を介して駆動信号を印加することで、駆動チップサ

10

20

30

40

50



イズを縮小し経済的な効果を得ることができ、同時に電力消費を削減することができるという長所を有する。

【発明を実施するための最良の形態】

【0014】

以下、添付図面を参照して、本発明の好ましい実施形態をより詳細に説明する。

図面において、複数の層及び領域を明確に表現するために厚さを拡大して示した。明細書全体を通じて類似する部分に対しては同一の図面番号を付与した。

図1は本発明の第1実施例によるTFTアレイ基板を示した平面図である。

図1に示すように、TFTアレイ基板100は表示部110と表示部110を取り囲む周辺部120及び表示部110に隣接したゲート駆動回路部140で構成されており、さらに表示部110は主表示部112と副表示部114とを備えている。表示部110は2つ以上の複数の表示部を含むことができる。TFTアレイ基板100の周辺部120の一侧には、駆動チップ130が実装され、主表示部112の一侧にゲート駆動回路部140がTFTアレイ基板100上に直接形成される。このように、一部ゲート駆動回路を基板上に直接形成することにより、全てのゲート駆動回路を駆動チップに実装する場合に比べて、チップサイズを大幅に減少することができ、チップ単価を大きく低減することができる。

【0015】

主表示部112は、携帯電話のような表示装置としてTFTアレイ基板100が採用されたような場合に、このような表示装置に正常に画像を表示するための完全駆動モードで駆動する際の主要表示部として機能させることができる。副表示部114は、表示装置の主表示部112がオフされるかまたは電力節約のために暗く表示される待機モードで駆動する際に、日付及び時刻、電波及び感度の表示、電池の残余量などのような情報を表示するインジケータ(indicator)領域として機能させることができる。このような表示部114は必要に応じて完全駆動モードで駆動する際にも画像を表示するように構成することもできる。

【0016】

駆動チップ130は表示部110に画像を表示するために必要なデータ信号を提供し、主表示部112にゲート信号を提供するゲート駆動回路部140にクロック信号のようなゲート駆動信号を提供し、また、副表示部114に信号配線150を介してゲート信号を提供するように構成できる。ゲート駆動回路部140は、TFTアレイ基板100上に薄膜トランジスタ(図示せず)を形成して構成することができる。薄膜トランジスタは、非晶質シリコン薄膜トランジスタまたは多結晶シリコン薄膜トランジスタで具現することができる。このように、TFTアレイ基板100上に薄膜トランジスタを形成することでゲート駆動回路部140を構成する場合、駆動チップ内にゲート駆動回路を構成する場合に比べて駆動チップのサイズを減少することができ、原価節減効果が大きいという長所がある。主表示部112及び副表示部114のゲート駆動回路全部を前述したようにTFTアレイ基板100上に直接形成することもできるが、TFTアレイ基板100上に直接形成されたゲート駆動回路は、駆動チップで構成した場合より電力消費が多少多くなるので、比較的画像表示時間の短い主表示部112のゲート駆動回路部140はTFTアレイ基板100上に直接形成し、比較的画像表示時間の長い副表示部114のゲート駆動回路部(図示せず)を駆動チップ130で構成することにより、駆動チップ130のサイズと消費電力を減少することができる。

【0017】

このような構造の表示パネルにおいて、副表示部114のみに画像を表示する場合には、駆動チップ130の副表示部114を駆動するためのゲート駆動回路のみに動作信号を供給し、主表示部112を駆動するためのゲート駆動回路140には動作信号を供給しないように構成することもできる。このとき、データ信号は副表示部114まで延長されているデータ線(図示せず)のみに必要な画像信号を供給し、主表示部112には信号を供給しないかあるいはオフ信号を供給するように構成でき、または主表示部112にも正常

に駆動信号を供給するように構成することもできる。

【0018】

図2は本発明の第2実施例によるTFTアレ基板を示した平面図である。

図2に示すように、TFTアレ基板200は表示部210、表示部210の周囲を取り囲む周辺部220及び表示部210に隣接して配置されたゲート駆動回路部240で構成される。表示部210は2つ以上の複数の表示領域を含むことができ、各表示部はそれぞれ異なる解像度、即ち、それぞれ異なる大きさの画素を有することができる。図2に示す表示部210は、高解像度部212と低解像度部214の2つの表示領域で構成される。TFTアレ基板200の周辺部220の一侧には駆動チップ230が実装され、主表示部212側にゲート駆動回路部240がTFTアレ基板200上に直接形成することができ

10

【0019】

高解像度部212と低解像度部214との画素面積の比率は、必要とされる解像度に従って適宜設定され、たとえば図示した例では、低解像度部214の画素の面積が高解像度領域の画素面積の4倍になるように形成されている。低解像度部214は、図1の副表示部114のように日付及び時刻、アンテナ感度などの整形化された画像を表示する部分で、解像度が低くても表示に支障の少ないインジケータ領域として用いることができる。高解像度部212は、図1の主表示部110のように整形化されていない多様な画像を表示する領域で、より精密な表示が要求される画像を表示する主要表示部で用いられる。

【0020】

図1で説明したのと同様に、図2に示すTFTアレ基板においても、駆動チップ230が表示部210に画像を表示するために必要なデータ信号を提供し、高解像度部212にゲート信号を提供するゲート駆動回路部240にクロック信号のようなゲート駆動信号を提供し、また、低解像度部214に信号配線250を介してゲート信号を提供するように構成できる。この際、低解像度部214に画像を表示する時間が長いことが想定されることからこの低解像度部214にゲート信号を提供する駆動回路部を駆動チップ230内に構成することができる。また、高解像度部212に画像を表示する時間は低解像度部214に比べて短くなることが想定されることから、この高解像度部212にゲート信号を提供するゲート駆動回路部240として、TFTアレ基板200上に薄膜トランジスタ（図示せず）を直接形成して構成することができる。

20

30

【0021】

TFTアレ基板200には、高解像度領域ゲート線216aと低解像度領域ゲート線216bが形成されており、高解像度領域ゲート線216a及び低解像度領域ゲート線216bのいずれにも電気絶縁状態で交差する偶数番目データ線218bと高解像度領域ゲート線216aとのみ電気絶縁状態で交差する奇数データ線218aが形成されている。ここで、低解像度領域ゲート線218bの間の間隔は高解像度領域ゲート線216aの間の間隔の2倍にすることができる。

【0022】

このような構造の表示パネルで低解像度部214のみに画像を表示しようとする場合には、駆動チップ230の低解像度部を駆動するゲート駆動回路のみに動作信号を供給し、高解像度部を駆動するゲート駆動回路240には動作信号を供給しないように構成できる。この際、データ信号は低解像度部まで延長されている偶数番目データ線218bのみに必要な画像信号を供給し、高解像度領域には信号を供給しないかオフ信号を供給するように構成でき、または高解像度領域にも正常な駆動信号を供給するように構成することもできる。

40

【0023】

図3は本発明の第2実施例によるTFTアレ基板の高解像度部と低解像度部との画素面積を比較した平面図である。

図3の右側に示すような低解像度部（図2の低解像度部214）の画素（B）は、図3左側に示す高解像度部（図2高解像度部212）の画素（A）に比べて占有する面積が大

50

きく、低解像度部及び高解像度部におけるゲート線 316 及びデータ線 318 などの配線や薄膜トランジスタ (TFT) の大きさを同一に設計すると、低解像度部の開口率を高解像度部に比べてずっと高くすることができる。ここで、開口率というのは、表示部の全ての画素に対する光の透過または反射を制御する領域の面積比率を意味する。表示装置のバックライトの光源をターンオフ状態にして、外部光の光反射を用いて表示する場合に、前述したように開口率の増加に伴って光利用効率が増加して表示品質を向上することができる。図 2 及び図 3 に示すような本発明の実施例においては、低解像度部の画素面積を高解像度部の  $2 \times 2$  行列に属する画素 4 個を合計した面積としているが、低解像度部の画素面積は必要に応じて増減可能であることは前述した通りである。

#### 【0024】

10

図 4 は本発明の第 3 実施例による TFT アレイ基板を示した平面図である。図 5 は本発明の第 4 実施例による TFT アレイ基板を示した平面図である。

図 4 に示すように、高解像度部 412 に隣接した周辺部 420 に駆動チップ 430 を形成し、駆動チップ 430 が位置していない高解像度部 412 の一側に高解像度部 412 のゲート駆動回路部 440 を形成し、他側に駆動チップ 430 から延長され低解像度部 414 にゲート信号を伝送する信号配線 450 を形成している。

#### 【0025】

または、図 5 に示すように、低解像度部 514 に隣接した周辺部 520 に駆動チップ 530 を形成し、駆動チップ 530 が位置していない高解像度部 512 の一側に高解像度部 512 のゲート駆動回路部 540 を形成し、他側に駆動チップ 530 から延長され低解像度部 514 にゲート信号を伝送する信号配線 550 を形成することができる。

20

図 6 は本発明の第 5 実施例による TFT アレイ基板を概略的に示した平面図である。

#### 【0026】

図 6 に示すように、本発明に一実施例による TFT アレイ基板 600 は表示部 610、周辺部 620、第 1 駆動回路部 630 及び第 2 駆動回路部 640 を含む。また、TFT アレイ基板 600 上の第 1 駆動回路部 630 及び第 2 駆動回路部 640 に、ゲート駆動信号を提供する駆動チップ 200 を実装するように構成することもできる。

表示部 610 は第 1 表示部 611 と第 2 表示部 612 を含む。本発明の一実施例において、表示部 610 は 2 つの表示部 611、612 で区画する例を示しているが、これに限定されることなく 2 つ以上の複数の表示部を含むように構成することもできる。

30

#### 【0027】

まず、第 1 表示領域 611 は、第 1 ~ 第 p ゲートライン (GL1 ~ GLp) 及びこれと交差する第 1 ~ 第 n データライン (DL1 ~ DLm) によってマトリックス形態に形成され定義される複数の画素部 (PA) をメイン表示領域として含み、各画素部 (PA) にはゲートライン (GL1 ~ GLp) 及びデータライン (DL1 ~ DLm) から延長され形成される複数の薄膜トランジスタを含む。

#### 【0028】

このような、第 1 表示部 611 は、たとえばモバイルフォンの表示装置として TFT アレイ基板 600 が採用された場合に、この表示装置に通常の画像を表示する駆動モードで駆動する際のメイン画像を表示する主表示部の機能を遂行する。

40

第 2 表示部 612 は、第 p + 1 ~ 第 n ゲートライン (GLp + 1 ~ GLn) 及びこれと交差する第 1 ~ 第 n データライン (DL1 ~ DLm) によってマトリックス形態に形成され定義される複数の画素部 (PA) をサブ表示部として含み、各画素部 (PA) はゲートライン (GLp + 1 ~ GLn) 及びデータライン (DL1 ~ DLn) から延長され形成される複数の薄膜トランジスタを含む。

#### 【0029】

このような、第 2 表示部 612 は、たとえばモバイルフォンの表示装置として TFT アレイ基板 600 が採用された場合に、日付及び時刻、電波感度の表示、電池の残余量のよ

うな待機画像を表示する副表示部の機能を実施する。

従って、第 2 表示部 612 は、待機画像のみを表示する待機モードにおいてのみ駆動す

50

るように構成することができ、また、メイン画像が表示される駆動モードの際にも待機画像を表示するように構成することもできる。この際、第1表示部611の解像度は第2表示部612の解像度比べて高い解像度を有するように構成できる。即ち、第1表示部611は高解像度領域で構成し、第2表示部612は低解像度領域で構成することができる。

#### 【0030】

ここで、駆動モードの際に第2表示部612に待機画像を表示するように構成することもでき、第1表示部611と一体にメイン画像を表示するように構成することもできる。

周辺部620は表示部610を取り囲む第1～第4周辺領域(SA1～SA4)で構成される。

第1駆動回路部630は、周辺部620のうち第1周辺領域(SA1)に形成され、駆動チップ200から提供されるクロック信号などのようなゲート駆動信号に応答して第1ゲート信号を第1～第pゲートラインに順に提供する。

#### 【0031】

第2駆動回路部640は、周辺部620のうち第1周辺領域(SA1)と対向する第2周辺領域(SA2)に形成され、駆動チップ200から提供されるクロック信号などのようなゲート駆動信号に応答して、第2ゲート信号を第p+1～第nゲートラインに順に提供する。

このような構成とするために、第1及び第2駆動回路部630、640はそれぞれ第1及び第2周辺領域(SA1、SA2)上にTFT(図示せず)を形成することができる。第1及び第2駆動回路部630、640に含まれるTFTは非晶質シリコンTFTまたは多結晶シリコンTFTで具現することができる。

#### 【0032】

このように第1及び第2駆動回路部630、640をTFTアレイ基板600上に形成する場合、駆動チップ200内に第1及び第2駆動回路部630、640を形成する場合に比べて、駆動チップ200のサイズを減少することができ、原価節減効果が大きいという長所がある。

ここで、第1駆動回路部630と第2駆動回路部640とを、それぞれ第1周辺領域(SA1)と第2周辺領域(SA2)に形成することとして示しているが、このような構成に限定されないことは明白である。例えば、第1及び第2駆動回路部630、640を全て第1または第2周辺領域(SA1、SA2)上に形成することもできる。

#### 【0033】

駆動チップ200は、周辺部620のうちの第3周辺領域(SA3)に実装され、表示部610に画像を表示するために必要なデータ信号を、データライン(DL1～DLm)に提供し、第1及び第2駆動回路部630、640を完全駆動モード及び待機モードで駆動するためのゲート駆動信号を提供する。

即ち、駆動チップ200は、駆動モードにおいて第1及び第2駆動回路部630、640にゲート駆動信号を出力し、待機モードにおいて第2駆動回路部640のみにゲート駆動信号を出力することで、第1及び第2駆動回路部630、640の動作を制御する。

#### 【0034】

ここで、駆動チップ200は、第3周辺領域(SA3)と対向する第4周辺領域(SA4)上に実装することもできる。

図7は本発明の第6実施例によるTFTアレイ基板を概略的に示した平面図である。

図7に示すように、本発明の他の実施例によるTFTアレイ基板700は表示部710、周辺部720、第1駆動回路部730、第2駆動回路部740及び駆動チップ750を含む。

#### 【0035】

表示部710は、第1表示部711と第2表示部712を含む。この実施例において、表示部710は2つの表示部(711、712)に区画されることを示しているが、これに限定されるものではなく2つ以上の複数の表示部を含む構成とすることができる。

また、表示部 710 は、図 6 に示された表示部 610 と実質的に同一に構成することができ、即ち、第 1 表示部 711 を高解像度部とし、第 2 表示部 712 を低解像度部とすることができる。従って、図 1 と重複する詳細な説明は省略する。

【0036】

周辺部 720 は表示部 710 を取り囲む第 1 ～ 第 4 周辺領域 (SA1、SA2、SA3、SA4) で構成される。

第 1 駆動回路部 730 は第 1 ゲート駆動部 730a 及び第 2 ゲート駆動部 730b を含む。

第 1 ゲート駆動部 730a は、周辺部 720 のうちの第 1 周辺領域 (SA1) に形成され、第 2 ゲート駆動部 730b は、周辺部 720 のうちの第 2 周辺領域 (SA2) に形成される。また、これとは反対に第 1 及び第 2 ゲート駆動部 (730a、730b) をそれぞれ第 2 及び第 1 周辺領域 (SA2、SA1) に形成することもできる。

10

【0037】

第 1 ゲート駆動部 730a と第 2 ゲート駆動部 730b は、駆動チップ 750 から提供されるクロック信号などのようなゲート駆動信号に応答して、第 1 表示部 711 に形成されるゲートライン (GL1～GLp) のうち、それぞれ奇数番目ゲートラインと偶数番目ゲートラインに第 1 ゲート信号を順に提供する。

従って、1つの駆動回路でゲートライン (GL1～GLp) に第 1 ゲート信号を提供することにより発生する RC ディレイなどによる電流の損失を防止することができる。また、1つのゲートラインが活性化される時間を延長することができ、それにより、ゲートライン (GL1～GLp) それぞれから延長されて形成された TFT に接続された液晶キャパシタの充電時間を十分に保障して、このような構成を有する TFT アレイ基板を備える液晶表示装置の表示品質を向上することもできる。

20

【0038】

第 2 駆動回路部 740 は第 3 ゲート駆動部 740a 及び第 4 ゲート駆動部 740b を含む。

第 3 ゲート駆動部 740a は周辺部 720 のうちの第 1 周辺領域 (SA1) に形成され、第 4 ゲート駆動部 740b は周辺部 720 のうちの第 2 周辺領域 (SA2) に形成される。また、これとは反対に第 3 及び第 4 ゲート駆動部 740a、740b をそれぞれ第 2 及び第 1 周辺領域 (SA2、SA1) に形成することもできる。

30

【0039】

第 3 ゲート駆動部 740a と第 4 ゲート駆動部 740b は、駆動チップ 750 から提供されるクロック信号などのようなゲート駆動信号に応答して、第 2 表示部 712 に形成されるゲートライン (GLp+1～GLn) のうちそれぞれ奇数番目ゲートラインと偶数番目ゲートラインに第 2 ゲート信号を順に提供する。

従って、1つの駆動回路部でゲートライン (GL1～GLp) に第 2 ゲート信号を提供することにより発生する RC ディレイなどによる電流の損失を防止することができる。また、1つのゲートラインが活性化される時間を延長することができ、それにより、ゲートライン (GLp+1～GLn) それぞれから延長されて形成された TFT に接続された液晶キャパシタの充電時間を十分に保障して、このような構成を有する TFT アレイ基板を備える液晶表示装置の表示品質を向上することもできる。

40

【0040】

駆動チップ 750 は周辺部 720 のうちの第 3 周辺領域 (SA3) に実装され、表示部 710 に画像を表示するために必要なデータ信号を表示部 710 に形成されたデータライン (DL1～DLm) に提供し、第 1 及び第 2 駆動回路部 730、740 にゲート駆動信号を提供する。

このとき、TFT アレイ基板 700 の第 1 及び第 2 周辺領域 (SA1、SA2) には、第 2 駆動回路部 740 にクロック信号などのようなゲート駆動信号を提供するための信号配線 760 をさらに形成することができ、駆動チップ 750 は信号配線 760 と電氣的に接続された出力ピンをさらに備える構成とすることができる。

50

## 【 0 0 4 1 】

また、駆動チップ 750 は第 3 周辺領域 ( S A 3 ) と対向する第 4 周辺領域 ( S A 4 ) 上に実装することもできる。

図 8 は図 1 及び図 2 に示されたゲート駆動回路部を構成するシフトレジスタの構成を示した図面である。また、図 9 は図 8 に示されたシフトレジスタの各ステージの具体的な回路の構成を示した等価回路図である。図 10 は図 8 の出力波形を示したタイミング図である。

## 【 0 0 4 2 】

図 8 に示すように、ゲート駆動回路 140、240 は複数のステージ ( S R C 1 ~ S R C n + 1 ) が従属接続された 1 つのシフトレジスタ 641 で構成することができる。即ち、各ステージの出力端子 ( O U T ) を次のステージの入力端子 ( I N ) に接続することで、各ステージを従属的に接続することができる。シフトレジスタ 641 はゲートライン ( G L 1 ~ G L n ) に対応する  $n$  個のステージ ( S R C 1 ~ S R C n ) と 1 つのダミーステージ ( S R C n + 1 ) で構成される。各ステージは入力端子 ( I N )、出力端子 ( O U T )、制御端子 ( C T )、クロック信号入力端子 ( C K )、第 1 電源電圧端子 ( V S S ) 及び第 2 電源電圧端子 ( V D D ) を有する構成とすることができる。

## 【 0 0 4 3 】

1 番目のステージ ( S R C 1 ) の入力端子 ( I N ) にはスキャン開始信号 ( S T ) を入力することができる。

各ステージの出力信号 ( O U T 1 ~ O U T n ) は対応する各ゲートライン ( G L 1 ~ G L n ) に接続される。奇数番目ステージ ( S R C 1、S R C 3 ) には第 1 クロック信号 ( C K 1 ) が提供され、偶数番目ステージ ( S R C 2、S R C 4 ) には第 2 クロック信号 ( C K 2 ) が提供される。この際、第 1 クロック信号 ( C K 1 ) と第 2 クロック信号 ( C K 2 ) は互いに反対の位相を有するように構成できる。

## 【 0 0 4 4 】

各ステージ ( S R C 1、S R C 2、S R C 3 ) の各制御端子 ( C T ) には、次のステージ ( S R C 2、S R C 3、S R C 4 ) の出力信号 ( O U T 2、O U T 3、O U T 4 ) が制御信号として入力される。即ち、制御端子 ( C T ) に入力される制御信号は自身の出力信号のデューティ期間分だけ遅延された信号となる。

従って、各ステージの出力信号が順にアクティブになる区間 ( ハイ状態 ) を有するように構成することで、アクティブ区間である出力信号に対応するゲートラインが順に選択される。

## 【 0 0 4 5 】

図 9 に示すように、図 8 に示されたシフトレジスタ 641 の各ステージはプルアップ手段 742、プルダウン手段 744、プルアップ駆動手段 746 及びプルダウン駆動手段 748 を含む。

プルアップ手段 742 は、クロック信号入力端子 ( C K ) にドレインが接続され、第 3 ノード ( N 3 ) にゲートが接続され、出力端子 ( O U T ) にソースが接続された第 1 N M O S トランジスタ ( N T 1 ) で構成することができる。

## 【 0 0 4 6 】

プルダウン手段 744 は、出力端子 ( O U T ) にドレインが接続され、第 4 ノード ( N 4 ) にゲートが接続され、ソースが第 1 電源電圧 ( V S S ) に接続された第 2 N M O S トランジスタ ( N T 2 ) で構成することができる。

プルアップ駆動手段 746 は、キャパシタ ( C )、第 3 ~ 第 5 N M O S トランジスタ ( N T 3 ~ N T 5 ) で構成される。キャパシタ ( C ) は第 3 ノード ( N 3 ) と出力端子 ( O U T ) との間に接続することができ、寄生キャパシタで構成することができる。第 3 N M O S トランジスタ ( N T 3 ) は、第 2 電源電圧 ( V D D ) にドレインが接続され、入力端子 ( I N ) にゲートが接続され、第 3 ノード ( N 3 ) にソースが接続されるように構成できる。第 4 N M O S トランジスタ ( N T 4 ) は、第 3 ノード ( N 3 ) にドレインが接続され、制御端子 ( C T ) にゲートが接続され、ソースが第 1 電源電圧 ( V S S ) に接続され

10

20

30

40

50

るように構成できる。第5 NMOSトランジスタ (NT5) は、第3 ノード (N3) にドレインが接続され、第4 ノード (N4) にゲートが接続され、ソースが第1 電源電圧 (VSS) に接続されるように構成できる。

#### 【0047】

この際、第3 NMOSトランジスタ (NT3) のサイズは第5 NMOSトランジスタ (NT5) のサイズより約2 倍程度大きく形成される。

ブルダウン駆動手段748 は、第6 及び第7 NMOSトランジスタ (NT6、NT7) で構成される。第6 NMOSトランジスタ (NT6) は、第2 電源電圧 (VDD) にドレインとゲートが共通で接続され、第4 ノード (N4) にソースが接続される。第7 NMOSトランジスタ (NT7) は、第4 ノード (N4) にドレインが接続され、第3 ノード (N3) にゲートが接続され、ソースが第1 電源電圧 (VSS) に接続されるように構成できる。

#### 【0048】

この際、第6 NMOSトランジスタ (TN6) のサイズは第7 NMOSトランジスタ (NT7) のサイズより約16 倍程度大きく形成することができる。

図10 に示すように、第1 及び第2 クロック信号 (CK1、CK2) とスキャン開始信号 (ST) がシフトレジスタ641 に供給されると、1 番目のステージ (SRC1) ではスキャン開始信号 (ST) の立ち上がりエッジに応答して第1 クロック信号 (CK1) のハイレベル区間を所定時間 (Tdr1) 遅延させて出力端子 (OUT1) に出力信号 (OUT1) として出力する。

#### 【0049】

図11 は本発明の一実施例による液晶表示装置の分解斜視図である。

図11 に示すように、本発明の一実施例による液晶表示装置900 は光を用いて画像を表示する液晶表示パネルアセンブリ960、光を発生して液晶表示パネルアセンブリに伝達するバックライトアセンブリ970、液晶表示パネルアセンブリ960 とバックライトアセンブリ970 との間に配置されている選択反射フィルム977、液晶表示パネルアセンブリ960 と選択反射フィルム977 とバックライトアセンブリ970 とを収納するモールドフレーム980、及びこれらを取り囲んで固定する上部及び下部シャーシ991、992を含む構成とすることができる。

#### 【0050】

液晶表示パネルアセンブリ960 は画像を表示する液晶表示パネル961、駆動チップ930 及び可撓性回路基板962を含む構成とすることができる。

液晶表示パネル961 は、TFTアレイ基板963、TFTアレイ基板963 と互いに対向して結合される対向基板964 及びTFTアレイ基板963 と対向基板964 との間に注入された液晶層 (図示せず) を含む構成とすることができる。

#### 【0051】

TFTアレイ基板963 は、複数の画素 (図示せず) をマトリックス形態で備えている。それぞれの画素は、第1 方向に延長されたゲート線 (図示せず)、第1 方向と直交する第2 方向に延長されゲート線と電気絶縁状態で交差するデータ線 (図示せず) によって定義され、画素電極を具備するように構成できる。また、各画素にはゲート線、データ線、及び画素電極に接続されている薄膜トランジスタ (図示せず) を形成することができる。また、表示パネルの表示部に含まれる複数の表示領域のうち、少なくとも1つの表示領域にゲート信号を提供するためのゲート駆動回路部を構成する薄膜トランジスタは、表示部の薄膜トランジスタを形成する際に共に形成することができる。表示部及びゲート駆動回路部の薄膜トランジスタは非晶質シリコン層を含んで形成することができ、または、多結晶シリコン層を含んで形成することもできる。

#### 【0052】

対向基板964 は白色光を用いて所定の色を発現する 赤色、緑色及び青色フィルタ (図示せず) が薄膜工程によって形成することができ、画素電極と向き合う共通電極が形成することができる。

10

20

30

40

50

液晶層の液晶分子は、画素電極及び共通電極に印加される電圧によって再配列されて、バックライトアセンブリ 970 から提供される光の透過率を変化させる。

【0053】

TFTアレイ基板 963 の第 1 端部には、データ線及びゲート線に信号を印加するための駆動チップ 930 が実装される。駆動チップ 930 は図 11 に示されたように、データ線用チップとゲート線用チップとが統合された 1 つのチップとして構成されることができ、または図面に示されてはいないが、データ線用チップとゲート線用チップに分離された 2 つ以上のチップで構成することができ、前述したように表示パネルの表示部（図示せず）に含まれた複数の表示部のうち少なくとも 1 つの領域にゲート信号を提供する駆動回路部が駆動チップ 960 内に集積することができる。駆動チップ 960 は COG (chip on glass) 工程によって TFTアレイ基板 963 上に実装されることができ。

10

【0054】

TFTアレイ基板 963 の第 1 端部には、駆動チップ 930 を制御するための制御信号を伝達するための可撓性回路基板 962 が取り付けられる。可撓性回路基板 962 には、駆動信号のタイミングを調節するためのタイミングコントローラやデータ信号を貯蔵するためのメモリなどを実装することができる。可撓性回路基板 962 は異方性導電フィルムを媒介にして TFTアレイ基板 963 上の配線と電氣的に接続することができる。

【0055】

液晶表示パネルアセンブリ 960 の下には液晶表示パネル 961 に均一な光を提供するためのバックライトアセンブリ 970 が設けられる。

20

バックライトアセンブリ 970 は光を発生する光源 971、光の経路をガイドするための導光板 972、導光板 972 から出射した光の輝度を均一にする光学シート 973、導光板 972 から漏洩した光を反射するための反射板 974 を含む構成とすることができる。

【0056】

光源 971 は導光板 972 の一側に位置し、光を導光板 972 に提供する。光源 971 としては、CCFL、EEFL などの線形光源を使用するか、電力消費の少ない発光ダイオードを使用することができる。光源 971 の一側には光源 971 を制御するための可撓性回路基板（図示せず）を取り付けることができる。本実施例においては、光源 971 が導光板 972 の一側に配置されているが、必要に応じて導光板 972 の両側に配置することもでき、また液晶表示パネルアセンブリ 960 の下に複数配置することもでき、後者の場合には導光板 972 を省略することもできる。

30

【0057】

導光板 972 は必要に応じて画像が表示される液晶表示パネル 961 の表示部に光をガイドするための導光パターン（図示せず）を有する構成とすることができる。

導光板 972 と液晶表示パネル 961 との間には光学シート 973 が配置される。光学シート 973 は、導光板 972 から提供された光の輝度を均一にして液晶表示パネル 961 に提供する。

【0058】

一方、液晶表示パネルアセンブリ 960 とバックライトアセンブリ 970 との間には、バックライト光源 971 のターンオフ状態において外部光を反射して画像表示することを可能にするための選択反射フィルム 977 を配置することができる。選択反射フィルム 977 は、光の一部を反射し一部を透過する。従って、バックライト光源 971 がオンになっているときは、バックライト光が選択反射フィルム 977 を透過して液晶表示パネル 961 に入射し、表示のために使用される。また、バックライト光源 971 がオフになっているときには、液晶表示パネル 961 を介して入射した外部の光が、選択反射フィルム 977 で反射して再度液晶表示パネル 961 に入射して、表示のために使用される。従って、液晶表示パネル 961 が待機モードで駆動する際に、バックライト光源 971 をターンオフしたままであっても所定の必要な画像情報の表示が可能であり、電力消耗を大きく低減することができる。

40

50



## 【 0 0 5 9 】

モールドフレーム 9 8 0 は、反射板 9 7 4、導光板 9 7 2、光学シート 9 7 3 及び液晶表示パネル 9 6 1 を順に収納する。モールドフレーム 9 8 0 は、開口された底面 9 8 1 及び底面 9 8 1 から延長された側面 9 8 2 を含み、合成樹脂材質により形成することができる。

可撓性回路基板 9 6 2 は、モールドフレーム 9 8 0 の外側壁 9 8 2 に沿って折曲される。モールドフレーム 9 8 0 の側壁 9 8 2 には下部シャーシ 9 9 2 と結合するための複数の結合突起 9 8 3 を形成することができる。

## 【 0 0 6 0 】

モールドフレーム 9 8 0 は、金属材料からなる下部シャーシ 9 9 2 に収納することができる。下部シャーシ 9 9 2 は、底板 9 9 3 及び底板 9 9 3 のエッジから収納空間を形成するように延長された側板 9 9 4 を具備する。側板 9 9 4 には複数の結合突起 9 8 3 に対応する複数の結合溝 9 9 5 を形成することができる。

モールドフレーム 9 8 0 と下部シャーシ 9 9 2 とを結合する際、下部シャーシ 9 9 2 の側板 9 9 4 が部分的にモールドフレーム 9 8 0 の側壁 9 8 2 の外側に位置する。複数の結合突起 9 8 3 は複数の結合溝 9 9 5 に挿入され、モールドフレーム 9 8 0 と下部シャーシ 9 9 2 とを結合する。この際、モールドフレーム 9 8 0 は、液晶表示装置の全体大きさを減少させるために、下部シャーシ 9 9 2 の側板 9 9 4 と接する部分が部分的に下部シャーシ 9 9 2 の側板 9 9 4 の厚さ分だけ凹んでいる構成とすることができる。

## 【 0 0 6 1 】

一方、液晶表示パネル 9 6 1 の上部には上部シャーシ 9 9 1 が設けられている。上部シャーシ 9 9 1 は、画像が表示される表示部が露出するための開口部を備えており、液晶表示パネル 9 6 1 の周縁部を覆いながら下部シャーシ 9 9 2 と結合する。このことにより、液晶表示パネル 9 6 1 は上部シャーシ 9 9 1 と下部シャーシ 9 9 2 との間に固定することができる。

## 【 産業上の利用可能性 】

## 【 0 0 6 2 】

前述した本発明による T F T アレイ基板及び液晶表示装置によると、表示装置が主要画像を表示しない場合にも、使用者に常時必要な情報を表示することができ、全体表示パネルを駆動する場合に比べて、電力消費量を大きく削減することができる効果がある。また、常時情報を表示する領域は電力消費量の少ない駆動チップに実装された回路を通じて駆動信号を印加し、必要な場合のみにオンされ主要画像を表示する領域には、基板に薄膜トランジスタで直接形成された駆動回路部を介して駆動信号を印加することで、駆動チップサイズを縮小させ経済的な効果を得ることができ、同時に電力消費を減少することができるという長所がある。

## 【 0 0 6 3 】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

## 【 図面の簡単な説明 】

## 【 0 0 6 4 】

【 図 1 】 本発明の第 1 実施例による T F T アレイ基板を示した平面図である。

【 図 2 】 本発明の第 2 実施例による T F T アレイ基板を示した平面図である。

【 図 3 】 本発明の第 2 実施例による T F T アレイ基板の高解像度部と低解像度領域の画素面積を比較して示した平面図である。

【 図 4 】 本発明の第 3 実施例による T F T アレイ基板を示した平面図である。

【 図 5 】 本発明の第 4 実施例による T F T アレイ基板を示した平面図である。

【 図 6 】 本発明の第 5 実施例による T F T アレイ基板を概略的に示した平面図である。

【 図 7 】 本発明の第 6 実施例による T F T アレイ基板を概略的に示した平面図である。

【 図 8 】 ゲート駆動回路部を構成するシフトレジスタの構成を示したブロック図である。

10

20

30

40

50

【図 9】図 8 に示されたシフトレジスタの各ステージの具体的な回路の構成を示した等価回路図である。

【図 10】図 8 の出力波形を示したタイミング図である。

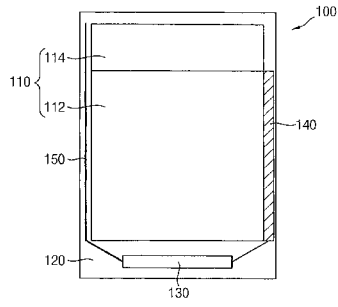
【図 11】本発明の一実施例による液晶表示装置を示した分解斜視図である。

【符号の説明】

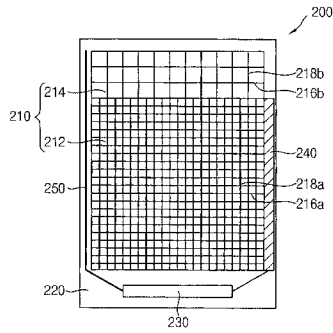
【0065】

100、700	TFTアレイ基板	
110、610	表示部	
112	主表示部	
114	副表示部	10
120、220、620、720	周辺部	
130	駆動チップ	
200	TFTアレイ基板	
210、310	表示部	
212、412	高解像度部	
214、414	低解像度部	
240	ゲート駆動回路部	
430	駆動チップ	
600	TFTアレイ基板	
630	第1駆動回路部	20
640	第2駆動回路部	
730	第1駆動回路部	
740	第2駆動回路部	
742	ブルアップ手段	
744	ブルダウン手段	
746	ブルアップ駆動手段	
748	ブルダウン駆動手段	
972	導光板	
973	光学シート	
974	反射板	30
980	モールドフレーム	
961	液晶表示パネル	
980	モールドフレーム	
981	底面	
982	側面	

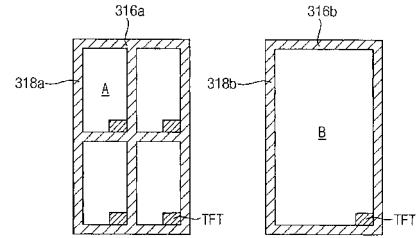
【図 1】



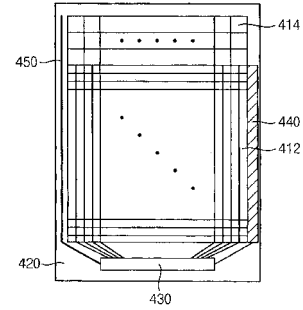
【図 2】



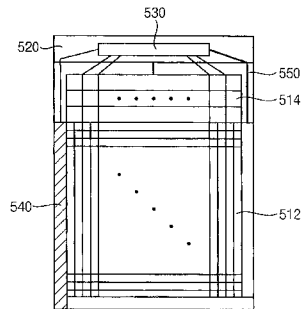
【図 3】



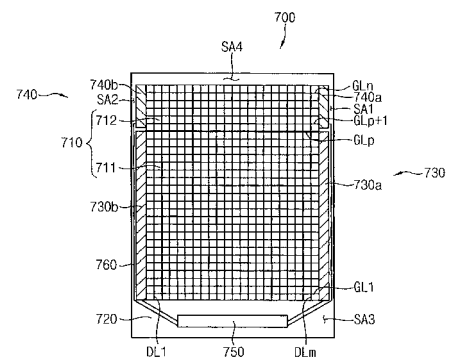
【図 4】



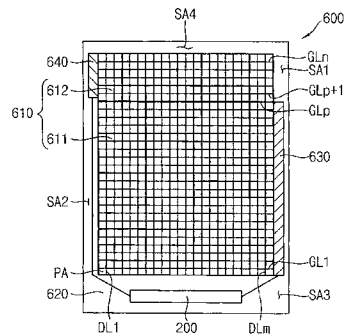
【図 5】



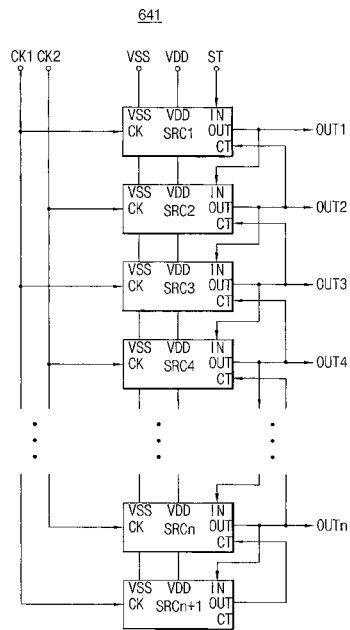
【図 7】



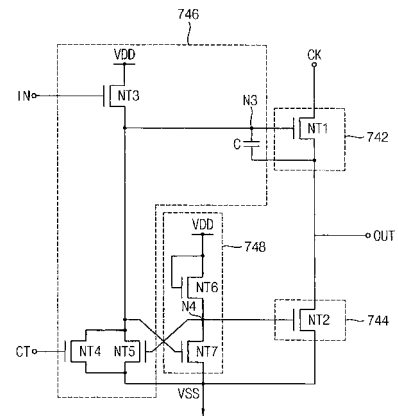
【図 6】



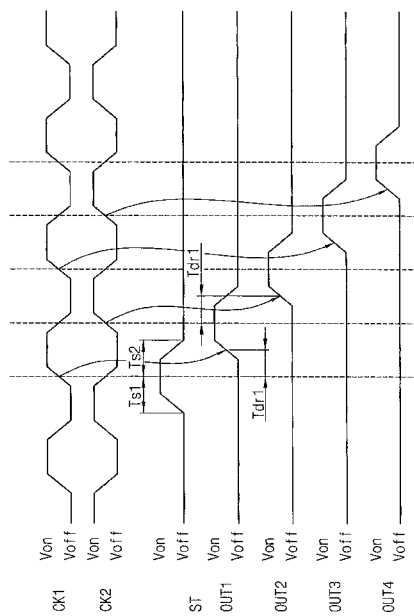
【図 8】



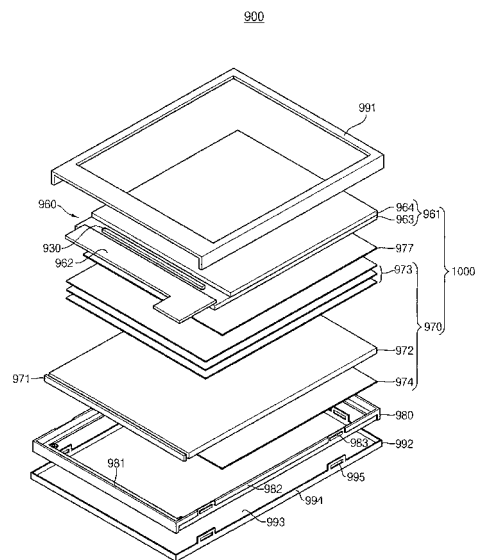
【図 9】



【図 10】



【図 11】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>H 0 1 L 29/786 (2006.01)</b>	G 0 9 G 3/20 6 8 0 G	5 C 0 9 4
<b>G 0 2 F 1/133 (2006.01)</b>	G 0 9 G 3/20 6 2 2 L	5 F 1 1 0
<b>G 0 9 F 9/30 (2006.01)</b>	G 0 9 G 3/20 6 2 3 U	
	G 0 9 G 3/20 6 1 1 A	
	G 0 9 F 9/40 3 0 1	
	H 0 1 L 29/78 6 1 2 B	
	G 0 2 F 1/133 5 0 5	
	G 0 9 F 9/30 3 9 0 Z	

- (72)発明者 金 炯 傑  
大韓民国京畿道龍仁市駒城邑ボジョン里 1 1 6 1 珍山マウル三星 5 次アパート 5 0 5 棟 2 0 6 号
- (72)発明者 金 東 煥  
大韓民国京畿道水原市靈通区靈通洞黄骨マウル 2 団地アパート 2 3 4 棟 1 5 0 3 号
- (72)発明者 金 都 均  
大韓民国京畿道龍仁市駒城邑アンナム里スンウォンサンテッビル 2 次アパート 2 0 2 棟 1 3 0 1 号

F ターム(参考) 2H089 HA33 KA15 TA09  
2H092 GA59 JA24 JA38 JB04 JB13 JB22 JB38 JB46 KA05 NA25  
PA06  
2H093 NA16 NA21 NA80 NC22 NC34 NC90 ND39 ND42  
5C006 AC22 AC24 BB11 BC02 BC03 BC20 EA01 FA01  
5C080 AA10 BB05 DD22 DD24 JJ02 JJ03 JJ04 JJ06 KK07  
5C094 AA22 AA44 BA03 BA43 CA19 DA09 DA20 DB04  
5F110 AA09 BB02 GG02 GG13 GG15 NN72 NN78