

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年8月21日 (21.08.2008)

PCT

(10) 国際公開番号
WO 2008/099528 A1

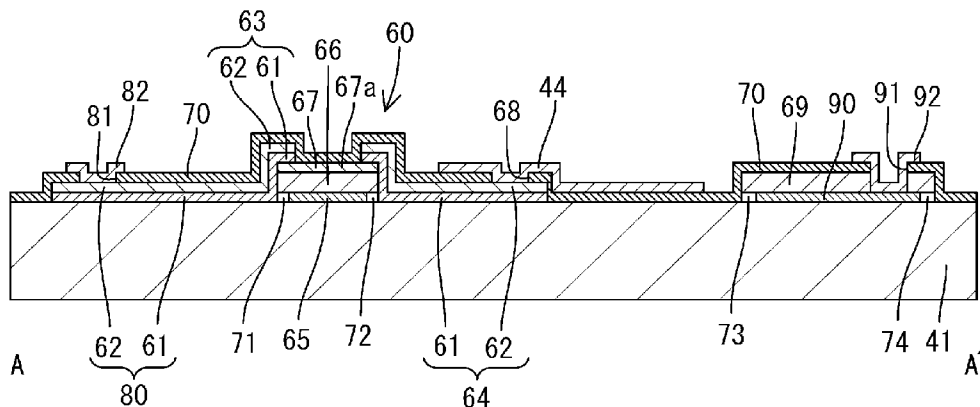
- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2007/068472
- (22) 国際出願日: 2007年9月24日 (24.09.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-032439 2007年2月13日 (13.02.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 沖一郎 (OKI, Ichirou). 山田 公彦 (YAMADA, Kimihiko).
- (74) 代理人: 後呂 和男, 外 (GORO, Kazuo et al.); 〒4600008 愛知県名古屋市中区栄二丁目1番1号 日土地名古屋ビル5階 暁合同特許事務所 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉]

(54) Title: DISPLAY DEVICE AND METHOD FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称: 表示装置、表示装置の製造方法

[図5]



(57) Abstract: A display device is provided with a substrate (41); a gate electrode (63) formed on the substrate (41); a gate insulating film (66) formed on the gate electrode (63); a semiconductor film (67) formed on the gate insulating film (66) with a channel region (67a); a source electrode (63) connected to one end of the semiconductor film (67), and a drain electrode (64), which is connected to the other end of the semiconductor film (67) and is connected to the source electrode (63) by having the channel region (67) in between. The source electrode (63) and the drain electrode (64) are formed on the substrate (41) to cover the gate electrode (65), the gate insulating film (66) and the semiconductor film (67), with gaps (71, 72) formed between the electrodes and the gate electrode (65).

(57) 要約: 本発明の表示装置は、基板 41 と、前記基板 41 上に形成されたゲート電極 63 と、前記ゲート電極 63 上に形成されたゲート絶縁膜 66 と、前記ゲート絶縁膜 66 上に形成され、チャンネル領域 67a を備える半導体膜 67 と、前記半導体膜 67 の一端に接続されたソース電極 63 と、前記半導体膜 67 の他端に接続され、前記ソース電極 63 に対して前記チャンネル領域 67 を介して接続されるドレイン電極 64 と、を備え、前記ソース電極 63 及び前記ドレイン電極 64 は、前記基板 41 上に、前記ゲート電極 65 と前記ゲート絶縁膜 66 と前記半導体膜 67 とを覆う形で形成され、且つ前記ゲート電極 65 との間空隙部 71, 72 を介して形成されていることを特徴とする。



WO 2008/099528 A1



IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類：
— 國際調查報告書

明 細 書

表示装置、表示装置の製造方法

技術分野

[0001] 本発明は、表示装置とその製造方法に関し、特に薄膜トランジスタ等の半導体素子を備えた表示装置、及びその製造方法に関する。

背景技術

[0002] 近年、高精度テレビ受像機や大型テレビ受像機の急速な普及に伴い、高精度表示装置に対する需要が増加しつつある。液晶表示装置(LCD:Liquid Crystal Display)は、エレクトロルミネッセンス(EL:Electro Luminescence)表示装置、プラズマ表示装置(PDP:Plasma Display Panel)などとともに代表的な平板表示装置(FPD:Flat Panel Display)の1つであり、軽量、省スペース、低価格、低消費電力、高速応答等のメリットを有する。

[0003] 現在、高精度テレビ受像機や大型テレビ受像機に使用される液晶表示装置は、透過型液晶表示装置が主流である。透過型液晶表示装置は、電極を形成した2枚のガラス基板間に液晶を注入し、基板の内側に形成された電極に印加する電圧によって、液晶層の液晶分子配向を変化させるものである。そして、このような液晶分子の配向変化に基づき、液晶層の光学特性を変えることによって、基板に付設した偏光板との方位関係で、バックライトからの透過光量を調節して表示を行うものである。

[0004] この透過型液晶表示装置は、駆動方式の観点から大きく受動型と能動型に分けられるが、現在の主流は能動型(アクティブ型)である。能動型(アクティブ型)の液晶表示装置においては、各画素毎にスイッチングトランジスタが設けられ、これは各画素の動作を制御するものであり、スイッチングトランジスタとしては3端子型である薄膜トランジスタ(TFT:Thin Film Transistor)が一般的に使用されている。

[0005] 前述の薄膜トランジスタアレイを全面に形成した液晶表示装置用薄膜トランジスタ基板は、フォトリソグラフィ工程及びエッチング工程を複数回繰り返すことによって製造される。従来より、製造コスト低減の観点で、フォトリソグラフィ工程の削減、すなわち使用マスク数の削減が図られており、現在は5種類のフォトマスクを使用した5

回のフォトリソグラフィ工程によって薄膜トランジスタアレイ基板を製造する工程が一般的であった。

[0006] 一方、5種類のフォトマスクを使用した製造方法に対して、例えば特許文献1には4種類のフォトマスクを使用した製造方法が開示されている。

特許文献1:特許第3756363号公報

[0007] (発明が解決しようとする課題)

特許文献1に開示された4種類のフォトマスクを使用した場合の工程は以下のようなものである。

(a)まずガラス基板の上に第1導電膜を形成する。第1導電膜は通常スパッタリング法を使用して、アルミニウム(Al)、クロム(Cr)、タンタル(Ta)、チタン(Ti)等の金属膜単体又はこれらの金属窒化物との積層膜で形成される。

(b)次に、第1導電膜の上に、フォトレジストを塗布し、第1のフォトマスクを用いてフォトレジストでゲート電極及びゲート配線となる領域のパターンを形成する。

(c)次に、ドライエッチング又はウェットエッチングによってレジストに覆われていない領域の第1導電膜を除去してゲート電極及びゲート配線を形成し、酸素を使用したプラズマアッシングによってレジストを除去する。

[0008] (d)次に、ゲート電極及びゲート配線の上にゲート絶縁膜、半導体膜、ドーピング半導体膜、第2導電膜を続けて形成する。ゲート絶縁膜、半導体膜、ドーピング半導体膜はプラズマCVD法を使用して形成する。通常、この3層膜は、同一装置内で連続的に形成される。ゲート絶縁膜は、窒化シリコン(SiN_x)、酸化シリコン膜(SiO_x)等で形成される。半導体膜は、アモルファスシリコン(a-Si)膜で形成される。ドーピング半導体膜は、リン(P)等のn型不純物を高濃度にドーピングしたアモルファスシリコン(n^+Si)膜で形成される。第2導電膜は、通常、スパッタリング法を使用して、アルミニウム(Al)、クロム(Cr)、タンタル(Ta)、チタン(Ti)等の金属膜単体又はこれらの金属窒化物との積層膜で形成される。

[0009] (e)次に、第2導電膜の上に、フォトレジストを塗布し、第2のフォトマスクを用いて薄膜トランジスタの活性化領域、薄膜トランジスタのチャネル領域、ソース電極、ソース配線、及びドレイン電極となる領域のパターンを形成する。第2のフォトマスクはハー

フオーンマスク又はグレートンマスクを使用して、薄膜トランジスタのチャンネルとなる領域上に、薄膜トランジスタの活性化領域、ソース電極、ソース配線及びドレイン電極となる領域上よりも薄い膜厚のレジストを形成する。

(f)次に、ドライエッチング又はウェットエッチングによって、まずレジストに覆われていない領域の第2導電膜、ドーピング半導体膜、半導体膜を除去して、薄膜トランジスタの活性領域、ソース電極、ソース配線及びドレイン電極を形成する。この後、酸素プラズマを使用したアッシングによって、薄膜トランジスタのチャンネルとなる領域上に薄く形成したレジストを除去し、再度ドライエッチング又はウェットエッチングによって第2導電膜、ドーピング半導体膜を除去して薄膜トランジスタのチャンネル領域を形成する。この後、酸素プラズマを使用したアッシングによって他の領域に形成したレジストを除去する。

[0010] (g)次に、パッシベーション膜を全面に形成する。パッシベーション膜は、プラズマCVD法を使用して窒化シリコン(SiN_x)などの無機絶縁膜又はアクリル系樹脂膜等が使用される。

(h)次に、パッシベーション膜の上にフォトレジストを塗布し、第3のフォトマスクを用いてドレイン電極の上にコンタクトホールとなる領域のパターンを形成する。

(i)次にドライエッチング又はウェットエッチングによってパッシベーション膜をエッチングしてドレイン電極の上にコンタクトホールを形成する。この後、酸素プラズマを使用したアッシングによってレジストを除去する。

[0011] (j)次に、透明導電膜を全面に形成する。透明導電膜は、スパッタリング法を使用して酸化インジウム錫(ITO)又は酸化錫(SnO₂)で形成される。

(k)次に、透明導電膜上に、フォトレジストを塗布し、第4のフォトマスクを用いて透明導電膜上に画素電極となる領域のパターンを形成する。

(l)ドライエッチング又はウェットエッチングによって透明導電膜をエッチングして、パッシベーション膜上に画素電極となるパターンを形成する。この後、酸素プラズマを使用したアッシングによってレジストを除去する。

というものである。

[0012] このような特許文献1に開示された工程では、(b)、(e)、(h)、(k)の各工程で説明

したゲート電極形成工程、薄膜トランジスタの活性化領域／ソース電極／ドレイン電極形成工程、ドレインコンタクト形成工程、画素電極形成工程の4工程で、計4種類のフォトマスクが使用される。

[0013] ところで、液晶パネルで使用される薄膜トランジスタは、画素電極への充電能力向上のために、駆動能力が高いことが要求され、このために薄膜トランジスタのチャンネル長が短縮される傾向にある。例えば、薄膜トランジスタのチャンネル長が4 μ m程度より短くなった場合、4種類のフォトマスクを使用した製造工程においては、ハーフトーンマスク又はグレートーンマスクを使用した多重露光により、薄く形成する薄膜トランジスタのチャンネル部のレジストが、当該チャンネル内で均一に形成されず、チャンネルの中心部で薄く、周辺部で厚く形成させる傾向が顕著になる。

[0014] これはチャンネル長が狭まった場合、フォトリソグラフィ工程における露光後のレジストのベーク工程において、レジストが均一に粘性流動して広がらないためである。さらに、レジストのベーク工程における基板温度のバラツキのために、薄膜トランジスタチャンネル部の基板面内でのレジスト膜厚のバラツキが大きくなる。このためにチャンネルエッチング工程でのバラツキが大きくなり、極端な場合には基板の一部領域では薄膜トランジスタチャンネルがエッチング不足でショートし、他の一部領域ではソース及びドレイン電極がエッチング過剰で消滅してしまうことが発生する。

[0015] このために、従来の4種類のフォトマスクを使用した製造工程では歩留まりが低下し得る。さらに、ハーフトーンマスク又はグレートーンマスクを使用した多重露光で薄く形成する薄膜トランジスタチャンネル部のレジスト膜厚測定に局所的な領域の分光測定が必要となり、製造工程における検査装置の増加、検査時間の増加が問題となる場合がある。

発明の開示

[0016] 本発明は上記のような問題に鑑みてなされたものであって、その目的はチャンネル長のバラツキの少ない半導体素子を備え、表示特性に優れた表示装置と、その製造方法を提供することにある。また、ゲート電極とソース電極又はドレイン電極との絶縁を簡便且つ確実に図ることが可能な構成を提供することを目的としている。

[0017] (課題を解決するための手段)

上記課題を解決するために、本発明の表示装置は、基板と、前記基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、チャンネル領域を備える半導体膜と、前記半導体膜の一端に接続されたソース電極と、前記半導体膜の他端に接続され、前記ソース電極に対して前記チャンネル領域を介して接続されるドレイン電極と、を備え、前記ソース電極及び前記ドレイン電極は、前記基板上に、前記ゲート電極と前記ゲート絶縁膜と前記半導体膜とを覆う形で形成され、且つ前記ゲート電極との間に空隙部をそれぞれ介して形成されていることを特徴とする。

[0018] このような表示装置によると、ゲート電極とソース電極との間、及びゲート電極とドレイン電極との間のそれぞれにおいて空隙部が介在してなるため、当該ゲート電極とソース電極との間、及びゲート電極とドレイン電極との間の絶縁を確実に図ることが可能となる。また、ゲート電極とソース電極との間、及びゲート電極とドレイン電極との間において絶縁部材を介在させるものでもないため、製造工程の簡略化、及び製造コストの低減を図ることが可能となる。また、同じく絶縁部材を介在させずに電極間を絶縁する手法としては、例えば電極の端部を陽極酸化により絶縁化させる手法もあるが、本発明のような空隙部を設けるには、例えば電極の端部をサイドエッチングすることで当該空隙部を実現できるため、上記のような陽極酸化法に比して手間の掛からない簡便なものとなる。

[0019] 前記空隙部は、前記基板、前記ゲート電極、前記ゲート絶縁膜、及び前記ソース電極によって取り囲まれてなるものとすることができる。

このように基板、ゲート電極、ゲート絶縁膜、及びソース電極によって取り囲まれてなる空隙部とすることで、ゲート電極とソース電極との間を確実に絶縁することが可能となる。

[0020] 前記空隙部は、前記基板、前記ゲート電極、前記ゲート絶縁膜、及び前記ドレイン電極によって取り囲まれてなるものとすることができる。

このように基板、ゲート電極、ゲート絶縁膜、及びドレイン電極によって取り囲まれてなる空隙部とすることで、ゲート電極とドレイン電極との間を確実に絶縁することが可能となる。

[0021] 前記半導体膜はアモルファスシリコンからなり、前記ソース電極及び前記ドレイン電極は、不純物をドーピングしたシリコンからなるドーピングシリコン層と金属材料からなる金属層との積層構造を有するものとすることができる。

このような構成により、半導体層とソース電極及びドレイン電極との接続を良好なものとするのが可能となる。

[0022] 前記基板上には、前記ゲート電極に信号を送信するゲート配線と、当該ゲート配線上に形成された第1絶縁膜とが形成される一方、前記ゲート配線及び前記第1絶縁膜、並びに前記半導体膜、前記ソース電極、及び前記ドレイン電極を覆う層間絶縁膜が形成されてなり、前記層間絶縁膜は、前記ゲート配線との間に配線側空隙部を介して形成されているものとすることができる。

この場合、ゲート配線と層間絶縁膜との間において配線側空隙部が介在してなるため、ゲート配線側と層間絶縁膜（ひいては層間絶縁膜に接続され得る導電膜）との間で絶縁を確実に図ることが可能となる。また、ゲート電極とソース電極、ゲート電極とドレイン電極、のそれぞれに形成される空隙部と同一工程で構成することが可能なため、当該空隙部の形成に係る手間及びコストは殆どないため好適である。

[0023] 前記配線側空隙部は、前記基板、前記ゲート配線、前記ゲート絶縁膜、及び前記層間絶縁膜によって取り囲まれてなるものとすることができる。

このように基板、ゲート配線、ゲート絶縁膜、及び層間絶縁膜によって取り囲まれてなる空隙部とすることで、ゲート配線と層間絶縁膜（ひいては層間絶縁膜に接続され得る導電膜）との間を確実に絶縁することが可能となる。

[0024] 次に、上記課題を解決するために、本発明の表示装置の製造方法は、基板上に第1導電膜を形成する工程と、前記第1導電膜上に絶縁膜を形成する工程と、前記絶縁膜上に半導体膜を形成する工程と、前記第1導電膜、前記絶縁膜、及び前記半導体膜を第1フォトマスクを用いてパターニングし、前記第1導電膜からなるゲート電極、前記絶縁膜からなるゲート絶縁膜、及び前記半導体膜、を含む第1積層膜と、前記第1導電膜からなるゲート配線、及び前記絶縁膜からなる第1絶縁膜、を含む第2積層膜と、を形成するパターニング工程と、形成した前記第1積層膜及び前記第2積層膜のうち、前記ゲート電極及び前記ゲート配線の端部をエッチングによって後退させ

る工程と、前記第1積層膜及び前記第2積層膜を含む前記基板上に第2導電膜を形成する工程と、前記第2導電膜を第2フォトマスクを用いてパターンニングし、前記第1積層膜に接続されるソース電極及びドレイン電極を形成する工程と、前記ソース電極、前記ドレイン電極、前記第1積層膜、及び前記第2積層膜を含む前記基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜を第3フォトマスクを用いてパターンニングし、前記ソース電極に挿通する第1コンタクトホールと、前記ドレイン電極に挿通する第2コンタクトホールと、前記第2積層膜の前記ゲート配線に挿通する第3コンタクトホールを形成する工程と、前記第1コンタクトホール、第2コンタクトホール、及び第3コンタクトホールを含む層間絶縁膜上に第3導電膜を形成する工程と、前記第3導電膜を第4フォトマスクを用いてパターンニングし、前記ソース電極に接続される第1配線と、前記ドレイン電極に接続される画素電極と、前記ゲート配線に接続される第2配線とを形成する工程と、を含むことを特徴とする。

[0025] このような方法により形成される薄膜トランジスタは、ゲート電極とソース電極との間、ゲート電極とドレイン電極との間、のそれぞれに空隙部が形成されることとなる。したがって、これらゲート電極とソース電極との間、ゲート電極とドレイン電極との間、のそれぞれを好適に絶縁することが可能となる。

また、ゲート電極、ゲート配線、ゲート絶縁膜及び半導体膜(半導体素子の活性化領域)のパターンを、同一の第1フォトマスクで形成するものであり、従来のように、幅の狭い薄膜トランジスタのチャネル領域に、ハーフトーンマスク又はグレートーンマスクを使用した多重露光により中間膜厚のレジストパターンを形成する必要がなくなるために、半導体素子のチャネル長のバラツキを低減することが可能となる。具体的には、本発明によると、上述した特許文献1に開示された方法に比べて、チャネル長ばらつきを1/2以下に低減することが可能となる。

さらに、本発明の方法では、中間膜厚のレジストパターンのレジスト膜厚測定に関して、狭い局所的な領域の分光測定が不要となり、製造工程における検査装置の増加、検査時間の増大を抑制することが可能となる。

[0026] 前記第1フォトマスクは、半透過膜からなるハーフトーンマスク、又はスリットによる半透過領域を含むグレートーンマスクであるものとすることができる。

このように、ゲート電極、ゲート配線、ゲート絶縁膜及び半導体膜(半導体素子の活性化領域)のパターンを、ハーフトーンマスク又はグレートーンマスクを使用して同一のフォトマスクで形成することで、従来のように、幅の狭い薄膜トランジスタのチャンネル領域に、ハーフトーンマスク又はグレートーンマスクを使用した多重露光により中間膜厚のレジストパターンを形成する必要がなくなり、半導体素子のチャンネル長のバラツキを低減することが可能となる。

[0027] 前記第1フォトマスクを用いたパターンニング工程は、多重露光により、前記半導体膜上のうち、前記第1導電膜、前記ゲート絶縁膜、及び前記半導体膜を残存させる部分の上には第1レジストを形成する一方、前記半導体膜を除去し、前記第1導電膜及び前記ゲート絶縁膜を残存させる部分の上には、前記第1レジストよりも厚さの小さい第2レジストを形成する工程と、前記第1レジスト及び前記第2レジストをマスクとして、前記第1導電膜、前記ゲート絶縁膜、及び前記半導体膜に対してエッチングを行う工程と、前記第1レジストを残存させ、前記第2レジストを除去する条件でアッシングを行う工程と、残存した前記第1レジストをマスクとして、前記半導体膜に対してエッチングを行う工程と、を含むものとすることができる。

このような方法によりパターンニング工程を行うことで、幅の狭い薄膜トランジスタのチャンネル領域に、ハーフトーンマスク又はグレートーンマスクを使用した多重露光により中間膜厚のレジストパターンを形成する必要がなくなり、半導体素子のチャンネル長のバラツキを低減することが可能となる。

[0028] (発明の効果)

本発明により、チャンネル長のバラツキの少ない半導体素子を備え、表示特性に優れた表示装置を提供することが可能となる。

図面の簡単な説明

[0029] [図1]本実施形態の液晶表示装置の概略構成を示す斜視図。

[図2]図1の液晶表示装置の概略構成を示す断面図。

[図3]図1の液晶表示装置の要部構成(液晶パネルの一部)について示す断面図

。

[図4]図1の液晶表示装置の画素構成について示す平面図。

[図5]図4のA-A'線断面図。

[図6]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図7]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図8]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図9]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図10]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図11]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図12]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図13]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図14]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図15]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図16]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図17]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図18]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図19]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

[図20]図1の液晶表示装置の製造方法に係る一工程を示す説明図。

符号の説明

[0030] 41...ガラス基板(基板)、63...ゲート電極、64...ドレイン電極、65...ゲート電極、66...ゲート絶縁膜、67...半導体膜、67a...チャネル領域、71、72...空隙部

発明を実施するための最良の形態

[0031] 以下、図面を参照して本発明に係る表示装置の実施形態について説明する。

図1は、本実施形態の液晶表示装置の概略構成を示す斜視図、図2は同液晶表示装置の概略構成を示す断面図、図3は同液晶表示装置の要部構成(液晶パネルの一部分)について示す断面図、図4は同液晶表示装置の画素構成について示す平面図、図5は図4のA-A'線断面図である。図6～図20は、図1の液晶表示装置の製造方法について示すもので、特に図5に示した構成を備える半導体素子を製造する各工程を示す説明図である。なお、各図面においては、視認性を確保するために、各層及び各部材の大きさについて実際のものとは縮尺を異ならせている。

- [0032] 図1及び図2に示した液晶表示装置(表示装置)10は、矩形をなす液晶パネル11と、外部光源であるバックライト装置12とを備え、これらがベゼル13などにより一体的に保持されるようになっている。
- [0033] バックライト装置12は、所謂直下型のバックライト装置であって、液晶パネル11のパネル面(表示面)の背面直下に、当該パネル面に沿って光源(ここでは冷陰極管17)が並列配置された構成を具備している。バックライト装置12は、上面側が開口した矩形の略箱型をなす金属製のベース14と、ベース14の開口部を覆うようにして取り付けられる複数の光学部材15(図示下側から順に拡散板、拡散シート、レンズシート、光学シート)と、これら光学部材15をベース14に保持するためのフレーム16と、ベース14内に收容されるランプである冷陰極管17と、冷陰極管17の両端部を保持するためのゴム製(例えばシリコンゴム製)のホルダ18と、冷陰極管17群及びホルダ18群を一括して覆うランプホルダ19と、冷陰極管17における両端部を除いた途中の部分保持するためのランプクリップ20とを備える。
- [0034] 液晶パネル11は、図3に示すように、一对の基板30, 40が所定のギャップを空けた状態で貼り合わせられるとともに、両基板30, 40間に液晶が封入された構成とされ、当該液晶により液晶層50が形成されている。
- [0035] 基板40は素子基板(アクティブマトリクス基板)であって、ガラス基板41の液晶層50側に形成された半導体素子としての薄膜トランジスタ(TFT)60と、当該薄膜トランジスタ60に対して電氣的に接続された画素電極44と、これら薄膜トランジスタ60及び画素電極44の液晶層50側に形成された配向膜45と、を備えている。なお、ガラス基板41の液晶層50側とは反対側には偏光板42が配設される。
- [0036] 画素電極44は例えばITO(インジウム錫酸化物)等の透明導電膜からなり、素子基板40の液晶層50側にマトリクス状のパターンで形成されている。詳しくは、薄膜トランジスタ60のドレイン電極64(図4及び図5参照)と接続され、当該薄膜トランジスタ60のスイッチング作動により選択的に電圧が印加されるものとなっている。また、配向膜45は例えばポリイミドのラビング配向膜から構成されており、偏光板42は例えば透明フィルムにヨウ素や染料を染み込ませたものを、一方向に延伸してなるものを採用している。

- [0037] 一方、基板30は対向基板であって、ガラス基板31の液晶層50側に形成され、R(赤)、G(緑)、B(青)の各色光を選択的に透過可能な着色部R、G、Bを備えたカラーフィルタ33と、カラーフィルタ33の液晶層50側に形成された対向電極34と、対向電極34の液晶層50側に形成された配向膜35と、を備えている。なお、ガラス基板31の液晶層50側とは反対側には偏光板32が配設される。
- [0038] カラーフィルタ33は、着色部R、G、Bの境界に配されたブラックマトリクスBMを備え、当該ブラックマトリクスBMは素子基板40の非画素部(つまり薄膜トランジスタ60が形成された領域)を覆うように、当該非画素部に重畳して配されている。また、対向電極34は例えばITO(インジウム錫酸化物)等の透明導電膜からなり、対向基板30の液晶層50側に全面ベタ状に形成されている。また、配向膜35は例えばポリイミドのラビング配向膜から構成されており、偏光板32は例えば透明フィルムにヨウ素や染料を染み込ませたものを、一方向に延伸してなるものを採用している。
- [0039] 上述したように本実施形態の液晶表示装置10は半導体素子として薄膜トランジスタ60を備えており、当該薄膜トランジスタ60を含む画素は、図4及び図5に示すような構成を具備している。
- 本実施形態の液晶表示装置10では複数の画素49がマトリクス状に構成されており、これら画素49の各々には、画素スイッチング用の半導体素子として薄膜トランジスタ60が形成されている。
- [0040] 薄膜トランジスタ60は、ソース電極63、ドレイン電極64、及びゲート電極65を備え、ソース電極63には、画像信号を供給するソース配線80が接続されている。ソース配線80に書き込む画像信号は、線順次で供給してもよく、相隣接する複数のソース配線80同士に対して、グループ毎に供給するようにしてもよい。なお、ソース配線80はコンタクトホール81及び配線82を介して画像信号を供給するための駆動回路と接続されている。
- [0041] また、薄膜トランジスタ60のゲート電極65にはゲート配線90が接続されており、所定のタイミングで、ゲート配線90にパルス的に走査信号を線順次で印加するように構成されている。
- [0042] 画素電極44は、薄膜トランジスタ60のドレイン電極64にコンタクトホール68を介し

て接続されており、スイッチング素子である薄膜トランジスタ60を一定期間だけオン状態とすることにより、ソース配線6aから供給される画像信号を各画素49に所定のタイミングで書き込む。このようにして画素電極44を介して液晶に書き込まれた所定レベルの画像信号は、対向電極34(図3参照)との間で一定期間保持される。なお、保持された画像信号がリークするのを防ぐために、画素電極44と対向電極34(図3参照)との間に形成される液晶容量と並列に蓄積容量(図示略)が付加されている。

[0043] 上述した通り、薄膜トランジスタ60は、素子基板40を構成するガラス基板41上に配設されている。詳しくは、図5に示すように、ガラス基板41上に形成されたゲート電極65と、ゲート電極65上に形成されたゲート絶縁膜66と、ゲート絶縁膜66上に形成され、チャンネル領域67aを備える半導体膜67と、半導体膜67の一端に接続されたソース電極63と、半導体膜67の他端に接続され、ソース電極63に対してチャンネル領域67aを介して接続されるドレイン電極64と、を備えて構成されている。

[0044] ゲート電極65は、例えばアルミニウム(Al)の他、クロム(Cr)、タンタル(Ta)、チタン(Ti)等の金属膜単体又はこれらの金属窒化物との積層膜で形成することができる。

ゲート絶縁膜66は、例えば窒化シリコン(SiN_x)の他、酸化シリコン(SiO_x)等で形成することができる。

半導体膜67は、例えばアモルファスシリコン(a-Si)等で形成することができる。

[0045] ソース電極63及びドレイン電極64、ならびにソース電極63と接続されたソース配線80は、導電膜61、62が積層した構成を備える。下層側の導電膜61は、例えばリン(P)等のn型不純物を高濃度にドーピングしたアモルファスシリコン(n⁺Si)等で形成することができる。上層側の導電膜62は、例えばアルミニウム(Al)の他、クロム(Cr)、タンタル(Ta)、チタン(Ti)等の金属膜単体又はこれらの金属窒化物との積層膜で形成することができる。

[0046] また、ソース電極63及びドレイン電極64上には層間絶縁膜(パッシベーション膜)70が形成されている。ドレイン電極64は、この層間絶縁膜70に形成されたコンタクトホール68を介して、画素電極44に接続されている。なお、層間絶縁膜70は、例えば窒化シリコン(SiN_x)等の無機絶縁膜の他、アクリル系樹脂膜等で形成することができる。

- [0047] ここで、ソース電極63及びドレイン電極64は、ガラス基板41上に、ゲート電極65とゲート絶縁膜66と半導体膜67とを覆う形で形成されている。また、ソース電極63は、ゲート電極65との間に空隙部71を介して形成されている。したがって、ソース電極63とゲート電極65とは、ガラス基板41とゲート電極65とソース電極63とゲート絶縁膜66とによって囲まれた空隙部71によって絶縁されている。
- [0048] また、ドレイン電極64は、ゲート電極65との間に空隙部72を介して形成されている。したがって、ドレイン電極64とゲート電極65とは、ガラス基板41とゲート電極65とドレイン電極64とゲート絶縁膜66とによって囲まれた空隙部72によって絶縁されている。
- [0049] 一方、図5に示すように、ガラス基板41上には、ゲート電極65に走査信号を供給するためのゲート配線90が形成されている。このゲート配線90は、ゲート電極65と同一材料で同一層に形成されている。また、ゲート配線90上には絶縁膜69が積層され、この絶縁膜69は、ゲート絶縁膜66と同一材料で同一層に形成されている。そして、これらゲート配線90と絶縁膜69を覆うように層間絶縁膜70が形成されており、層間絶縁膜70とゲート配線90との間には空隙部73, 74が形成されている。また、絶縁膜69にはコンタクトホール91が形成され、このコンタクトホール91を介して、ゲート配線90が走査信号供給回路に繋がる配線92と接続されている。
- [0050] 次に、本実施形態の液晶表示装置10の製造方法について説明する。ここでは特に、当該製造方法のうち、素子基板40の製造工程について詳細に説明するものとする。
- [0051] まず、図6に示すように、ガラス基板41を用意し、そのガラス基板41上に第1導電膜165を形成する。第1導電膜165は、例えばスパッタリング法により形成することができ、用いる材料としては、例えばアルミニウム(Al)の他、クロム(Cr)、タンタル(Ta)、チタン(Ti)等の金属膜単体又はこれらの金属窒化物との積層物とすることができる。
- [0052] 次に、同じく図6に示すように、第1導電膜165上に絶縁膜166を形成する。絶縁膜166は、例えばプラズマCVD法により形成することができ、用いる材料としては、例えば窒化シリコン(SiNx)の他、酸化シリコン(SiOx)等とすることができる。

- [0053] 次に、同じく図6に示すように、絶縁膜166上に半導体膜167を形成。半導体膜167は、例えばプラズマCVD法により形成することができ、用いる材料としては、例えばアモルファスシリコン(a-Si)等とすることができる。
- [0054] 続いて、第1導電膜165、絶縁膜166、及び半導体膜167を第1フォトマスク101a、101bを用いてパターニングする。ここでは、図7に示すように、多重露光により、半導体膜167上のうち、第1導電膜165、ゲート絶縁膜166、及び半導体膜167を残存させる部分の上には第1レジスト101aを形成する一方、半導体膜167を除去し、第1導電膜165及びゲート絶縁膜166を残存させる部分の上には、第1レジスト101aよりも厚さの小さい第2レジスト101bを形成する。なお、このような第1フォトマスク101a、101bは、半透過膜からなるハーフトーンマスク、又はスリットによる半透過領域を含むグレートーンマスクにより構成することができる。
- [0055] このように形成した第1レジスト101a及び第2レジスト101bをマスクとして、第1導電膜165、絶縁膜166、及び半導体膜167に対してエッチングを行う。ここでは、ウェットエッチングにより行うものとしているが、ドライエッチングによるものであっても良い。
- [0056] これにより図8に示すように、第1導電膜165からなるゲート電極65、絶縁膜166からなるゲート絶縁膜66、及び半導体膜167を含む積層膜と、第1導電膜165からなるゲート配線90、絶縁膜69、及び半導体膜167を積層膜と、が形成される。
- [0057] 次に、酸素プラズマを用いたアッシングにより、図9に示すように、第1レジスト101aを残存させ、第2レジスト101bを選択的に除去する。これはアッシングに係る時間を調整することで実現される。つまり、第2レジスト101bが除去された時点でアッシングを停止するものとする。
- [0058] そして、残存した第1レジスト101aをマスクとして、ゲート配線90及び絶縁膜69上に形成された半導体膜167に対してエッチングを行い、さらに酸素プラズマを用いたアッシングにより、第1レジスト101aの除去を行う。そうすると、図10に示すようなゲート電極65、ゲート絶縁膜66、及び半導体膜167を含む第1積層膜501と、ゲート配線90、絶縁膜69、及び半導体膜167を含む第2積層膜502と、が形成される。
- [0059] 次に、形成した第1積層膜501及び第2積層膜502のうち、ゲート電極65及びゲート配線90の端部をウェットエッチングによって後退させる(図11)。第1導電膜501が

アルミニウムの場合であればエッチング液として例えばリン酸、硝酸、酢酸の混合液を使用することでゲート電極65およびゲート配線90のみを選択的にエッチングすることが可能である。

[0060] 次に、図12に示すように、第1積層膜501及び第2積層膜502を含むガラス基板41上に、導電膜161及び導電膜162(第2導電膜)を形成する。導電膜161は、ドーピング半導体膜であって、例えばリン(P)等のn型不純物を高濃度にドーピングしたアモルファスシリコン(n^+Si)で形成することができる。導電膜162は、例えばスパッタリング法により形成することができ、用いる材料としては、例えばアルミニウム(Al)の他、クロム(Cr)、タンタル(Ta)、チタン(Ti)等の金属膜単体又はこれらの金属窒化物との積層物とすることができる。

[0061] その後、図13に示すように、導電膜161及び導電膜162(第2導電膜)上に第2フォトマスク102を形成する。ここでは、半導体膜67に接続されるソース電極及びドレイン電極を形成すべく、当該電極形成領域をマスクし、半導体膜67の活性化領域に対応した部位に開口部102aを有する第2フォトマスク102とする。

[0062] このような第2フォトマスク102を介して導電膜161及び導電膜162(第2導電膜)をエッチング(ウェットエッチング又はドライエッチング)し、さらに第2フォトマスクを酸素プラズマを用いたアッシングにより除去することで、図14に示すようなパターンを有するソース配線80、ソース電極63、ドレイン電極64を形成することができる。なお、このエッチング工程により、半導体膜67も部分的にエッチングされ、薄膜トランジスタのチャネル部の厚みが調整される。また、形成したソース電極63とゲート電極65との間には空隙部71が、ドレイン電極64とゲート電極65との間には空隙部72が形成される。

[0063] その後、図15に示すように、ソース電極63、ドレイン電極64、第1積層膜501(図12参照)を構成する半導体膜67、及び第2積層膜502(図12参照)を構成する絶縁膜69を含むガラス基板41上に層間絶縁膜(パッシベーション膜)170を形成する。層間絶縁膜170は、例えばプラズマCVD法により形成することができ、用いる材料としては、例えば窒化シリコン(SiN_x)等の無機絶縁材料の他、アクリル系樹脂材料を用いることができる。

[0064] そして、形成した層間絶縁膜170を第3フォトマスク103を用いてパターンニングする

。ここで、第3フォトマスク103は、図16に示すように、ソース配線80に接続するためのコンタクトホール91の形成位置に対応した開口部103a、ドレイン電極64に接続するためのコンタクトホール91の形成位置に対応した開口部103b、ゲート配線90に接続するためのコンタクトホール91の形成位置に対応した開口部103cをそれぞれ有して構成されている。

[0065] このような第3フォトマスク103を介して層間絶縁膜170をエッチング(ウェットエッチング又はドライエッチング)し、さらに当該第3フォトマスク103を酸素プラズマを用いたアッシングにより除去すると、図17に示した第1コンタクトホール81、第2コンタクトホール68、第3コンタクトホール91が形成される。

[0066] 次に、図18に示すように、第1コンタクトホール81、第2コンタクトホール68、及び第3コンタクトホール91を含む層間絶縁膜70上に第3導電膜144を形成する。第3導電膜144は、例えばスパッタリング法により形成することができ、材料としてはITO(インジウム錫酸化物)の他、酸化錫(SnO_2)等を用いることができる。

[0067] その後、図19に示すように、第3導電膜144を第4フォトマスク104を用いてパターニングする。ここで、第4フォトマスク104は、コンタクトホール81を埋める位置の第1マスク104a、コンタクトホール68を埋め、且つ画素電極の形成位置に跨る第2マスク104b、コンタクトホール91を埋める位置の第3マスク104cにより構成される。

[0068] このような第4フォトマスク104を介して第3導電膜144をエッチング(ウェットエッチング又はドライエッチング)し、さらに当該第4フォトマスク104を酸素プラズマを用いたアッシングにより除去すると、図20に示されるように、第1コンタクトホール81を介してソース配線80に接続された配線82、第2コンタクトホール68を介してドレイン電極64に接続された画素電極44、第3コンタクトホール91を介してゲート配線90に接続された配線92が形成され、最終的にガラス基板41上に薄膜トランジスタ60が形成される。

[0069] 図20に示した薄膜トランジスタ60を備える基板41に対して、図3に示すようなポリイミドのラビング配向膜45を画素電極44上に形成して素子基板40を作成し、ガラス基板41の画素電極44側とは反対側に偏光板42を形成する(図3)。一方で、図3に示すようなガラス基板31に対してカラーフィルタ33、対向電極34、配向膜35を形成し

て対向基板30を作成し、ガラス基板31の対向電極34側とは反対側に偏光板32を形成する(図3)。そして、このような素子基板40と対向基板30とをシール材(図示略)を介して貼り合わせ、注入口(図示略)から液晶を注入して液晶層50を形成し、その他、駆動回路等を接続させて液晶パネル11を作成する(図3)。さらに、液晶パネル11に対して図1に示すようなバックライト装置12を付与することで、液晶表示装置10が作成される。

[0070] このような方法により形成される薄膜トランジスタ60を含む液晶表示装置10は、ゲート電極65とソース電極63との間、ゲート電極65とドレイン電極64との間、のそれぞれに空隙部71, 72が形成されることとなる。したがって、これらゲート電極65とソース電極63との間、ゲート電極65とドレイン電極64との間、のそれぞれを好適に絶縁することが可能となる。

[0071] また、ゲート電極65、ゲート配線90、ゲート絶縁膜66及び半導体膜67のパターンを、同一の第1フォトマスク101で形成するものであり、従来のように、幅の狭い薄膜トランジスタのチャネル領域に、ハーフトーンマスク又はグレートーンマスクを使用した多重露光により中間膜厚のレジストパターンを形成する必要がなくなるために、半導体素子のチャネル長のバラツキを低減することが可能となる。具体的には、本実施形態の場合、上述した特許文献1に開示された方法に比べて、チャネル長ばらつきを1/2以下に低減することが可能となる。さらに、本実施形態の場合、中間膜厚のレジストパターンのレジスト膜厚測定に関して、狭い局所的な領域の分光測定が不要となり、製造工程における検査装置の増加、検査時間の増大を抑制することが可能となる。

[0072] 以上、本発明に係る実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではなく、以下のような形態も本発明に含まれる。

例えば、本実施形態では、本発明の表示装置の一例として、薄膜トランジスタを備える液晶表示装置について説明したが、例えば本実施形態と同様に画素駆動し、薄膜トランジスタを備えるEL表示装置や、プラズマ表示装置等も本発明に含まれるものである。

請求の範囲

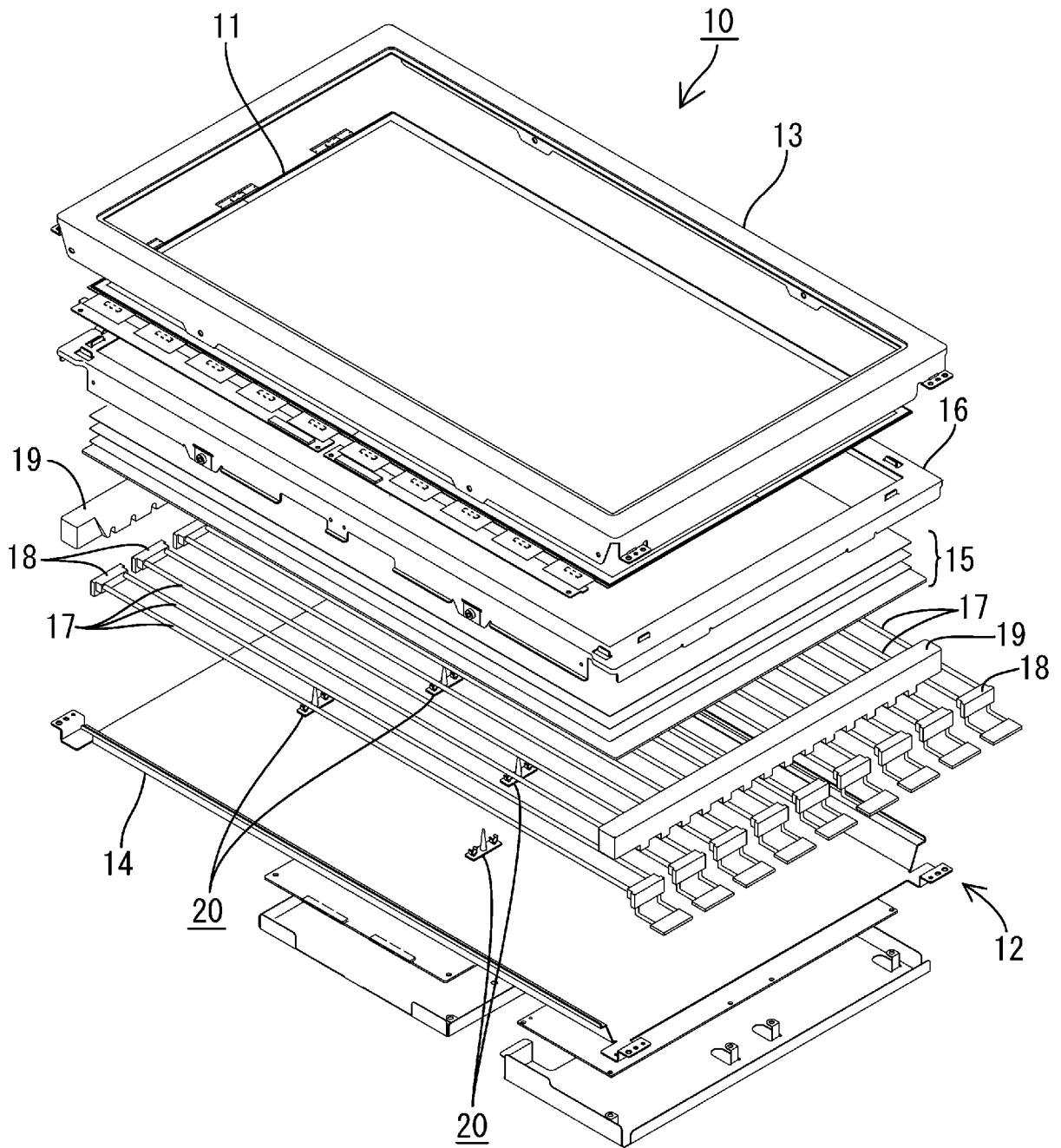
- [1] 基板と、
前記基板上に形成されたゲート電極と、
前記ゲート電極上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成され、チャネル領域を備える半導体膜と、
前記半導体膜の一端に接続されたソース電極と、
前記半導体膜の他端に接続され、前記ソース電極に対して前記チャネル領域を介して接続されるドレイン電極と、を備え、
前記ソース電極及び前記ドレイン電極は、前記基板上に、前記ゲート電極と前記ゲート絶縁膜と前記半導体膜とを覆う形で形成され、且つ前記ゲート電極との間に空隙部をそれぞれ介して形成されていることを特徴とする表示装置。
- [2] 前記空隙部は、前記基板、前記ゲート電極、前記ゲート絶縁膜、及び前記ソース電極によって取り囲まれてなることを特徴とする請求の範囲第1項に記載の表示装置。
- [3] 前記空隙部は、前記基板、前記ゲート電極、前記ゲート絶縁膜、及び前記ドレイン電極によって取り囲まれてなることを特徴とする請求の範囲第1項又は第2項に記載の表示装置。
- [4] 前記半導体膜はアモルファスシリコンからなり、
前記ソース電極及び前記ドレイン電極は、不純物をドーピングしたシリコンからなるドーピングシリコン層と金属材料からなる金属層との積層構造を有することを特徴とする請求の範囲第1項ないし第3項のいずれか1項に記載の表示装置。
- [5] 前記基板上には、前記ゲート電極に信号を送信するゲート配線と、当該ゲート配線上に形成された第1絶縁膜とが形成される一方、前記ゲート配線及び前記第1絶縁膜、並びに前記半導体膜、前記ソース電極、及び前記ドレイン電極を覆う層間絶縁膜が形成されてなり、
前記層間絶縁膜は、前記ゲート配線との間に配線側空隙部を介して形成されていることを特徴とする請求の範囲第1項ないし第4項のいずれか1項に記載の表示装置。
- [6] 前記配線側空隙部は、前記基板、前記ゲート配線、前記ゲート絶縁膜、及び前記

層間絶縁膜によって取り囲まれてなることを特徴とする請求の範囲第5項に記載の表示装置。

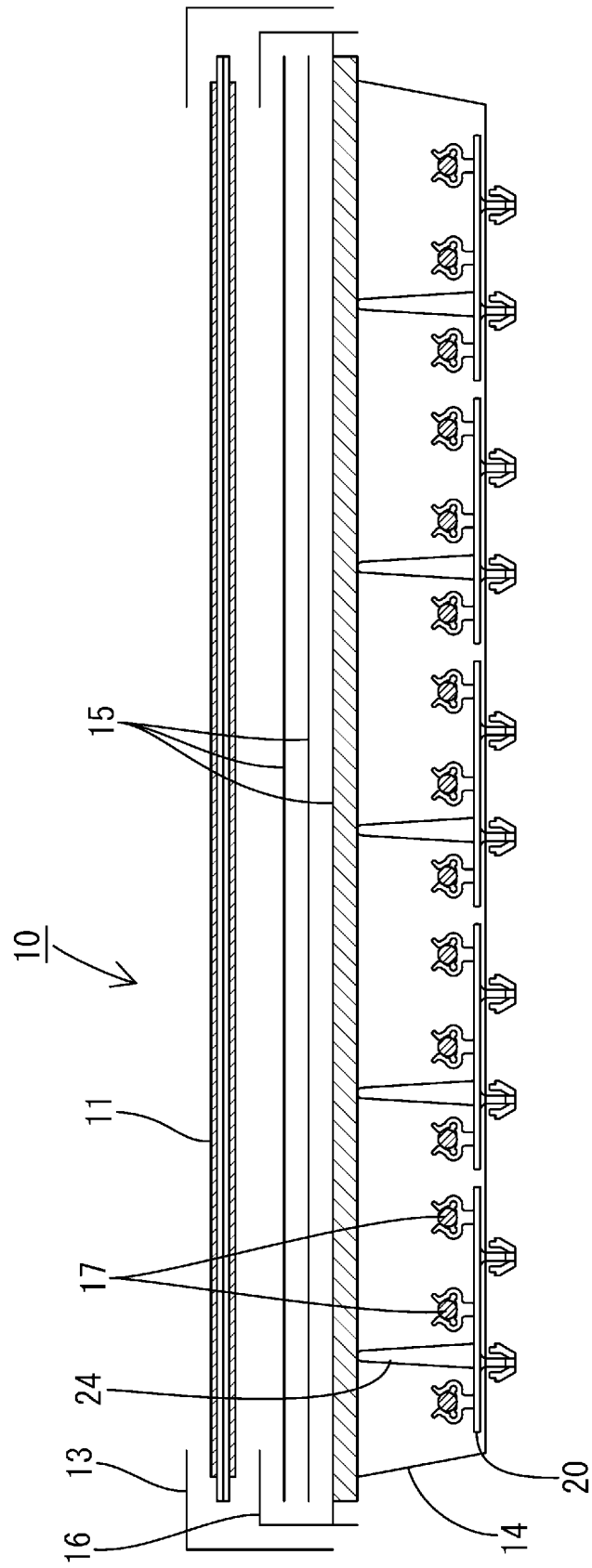
- [7] 基板上に第1導電膜を形成する工程と、
前記第1導電膜上に絶縁膜を形成する工程と、
前記絶縁膜上に半導体膜を形成する工程と、
前記第1導電膜、前記絶縁膜、及び前記半導体膜を第1フォトマスクを用いてパターンニングし、前記第1導電膜からなるゲート電極、前記絶縁膜からなるゲート絶縁膜、及び前記半導体膜、を含む第1積層膜と、前記第1導電膜からなるゲート配線、及び前記絶縁膜からなる第1絶縁膜、を含む第2積層膜と、を形成するパターンニング工程と、
形成した前記第1積層膜及び前記第2積層膜のうち、前記ゲート電極及び前記ゲート配線の端部をエッチングによって後退させる工程と、
前記第1積層膜及び前記第2積層膜を含む前記基板上に第2導電膜を形成する工程と、
前記第2導電膜を第2フォトマスクを用いてパターンニングし、前記第1積層膜に接続されるソース電極及びドレイン電極を形成する工程と、
前記ソース電極、前記ドレイン電極、前記第1積層膜、及び前記第2積層膜を含む前記基板上に層間絶縁膜を形成する工程と、
前記層間絶縁膜を第3フォトマスクを用いてパターンニングし、前記ソース電極に挿通する第1コンタクトホールと、前記ドレイン電極に挿通する第2コンタクトホールと、前記第2積層膜の前記ゲート配線に挿通する第3コンタクトホールを形成する工程と、
前記第1コンタクトホール、第2コンタクトホール、及び第3コンタクトホールを含む層間絶縁膜上に第3導電膜を形成する工程と、
前記第3導電膜を第4フォトマスクを用いてパターンニングし、前記ソース電極に接続される第1配線と、前記ドレイン電極に接続される画素電極と、前記ゲート配線に接続される第2配線とを形成する工程と、
を含むことを特徴とする表示装置の製造方法。

- [8] 前記第1フォトマスクは、半透過膜からなるハーフトーンマスク、又はスリットによる半透過領域を含むグレートーンマスクであることを特徴とする請求の範囲第7項に記載の表示装置の製造方法。
- [9] 前記第1フォトマスクを用いたパターンニング工程は、
多重露光により、前記半導体膜上のうち、前記第1導電膜、前記ゲート絶縁膜、及び前記半導体膜を残存させる部分の上には第1レジストを形成する一方、前記半導体膜を除去し、前記第1導電膜及び前記ゲート絶縁膜を残存させる部分の上には、前記第1レジストよりも厚さの小さい第2レジストを形成する工程と、
前記第1レジスト及び前記第2レジストをマスクとして、前記第1導電膜、前記絶縁膜、及び前記半導体膜に対してエッチングを行う工程と、
前記第1レジストを残存させ、前記第2レジストを除去する条件でアッシングを行う工程と、
残存した前記第1レジストをマスクとして、前記半導体膜に対してエッチングを行う工程と、
を含むことを特徴とする請求の範囲第7項又は第8項に記載の表示装置の製造方法。

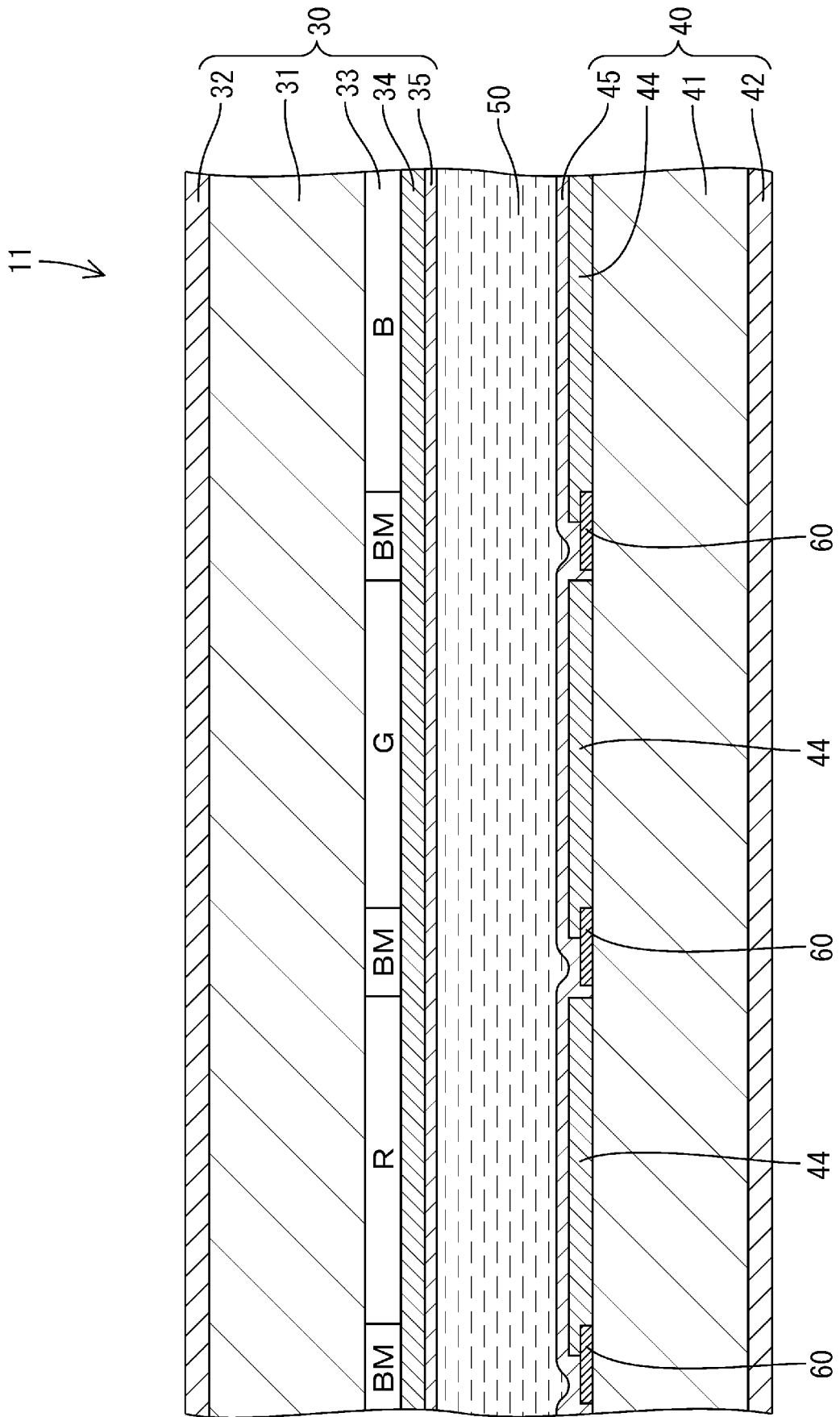
[図1]



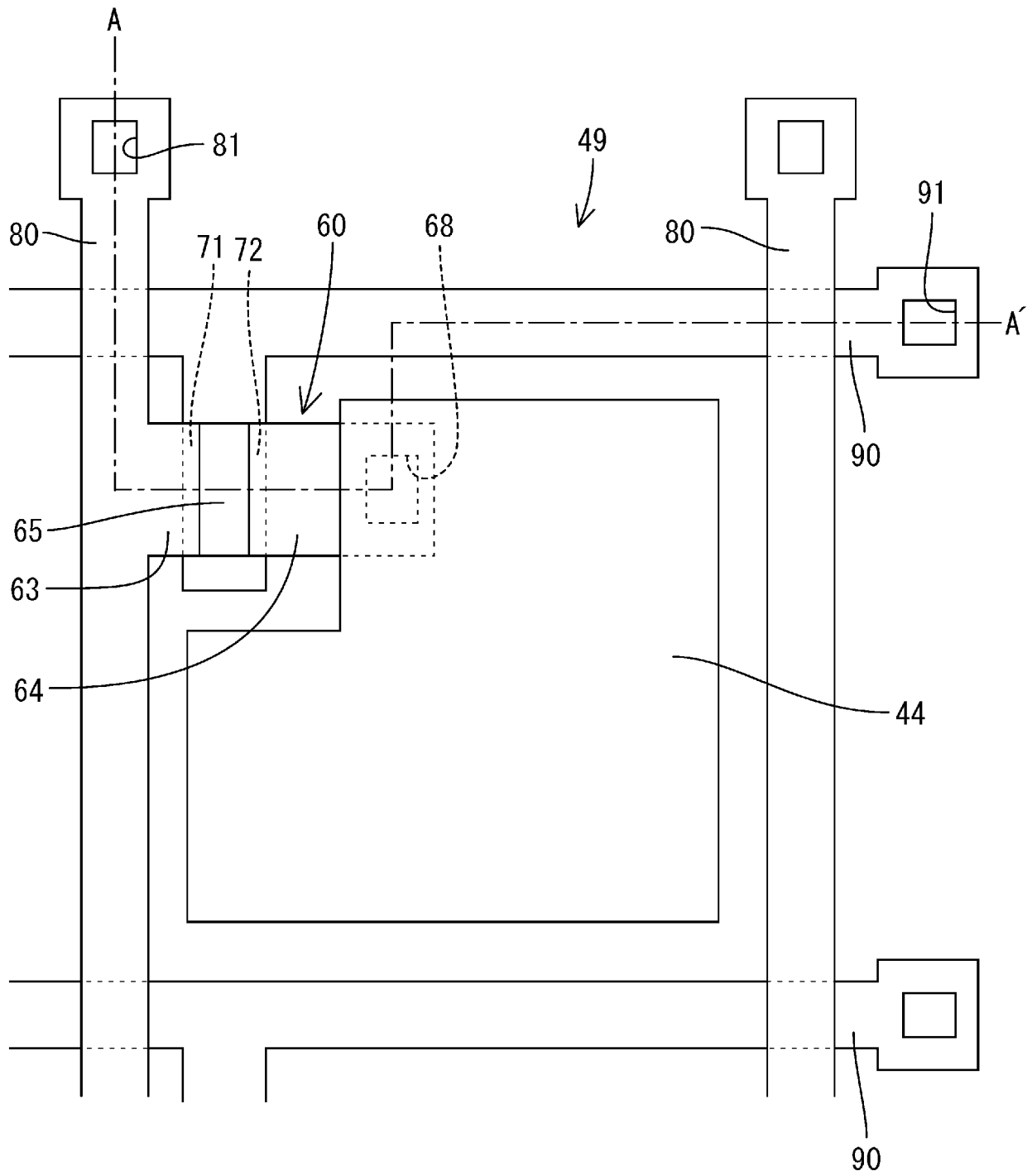
[図2]



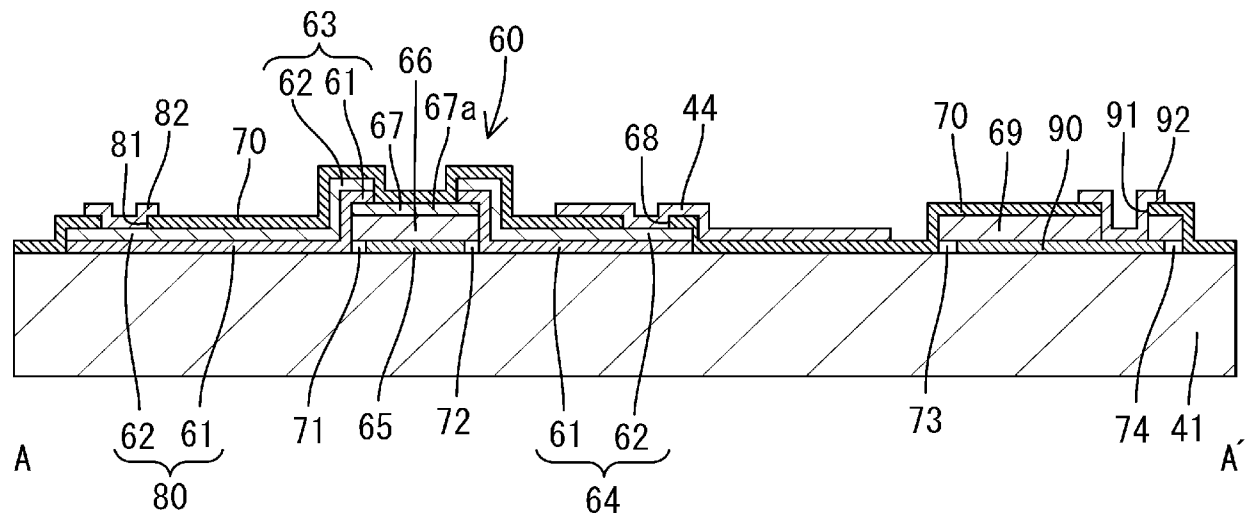
[図3]



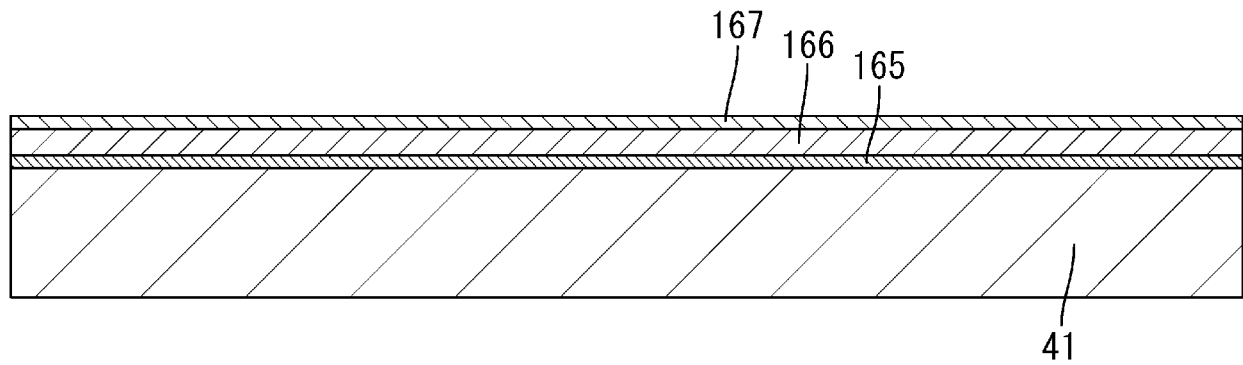
[図4]



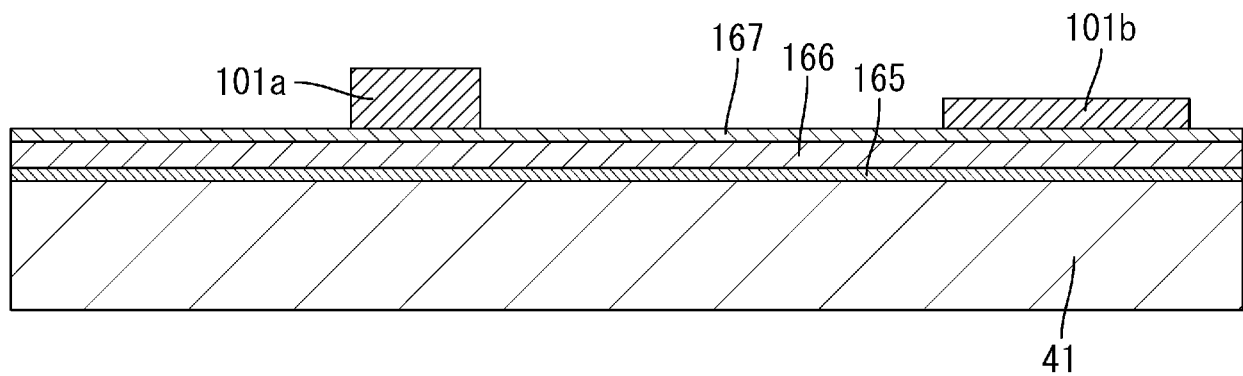
[図5]



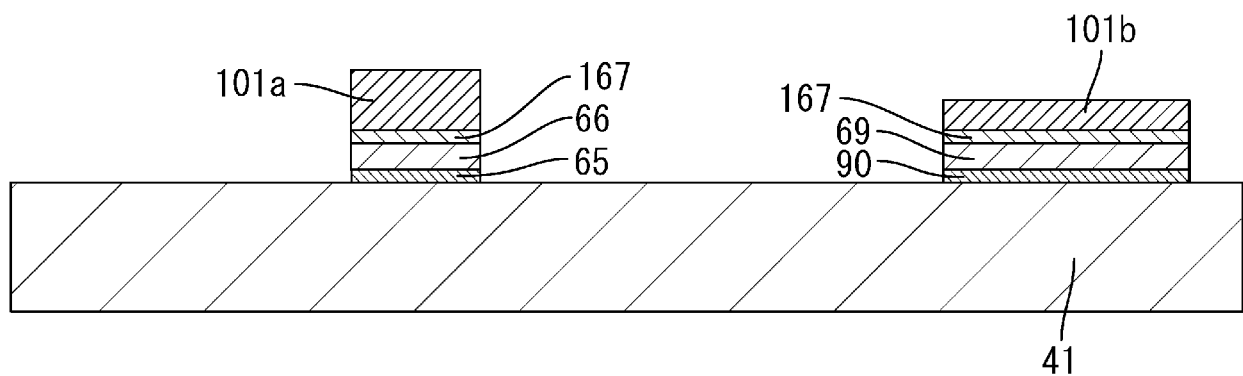
[図6]



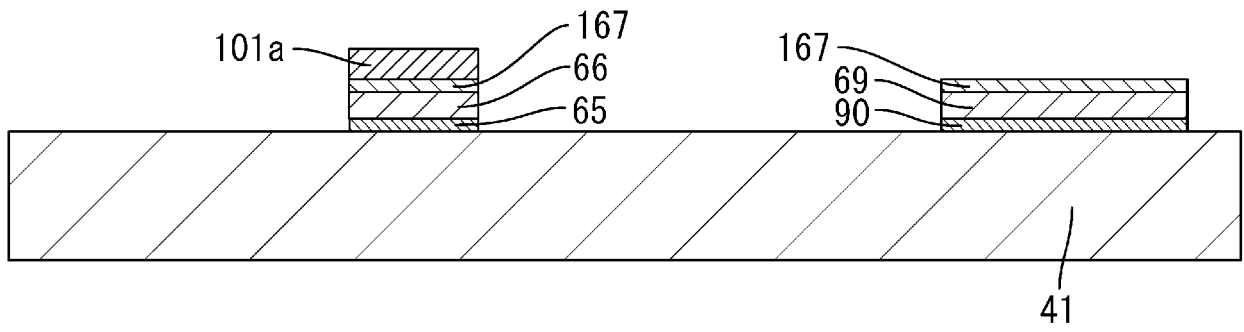
[図7]



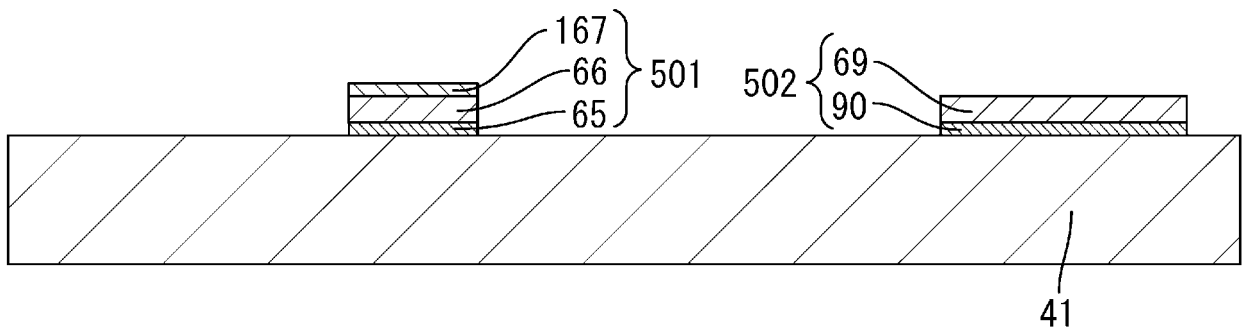
[図8]



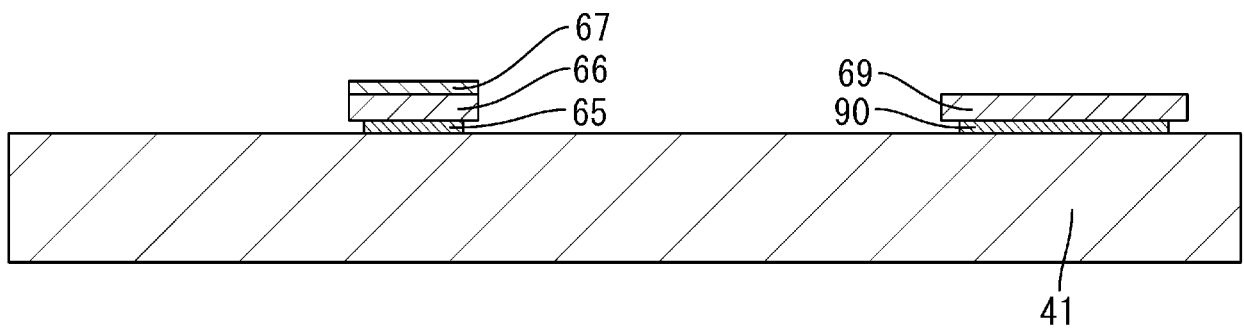
[図9]



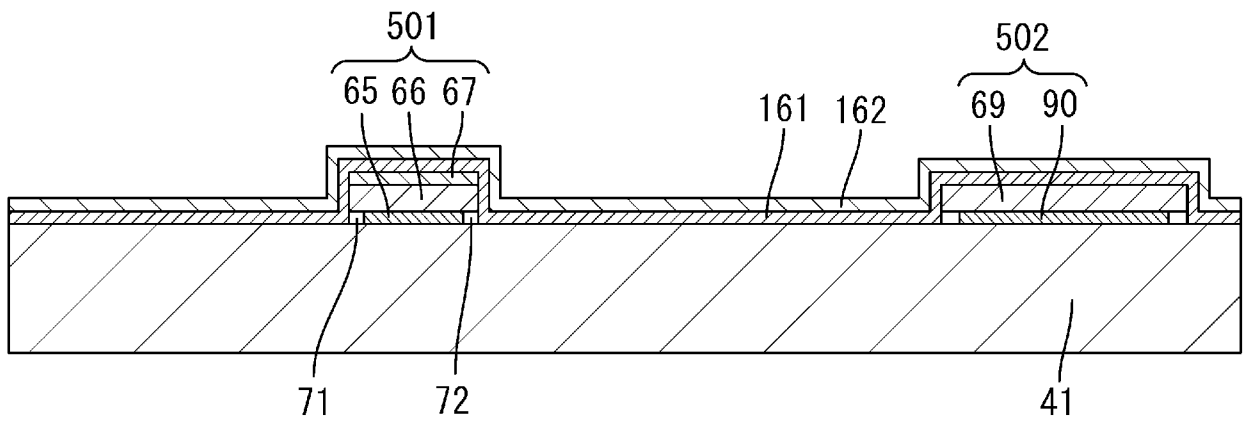
[図10]



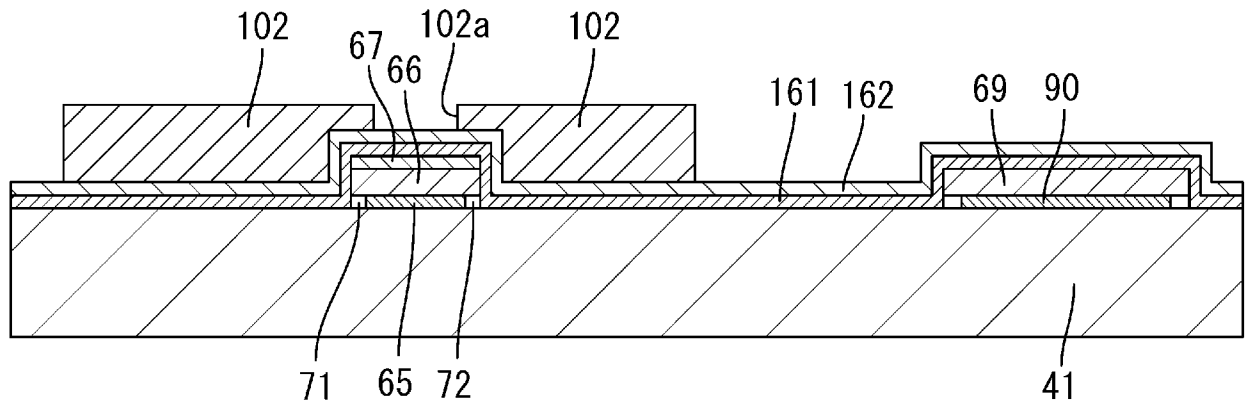
[図11]



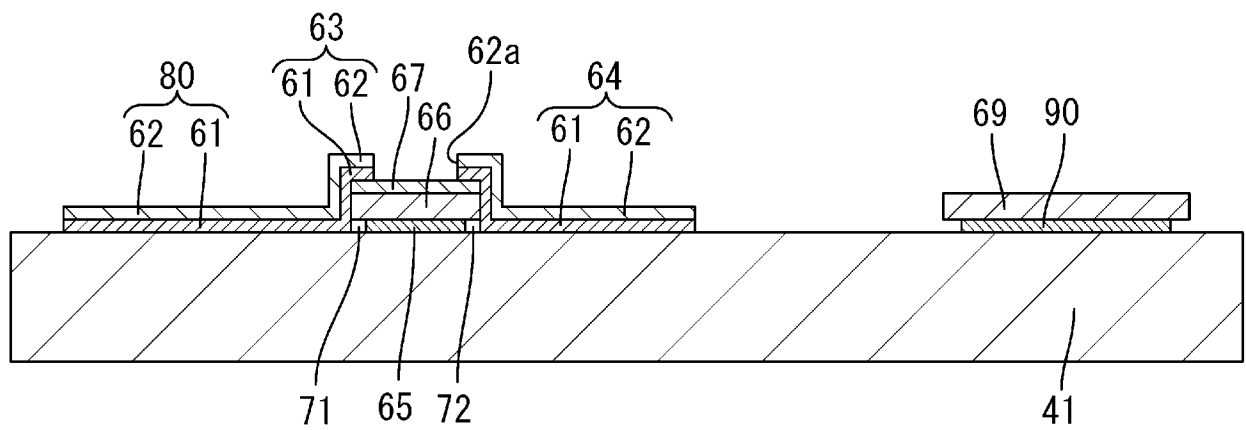
[図12]



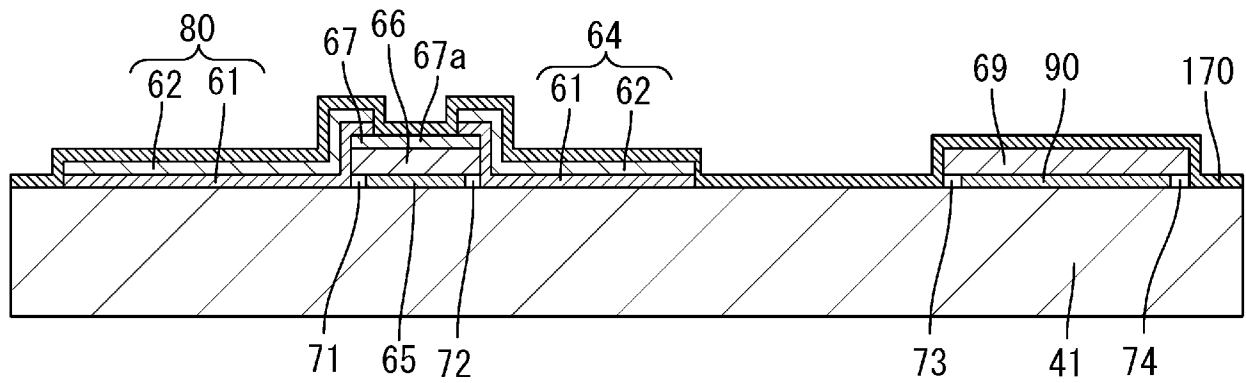
[図13]



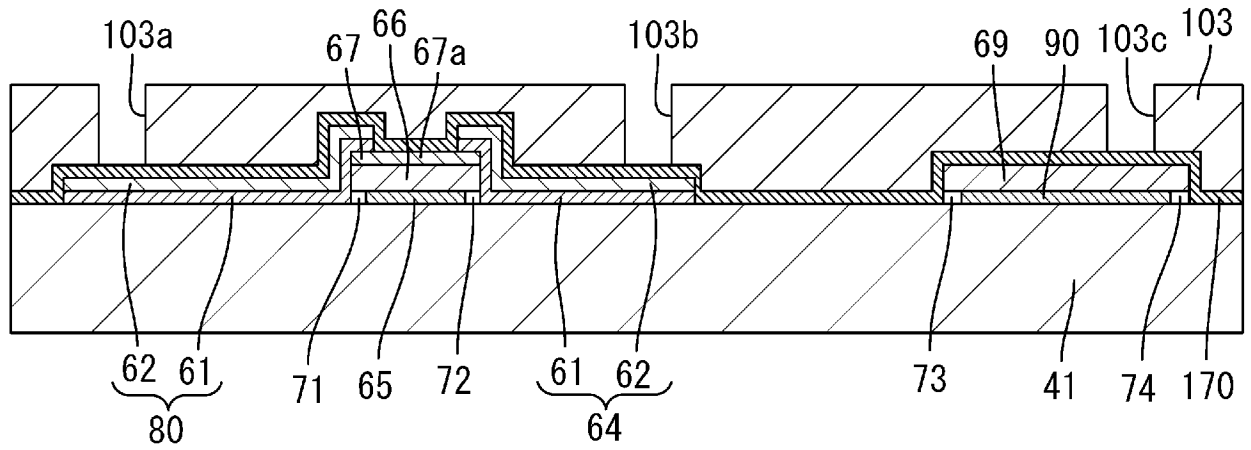
[図14]



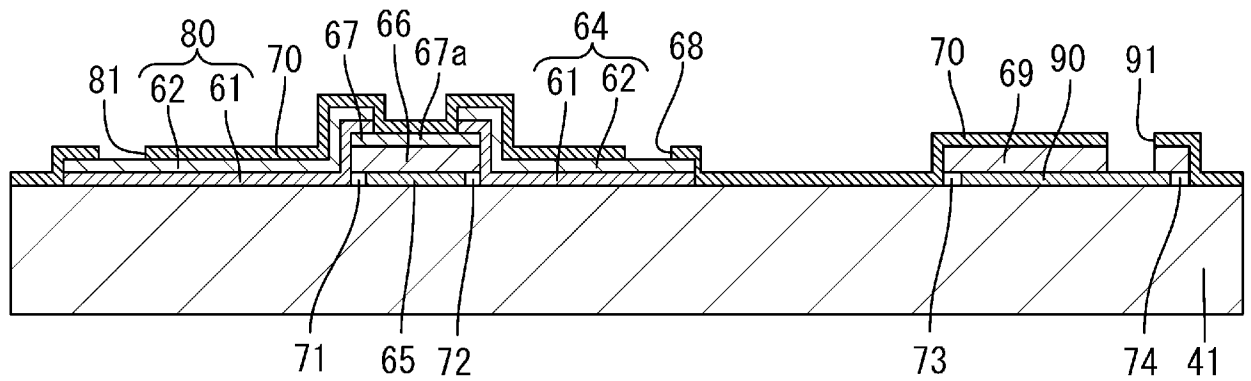
[図15]



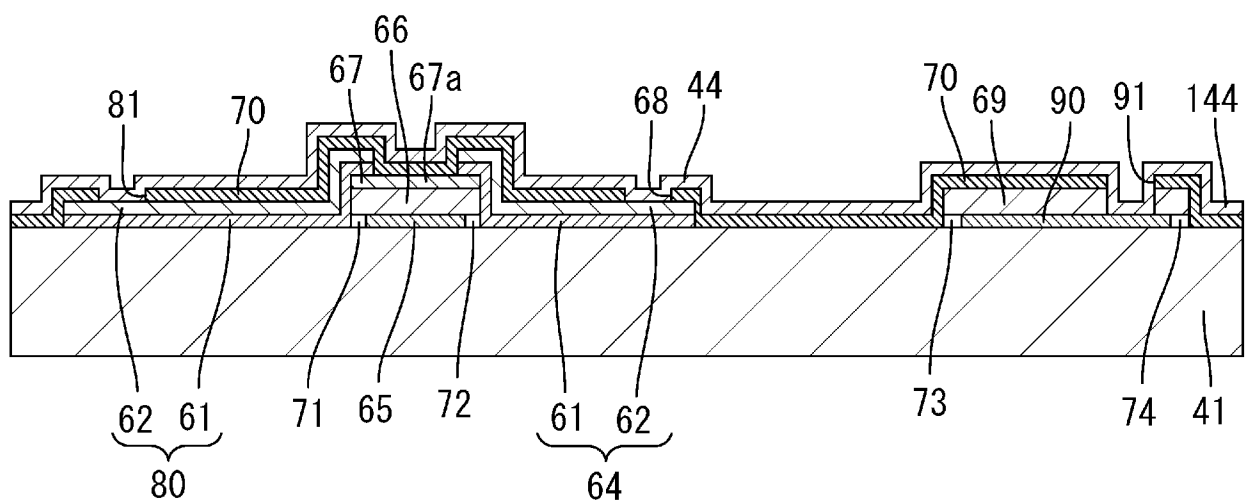
[図16]



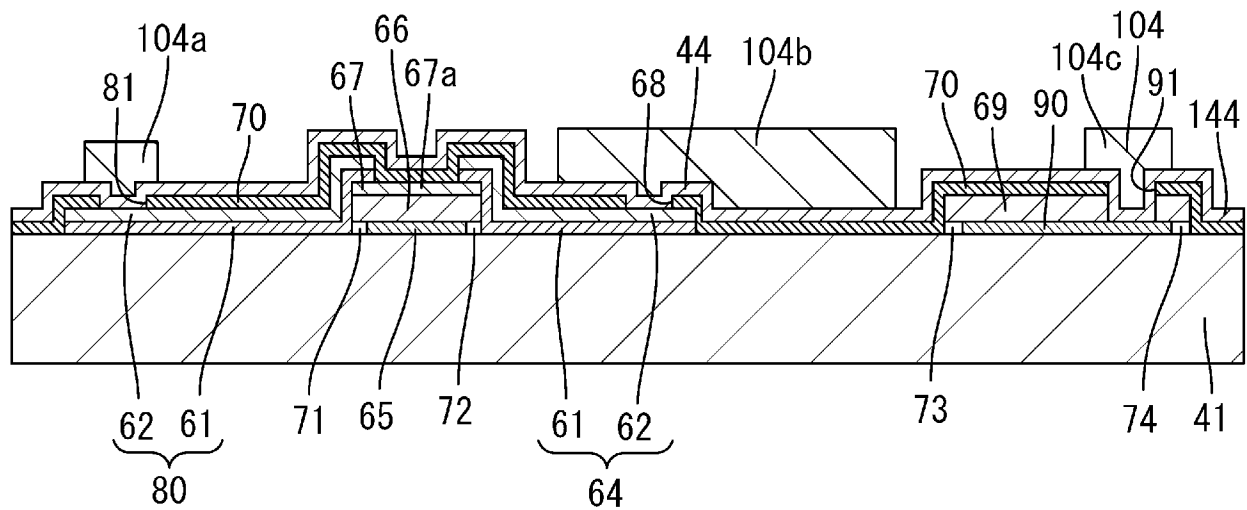
[図17]



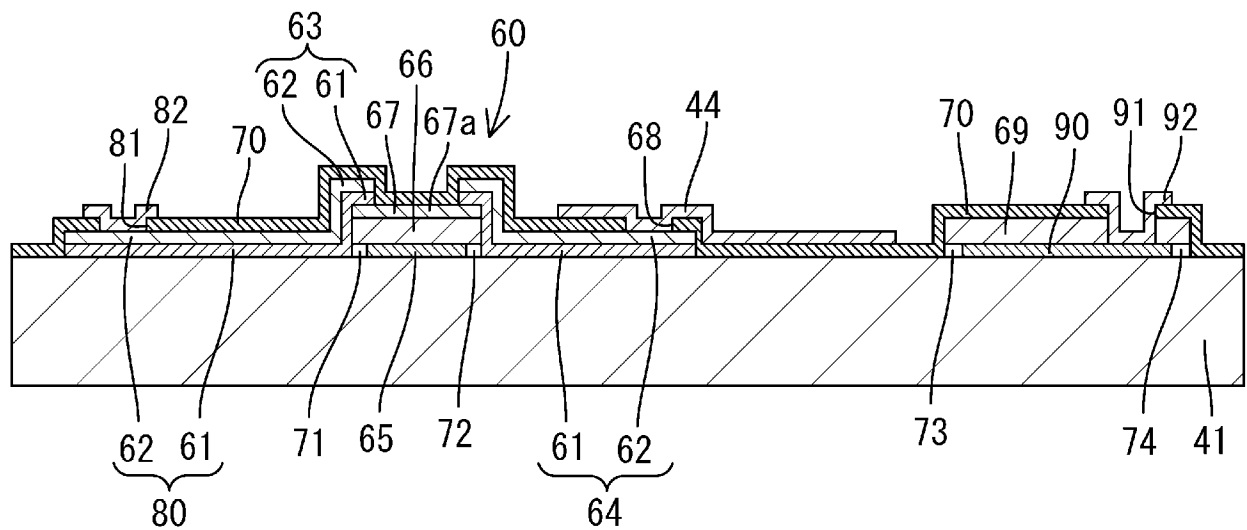
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/068472

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01) i, G02F1/1368(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, G02F1/1368, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 04-188770 A (Casio Computer Co., Ltd.), 07 July, 1992 (07.07.92), Fig. 3 (Family: none)	1, 4
A	JP 03-161938 A (Seiko Instruments Inc.), 11 July, 1991 (11.07.91), Full text (Family: none)	1-9
A	JP 61-185724 A (Sharp Corp.), 19 August, 1986 (19.08.86), Full text & US 4684435 A & GB 2172745 A & DE 3604368 A1	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 October, 2007 (11.10.07)	Date of mailing of the international search report 23 October, 2007 (23.10.07)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/786, G02F1/1368, H01L21/336			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 04-188770 A (カシオ計算機株式会社) 1992.07.07, 第3図 (ファミリーなし)	1, 4	
A	JP 03-161938 A (セイコー電子工業株式会社) 1991.07.11, 全文 (ファミリーなし)	1-9	
A	JP 61-185724 A (シャープ株式会社) 1986.08.19, 全文 & US 4684435 A & GB 2172745 A & DE 3604368 A1	1-9	
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 11.10.2007		国際調査報告の発送日 23.10.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 河本 充雄	4M 9056
		電話番号 03-3581-1101	内線 3462