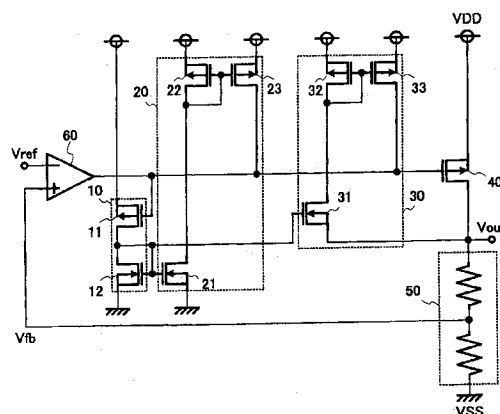




(45) 授权公告日 2014.04.09



1. 一种电压调节器, 其从输出端子输出恒定的输出电压, 该电压调节器的特征在于, 具有:

放大器, 其对基准电压与基于上述输出电压的电压进行比较, 对输出晶体管的栅电压进行控制, 使得上述输出电压恒定;

上述输出晶体管, 其根据上述放大器的输出信号以及电源电压而输出上述输出电压;

检测晶体管, 其与上述输出晶体管以电流镜方式连接, 检测上述输出晶体管的输出电流;

第一控制电路, 其具有与第一晶体管以电流镜方式连接的第二晶体管, 在上述第一晶体管中流有流过上述检测晶体管的电流, 当上述输出电流达到最大输出电流时, 该第一控制电路以如下方式工作: 根据流过上述第二晶体管的电流而使上述输出晶体管向截止变化; 以及

第二控制电路, 其具有与上述第一晶体管以电流镜方式连接的第五晶体管, 当上述输出电流达到上述最大输出电流且上述输出电压变为规定电压以下时, 该第二控制电路以如下方式工作: 根据流过上述第五晶体管的电流而使上述输出晶体管进一步截止, 使得上述输出电流成为短路时输出电流。

2. 根据权利要求 1 所述的电压调节器, 其特征在于,

上述第一控制电路具有:

上述第二晶体管, 其源极与接地端子连接;

第三晶体管, 其设置在电源端子与上述第二晶体管之间, 且采用正向二极管连接方式; 以及

第四晶体管, 其与上述第三晶体管以电流镜方式连接,

上述第二控制电路具有:

上述第五晶体管, 其源极与上述输出端子连接;

第六晶体管, 其设置在上述电源端子与上述第五晶体管之间, 且采用正向二极管连接方式; 以及

第七晶体管, 其与上述第六晶体管以电流镜方式连接。

3. 根据权利要求 1 所述的电压调节器, 其特征在于,

上述第一控制电路具有:

上述第二晶体管, 其源极与接地端子连接;

第三晶体管, 其源极与电源端子连接, 漏极与上述第二晶体管的漏极连接, 其栅极被施加了使其工作在线性区的电压; 以及

第四晶体管, 其栅极与上述第三晶体管的漏极连接, 源极与上述电源端子连接, 漏极与上述放大器的输出端子连接,

上述第二控制电路具有:

上述第五晶体管, 其源极与上述输出端子连接;

第六晶体管, 其源极与上述电源端子连接, 漏极与上述第五晶体管的漏极连接; 以及

第七晶体管, 其与上述第六晶体管以电流镜方式连接, 源极与上述电源端子连接, 漏极与上述放大器的输出端子连接。

4. 根据权利要求 3 所述的电压调节器, 其特征在于,

上述第一控制电路具有：

偏置电流源；以及

第八晶体管，其设置在电源端子与上述偏置电流源之间，且采用正向二极管连接方式，并与所述第三晶体管以电流镜方式连接。

5. 一种电压调节器，其从输出端子输出恒定的输出电压，该电压调节器的特征在于，具有：

放大器，其对基准电压与基于上述输出电压的电压进行比较，对输出晶体管的栅电压进行控制，使得上述输出电压恒定；

上述输出晶体管，其根据上述放大器的输出信号以及电源电压而输出上述输出电压；

检测晶体管，其与上述输出晶体管以电流镜方式连接，检测上述输出晶体管的输出电流；

第二晶体管，其与第一晶体管以电流镜方式连接，在该第一晶体管中流有流过上述检测晶体管的电流；以及

第一控制电路，其具有与上述第一晶体管以电流镜方式连接的第五晶体管，当上述输出电流达到最大输出电流时，该第一控制电路以如下方式工作：根据流过上述第二晶体管的电流而使上述输出晶体管向截止变化，当上述输出电流达到上述最大输出电流且上述输出电压变为规定电压以下时，该第一控制电路以如下方式工作：根据流过上述第五晶体管的电流而使上述输出晶体管进一步截止，使得上述输出电流成为短路时输出电流。

6. 根据权利要求 5 所述的电压调节器，其特征在于，

上述第一晶体管采用阈值低的晶体管。

7. 根据权利要求 5 或 6 所述的电压调节器，其特征在于，

在接地端子与上述第二晶体管之间，具有采用了正向二极管连接方式的第十晶体管。

电压调节器

技术领域

[0001] 本发明涉及具有过电流保护电路的电压调节器。

背景技术

[0002] 对现有的电压调节器进行说明。图 3 是示出现有的电压调节器的图。

[0003] 当输出电压 V_{out} 高于规定电压时,即,当分压电路 91 的分压电压 V_{fb} 高于基准电压 V_{ref} 时,放大器 92 的输出信号(输出晶体管 84 的栅电压)变高,输出晶体管 84 向截止变化,输出电压 V_{out} 变低。而当输出电压 V_{out} 低于规定电压时,与上述相反,输出电压 V_{out} 变高。即,输出电压 V_{out} 恒定。

[0004] 这里假设电压调节器的输出端子与接地端子发生短路。于是,输出电流 I_{out} 变大而成为最大输出电流 I_m 。与该最大输出电流 I_m 相应,流过与输出晶体管 84 以电流镜方式连接的检测晶体管 83 的电流变多,此时,PMOS 晶体管 82 导通,电阻 87 上产生的电压变高,NMOS 晶体管 85 导通,在电阻 86 上产生的电压变高,PMOS 晶体管 81 导通,输出晶体管 84 的栅/源间电压变低,输出晶体管 84 向截止变化。由此,输出电流 I_{out} 不会变得比最大输出电流 I_m 更大,而是被固定在最大输出电流 I_m ,输出电压 V_{out} 变低。这里,仅仅利用电阻 87 上产生的电压而使得输出晶体管 84 的栅/源间电压变低,输出晶体管 84 向截止变化,输出电流 I_{out} 被固定在最大输出电流 I_m ,因此,最大输出电流 I_m 仅由电阻 87 的电阻值决定。

[0005] 当由于输出电压 V_{out} 变低而使得 PMOS 晶体管 82 的栅/源间电压低于阈值电压的绝对值 V_{tp} 时,PMOS 晶体管 82 截止。然后,不仅仅是电阻 87,在电阻 87 及 88 双方上产生的电压均变高,NMOS 晶体管 85 进一步导通,在电阻 86 上产生的电压进一步变高,PMOS 晶体管 81 进一步导通,输出晶体管 84 的栅/源间电压进一步变低,输出晶体管 84 进一步截止。由此,输出电流 I_{out} 减少而成为短路时输出电流 I_s 。然后,输出电压 V_{out} 变低而达到 0 伏。这里是利用电阻 87 及 88 双方产生的电压而使得输出晶体管 84 的栅/源间电压变低,输出晶体管 84 截止,输出电流 I_{out} 变为短路输出电流 I_s ,所以短路时输出电流 I_s 由电阻 87 及 88 双方的电阻值决定(例如参照专利文献 1。)。

[0006] 【专利文献 1】日本特开 2003 - 216252 号公报(图 5)

[0007] 但是,在现有技术中,在希望相对于输出电流 I_{out} 准确地设定最大输出电流 I_m 以及短路输出电流 I_s 的情况下,由于最大输出电流 I_m 以及短路时输出电流 I_s 由电阻 87 及 88 双方的电阻值决定,因此需要电阻 87 及 88 双方的电阻值的微调工序。因此相应地,电压调节器的制造工序变得复杂。

发明内容

[0008] 本发明鉴于上述课题而提供一种能够容易、准确地设定最大输出电流以及短路时输出电流的电压调节器。

[0009] 本发明为了解决上述课题而提供一种具有过电流保护电路的电压调节器,该电压调节器的特征在于,作为决定过电流保护电路的最大输出电流 I_m 以及短路时输出电流 I_s

的电流值的电路,具有如下的电路:该电路使用镜像出与输出电流对应的电流的电流镜电路,从而用电流进行控制。

[0010] 本发明的具有过电流保护电路的电压调节器通过设置镜像出与输出电流相应的电流的电流镜电路来决定最大输出电流 I_m 以及短路时输出电流 I_s 的电流值,因此,能够相对于输出电流,准确地设定最大输出电流 I_m 以及短路时输出电流 I_s 。

附图说明

- [0011] 图 1 是示出第一实施方式的电压调节器的电路图。
- [0012] 图 2 是示出电压调节器的输出电压输出电流特性的图。
- [0013] 图 3 是示出现有的电压调节器的电路图。
- [0014] 图 4 是示出第二实施方式的电压调节器的电路图。
- [0015] 图 5 是示出第三实施方式的电压调节器的电路图。
- [0016] 图 6 是示出第四实施方式的电压调节器的电路图。
- [0017] 图 7 是示出第三实施方式的电压调节器的输出电压输出电流特性的图。
- [0018] 符号说明
- | | | |
|--------|-------|-------|
| [0019] | 10 | 检测电路 |
| [0020] | 20、30 | 控制电路 |
| [0021] | 40 | 输出晶体管 |
| [0022] | 50 | 分压电路 |
| [0023] | 60 | 放大器 |
| [0024] | 403 | 偏置电流源 |
| [0025] | 501NL | 晶体管 |

具体实施方式

- [0026] 下面,参照附图来说明本发明的实施方式。
- [0027] 首先对电压调节器的结构进行说明。
- [0028] < 第一实施方式 >
- [0029] 图 1 是示出第一实施方式的电压调节器的电路图。
- [0030] 第一实施方式的电压调节器具有检测电路 10、控制电路 20、控制电路 30、输出晶体管 40、分压电路 50 以及放大器 60。
- [0031] 检测电路 10 具有检测晶体管 11 和 NMOS 晶体管 12。控制电路 20 具有 PMOS 晶体管 22、23 和 NMOS 晶体管 21。控制电路 30 具有 PMOS 晶体管 32、33 和 NMOS 晶体管 31。
- [0032] 放大器 60 的非反相输入端子与分压电路 50 的输出端子连接,反相输入端子与基准电压输入端子连接,输出端子与检测电路 10 的输入端子、控制电路 20 的输出端子、控制电路 30 的输出端子以及输出晶体管 40 的栅极连接。输出晶体管 40 的源极以及背栅与电源端子连接,漏极与电压调节器的输出端子连接。分压电路 50 被设置在电压调节器的输出端子与接地端子之间。
- [0033] 检测晶体管 11 的栅极与放大器 60 的输出端子连接,源极以及背栅与电源端子连接。NMOS 晶体管 12 的栅极与其漏极、NMOS 晶体管 21 的栅极、NMOS 晶体管 31 的栅极以及

检测晶体管 11 的漏极连接,源极以及背栅与接地端子连接。PMOS 晶体管 22 的栅极与其漏极、PMOS 晶体管 23 的栅极以及 NMOS 晶体管 21 的漏极连接,源极以及背栅与电源端子连接。PMOS 晶体管 23 的源极以及背栅与电源端子连接,漏极与放大器 60 的输出端子连接。NMOS 晶体管 21 的源极以及背栅与接地端子连接。PMOS 晶体管 32 的栅极与其漏极、PMOS 晶体管 33 的栅极以及 NMOS 晶体管 31 的漏极连接,源极以及背栅与电源端子连接。PMOS 晶体管 33 的源极以及背栅与电源端子连接,漏极与放大器 60 的输出端子连接。NMOS 晶体管 31 的源极以及背栅与电压调节器的输出端子连接。

[0034] PMOS 晶体管 22 与 PMOS 晶体管 23 以电流镜方式连接。PMOS 晶体管 32 与 PMOS 晶体管 33 以电流镜方式连接。输出晶体管 40 与检测晶体管 11 以电流镜方式连接。NMOS 晶体管 12、NMOS 晶体管 21 以及 NMOS 晶体管 31 以电流镜方式连接,其中,在 NMOS 晶体管 12 中流有流过检测晶体管 11 的电流。

[0035] 分压电路 50 对输出电压 V_{out} 进行分压,并输出分压电压 V_{fb} 。放大器 60 对基准电压 V_{ref} 与分压电压 V_{fb} 进行比较,对输出晶体管 40 的栅电压进行控制,以使输出电压 V_{out} 恒定。输出晶体管 40 根据放大器 60 的输出信号以及电源电压 V_{DD} 而输出输出电压 V_{out} 。检测电路 10 通过检测晶体管 11 来检测输出晶体管 40 的输出电流 I_{out} 。当输出电流 I_{out} 达到最大输出电流 I_m 时,控制电路 20 以这样的方式工作:根据流过 NMOS 晶体管 21 的电流而使输出晶体管 40 向截止变化。当输出电流 I_{out} 达到最大输出电流 I_m 且输出电压 V_{out} 变为规定电压 V_a 以下时,控制电路 30 以如下方式工作,即:根据流过 NMOS 晶体管 31 的电流而使输出晶体管 40 进一步截止,以使输出电流 I_{out} 变为短路时输出电流 I_s 。

[0036] 接着,对电压调节器的动作进行说明。图 2 是示出电压调节器的输出电压输出电流特性的图。

[0037] 当输出电压 V_{out} 高于规定电压时,分压电压 V_{fb} 高于基准电压 V_{ref} ,放大器 60 的输出信号(输出晶体管 40 的栅电压)变高,输出晶体管 40 向截止变化,输出电压 V_{out} 变低。而当输出电压 V_{out} 低于规定电压时,进行与上述相反的动作,输出电压 V_{out} 变高。即,输出电压 V_{out} 恒定。

[0038] 这里,当电压调节器的输出端子与接地端子短接时,输出电流 I_{out} 增加。当输出电流 I_{out} 达到最大输出电流 I_m 时,与最大输出电流 I_m 相应地,流过与输出晶体管 40 以电流镜方式连接的检测晶体管 11 的电流增多,流过 NMOS 晶体管 12 的电流也增多。流过与 NMOS 晶体管 12 以电流镜方式连接的 NMOS 晶体管 21 的电流也增多,流过 PMOS 晶体管 22 的电流也增多。与 PMOS 晶体管 22 以电流镜方式连接的 PMOS 晶体管 23 的导通电阻变低,输出晶体管 40 的栅/源间电压变低,输出晶体管 40 向截止变化。由此,流过的输出电流 I_{out} 不会比最大输出电流 I_m 更大,输出电压 V_{out} 变低。这里,由于流过 NMOS 晶体管 21 的电流的作用,输出晶体管 40 的栅/源间电压变低,输出晶体管 40 向截止变化,输出电流 I_{out} 被固定为最大输出电流 I_m ,因此,最大输出电流 I_m 是由流过 NMOS 晶体管 21 的电流决定的。

[0039] 输出电压 V_{out} 变低,并且变为规定电压 V_a 以下。于是,NMOS 晶体管 31 的栅/源间电压变为阈值电压 V_{tn} 以上,NMOS 晶体管 31 导通。于是,流过 PMOS 晶体管 32 的电流增多,与 PMOS 晶体管 32 以电流镜方式连接的 PMOS 晶体管 33 的导通电阻变低,输出晶体管 40 的栅/源间电压进一步变低,输出晶体管 40 进一步截止。由此,输出电流 I_{out} 减少而变为短路时输出电流 I_s 。该短路时输出电流 I_s 由流过 NMOS 晶体管 31 的电流决定。然后,输出

电压 V_{out} 变低而成为 0 伏。这里,由于流过 NMOS 晶体管 31 的电流的作用,输出晶体管 40 的栅 / 源间电压变低,输出晶体管 40 向截止变化,输出电流 I_{out} 变为短路时输出电流 I_s ,因此,短路时输出电流 I_s 是由流过 NMOS 晶体管 31 的电流决定的。

[0040] 这样,由于输出晶体管 40 与检测晶体管 11 以电流镜方式连接,而且在其中流有流过检测晶体管 11 的电流的 NMOS 晶体管 12、NMOS 晶体管 21 以及 NMOS 晶体管 31 以电流镜方式连接,因此,即使消除了电阻的电阻值微调工序等,也能够根据它们的电流镜比,相对于流过输出晶体管 40 的输出电流 I_{out} ,准确地设定流过 NMOS 晶体管 21 以及 NMOS 晶体管 31 的电流。即,由于最大输出电流 I_m 以及短路时输出电流 I_s 分别由流过 NMOS 晶体管 21 以及 NMOS 晶体管 31 的电流决定,因此,能够相对于输出电流 I_{out} ,准确地设定最大输出电流 I_m 以及短路时输出电流 I_s 。

[0041] 另外,由于在控制电路 20 以及控制电路 30 中未设置电阻,因此不需要电阻的电阻值的微调工序。因此,也就不需要该微调工序中使用的熔断器,从而电压调节器的面积变小。

[0042] 此外,虽未图示,但也可以变更为如下这样的电路:PMOS 晶体管 22 和 PMOS 晶体管 23 不采用电流镜连接的方式,而是对 PMOS 晶体管 22 的栅极施加使其工作在线性区的电压。PMOS 晶体管 32 和 PMOS 晶体管 33 也是同样。

[0043] 另外,在图 1 中,NMOS 晶体管 31 的背栅是与电压调节器的输出端子连接,不过,未作图示,NMOS 晶体管 31 的背栅也可以与接地端子连接。这样,NMOS 晶体管 31 不容易导通,与此对应,图 2 的波形需要略作调整。

[0044] < 第二实施方式 >

[0045] 图 4 是第二实施方式的电压调节器的电路图。

[0046] 与图 1 的不同点在于,删除了 PMOS 晶体管 22 而追加了 PMOS 晶体管 401、402 和偏置电流源 403。作为连接方式,偏置电流源 403 的一端与接地端子连接,另一端与 PMOS 晶体管 401 的漏极连接。PMOS 晶体管 401 的栅极以及漏极与 PMOS 晶体管 402 的栅极连接,源极与电源端子连接。PMOS 晶体管 402 的漏极与 PMOS 晶体管 23 的栅极以及 NMOS 晶体管 21 的漏极连接,源极与电源端子连接。

[0047] 接着对第二实施方式的电压调节器的动作进行说明。

[0048] 当输出电压 V_{out} 高于规定电压时,分压电压 V_{fb} 高于基准电压 V_{ref} ,放大器 60 的输出信号(输出晶体管 40 的栅电压)变高,输出晶体管 40 向截止变化,输出电压 V_{out} 变低。而当输出电压 V_{out} 低于规定电压时,进行与上述相反的动作,输出电压 V_{out} 变高。即,输出电压 V_{out} 恒定。

[0049] 当输出电压恒定时,由于偏置电流源 403 的作用,在 PMOS 晶体管 401 中流过电流。PMOS 晶体管 401 与 PMOS 晶体管 402 构成电流镜,因此在 PMOS 晶体管 402 中流过电流,节点 411 成为接近电源电压 V_{DD} 的电压。由于节点 411 为接近电源电压 V_{DD} 的电压,因此 PMOS 晶体管 23 处于截止状态。

[0050] 这里,当电压调节器的输出端子与接地端子短接时,输出电流 I_{out} 增加。当输出电流 I_{out} 达到最大输出电流 I_m 时,与最大输出电流 I_m 相应地,流过与输出晶体管 40 以电流镜方式连接的检测晶体管 11 的电流变多,流过 NMOS 晶体管 12 的电流也变多。于是,流过与 NMOS 晶体管 12 以电流镜方式连接的 NMOS 晶体管 21 的电流也变多。这里,当流过

NMOS 晶体管 21 的电流比流过 PMOS 晶体管 402 的电流多时,节点 411 的电压从接近电源电压 VDD 的电压向接近接地电压 VSS 的电压变化。当节点 411 变为接近接地电压 VSS 的电压时,PMOS 晶体管 23 导通,输出晶体管 40 的栅 / 源间电压变低。这样,输出晶体管 40 向截止变化。

[0051] 输出晶体管 40 与检测晶体管 11 以电流镜方式连接。而且,NMOS 晶体管 12 与 NMOS 晶体管 21 以电流镜方式连接。因此,能够根据它们的电流镜比,相对于输出电流 I_{out} ,以准确的比例来设定流过 NMOS 晶体管 21 的电流。最大输出电流 I_m 由流过 NMOS 晶体管 21 的电流和流过 PMOS 晶体管 402 的电流决定。因此,通过调节这两个电流值,能够容易地调节最大输出电流 I_m 。

[0052] 如上所述,第二实施方式的电压调节器能够根据流过 NMOS 晶体管 21 的电流和流过 PMOS 晶体管 402 的电流,容易地对最大输出电流 I_m 进行设定和调节。

[0053] < 第三实施方式 >

[0054] 图 5 是第三实施方式的电压调节器的电路图。

[0055] 与图 1 的不同点在于,删除了 PMOS 晶体管 32、33 以及 NMOS 晶体管 12 而追加了 NL 晶体管 501。作为连接方式,NL 晶体管 501 的栅极和漏极与 NMOS 晶体管 21 的栅极以及 NMOS 晶体管 31 的栅极连接,源极与接地端子连接。NMOS 晶体管 31 的漏极与 NMOS 晶体管 21 的漏极以及 PMOS 晶体管 22 的漏极和栅极连接,源极与输出端子连接。

[0056] 接着对第三实施方式的电压调节器的动作进行说明。NL 晶体管是指阈值比 NMOS 晶体管低的晶体管。

[0057] 当输出电压 V_{out} 高于规定电压时,分压电压 V_{fb} 高于基准电压 V_{ref} ,放大器 60 的输出信号(输出晶体管 40 的栅电压)变高,输出晶体管 40 向截止变化,输出电压 V_{out} 变低。而当输出电压 V_{out} 低于规定电压时,进行与上述相反的动作,输出电压 V_{out} 变高。即,输出电压 V_{out} 恒定。

[0058] 这里,当电压调节器的输出端子与接地端子短接时,输出电流 I_{out} 增加。当输出电流 I_{out} 达到最大输出电流 I_m 时,与最大输出电流 I_m 相应地,流过与输出晶体管 40 以电流镜方式连接的检测晶体管 11 的电流增多。于是,流过 NL 晶体管 501 的电流增多,流过以电流镜方式连接的 NMOS 晶体管 21 的电流也增多。当在 NMOS 晶体管 21 中有电流流过时,在 PMOS 晶体管 22 中也有电流流过,在以电流镜方式连接的 PMOS 晶体管 23 中也有电流流过。这样,输出晶体管 40 的栅 / 源间电压变低,输出晶体管 40 向截止变化。最大输出电流 I_m 由流过 NMOS 晶体管 21 的电流决定。

[0059] 输出电压 V_{out} 变低而成为规定电压 V_a 以下。于是,NMOS 晶体管 31 的栅 / 源间电压变为阈值电压 V_{tn} 以上, NMOS 晶体管 31 导通。然后,流过 PMOS 晶体管 22 的电流变多,与 PMOS 晶体管 22 以电流镜方式连接的 PMOS 晶体管 23 的导通电阻变低。这样,输出晶体管 40 的栅 / 源间电压进一步变低,输出晶体管 40 进一步截止。当输出晶体管 40 进一步截止时,输出电流 I_{out} 减少,被限制为短路时输出电流 I_s 。该短路时输出电流 I_s 可由流过 NMOS 晶体管 31 的电流来决定。然后,输出电压 V_{out} 进一步变低而变为 0 伏。

[0060] 输出晶体管 40 与检测晶体管 11 以电流镜方式连接。而且, NL 晶体管 501、NMOS 晶体管 21 以及 NMOS 晶体管 31 以电流镜方式连接。因此,能够根据它们的镜像比,相对于输出电流 I_{out} ,以准确的比例对流过 NMOS 晶体管 21 以及 NMOS 晶体管 31 的电流进行设定。

最大输出电流 I_m 以及短路时输出电流 I_s 由流过 NMOS 晶体管 21 以及 NMOS 晶体管 31 的电流决定。因此,能够相对于输出电流 I_{out} ,以准确的比例对最大输出电流 I_m 以及短路输出电流 I_s 进行设定。

[0061] 另外,由于删除了 PMOS 晶体管 32、33,因此能够进一步减小电压调节器的面积。

[0062] NL 晶体管 501 是为了防止在输出电流 I_{out} 达到最大输出电流 I_m 之前输出电压降低而使用的。当输出端子与接地端子短路而使输出电流 I_{out} 上升时,利用检测晶体管 11 来检测电流,输出晶体管 40 截止。此时,即使处于最大输出电流 I_m 以下,检测晶体管 11 也准确地检测出电流,从而使 PMOS 晶体管 23 中流过电流。因此,如图 7 中的虚线所示,在达到最大输出电流 I_m 之前,开始进行使输出晶体管 40 截止的动作,从而导致输出电压降低。为了防止这种情况,通过对 NL 晶体管 501 与 NMOS 晶体管 21 的阈值设置差值来使镜像比发生偏移,使得在最大输出电流 I_m 以下不进行动作。

[0063] 此外,未作图示,NL 晶体管 501 也可以采用 NMOS 晶体管。

[0064] 如上所述,第三实施方式的电压调节器能够根据流过 NMOS 晶体管 21 以及 NMOS 晶体管 31 的电流来对最大输出电流 I_m 以及短路时输出电流 I_s 进行设定和调节。另外,因为减少了晶体管数量,因此能够利用更小的面积来实现。

[0065] < 第四实施方式 >

[0066] 图 6 是第四实施方式的电压调节器的电路图。

[0067] 与图 1 的不同点在于,删除了 PMOS 晶体管 32、33 而追加了 NMOS 晶体管 601。作为连接方式,NMOS 晶体管 601 的栅极以及漏极与 NMOS 晶体管 21 的源极连接,源极与接地端子连接。

[0068] 接着,对第四实施方式的电压调节器的动作进行说明。

[0069] 通过在 NMOS 晶体管 21 的源极追加 NMOS 晶体管 601,能够使 NMOS 晶体管 12 与 NMOS 晶体管 21 之间的镜像比发生偏移。通过使该镜像比偏移,能够防止在最大输出电流 I_m 以下输出电压降低的情况。另外,由于未使用 NL 晶体管,因此能够省略 NL 晶体管用的掩模及工序,能够削减制造成本。

[0070] 另外,未作图示,为了使镜像比进一步偏移,NMOS 晶体管 12 可采用 NL 晶体管。

[0071] 如上所述,第四实施方式的电压调节器能够根据流过 NMOS 晶体管 21 以及 NMOS 晶体管 31 的电流来对最大输出电流 I_m 以及短路时输出电流 I_s 进行设定和调节。另外,由于是在未使用 NL 晶体管的情况下使 NMOS 晶体管 12 与 NMOS 晶体管 21 之间的镜像比偏移,因此能够削减制造成本。

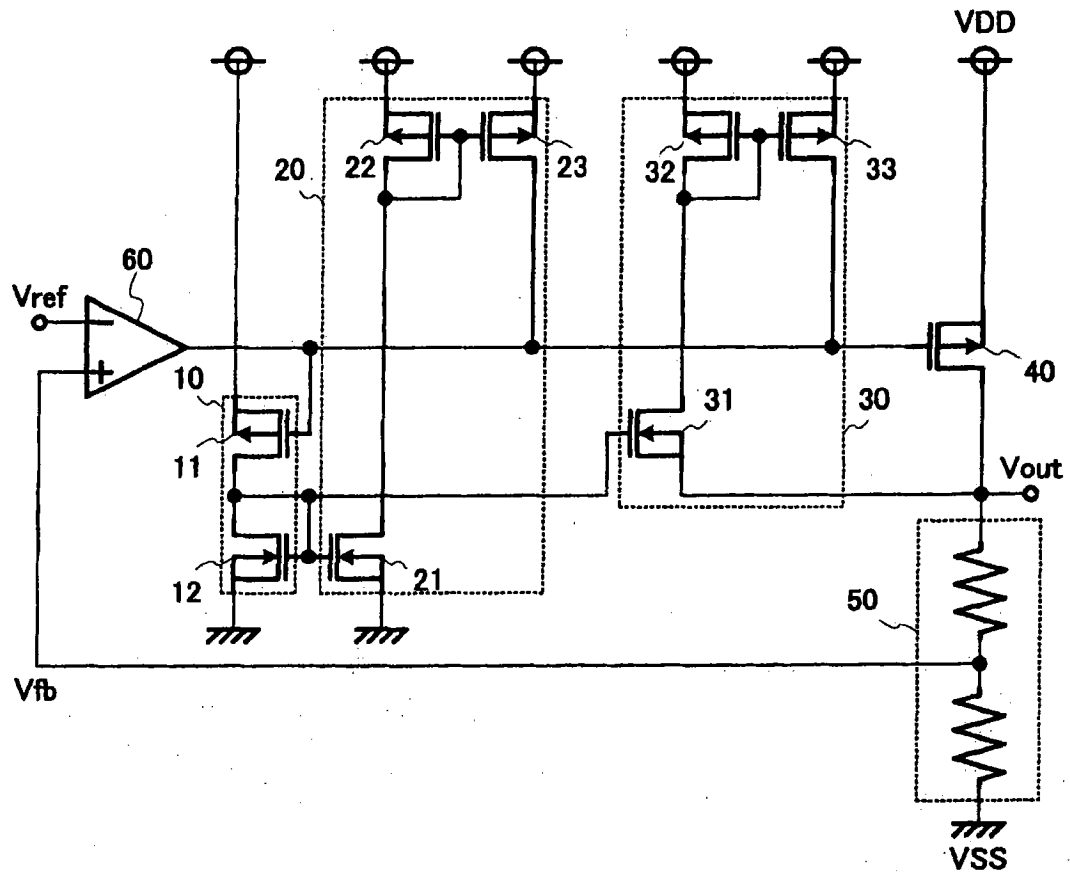


图 1

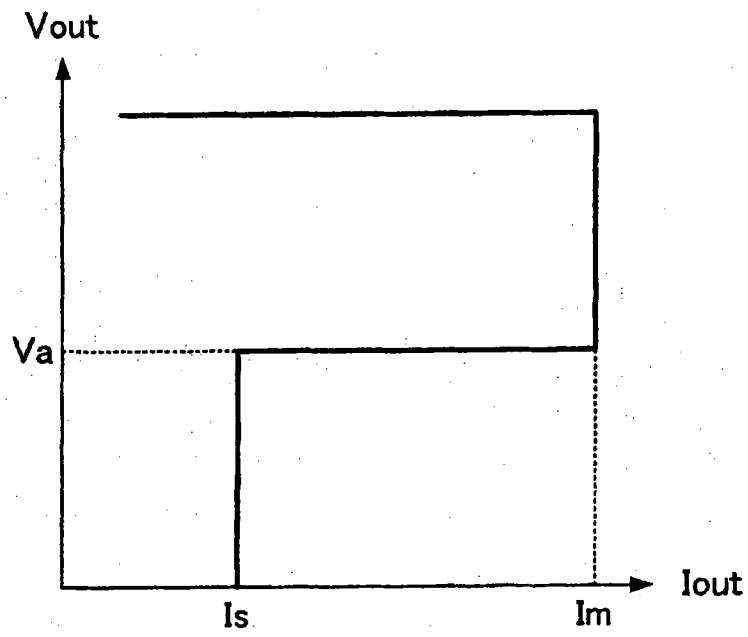


图 2

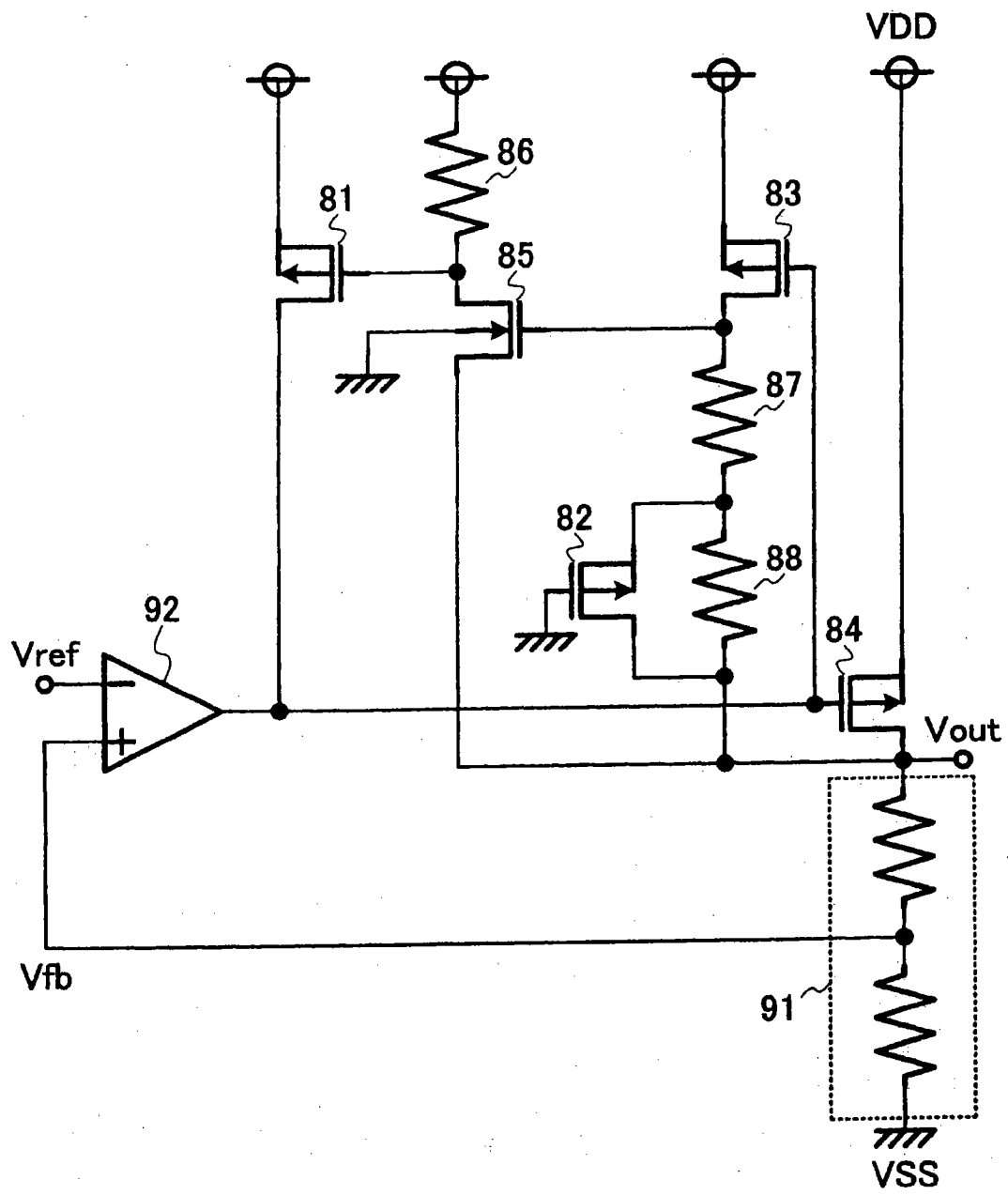


图 3

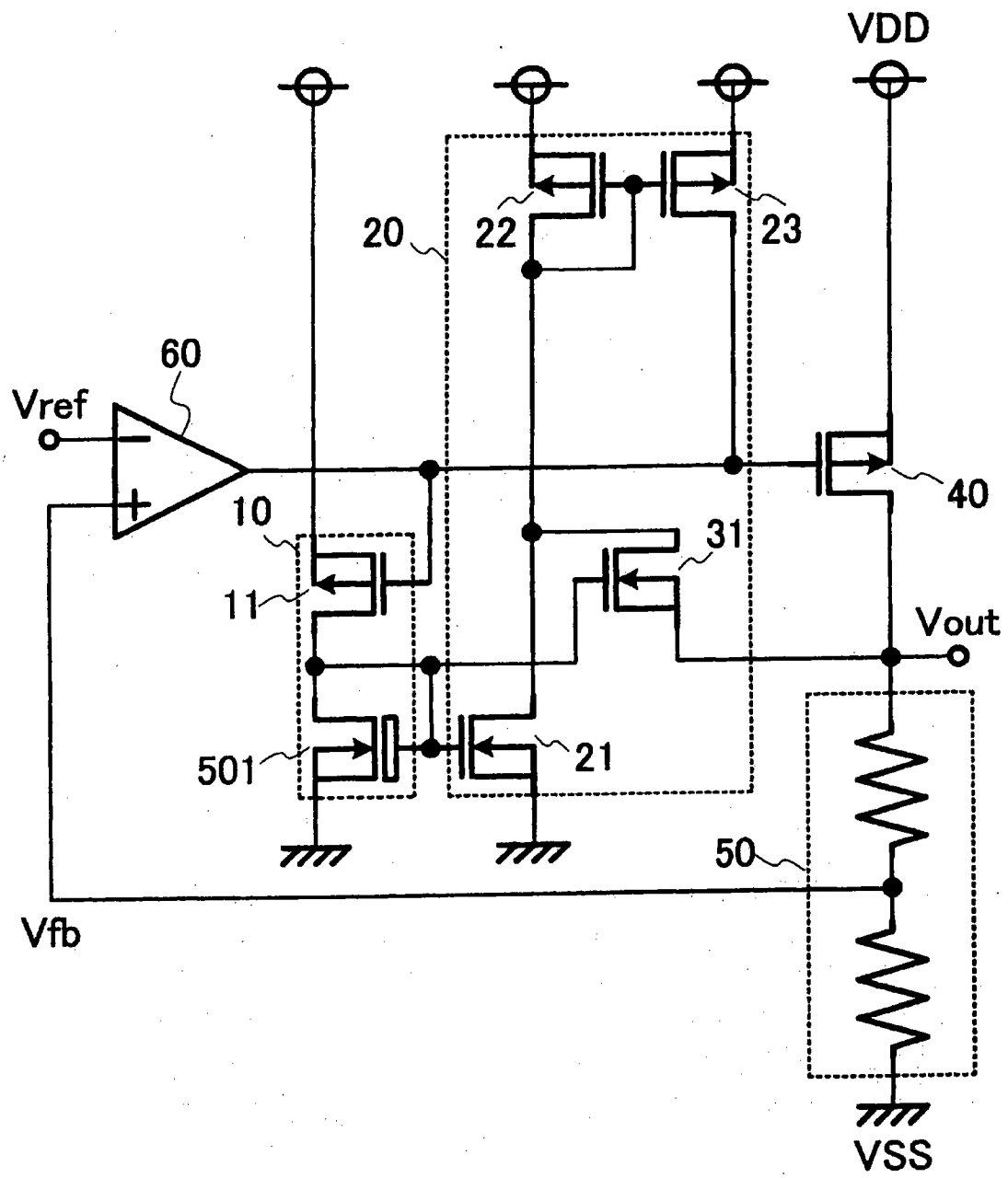


图 5

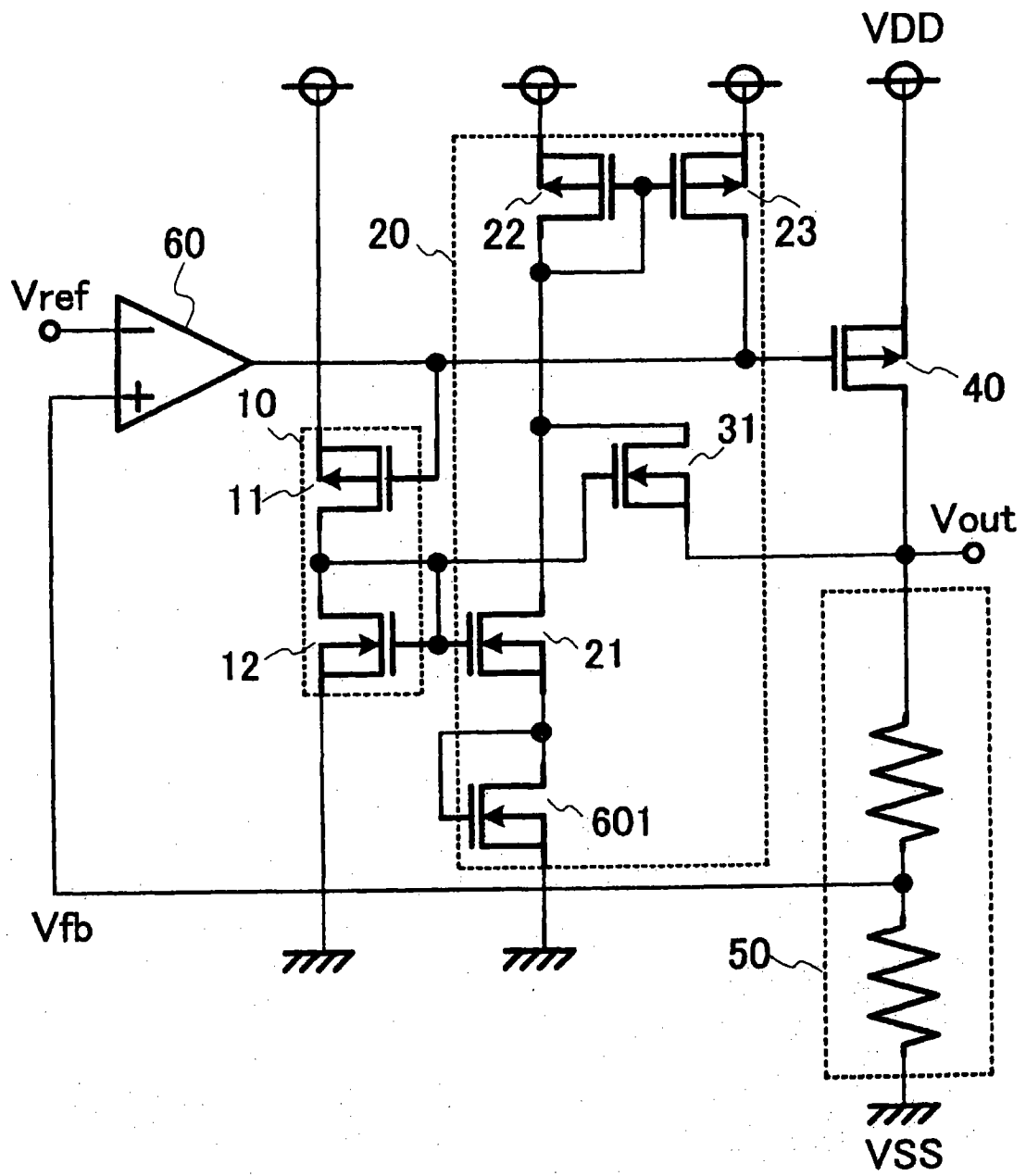


图 6

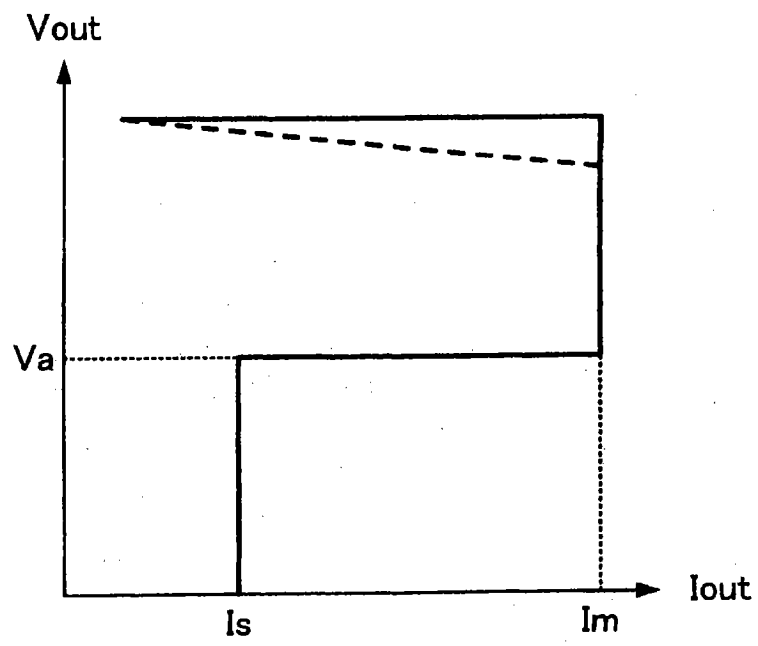


图 7