

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03M 13/27 (2006.01)

H04B 7/04 (2006.01)

H04L 1/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200880004778.2

[43] 公开日 2010年1月13日

[11] 公开号 CN 101627546A

[22] 申请日 2008.2.20

[21] 申请号 200880004778.2

[30] 优先权

[32] 2007.2.20 [33] JP [31] 039391/2007

[86] 国际申请 PCT/JP2008/000280 2008.2.20

[87] 国际公布 WO2008/105147 日 2008.9.4

[85] 进入国家阶段日期 2009.8.12

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 向井裕人 村上丰 小林圣峰

四方英邦 国枝贤德

[74] 专利代理机构 北京市柳沈律师事务所

代理人 郑海涛

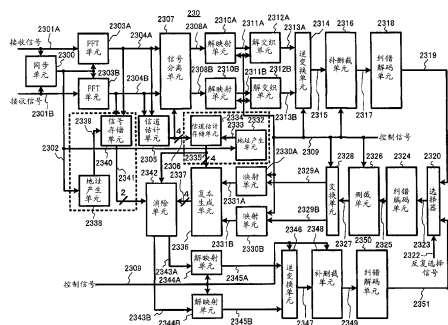
权利要求书 2 页 说明书 31 页 附图 28 页

[54] 发明名称

接收装置和接收方法

[57] 摘要

公开了能够缩短并行干扰消除的处理延迟的接收装置。接收装置(200)包括：多个的接收天线(210A、210B)；地址产生单元(2332)，根据预先规定的重新排列规则，变换信道估计值的写入或读出的顺序；信道估计存储单元(2334)，按照变换后的顺序，写入信道估计值；地址产生单元(2338)，根据重新排列规则，变换数据序列的写入或读出的顺序；信号存储单元(2340)，按照变换后的顺序，写入或读出数据序列；复本生成单元(2336)基于信道估计值，将数据序列再次调制而生成复本信号；消除单元(2342)，依序取出信道估计值和数据序列，使用信道估计值、数据序列以及复本信号，生成数据序列的消除了干扰信号的流信号；以及纠错解码单元(2350)，基于流信号，进行纠错解码。



1、接收装置，包括：

多个接收天线；

第一变换单元，根据预先规定的重新排列规则，变换信道估计信息的写入或读出的顺序；

第一存储单元，按照所述变换后的顺序，写入或读出所述信道估计信息；

第二变换单元，根据所述重新排列规则，变换所述数据序列的写入或读出的顺序；

第二存储单元，按照所述变换后的顺序，写入或读出所述数据序列；

再次调制单元，基于所述信道估计信息，对所述数据序列进行再次调制而生成再次调制数据；

消除单元，按照所述顺序，取出所述第一存储单元中的所述信道估计信息和所述第二存储单元中的所述数据序列，使用所述信道估计信息、所述数据序列以及所述再次调制数据，生成所述数据序列的消除了干扰信号的流信号；以及

纠错解码单元，基于所述流信号，进行纠错解码。

2、如权利要求1所述的接收装置，所述重新排列规则被规定为，在写入时，使所述存储部以纵向方向写入所述数据序列，在读出时，使所述存储部以横向方向读出所述数据序列。

3、如权利要求1所述的接收装置，还包括：

比特交织单元，根据预先规定的、蓄积所述数据序列的四分之一码元后进行交织处理用的交织规则，进行所述数据序列的比特交织处理；以及

比特解交织单元，根据预先规定的、蓄积所述数据序列的四分之一码元后进行解交织处理用的解交织规则，进行所述流信号的比特解交织处理。

4、如权利要求3所述的接收装置，按照各个不同种类的所述数据序列，分类所述重新排列规则。

5、如权利要求3所述的接收装置，所述比特交织单元和所述比特解交织单元根据定时控制信号读出数据。

6、如权利要求4所述的接收装置，

还包括：反复解码解交织单元，根据预先规定的、蓄积所述数据序列后

进行重新排列处理用的反复解码解交织规则，进行所述数据序列的重新排列处理，

所述比特交织单元和所述反复解码解交织单元根据定时控制信号读出数据。

7、接收方法，包括以下步骤：

接收数据序列；

根据预先规定的重新排列规则，变换所述信道估计信息的写入或读出的顺序；

按照所述变换后的顺序，在第一存储单元内写入或读出所述信道估计信息；

根据所述重新排列规则，变换所述数据序列的写入或读出的顺序；

按照所述变换后的顺序，在第二存储单元内写入或读出所述数据序列；

基于所述信道估计信息，对所述数据序列进行再次调制而生成再次调制数据；

按照所述顺序，取出所述第一存储单元中的所述信道估计信息和所述第二存储单元中的所述数据序列，使用所述信道估计信息、所述数据序列以及所述再次调制数据，生成所述数据序列的消除了干扰信号的流信号；以及

基于所述流信号，进行纠错解码。

接收装置和接收方法

技术领域

本发明涉及接收从多个发送天线发送的信号的接收装置和接收方法。

背景技术

在使用多个发送接收天线将数据无线传输的方法中有 MIMO (multiple-input multiple-output: 多进多出) 传输。MIMO 传输为, 从多个发送天线以同一频率, 在同一时刻发送不同的信号, 在接收端通过信号处理来分离在空间被复用的信号, 由此进行接收。作为信号分离方式有并行干扰消除 (例如, 非专利文献 1)。在并行干扰消除中, 首先, 使用将信号分离一次并进行解调所获得的结果, 进行再次调制, 由此生成复本信号。接着, 使用生成的复本信号, 从接收信号中消除干扰信号。然后, 进行再次解调而获得接收数据。这样反复进行再次调制和再次解调, 能够改善接收特性。

以往, 作为在这样的状况下, 缩短 OFDM (Orthogonal Frequency Division Multiplexing: 正交频分复用) 信号的接收延迟的方法有, 将在 OFDM 接收装置的多处存在的数据的重新排列处理汇总为一个处理的方法 (例如, 专利文献 1)。通过交织和解交织来进行将数据重新排列的处理。此时, 通常为了重新排列数据, 需要以某一定量的单位蓄积数据, 从而产生处理延迟。

图 1 表示使用 OFDM 调制的并行干扰消除的主要的接收处理延迟。在图 1 中, 纵轴表示依次对接收数据进行各种处理, 横轴表示经过时间。而且, 图 1 中的长方形表示各种处理结果的数据输出的区间。此时的长方形表示进行 FFT (Fast Fourier Transfer: 快速傅里叶变换) 处理的单位即 1OFDM 码元的数据。

在图 1 中, 首先, 在 FFT 处理延迟之后, 对接收信号 10-0 进行 FFT 处理。然后, 输出 FFT 处理后的数据 10-2。如专利文献 1 所示, 在 FFT 处理中, 需要蓄积 FFT 处理单位的数据, 从而产生处理延迟 10-1。

接着, 对 FFT 处理后的数据进行解交织处理。由于在解交织中, 为了重新排列而需要蓄积数据, 所以在解交织处理延迟 10-3 之后输出解交织后的数

据 10-4。

然后，对解交织后的数据进行纠错解码，在纠错解码处理延迟 10-5 之后输出纠错后的数据 10-6。

接着，在并行干扰消除中，为了消除干扰信号，进行再次调制处理。此时，为了进行再次调制，对纠错后的数据进行交织处理。在交织处理中，输入纠错后的数据，在交织处理延迟 10-7 之后输出交织后的数据 10-8。此时，交织处理和解交织处理同样，暂时蓄积重新排列的数据，从而产生处理延迟 10-7。对交织后的数据通过消除处理来消除干扰，在消除处理延迟 10-9 之后输出消除干扰后的数据 10-10。

通过解交织，对消除了干扰的信号进行重新排列的处理，在解交织处理延迟 10-11 之后，输出解交织后的数据 10-12。通过纠错解码，对解交织后的数据进行纠错解码，在纠错解码处理延迟 10-13 之后输出解码数据 10-14。

非专利文献 1: 柴原孝治 他、「並列干渉キャンセラを用いた誤り訂正符号化 MIMO-SDM の特性」、電子情報通信学会 2004 年総合大会講演論文集 B-5-32、2004 年

专利文献 1: 特开第 2003-60614 号公报

发明内容

本发明需要解决的问题

但是，在专利文献 1 记载的方法中，为了重新排列数据序列，必须以一定量的重新排列单位蓄积数据，从而重新排列处理需要时间。而且，在专利文献 1 记载的方法中，在单载波的情况下或在流之间交织规则不同的情况下，存在难以缩短重新排列处理的时间的问题。

本发明的目的是解决上述情况下的问题，以及提供能够缩短并行干扰消除的处理延迟的接收装置和接收方法。

解决问题的方案

为了解决上述问题，本发明包括：多个接收天线，接收数据序列；第一变换单元，根据预先规定的重新排列规则，变换信道估计信息的写入或读出的顺序；第一存储单元，按照所述变换后的顺序，写入或读出所述信道估计信息；第二变换单元，根据所述重新排列规则，变换所述数据序列的写入或读出的顺序；第二存储单元，按照所述变换后的顺序，写入或读出所述数据

序列；再次调制单元，基于所述信道估计信息，对所述数据序列进行再次调制而生成再次调制数据；消除单元，按照所述顺序，取出所述第一存储单元中的所述信道估计信息和所述第二存储单元中的所述数据序列，使用所述信道估计信息、所述数据序列以及所述再次调制数据，生成所述数据序列的消除了干扰信号的流信号；以及纠错解码单元，基于所述流信号，进行纠错解码。

发明的效果

根据本发明，能够缩短并行干扰消除的处理延迟。

附图说明

图 1 是表示以往例的处理延迟时间的说明图。

图 2 是表示本发明实施方式 1 的无线传输系统的结构例的图。

图 3 是实施方式 1 的发送装置的图。

图 4 是实施方式 1 的编码单元的图。

图 5 是表示一例实施方式 1 的删截 (puncture) 方法的说明图。

图 6 是表示一例实施方式 1 的交织规则的说明图。

图 7 是表示一例实施方式 1 的发送帧格式的图。

图 8 是表示实施方式 1 的接收装置的结构例的图。

图 9 是表示一例实施方式 1 的解交织规则的说明图。

图 10 表示地址生成单元和信道估计存储单元的结构例的图。

图 11 是表示一例地址变换表的图。

图 12 是表示一例实施方式 1 的码元解交织的规则说明图。

图 13 表示地址生成单元和信号存储单元的结构例的图。

图 14 是表示实施方式 1 的解调单元的主要的处理延迟时间的说明图。

图 15 是表示本发明实施方式 2 的接收装置的结构例的图。

图 16 是表示一例实施方式 2 的交织规则的说明图。

图 17 是表示一例实施方式 2 的比特交织规则的说明图。

图 18 是实施方式 2 的处理延迟时间的说明图。

图 19 是表示一例本发明实施方式 3 的交织规则的说明图。

图 20 是表示实施方式 3 的接收装置的结构例的图。

图 21 是表示信道估计存储电路的结构例的图。

图 22 是表示一例实施方式 3 的码元解交织的规则の説明图。

图 23 是表示信号存储电路的结构例的图。

图 24 是表示实施方式 3 的反复解码解交织的一个规则の説明图。

图 25 是表示实施方式 3 的反复解码解交织的另一个规则の説明图。

图 26 是表示实施方式 3 的处理延迟时间的説明图。

图 27 是表示本发明实施方式 4 的接收装置的结构例的图。

图 28 是表示实施方式 4 的比特交织单元的结构例的图。

图 29 是表示本发明实施方式 5 的接收装置的结构例的图。

具体实施方式

下面，参照附图对本发明的实施方式 1 至实施方式 5 进行说明。

(实施方式 1)

图 2 是表示本发明实施方式 1 的无线传输系统的结构例的图。例如，将图 2 的无线传输方式说明为在同一时刻并以同一频率发送不同的数据，在空间复用数据的 MIMO 方式。

在图 2 中，无线传输系统包括：发送装置 100 以及接收装置 200。

另外，发送装置 100 包括：调制单元 110、无线单元 120 以及两个发送天线 130A、130B。另外，接收装置 200 包括：两个接收天线 210A、210B、无线单元 220 以及解调单元 230。

调制单元 110 对发送数据进行基带调制。无线单元 120 对基带调制后的发送数据进行频率变换和放大等处理，并将其输出到各个发送天线 130A、130B。各个发送天线 130A、130B 将无线单元 120 的输出数据向空中发射。

各个接收天线 210A、210B 接收从各个发送天线 130A、130B 发射的数据。无线单元 220 对通过各个接收天线 210A、210B 接收到的数据进行频率变换和放大等处理。另外，解调单元 230 对无线单元 220 的输出数据进行基带解调，变换为解调数据。

这里，假设从各个发送天线 130A、130B 输出的发送信号（发送数据）为 s_1 、 s_2 ，通过各个接收天线 210A、210B 接收的接收信号为 r_1 、 r_2 。而且，假设从发送天线 130A 输出而由接收天线 210A 接收的信号的传播路径响应为 h_{11} ，从发送天线 130B 输出而由接收天线 210A 接收的信号的传播路径响应为 h_{12} 。另外，假设从发送天线 130A 输出而由接收天线 210B 接收的信号的传播

路径响应为 h_{21} ，从发送天线 130B 输出而由接收天线 210B 接收的信号的传播路径响应为 h_{22} 。由式 (1) 表示此时的 MIMO 传输。

$$\begin{pmatrix} r_1 \\ r_2 \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} s_1 \\ s_2 \end{pmatrix} + \begin{pmatrix} n_1 \\ n_2 \end{pmatrix} \quad \dots (1)$$

在式 (1) 中， n_1 、 n_2 表示热噪音。

[发送装置的调制单元的结构]

图 3 是图 2 所示的发送装置 100 的调制单元 110 的结构例的图。在图 3 中，调制单元 110 包括：编码单元 111、删截单元 112、变换 (parser) 单元 113、各个交织单元 114A、114B、各个映射单元 115A、115B 以及各个 iFFT (inverse Fast Fourier Transfer: 快速傅立叶逆变换) 单元 116A、116B。

编码单元 111 输入发送数据，对发送数据进行纠解编码即卷积编码。然后，编码单元 111 输出例如以编码率 1/2 进行了编码的数据。图 4 表示此时的编码单元 111 的结构例。

如图 4 所示，编码单元 111 (卷积编码器) 包括：多个移位寄存器 (τ) 以及 XOR 电路。移位寄存器 (τ) 以 1 比特为单位输入要编码的数据并输出到 XOR (异或) 电路。而且，各个 XOR 电路分别数据输出 XOR 运算结果作为编码数据。另外，由于图 4 的编码单元 111 对 1 比特的输入，输出 2 比特，所以生成编码率 1/2 的卷积码。

返回到图 3，删截单元 112 输入由编码单元 111 进行了编码的数据和控制信号 118，进行以一定的规则削除所输入的数据的删截处理。然后，删截单元 112 输出变更了编码率的数据。但是，在编码率 1/2 的数据传输的情况下，删截单元 112 直接输出来自编码单元 111 的输入数据。控制信号 118 是表示发送分组的数据部分的调制方式和编码率的信号，假设从外部输入该信号。

这里，参照图 5，说明将编码率 1/2 的数据删截为编码率 3/4 时的方法。

此时，首先假设输入数据以 6 比特 (例如，#1 ~ #6) 为一个单位。接着，削除 6 比特中的两比特 (例如 #4、#5)。然后，输出剩余的 4 比特 (例如，顺序为 #1 ~ #3、#6)。通过该输出，删截为编码率 3/4。

另外，删截方法并不限于图 5 的情况，只要是根据一定的规则，删除比特即可。

图 3 的变换单元 113 输入删截后的数据和控制信号 118，根据控制信号

118 选择预先规定的规则，对按照该规则输入的数据进行串/并变换。此时，作为串/并变换的规则的一例有将所输入的数据依序以输出 1、输出 2、输出 1... 的顺序反复输出的方法。

另外，串行或并行变换的规则并不限于上述规则，也可以为将输入比特区分为连续的多个比特，以该单位将输出以输出 1、输出 2、输出 1... 的顺序反复输出的方法。

交织单元 114A 输入由变换单元 113 区分后的一方的数据和控制信号 118，根据控制信号 118，进行将所输入的输入数据的顺序重新排列的处理。然后，交织单元 114A 输出重新排列后的数据。

这里，参照图 6 说明一例 QPSK (Quadrature Phase Shift Keying: 四相移相键控) 调制方式的交织处理。在交织中，将串行输入的数据的 104 比特作为一个单位，在一个单位内进行将比特的顺序重新排列的处理。

例如，图 6 表示长 13 比特×宽 8 比特的存储区域。图中的序号#1、#2、...、#104 表示输出的数据 (比特) 的顺序。在图 6 中，从存储区域左上方起，依序排列#1、#2、...、#104。然后，例如按照副载波 301、302、303、304、305、...、311、...、352 的顺序，读出数据。

于是，从存储区域读出的数据为#1、#2、#27、#28、#53、#54、#79、#80、#3、#4、#29、#30、...、#104 的顺序的数据序列。

通过进行上述交织处理，能够分散由于接收信号时间性地变动的衰落的影响而连续产生的突发差错。因此，在接收装置 200 容易获得纠错的效果，并且提高接收性能。

另外，为在一个码元点上映射多个比特的调制方式 (16QAM、64QAM (Quadrature Amplitude Modulation: 正交振幅调制) 等) 时，重新排列顺序以使映射在同一码元的比特成为连续地输入的比特序列即可。

或者，在 BPSK (Binary Phase Shift Keying: 二相相移键控) 调制方式的情况下，映射到一个码元的比特为一个比特。此时，从长 13 比特×宽 4 比特的存储区域的左上方开始，以朝右的方向写入。另一方面，从上述存储区域的左上方开始，以朝下的方向读出。

图 3 的映射单元 115A 输入交织单元 114A 中的交织后的数据和控制信号 118。根据控制信号选择调制方式，将输入数据映射到由 I 信号和 Q 信号构成的复数平面上。该映射为，以 BPSK、QPSK、16QAM、64QAM 等调制方式

进行，并且输出映射到复数平面上的信号。

iFFT 单元 116A 输入由映射单元 115A 进行了映射的信号。然后，iFFT 单元 116A 通过 iFFT 处理进行 OFDM 调制，并输出 OFDM 调制信号 117A。

另外，交织单元 114B、映射单元 115B 以及 iFFT 单元 116B 也分别进行与交织单元 114A、映射单元 115A 以及 iFFT 单元 116A 同样的处理，iFFT 单元 116B 输出 OFDM 调制信号 117B。

[发送信号的帧格式]

图 7 是表示一例发送信号 s1、s2 的帧格式的图。另外，图 7 中的长方形表示 1OFDM 码元。

发送信号 400 (s1、s2) 包括：前置码 401、发送数据 402 以及导频 403。前置码 401 是用于由接收装置 200 进行同步处理和信道估计等的已知信号。

发送数据 402 是发送信号的实体的数据。导频 403 是用于由接收装置 200 估计发送装置 100 与接收装置 200 之间的频率误差的已知信号。

[发送装置的解调单元的结构]

图 8 是表示图 2 所示的接收装置 200 的解调单元 230 的结构例的图。在图 8 中，解调单元 230 包括：同步单元 2300、各个 FFT 单元 2303A、2303B、信道估计单元 2305、信号分离单元 2307、各个解映射单元 2310A、2310B、各个解交织单元 2312A、2312B、逆变换 (deparser) 单元 2314、补删截单元 2316 以及纠错解码单元 2318。另外，解调单元 230 包括：选择器 2320、纠错编码单元 2324、删截单元 2326、变换 (parser) 单元 2328、各个映射单元 2330A、2330B、地址产生单元 (第一变换单元) 2332、信道估计存储单元 (第一存储单元) 2334、复本生成单元 (再次调制单元) 2336 以及消除单元 2342。

另外，解调单元 230 包括：地址产生单元 (第二变换单元) 2338、信号存储单元 (第二存储单元) 2340、各个解映射单元 2344A、2344B、逆变换单元 2346、补删截单元 2348 以及纠错解码单元 2350。

这样通过包含上述结构要素，解调单元 230 反复进行解调处理。也就是说，接收装置 200 是反复解码方式的接收装置。反复解码方式中，将接收信号进行一次解调后再次调制，生成复本信号。从空间复用的接收信号中减去复本信号。通过该减法运算，消除干扰信号，再次进行解调。另外，也可以反复进行该再次调制和再次解调。

同步单元 2300 输入从无线单元 220 (参照图 2) 输出的基带信号 (接收

信号) 2301A、2301B。然后, 同步单元 2300 进行基带信号的同步处理, 输出定时信号(定时控制信号) 2302。在上述同步处理中, 取附加在发送信号的开头的已知信号与接收信号之间的相关。然后, 在计算出超过预先规定的阈值的相关值时, 生成定时信号(同步信号) 2302。

FFT 单元 2303A 输入基带信号 2301A 和定时信号 2302。然后, FFT 单元 2303A 在输入定时信号 2302 的定时, 对输入的基带信号 2301A 进行 FFT 处理, 输出 OFDM 解调信号 2304A。另外, FFT 单元 2303B 也与 FFT 单元 2303A 进行同样的处理, 输出 OFDM 解调信号 2304B。

信道估计单元 2305 输入各个 OFDM 解调信号 2304A、2304B。然后, 信道估计单元 2305 使用发送信号中的前置码 401 (参照图 7), 分别估计图 2 所示的传播路径响应 h_{11} 、 h_{12} 、 h_{21} 、 h_{22} , 输出信道估计值(信道估计信息) 2306。

信号分离单元 2307 输入各个 OFDM 解调信号 2304A、2304B 和信道估计值 2306。然后, 信号分离单元 2307 使用信道估计值 2306, 进行将空间复用后的 OFDM 解调信号分离为流信号的处理, 输出各个流信号 2308A、2308B。此时, 作为将信号分离为流信号的方法, 有三种: ZF (Zero Forcing: 迫零)、MMSE (Minimum Mean Square Error: 最小均方误差)、MLD (Maximum Likelihood Detection: 最大似然检测)。在本实施方式中, 说明采用例如 ZF 的方法。

这里, 本实施方式的 MIMO 传输如式 (1) 所示。此时, 由式 (2) 表示式 (1) 的传播路径响应矩阵 \mathbf{H} 。于是, 对式 (1) 的两边乘以式 (2) 的 \mathbf{H} 的逆矩阵, 获得变换式 (3)。

$$\mathbf{H} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \quad \dots (2)$$

$$\begin{pmatrix} s'_1 \\ s'_2 \end{pmatrix} = \mathbf{H}^{-1} \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} \quad \dots (3)$$

若求得式 (3) 中的 s'_1 、 s'_2 , 则能够分离空间复用后的信号。

解映射单元 2310A 输入流信号 2308A 和控制信号 2309。然后, 解映射单元 2310A 根据控制信号 2309, 进行 BPSK、QPSK、16QAM 或 64QAM 的解映射处理, 输出似然 2311A。

这里, 控制信号 2309 设定用于表示接收信号的调制方式和编码率等的值。另外, 接收信号的一部分中也可以包含用于表示该接收信号的调制方式和编码率的数据。此时, 假设接收信号所包含的数据为以已知的调制方式和

编码率生成的数据，先对其进行解码。而且，虽然未图示，但是在接收装置设置控制部，所述控制部基于该解码结果，生成控制信号。

这里，说明似然的一例计算方法。计算接收信号点与发送来的候补信号点之间的欧几里德距离。输出该计算出的欧几里德距离最小的距离作为接收信号的似然。

解交织单元 2312A 输入似然 2311A 和控制信号 2309。然后，解交织单元 2312A 进行恢复处理，以将在图 3 所示的交织单元 114A 重新排列了的顺序恢复为原来的顺序，并输出解交织后的数据 2313A。

这里，以 1OFDM 码元的比特数为 104 比特的 QPSK 调制方式的情况为例，参照图 9 说明解交织处理。

在解交织处理中，根据预先规定的规则的顺序，重新排列所输入的比特序列，并将其输出。

在图 9 中，使用长 13 比特×宽 8 比特的存储区域。以副载波单位（副载波 501、502、503、504、505、...、511、...、552 的顺序：图中的纵向方向）将输入比特序列输入，并将其写入存储区域。

另一方面，以比特单位（#1、#2、#3、...、#104 的顺序：图中的横向方向）从存储区域读出输出比特序列，并将其输出。

另外，上面的叙述中使用了长 13 比特×宽 8 比特的存储区域，但并不限于此，只要是输入和输出的数据序列以上述的关系重新排列的区域即可。

另外，图 8 的解映射单元 2310B 和解交织单元 2312B 分别进行与解映射单元 2310A 和解交织单元 2312A 同样的处理，输出数据。

逆变换单元 2314 输入解交织后的各个数据 2313A、2313B 和控制信号 2309。然后，逆变换单元 2314 进行将各个数据 2313A、2313B 变换为串行数据序列的处理，输出逆变换后的数据 2315。逆变换的从并行数据变换为串行数据的规则是与图 3 所示的变换单元 113 中的规则相反的规则。

补删截单元 2316 输入逆变换单元 2314 的输出数据 2315 和控制信号 2309。然后，补删截单元 2316 进行基于控制信号 2309 的补删截处理，输出补删截数据 2317。在补删截中，在根据图 5 所示的规则消除了比特的位置上，插入中性的似然信息，进行恢复处理，以恢复为与删截单元 112 进行删截处理前的数据序列相同的比特数。

纠错解码单元 2318 输入进行了补删截的数据 2317。然后，纠错解码单

元 2318 对数据 2317 进行纠错解码处理，输出 1 次解码数据 2319。纠错解码处理使用例如维特比解码。已知维特比解码是作为卷积码的代表性的解码方法。

而且，纠错解码单元 2318 在对 1 次解码数据 2319 进行解调后，为了进行第二次的信号分离而进行再次调制处理。此后，进行使用再次调制处理后的数据和接收信号消除干扰分量的处理，进行再次解调。以下说明该处理。

选择器 2320 输入 1 次解码数据 2319、反复解码数据 2351 以及反复选择信号 2322。然后，选择器 2320 根据输入的反复选择信号 2322，选择 1 次解码数据 2319 或反复解码数据，输出比特数据 2323。对于反复选择信号 2322，在接收信号的再次调制为第一次时输出解码数据 2319 作为比特数据 2323，第二次以后，输出反复解码数据 2351 作为比特数据 2323。

纠错编码单元 2324 输入比特数据 2323，进行卷积编码，并输出编码后的数据 2325。此时，纠错编码单元 2324 使用图 4 所示的多个移位寄存器 (τ) 和 XOR 电路来进行卷积编码。

删截单元 2326 输入卷积编码后的数据 2325 和控制信号 2309。然后，删截单元 2326 基于控制信号 2309 进行删截处理，输出删截后的数据 2327。根据与图 5 的情况同样的规则进行删截处理。

变换单元 2328 输入删截数据 2327 和控制信号 2309。然后，变换单元 2328 进行将串行输入的删截数据 2327 变换为并行数据的变换处理，输出两种数据序列 2329A、2329B。变换处理是与图 3 的变换单元 113 中的处理相同的处理。

映射单元 2330A 输入变换后的数据序列 2329A 和控制信号 2309，根据控制信号进行 BPSK、QPSK、16QAM、64QAM 调制处理，输出调制信号 2331A。映射单元 2330B 也进行与映射单元 2330A 同样的处理，输出调制信号 2331B。

地址产生单元 2332 输入同步单元 2300 输出的定时信号 2302，生成用于控制信道估计存储单元 2334 的写入地址、读出地址等，并输出生成的控制信号 2333。

信道估计存储单元 2334 输入从信道估计单元 2305 输出的信道估计值 2306 和控制信号 2333。然后，信道估计存储单元 2334 根据控制信号 2333，进行写入或读出信道估计值的处理，输出信道估计值 2335。

这里，参照图 10 详细叙述地址产生单元 2332 和信道估计存储单元 2334

的结构例。

在图 10 中，地址产生单元 2332 具有写入定时生成单元 2332-1 和计数器 2332-3。另外，地址产生单元 2332 具有读出定时生成单元 2332-5、计数器 2332-7 以及地址变换表 2332-9。

写入定时生成单元 2332-1 输入从同步单元 2300 输出的定时信号 2302。然后，写入定时生成单元 2332-1 使用定时信号 2302，在输入到信道估计存储单元 2334 的信道估计值 2306 的定时，生成用于控制计数器 2332-3 的计数控制信号 2332-2。另外，写入定时生成单元 2332-1 输出生成的计数控制信号 2332-2。

在图 10 中，将地址变换表 2332-9 记载在读出端，但也可以仅设置在写出端（计数器 2332-3 的输出端）。

计数器 2332-3 根据所输入的计数控制信号 2332-2，计数出计数值。然后，计数器 2332-3 生成并输出信道估计存储单元 2334 的写入地址 2332-4。

读出定时生成单元 2332-5 输入定时信号 2302。然后，读出定时生成单元 2332-5 基于定时信号 2302，在从信道估计存储单元 2334 读出信道估计值 2306 的定时，生成并输出用于控制计数器 2332-7 的计数控制信号 2332-6。

计数器 2332-7 根据所输入的计数控制信号 2332-6，计数出用于生成从信道估计存储单元 2334 读出信道估计值 2306 的读出地址的计数信号。然后，计数器 2332-7 输出生成的读出计数信号 2332-8。

地址变换表 2332-9 输入读出计数信号 2332-8。然后，地址变换表 2332-9 根据读出计数信号 2332-8，将计数出的输入信号变换为读出地址，并输出读出地址信号 2332-10。另外，地址变换表 2332-9 预先保持用于将输入信号变换为读出地址的表，参照该表，将输入信号变换为读出地址。

例如图 11 所示，地址变换表 2332-9 关联对应地保持输入值和输出值。例如，地址变换表 2332-9 从计数器 2332-7（参照图 10）输入了数值“0”时，将与数值“0”对应的数值“0”读出到信道估计存储单元 2334（参照图 10）。

另外，地址变换表 2332-9 从计数器 2332-7（参照图 10）输入了数值“1”时，将与数值“1”对应的数值“13”读出到信道估计存储单元 2334（参照图 10）。

另外，地址变换表 2332-9 从计数器 2332-7（参照图 10）输入了数值“2”时，将与数值“2”对应的数值“27”读出到信道估计存储单元 2334（参照图 10）。

信道估计存储单元 2334 输入写入地址 2332-4、信道估计值 2306 以及读

出地址信号 2332-10。然后，信道估计存储单元 2334 将信道估计值 2306 写入由写入地址所指定的存储区域。而且，对于信道估计值 2306，信道估计存储单元 2334 读出并输出由读出地址指定的存储区域所存储的信道估计值 2306。使用附加在接收数据帧的开头的已知信号即前置码 401 进行信道估计，并且将该信道估计的结果写入信道估计存储单元 2334。因此，信道估计存储单元 2334 确保 1 码元的区域即可。

通过组合上述各个计数器 2332-3、2332-7、地址变换表 2332-9 以及信道估计存储单元 2334，能够重新排列所输入的数据的顺序并输出。

具体而言，若计数器 2332-3 输入数据，则计数器 2332-3 计数出输入计数，将输入数据写入该输入计数所表示的信道估计存储单元 2334 的地址中。

另外，若计数器 2332-7 输入数据，计数器 2332-7 计数出输出计数，将该输出计数所表示的值输入到地址变换表 2332-9。地址变换表 2332-9 读出与所输入的输入值对应的输出值（参照图 11）。信道估计存储单元 2334 将数据存储到读出的输出值所表示的地址内。

这样，信道估计存储单元 2334 在所读出的地址（存储区域）内写入或读出数据，将输入数据序列重新排列为不同的顺序并输出。此时，通过变更地址变换表中设定的值，能够容易地变更重新排列的顺序。

这里，参照图 12 说明将信道估计值 2306 的数据序列重新排列的规则。

在图 12 中表示了，存储长 13 比特和宽 4 码元的信道估计值的存储区域。

由于是副载波单位的数据，所以按照副载波单位顺序，重新排列信道估计值。在图 12 中，输入比特序列按照副载波 601、602、603、604、605、
...、611、...、652 的顺序被输入，并且按照图 12 的纵向方向被写入规定的存储区域。按照副载波序号#1、#2、#3、...、#52 的顺序，以图 12 的横向方向从存储区域读出输出比特序列，并将其输出。

图 8 中的复本生成单元 2336 基于信道估计值，对数据序列进行再次调制而生成再次调制数据。具体而言，复本生成单元 2336 从信道估计存储单元 2334 读出信道估计值 2335，输入从各个映射单元 2330A、2330B 输出的各个调制信号 2331A、2331B。

然后，复本生成单元 2336 生成由各个接收天线 210A、210B 接收的各个流信号的复本信号 2337，并将其输出。将估计传播路径 h_{11} 、 h_{12} 、 h_{21} 、 h_{22} 所获得的信道估计值 h_{11}' 、 h_{12}' 、 h_{21}' 、 h_{22}' 与再次调制信号 s_1' 、 s_2' 相乘而获得复

本信号 ($h_{11}'s_1'$ 、 $h_{12}'s_2'$ 、 $h_{21}'s_1'$ 、 $h_{22}'s_2'$)。

地址生成单元 2332 输入从同步单元 2300 输出的定时信号 2302。然后，地址生成单元 2332 在输入定时信号 2302 的定时，生成用于控制信号存储单元 2340 的写入地址或读出地址的控制信号 2339，并将其输出。

信号存储单元 2340 输入控制信号 2339 和各个 OFDM 解调信号 2304A、2304B。然后，信号存储单元 2340 在控制信号 2339 指定的地址内写入或读出 OFDM 解调信号 2341。另外，信号存储单元 2340 输出所读出的 OFDM 解调信号 2341。

这里，参照图 13 详细叙述地址产生单元 2338 和信号存储单元 2340 的结构例。而且，对与图 10 相同的部分附加相同的标号，并省略其动作的说明。

在图 13 中，地址产生单元 2338 除了包括写入定时生成单元 2332-1、计数器 2332-3、读出定时生成单元 2332-5、计数器 2332-7 和地址变换表 2332-9 以外（参照图 10），还具有存储单元选择电路 2338-1。

存储单元选择电路 2338-1 输入从同步单元 2300 输出的定时信号 2302。然后，存储单元选择电路 2338-1 生成用于选择写入或读出 OFDM 解调信号的存储单元（2340-1A、2340-1B、2340-1C）的控制信号，并且输出写入存储单元选择信号 2338-2 或读出存储单元选择信号 2338-3。

写入存储单元选择信号 2338-2 是用于进行下述控制的信号，即将所接收的 OFDM 解调信号以每个 OFDM 码元为单位，按照存储单元 2340-1A、2340-1B、2340-1C 的顺序切换地存储到存储单元。读出存储单元选择信号 2338-3 是用于进行下述控制的信号，即，从最先存储的 OFDM 码元开始依序取出要读出的 OFDM 解调信号。

信号存储单元 2340 包括三个存储单元 2340-1A ~ 2340-1C 以及选择器 2340-3。存储单元 2340-1A 输入写入存储单元选择信号 2338-2、读出存储单元选择信号 2338-3、写入地址 2332-4、读出地址信号 2332-10 以及 OFDM 解调信号 2304A、2304B 中的任意信号。然后，存储单元 2340-1A 将 OFDM 信号写入由写入地址 2332-4 指定的存储区域，或者从由读出地址指定的存储区域读出 OFDM 信号。另外，存储单元 2340-1A 将读出的 OFDM 信号 2340-2A 输出。

另外，各个存储单元 2340-1B、2340-1C 也进行与存储单元 2340-1A 同样的处理，分别输出各个 OFDM 信号 2340-2B、2340-2C。

各个存储单元 2340-1A ~ 2340-1C 与在消除单元 2342 中进行消除处理时所需的复本信号 2337 的输入定时匹配地输出 OFDM 解调信号。因此，各个存储单元 2340-1A ~ 2340-1C 在生成复本信号 2337 为止的期间，需要确保用于蓄积所接收的 OFDM 解调信号的存储区域。

另外，在图 13 中，说明了信号存储单元 2340 具有三个存储单元的情况，但也可以变更存储单元的个数。

选择器 2340-3 输入从各个存储单元 2340-1A、2340-1B、2340-1C 读出的各个 OFDM 信号 2340-2A、2340-2B、2340-2C 和读出存储单元选择信号 2338-3。然后，选择器 2340-3 根据读出存储单元选择信号 2338-3，选择来自规定的存储单元（2340-1A、2340-1B、2340-1C）的输出，输出各个 OFDM 解调信号 2341A、2341B（有时也用 2341 表示）。

另外，重新排列 OFDM 解调信号 2341A、2341B 的数据序列的规则与图 12 所示的信道估计值的重新排列的规则相同。

图 8 中的消除单元 2342 输入 OFDM 解调信号 2341、复本信号 2337 以及信道估计值 2335。然后，消除单元 2342 从 OFDM 解调信号 2341 中减去复本信号 2337，取出消除了干扰信号的流信号。另外，消除单元 2342 使用信道估计值 2335，考虑到接收天线间的相位和振幅而进行合成。然后，消除单元 2342 输出消除了干扰信号的各个流信号 2343A、2343B。

解映射单元 2344A 输入流信号 2343A 和控制信号 2309。然后，解映射单元 2344A 以基于控制信号 2309 的调制方式（BPSK、QPSK、16QAM、64QAM 等）进行解映射处理，输出似然 2345A。似然的计算方法与在第一次的解调处理使用的解映射单元 2310A 中的相同。

另外，解映射单元 2344B 也进行与解映射单元 2344A 同样的处理，输出似然 2345B。

逆变换单元 2346 输入各个似然 2345A、2345B 和控制信号 2309，进行与逆变换单元 2314 同样的处理。然后，逆变换单元 2346 输出逆变换后的数据 2347。

补删截单元 2348 输入逆变换后的数据 2347 和控制信号 2309。然后，补删截单元 2348 根据控制信号 2309 进行与补删截单元 2316 同样的补删截处理，输出补删截后的数据 2349。

纠错解码单元 2350 基于上述流信号，进行纠错解码。具体而言，纠错解

码单元 2350 输入补删截后的数据 2349。然后，纠错解码单元 2350 进行与纠错解码单元 2318 同相的纠错解码处理，输出纠错解码后的反复解码数据 2351。

[解调单元的主要的处理延迟时间]

接着，参照图 14 说明图 8 所示的解调单元 230 中的主要的处理延迟时间。

在图 14 中，纵轴表示依序对接收数据进行各种处理，横轴表示经过时间。而且，图 14 中的长方形表示各种处理结果的数据输出的区间。此时的长方形表示进行 FFT 处理的单位即 1OFDM 码元的数据。

根据图 14，对于接收信号 700，由 FFT 单元 2303A、2303B 进行 FFT 处理，将其变换为副载波数据，并输出 FFT 后的数据 702。在 FFT 处理中，需要暂时蓄积 FFT 处理单位（这里设为 1OFDM 码元）的数据。理由是，必须事先备齐 FFT 运算的蝶形处理所需数据。因此，产生数据蓄积所需的 FFT 处理单位的处理延迟时间 701。

而且，在 OFDM 调制中，为了提高对延迟波的抗干扰性，而对发送信号附加保护区间。该保护区间在解调时通过 FFT 处理来删除，所以 FFT 输出 702 的数据数少于接收信号 700。

FFT 处理后的数据 702 在被进行信号分离和解映射后，由解交织单元 2312A 或 2312B 进行解交织。解交织单元 2312A 或 2312B 根据图 6 所示的规则，将交织后的输入数据序列重新排列为原来的数据序列的顺序。在解交织处理中，为了以图 9 所示的规则重新排列数据序列的顺序，必须暂时将数据蓄积在存储区域。因此，从解交织单元 2312A 或 2312B 的输入至输出为止产生处理延迟 703。因此，解交织单元 2312A 或 2312B 在处理延迟 703 之后，输出解交织后的数据 704。

接着，第一个纠错解码单元为了对输入的数据进行解码而需要处理延迟 705，在该处理延迟 705 之后，将输出数据 706 输出。这是维特比解码的特征，一般地为了获得维特比解码结果而需要蓄积一定的通过存储（passmemory）长度的数据。在 AWGN（Additive White Gaussian Noise: 加性高斯白噪声）环境的情况下，如果取得通常卷积编码器的限制长度 5 倍左右的通过存储长度，则能够无性能劣化地进行维特比解码。在图 4 所示的限制长度 7 的卷积编码的情况下，产生处理延迟 705 左右的处理延迟。

接着，消除单元在处理延迟 707 之后，输出消除了干扰的数据 708。由

消除单元产生的处理延迟在从接收信号消除干扰分量的减法运算以及将各个接收天线的干扰消除后的信号进行合成的合成运算处理中发生。

然后,第二个纠错解码单元与第一个纠错解码单元同样,在处理延迟 709 之后输出解码数据 710。

如上所述,通过使用信道估计存储单元 2334 和地址产生单元 2332,在复本生成时能够与映射后的调制信号 2331A、2331B 的数据顺序匹配地重新排列信道估计值 2335 的数据顺序。而且,通过使用对 FFT 单元 2303A、2303B 的输出数据的顺序重新排列的地址产生单元 2332 和信号存储单元 2340,在干扰消除时能够与复本信号 2337 的数据顺序匹配地重新排列 FFT 后的数据 2341 的数据顺序。

由此,不需要用于消除干扰的再次调制处理的交织处理和用于再次解码处理的解交织处理。也就是说,交织处理与解交织处理的关系是通过交织处理重新排列顺序和通过解交织处理将重新排列后的顺序恢复为原来的顺序,所以通过与交织将的信号顺序匹配地重新排列信道估计值 2335 和 FFT 后的数据 2341,能够以正确的顺序输入到纠错解码单元 2350 而不用进行交织处理和解交织处理,从而能够缩短由交织处理和解交织处理造成的处理延迟。

因此,无需进行反复解码时的用于接收信号的复本生成的交织处理和反复解码时的用于解码的解交织处理。因此,能够缩短解交织处理延迟。由此,能够缩短并行干扰消除的处理延迟。

(实施方式 2)

图 15 是表示本发明实施方式 2 的接收装置的解调单元 230A 的结构例的图。另外,在实施方式 2 中,对与实施方式 1 相同的部分附加相同的标号,并省略重复的说明。

图 15 的解调单元 230A 在图 8 所示的实施方式 1 的解调单元 230 的基础上,还包括:两个比特交织单元 2360A、2360B 以及两个比特解交织单元 2362A、2362B。

在该解调单元 230A 中,在解调接收信号后,使用解调数据进行再次调制,使用再次调制信号进行 MIMO 信号的分离。然后,使用进行再次解调的反复解码方式。

其他的包含解调单元的接收装置和发送装置的结构与实施方式 1 相同。因此,下面,主要说明与实施方式 1 不同之处。

比特交织单元 2360A 输入变换后的输出数据序列 2329A 和控制信号 2309, 并根据控制信号 2309 重新排列输入比特序列的顺序。然后, 比特交织单元 2360A 输出比特交织后的数据序列 2361A。

另外, 比特交织单元 2360B 也在输入变换后的输出数据序列 2329B 和控制信号 2309 后, 进行与比特交织单元 2360A 同样的处理, 输出比特交织后的数据序列 2361B。

在比特交织中, 以并不是将连续的比特序列分配给同一副载波而是将相隔开的存储位置的比特分配给同一副载波的方式, 重新排列比特的顺序。

比特解交织单元 2362A 输入从解映射单元 2344A 输出的似然 2345A 和控制信号 2309, 根据控制信号重新排列输入比特序列的顺序, 并输出比特解交织后的信号 2364A。比特解交织单元 2362B 也进行与比特解交织单元 2362A 同样的处理, 输出比特解交织后的信号 2364B。比特解交织为, 进行与上述的比特交织相反的操作, 进行将数据序列重新排列为比特交织前的数据序列的处理。

[交织的规则]

接着, 参照图 16 说明实施方式 2 中的交织规则。在图 16 中, 使用长 13 比特×宽 8 比特的存储区域, 从图 16 的左上方开始朝右按照#1、#2、#3、· · ·、#104、的顺序写入所输入的比特序列。另外, 各个副载波(由#1 和#14 的组构成的副载波 801 等)表示映射到一个信号点的比特的组。

另一方面, 在读出时, 沿图 16 的纵向方向, 按照副载波 801、802、803、804、805、· · ·、811、· · ·、852 的顺序从存储区域读出。如果以比特形式来表示上述读出顺序, 则按照#1、#14、#27、#40、#53、#66、#79、#92、#2、· · ·、#78、#91、#104 的顺序读出。

在实施方式 2 中, 重新排列规则为, 将所输入的比特序列中的相隔开的比特分配给一个副载波。因此, 与实施方式 1 的情况相比, 输入到比特交织单元的比特序列被更随机地变换。因此, 通过由接收装置 200 进行解交织, 能够更加分散因衰落变动的影响而连续产生的突发差错。因此, 容易获得接收装置 200 中的纠错的效果。

另外, 在 16QAM 的情况下, 使用长 13 比特×宽 16 比特的存储区域, 在 64QAM 的情况下, 使用长 13 比特×宽 24 比特的存储区域, 也以与 QPSK 时同样的方向(从图 16 中的左上方以朝右的方向)写入。然后, 在读出时, 以

与 QPSK 时同样的方向（从图 16 中的左上方开始以朝下的方向）读出。

在使用上述图 16 的交织规则时，在图 8 的解调单元 230 中，映射单元 2330A、2330B 的各个输出数据 2331A、2331B 与从信道估计存储单元 2334 输出的信道估计值 2335 之间，数据序列的顺序不同。因此，复本生成单元 2336 难以正确地生成复本信号 2337。

因此，在图 15 的解调单元 230A 中，设置各个比特交织单元 2360A、2360B，进行下述的处理。

也就是说，各个比特交织单元 2360A、2360B 使映射单元 2330A、2330B 的各个输出数据 2331A、2331B 与信道估计存储单元 2334 的输出数据 2335 之间的数据序列的顺序一致。

这里，以比特序列表示根据图 12 所示的规则重新排列后的信道估计值 2306。顺序为(#1、#14)、(#2、#15)、(#3、#16)、(#4、#17)、(#5、#18)、(#6、#19)、(#7、#20)、(#8、#21)、(#9、#22)、(#10、#23)、(#11、#24)、(#12、#25)、(#13、#26)、(#27、#40)、(#28、#41)、...、(#91、#104)。另外，意味着由 () 内的序列表示的比特的组分配给同一副载波。

因此，各个比特交织单元 2360A、2360B 重新排列进行了再次调制的映射后的数据 2331A、2331B，以使其顺序与从信道估计存储单元 2334 输出的信道估计值 2335 为同样的顺序。

[比特交织单元的重新排列规则]

接着，参照图 17 说明比特交织单元的重新排列规则。这里，假设使用 QPSK 调制方式。

比特交织单元使用例如图 17 所示的长 13 比特×宽 8 比特的存储区域，进行写入和读出。例如，从图 17 的左上方开始以朝右的方向，按照#1、#2、#3、...、#104、... 的顺序写入所输入的比特序列。

然后，写入从#1 至#26 为止的比特后，从存储区域按照副载波 901、902、903、904、905、...、913 的顺序读出。于是，上述读出的比特序列被重新排列为(#1、#14)、(#2、#15)、(#3、#16)、(#4、#17)、(#5、#18)、(#6、#19)、(#7、#20)、(#8、#21)、(#9、#22)、(#10、#23)、(#11、#24)、(#12、#25)、(#13、#26)、(#27、#40)、(#28、#41)、...、(#91、#104) 的顺序。

实施方式 2 的比特交织中，如果将图 17 的从#1 至#26 的 26 比特蓄积在

比特交织单元的存储区域，就能够输出副载波即图 17 的副载波 901~913。

也就是说，如果蓄积 1/4OFDM 码元的数据，就读出该数据。因此，与通常的交织（必须蓄积 104 比特）处理，实施方式 2 的比特交织处理能够缩短处理延迟。

另外，在图 17 中，说明了比特交织单元 2360A、2360B 在 QPSK 调制方式下的情况，也可以适用于例如 BPSK、16QAM 或 64QAM 的调制方式。在 BPSK 调制方式的情况下，实施方式 2 的解调单元能够包含与没有各个比特交织单元 2360A、2360B 的、实施方式 1 的解调单元同样的结构要素。

在 16QAM 的调制方式的情况下，比特交织单元以与图 17 时同样的步骤，使用长 13 比特×宽 16 比特的存储区域来进行写入。另外，比特交织单元在四行比特（宽 4 比特）的写入结束后，读出副载波。另外，比特交织单元反复进行上述四行的写入和读出，直至最终比特为止。

在 64QAM 调制方式的情况下，比特交织单元使用长 13 比特×宽 24 比特的存储区域，以与图 17 时同样的步骤来进行写入。另外，比特交织单元在六行比特（宽 6 比特）的写入结束后，读出副载波。另外，比特交织单元反复进行上述六行的写入和读出，直至最终比特为止。

[比特解交织单元的重新排列规则]

接着，参照图 17 说明各个比特解交织单元 2362A、2362B 的重新排列规则。

各个比特解交织单元 2362A、2362B 进行与图 16 的交织处理相反的处理。另外，比特解交织单元 2362A、2362B 将比特序列重新排列为原来的比特序列。

在写入时，各个比特解交织单元 2362A、2362B 按照图 17 的副载波 901、902、903、904、905、...、913 的顺序写入。各个比特解交织单元 2362A、2362B 在下一行也同样地进行写入，直至副载波 952 为止。

另外，直至副载波 913 为止的写入结束后，各个比特解交织单元 2362A、2362B 按照#1、#2、#3、...、#26 的顺序读出比特。同样地下一行的写入结束以后，各个比特解交织单元 2362A、2362B 反复进行上述步骤，直至读出#104 的比特为止。

也就是说，比特解交织单元 2362A、2362B 如果写入一行的副载波，就能够读出比特。

因此，如果蓄积 1/4OFDM 码元的数据，就能够进行读出，所以与通常的解交织处理（必须蓄积所有的数据后才进行读出处理）相比，能够缩短处理延迟。

另外，在图 17 中，说明了 QPSK 调制方式下的情况，也可以适用于例如 BPSK、16QAM 或 64QAM 的调制方式。

在 BPSK 调制方式的情况下，实施方式 2 的解调单元与实施方式 1 的情况同样，不需要各个比特解交织单元 2362A、2362B。

在 16QAM 调制方式的情况下，比特解交织单元使用长 13 比特×宽 16 比特的存储区域，以与上述比特解交织单元 2362A、2362B 的重新排列规则同样的步骤来进行写入。另外，比特解交织单元在一行副载波的写入结束后，读出四行比特。另外，比特解交织单元反复进行上述四行的写入和读出，直至最终比特为止。

在 64QAM 调制方式的情况下，比特解交织单元使用长 13 比特×宽 24 比特的存储区域，以与上述比特解交织单元的重新排列规则同样的步骤来进行写入。另外，比特解交织单元在一行副载波的写入结束后，读出六行比特。另外，比特解交织单元反复进行上述六行的写入和读出，直至最终比特为止即可。

[解调单元的主要的处理延迟时间]

接着，参照图 18 说明图 15 所示的解调单元 230A 中的主要的处理延迟时间。图 18 的处理延迟时间与图 14 的情况不同，还产生了比特交织单元和比特解交织单元的处理延迟。除此以外的处理延迟时间与图 14 的情况相同。因此，下面，主要说明比特交织单元和比特解交织单元的处理延迟。

根据图 18，比特交织单元输入数据，在处理延迟时间 1000 后输出数据 1001。该处理延迟时间 1000 相当于 1/4 码元。理由是，比特交织单元只要蓄积 1/4 码元的数据而不是所有比特，就能够进行数据输出。

比特解交织单元输入数据，在处理延迟时间 1002 后输出数据 1003。该处理延迟时间 1002 也相当于 1/4 码元。理由在于，比特解交织单元也只要蓄积 1/4 码元的数据而不是所有比特，就能够进行数据输出。

如上所述，在接收根据图 16 所示的规则在发送端进行了交织处理的信号时，通过设置用于重新排列图 15 所示的接收信号的顺序的地址产生单元 2338 和信号存储单元 2340、地址产生单元 2332 和信道估计存储单元 2334、比特

交织单元 2360A、2360B、比特解交织单元 2362A、2362B，能够以图 17 所示的规则进行反复解码时的交织处理和解交织处理。

因此，能够将反复解码时的交织处理和解交织处理所需的处理延迟时间缩短到原来的 1/4，其结果，与以往相比，能够缩短从接收信号起至获得从纠错解码单元 2350 输出的纠错解码后的信号为止的处理时间。

而且，因为缩短反复解码的处理延迟，在增加反复次数时，增加了缩短处理延迟时间的效果。

(实施方式 3)

实施方式 3 与实施方式 2 的情况不同，发送端的交织单元的重新排列规则在 MIMO 流间不同。因此，下面，主要说明与实施方式 2 不同之处。

[交织单元的重新排列规则]

首先，参照图 19 说明实施方式 3 中的交织单元 114B 的重新排列规则。这里，作为一例假设使用 QPSK 调制方式。

比特交织单元 114B 使用例如图 19 所示的长 13 比特×宽 8 比特的存储区域，进行写入和读出。

具体而言，交织单元 114B 从副载波 1123 开始以朝右的方向，按照#1、#2、#3、· · ·、#104 的顺序写入输入比特。也就是说，从长 13 比特×宽 8 比特的存储区域的中途开始写入。然后，交织单元 114B 接着将写入的数据，按照副载波 1101、1102、1103、1104、1105、1106、· · ·、1152 的顺序从上述存储区域读出。通过这样由交织单元 114A 和 114B 使用不同的规则来重新排列顺序，与使用相同的规则的情况相比，能够更加分散因衰落变动造成的突发差错，容易获得纠错的效果。

[解调单元的结构]

图 20 是表示本发明实施方式 3 的接收装置的解调单元 230B 的结构例的图。另外，在实施方式 3 中，对与实施方式 2 相同的部分附加相同的标号，并省略重复的说明。

图 20 的解调单元 230B 具有信道估计存储电路 2370 来代替图 15 所示的解调单元 230A 的地址产生单元 2332 和信道估计存储单元 2334。而且，解调单元 230B 具有信号存储电路 2374 来代替图 15 所示的解调单元 230A 的地址产生单元 2338 和信号存储单元 2340。

另外，解调单元 230B 具有复本生成单元 2372 和消除单元 2376 来代替

图 15 所示的解调单元 230A 的复本生成单元 2336 和消除单元 2342, 而且还具有各个反复解码解交织单元 2378A、2378B。

图 20 的解交织单元 2312B 根据与图 20 的解交织单元 2312A 不同的重新排列规则, 进行写入和读出。另外, 图 20 的解交织单元 2312A 根据与图 15 的解交织单元 2312A 同样的重新排列规则, 进行写入和读出。

再次参照图 19 说明图 20 的解交织单元 2312B 的重新排列规则。这里, 假设采用 QPSK 的调制方式。

图 20 的解交织单元 2312B 使用例如图 19 所示的长 13 比特×宽 8 比特的存储区域, 进行写入和读出。具体而言, 解交织单元 2312B 以图 19 的纵向方向, 按照副载波 1101、1102、1103、1104、1105、1106、. . . 、1152 的顺序, 写入所输入的数据。

然后, 解交织单元 2312B 接着以图 19 的横向方向, 从副载波 1123 开始按照#1、#2、#3、#4、#5、#6、#7、#8、#9、#10、#11、. . . 、#104 的顺序, 读出所写入的数据。通过这样从存储区域的中途读出, 能够由交织单元 114B 将排序后的数据重新排列为原来的数据序列。

信道估计存储电路 2370 输入从信道估计单元 2305 输出的信道估计值 2306 和从同步单元 2300 输出的定时信号 2302, 根据输入的定时信号 2302, 进行信道估计值 2306 的写入或读出。然后, 信道估计存储电路 2370 输出所读出的信道估计值 2371 (2306)。

[信道估计存储电路的结构]

图 21 是表示信道估计存储电路 2370 的结构例的图。

图 21 的信道估计存储电路 2370 包括两个信道估计存储单元 2370-1A、2370-1B。

信道估计存储单元 2370-1A 输入信道估计值 2306 和定时信号 2302, 在规定的存储区域内写入或读出信道估计值 2306。然后, 信道估计存储单元 2370-1A 输出所读出的信道估计值 2371 (2306)。信道估计存储单元 2370-1A 的内部结构能够包含图 10 所示的结构要素。

另外, 信道估计存储单元 2370-1B 也进行与信道估计存储单元 2370-1A 同样的处理, 输出信道估计值 2371 (2306)。

通过采用如图 21 所示包含各个信道估计存储电路 2370 的结构, 能够在两个信道估计存储单元 2370-1A、2370-1B (地址变换表) 设定不同的规则。

因此，能够输出以不同顺序重新排列的二种数据。

例如，输入到信道估计存储电路 2370 的信道估计值 2306 为 h_{11}' 、 h_{12}' 、 h_{21}' 、 h_{22}' 时，信道估计存储单元 2370-1A 输出 h_{11pt1}' 、 h_{12pt1}' 、 h_{21pt1}' 以及 h_{22pt1}' 的数据序列。而且，信道估计存储单元 2370-1B 输出 h_{11pt2}' 、 h_{12pt2}' 、 h_{21pt2}' 以及 h_{22pt2}' 的数据序列。

使信道估计存储单元 2370-1A 的地址变换表（未图示）与实施方式 2 所示的规则相同。

接着，参照图 22 说明信道估计存储单元 2370-1B 的重新排列规则。

信道估计存储单元 2370-1B 使用例如图 22 所示的长 13 比特×宽 4 比特的存储区域，进行写入和读出。具体而言，信道估计存储单元 2370-1B 以图 22 的纵向方向，从副载波 1201 开始按照 1201、1202、1203、1204、1205、1206、
 . . . 、1252 的顺序，写入所输入的数据，直至副载波 1252 为止。

然后，信道估计存储单元 2370-1B 以图 22 的横向方向，按照 #1、#2、#3、
 . . . 、#104 的比特顺序，读出所写入的数据。

通过这样采用从存储区域的中途读出的规则，信道估计存储单元 2370-1B 能够与从 FFT 单元 2303B 输出的再次调制信号的数据顺序匹配地输出信道估计信号。

返回到图 20，复本生成单元 2372 输入映射后的各个数据 2331A、2331B 和信道估计值 2371。然后，复本生成单元 2372 将映射后的数据与信道估计值相乘而生成复本信号 2373，输出复本信号 2373。

复本生成单元 2372 将各个信道估计值 h_{11pt1}' 、 h_{12pt1}' 与映射数据 2331A 即 s_1' 相乘。然后，复本生成单元 2372 生成 $h_{11pt1}'s_1'$ 和 $h_{12pt1}'s_1'$ ，并将信道估计值推定值 h_{21pt2}' 、 h_{22pt2}' 和映射数据 2331B 即 s_2' 相乘，生成 $h_{21pt2}'s_2'$ 和 $h_{22pt2}'s_2'$ 。

信号存储电路 2374 输入各个 OFDM 解调信号 2304A、2304B 以及从同步单元 2300 输出的定时信号 2302。然后，信号存储电路 2374 根据输入的定时信号 2302，写入或读出 OFDM 信号。另外，信号存储电路 2374 输出所读出的 OFDM 解调信号。

[信号存储电路的结构]

图 23 是表示信号存储电路 2374 的结构例的图。

信号存储电路 2374 包括两个信号存储单元 2374-1A、2374-1B。

信号存储单元 2374-1A 输入各个 OFDM 解调信号 2304A、2304B 和定时

信号 2302。然后，信号存储单元 2374-1A 根据输入的定时信号 2302，写入或读出 OFDM 解调信号。另外，信号存储单元 2374-1A 输出所读出的 OFDM 解调信号。

另外，信号存储单元 2374-1B 也包含与信号存储单元 2374-1A 同样的结构要素，进行与信号存储单元 2374-1A 同样的处理。

各个信号存储单元 2374-1A、2374-1B 能够分别包含与图 13 同样的结构要素。在图 23 中，也可以通过配置两个信号存储单元 2374-1A、2374-1B，在各自的地址变换表（参照图 13）中保持不同的读出规则。通过上述不同的读出规则，能够将 OFDM 解调信号重新排列为两种不同的数据序列。

例如，信号存储单元 2374-1A 根据与实施方式 1 同样的重新排列规则，输出 OFDM 解调信号 r_{1pt1} 、 r_{2pt1} 。另一方面，信号存储单元 2374-1B 根据图 22 所示的规则（与信道估计存储单元 2370-1B 同样的规则），输出 r_{1pt2} 、 r_{2pt2} 。

图 20 中的消除单元 2376 输入复本信号 2373、信道估计值 2371 以及 OFDM 解调信号 2375。然后，消除单元 2376 从 OFDM 解调信号 2375 中减去复本信号，取出消除了干扰信号的流信号。另外，消除单元 2376 使用信道估计值 2371，考虑到相位和振幅，对每个接收天线的流信号进行合成，输出各个流信号 2377A、2377B。

如下所述，获得流信号 2377A。首先，获得从 OFDM 解调信号 r_{1pt2} 中减去 $h_{12pt2}'s_2'$ 所得的 r_{1st1} 。进而，获得从 OFDM 解调信号 r_{2pt2} 中减去 $h_{22pt2}'s_2'$ 所得的 r_{2st1} 。另外，使用信道估计值 h_{11pt2}' 、 h_{21pt2}' ，考虑到相位和振幅，合成 r_{1st1} 和 r_{2st1} ，而获得流信号 2377A。

如下所述，获得流信号 2377B。首先，获得从 OFDM 解调信号 r_{1pt1} 中减去 $h_{11pt1}'s_1'$ 所得的 r_{1st2} 。进而，获得从 OFDM 解调信号 r_{2pt1} 中减去 $h_{21pt1}'s_1'$ 所得的 r_{2st2} 。另外，使用信道估计值 h_{12pt1}' 、 h_{22pt1}' ，考虑到相位和振幅，合成 r_{1st2} 和 r_{2st2} ，而获得流信号 2377B。

反复解码解交织单元 2378A 输入似然 2345A，进行输入数据的重新排列处理。然后，反复解码解交织单元 2378A 输出解交织后的数据 2379A。

反复解码解交织单元 2378B 输入似然 2345B，进行输入数据的重新排列处理。然后，反复解码解交织单元 2378B 输出解交织后的数据 2379B。

[反复解码解交织单元的重新排列规则]

接着，参照图 24 说明反复解码解交织单元 2378A 的重新排列规则（反

反复解码解交织规则)。这里，假设采用 QPSK 调制方式的情况。

反复解码解交织单元 2378A 使用例如图 24 所示的长 13 比特×宽 8 比特的存储区域，进行写入和读出。

具体而言，反复解码解交织单元 2378A 以副载波 1301、1302、1303、1304、1305、1306、1307、1308、1309、1310、1311、1312、1313 的顺序写入输入数据。然后，反复解码解交织单元 2378A 在下一排（横向方向）也同样，以副载波 1314、. . . 的顺序写入，此后，一直写入到副载波 1352 为止。

反复解码解交织单元 2378A 按照#1、#2、#3、. . . 、#104 的比特顺序，取出所写入的数据。

通过上述的规则进行读出，能够将干扰消除后的流信号 2377A 的数据序列重新排列成与解交织后的数据序列 2313A 同样的顺序。也就是说，为了缩短再次调制的交织处理所需的处理时间，在比特交织单元 2360A 中以与发送端的交织单元 114A 不同的规则进行重新排列。反复解码解交织单元 2378A 在反复解码中，通过从上述所示的中途的副载波开始读出数据序列，能够以与交织单元 114A 不同的规则，将重新排列后的数据序列重排为与接收端进行交织处理前的数据序列相同的顺序。

接着，参照图 25 说明反复解码解交织单元 2378B 的重新排列规则。这里也假设采用 QPSK 调制方式的情况。

反复解码解交织单元 2378B 使用例如图 25 所示的长 13 比特×宽 8 比特的存储区域，进行写入和读出。

具体而言，反复解码解交织单元 2378B 按照副载波 1401、1402、1403、1404、1405、1406、1407、1408、1409、1410、1411、1412、1413 的顺序写入输入数据。然后，反复解码解交织单元 2378B 在下一排（横向方向）也同样，写入到副载波 1414、. . . ，此后，一直写入到副载波 1452 为止。

反复解码解交织单元 2378B 按照#1、#2、#3、. . . 、#104 的比特顺序，取出所写入的数据。

通过上述的规则进行读出，能够将干扰消除后的流信号 2377B 的数据序列重新排列为与解交织后的数据序列 2313B 同样的顺序。也就是说，为了缩短再次调制的交织处理所需的处理时间，在比特交织单元 2360B 中以与发送端的交织单元 114B 不同的规则进行重新排列。反复解码解交织单元 2378B 在反复解码中，通过从上述所示的中途的副载波开始读出数据序列，能够以

与交织单元 114B 不同的规则,将重新排列后的数据序列重排为与接收端进行交织处理前的数据序列相同的顺序。

通过上述的比特重新排列,各个反复解码解交织单元 2378A、2378B 将数据排列为与发送装置 100 的各个交织单元 114A、114B 的输入数据相同的顺序。

[解调单元的主要的处理延迟时间]

接着,参照图 26 说明图 20 所示的解调单元 230B 中的主要的处理延迟时间。图 26 的处理延迟时间与图 18 的情况不同,产生反复解码解交织单元的处理延迟。除此以外的处理延迟时间与图 18 的情况相同。因此,下面,主要说明反复解码解交织单元的处理延迟。

根据图 26,反复解码解交织单元输入数据,在处理延迟时间 1500 后输出数据 1501。该处理延迟时间 1500 为基于下述情况的延迟时间,在各个反复解码解交织单元 2378A、2378B 中,如果不在副载波的第三排的写入结束后,就不读出数据(参照图 24 和图 25)。

而且,根据图 26,解调单元 230B 中的整体的处理延迟时间为直至纠错解码单元的输出数据 1502 的输出结束为止的时间。与以往相比,该整体的处理延迟时间较短。

在以往的交织处理/解交织处理中,在重新排列一定的数据单位的数据时,基于该重新排列规则的关系,必须暂时蓄积每个重新排列单位的所有的数据后才输出。

图 26 表示本实施方式的处理延迟时间。与图 1 所示的以往的方法相比,能够缩短反复解码单元的交织处理所需的处理延迟时间。这是,通过在信道估计存储电路 2370 和信号存储电路 2374 中设置用于重新排列数据的地址变换表,能够变更进行反复解码的再次调制单元的交织处理和再次解调单元的解交织处理的重新排列规则。

也就是说,能够在比特交织单元(2360A、2360B)为了缩短处理延迟而以上述的规则进行重新排列处理,设定信道估计存储电路 2370、信号存储电路 2374 以及反复解码解交织单元(2378A、2378B)的重新排列规则,以使输入到纠错解码单元 2350 的数据序列 2349 的顺序与输入到纠错解码单元 2318 的数据序列 2317 为相同的顺序。

因此,能够缩短交织处理所需的处理延迟时间,从而具有缩短整个接收

处理所需的处理延迟时间的效果。

而且，因为缩短反复解码的处理延迟，在增加反复次数时，增加了缩短处理延迟时间的效果。

(实施方式4)

图27是表示本发明实施方式4的接收装置的解调单元230C的结构例的图。另外，在实施方式4中，对与实施方式1至实施方式3相同的部分附加相同的标号，并省略重复的说明。

图27的解调单元230C具有各个比特交织单元2380A、2380B来代替图15所示的解调单元230A的各个比特交织单元2360A、2360B。另外，解调单元230C具有各个比特解交织单元2382A、2382B来代替图15所示的解调单元230A的各个比特解交织单元2362A、2362B，另外，在将从同步单元2300输出的定时信号2302输入到比特交织单元2380A、2380B、比特解交织单元2382A、2382B的方面与实施方式2不同。

比特交织单元2380A输入变换单元2328的变换后的数据序列2329A、控制信号2309以及定时信号2302。然后，比特交织单元2380A根据输入的控制信号2309，重新排列输入数据的顺序，且根据输入的定时信号2302，输出交织后的数据2381A。

另外，比特交织单元2380B也能够包含与比特交织单元2380A同样的结构要素。

比特解交织单元2382A输入似然2345A、控制信号2309以及定时信号2302。然后，比特解交织单元2382A根据输入的控制信号2309，重新排列输入数据的顺序，且根据输入的定时信号2302，对重新排列后的数据进行解交织后输出。

另外，比特解交织单元2382B也能够包含与比特解交织单元2382A同样的结构要素。

[比特交织单元的结构]

图28是表示比特交织单元的结构例的图。

各个比特交织单元2380A、2380B包括：写入定时生成单元2380-1A、各个计数器2380-3A、2380-3B、存储单元选择电路2380-5以及四个存储单元2380-10A~2380-10D。另外，各个比特交织单元2380A、2380B包括：读出定时生成单元2380-1B、地址变换表2380-6以及选择器2380-13。

写入定时生成单元 2380-1A 输入定时信号 2302，基于输入的定时信号 2302，与输入到各个存储单元 2380-10A ~ 2380-10D 的数据 2380-9 输入的定时匹配地生成并输出用于控制计数器 2380-3A 的写入计数控制信号 2380-2A。

计数器 2380-3A 输入写入计数控制信号 2380-2A，根据输入的写入计数控制信号 2380-2A，计数出计数值。然后，计数器 2380-3A 生成并输出用于表示计数出的计数值，即存储单元 2380-10A ~ 2380-10D 的写入地址 2380-4A。

存储单元选择电路 2380-5 输入定时信号 2302，并根据该输入生成并输出用于选择写入对象的存储单元的控制信号（写入存储单元选择信号）2380-7。另外，存储单元选择电路 2380-5 根据输入的定时信号 2302，生成并输出用于选择读出对象的存储单元的控制信号（读出存储单元选择信号）2380-8。

写入存储单元选择信号 2380-7 为用于下述目的的信号，将数据 2380-9 以 1/4OFDM 码元为单位，按照存储单元 2380-10A、2380-10B、2380-10C、2380-10D 的顺序切换地存储到存储单元。读出存储单元选择信号 2380-8 是用于下述目的的信号，从各个存储单元按照存储顺序取出数据。

读出定时生成单元 2380-1B 输入定时信号 2302。然后，读出定时生成单元 2380-1B 生成并输出，用于与从各个存储单元 2380-10A、2380-10B、2380-10C、2380-10D 读出数据的定时（输入定时信号 2302）匹配地控制计数器 2380-3B 的读出计数控制信号 2380-2B。

在本实施方式中，从读出定时生成单元 2380-1B 输出读出计数控制信号 2380-2B 的定时是，在读出定时生成单元 2380-1B 中输出写入计数控制信号 2380-2A，输入相当于 1/4OFDM 码元的数据 2380-9 之后生成的。

计数器 2380-3B 输入读出计数控制信号 2380-2B。然后，计数器 2380-3B 根据读出计数控制信号 2380-2B，计数出用于生成从各个存储单元 2380-10A、2380-10B、2380-10C、2380-10D 读出数据的地址的计数信号 2380-4B，并输出。

地址变换表 2380-6 输入计数信号 2380-4B，将计数出的输入信号变换为读出地址信号 2380-11，并将其输出。该地址变换表 2380-6 保持例如图 11 所示的表，并使用该表进行上述变换。

存储单元 2380-10A 输入写入地址 2380-4A、数据 2380-9 以及读出地址信号 2380-11 中的任意数据。然后，存储单元 2380-10A 在由写入地址 2380-4A

指定的存储区域内写入数据 2380-9, 或者读出由读出地址信号 2380-11 指定的存储区域所存储的数据。另外, 存储单元 2380-10A 将读出的数据 2380-12A 输出。

另外, 各个存储单元 2380-10B、2380-10C、2380-10D 包含与存储单元 2380-10A 同样的结构要素, 并分别输出数据 2380-12B、2380-12C、2380-12D。

选择器 2380-13 输入读出存储单元选择信号 2380-8 以及各个数据 2380-12A、2380-12B、2380-12C、2380-12D, 并根据读出存储单元选择信号 2380-8, 选择各个数据 2380-12A、2380-12B、2380-12C、2380-12D 并输出数据 2380-14。

通过包含上述的结构要素, 能够由读出定时生成单元控制从存储单元读出数据的读出定时而不用蓄积相当于 1OFDM 码元的数据。

另外, 在本实施方式中, 将读出定时设为输入了 1/4OFDM 码元后, 但只要读出定时在 1/4OFDM 码元的输入后至 1OFDM 码元为止的区间内, 可以任意地设定。

将图 27 所示的从同步单元 2300 输出的定时信号 2302 输出到反复解码的比特交织单元 2380A、2380B 和比特解交织单元 2382A、2382B。另外, 比特交织单元 2380A、2380B 通过采用包含图 28 所示的存储单元选择电路 2380-5 以及存储单元 2380-10A、2380-10B、2380-10C、2380-10D 的存储电路的结构, 对于以往蓄积相当于 1OFDM 码元的数据后开始的输出处理, 能够在输入 1/4OFDM 码元的数据后开始该处理。

另外, 通过包含以上的结构, 能够自由地设计再次调制和再次解调时的、交织处理和解交织处理的输出定时, 能够减少处理延迟。

(实施方式 5)

实施方式 5 的接收装置是下述情况下的接收装置, 将从同步单元 2300 输出的定时信号 2302 输入到图 20 的解调单元 230B 的各个比特交织单元和比特解交织单元。另外, 实施方式 5 的接收装置是下述情况下的接收装置, 将从同步单元 2300 输出的定时信号 2302 输入到图 15 的解调单元 230A 的各个比特交织单元和比特解交织单元。

图 29 是表示本发明实施方式 5 的接收装置的解调单元 230D 的结构例的图。另外, 在实施方式 5 中, 对与实施方式 1~4 相同的部分附加相同的标号, 并省略重复的说明。

图 29 的解调单元 230D 具有各个比特交织单元 2390A、2390B 以代替图 20 所示的解调单元 230B 的各个比特交织单元 2360A、2360B，另外，解调单元 230D 还具有各个反复解码解交织单元 2392A、2392B 以代替图 230 所示的解调单元 230B 的各个反复解调解交织单元 2778A、2778B。另外，在将从同步单元 2300 输出的定时信号 2302 输入到比特交织单元 2390A、2390B、反复解码解交织单元 2392A、2392B 的方面，与实施方式 3 不同。

在图 29 中，比特交织单元 2390A 输入变换单元 2328 的变换后的数据序列 2329A、控制信号 2309 以及从同步单元 2300 输出的定时信号 2300。然后，比特交织单元 2390A 根据输入的控制信号 2309，重新排列输入数据的顺序。另外，比特交织单元 2390A 根据输入的定时信号 2302，输出进行了重新排列的交织后的数据序列 2391A。

另外，比特交织单元 2390B 也能够包含与比特交织单元 2390A 同样的结构要素。

图 29 的反复解码解交织单元 2392A 输入似然 2345A、控制信号 2309 以及定时信号 2302。然后，反复解码解交织单元 2392A 根据输入的控制信号 2309，重新排列输入数据的顺序。另外，反复解码解交织单元 2392A 根据输入的定时信号 2302，输出进行了重新排列的解交织后的数据序列 2393A。

另外，反复解码解交织单元 2392B 也能够包含与反复解码解交织单元 2392A 同样的结构要素。

[比特交织单元的结构]

图 29 的各个比特交织单元 2390A、2390B 能够包含与图 28 所示的存储电路同样的结构要素。也就是说，各个比特交织单元包括：写入定时生成单元 2380-1A、各个计数器 2380-3A、2380-3B、存储单元选择电路 2380-5 以及四个存储单元 2380-10A ~ 2380-10D。另外，各个比特交织单元包括：读出定时生成单元 2380-1B、地址变换表 2380-6 以及选择器 2380-13。

此时，将数据例如按照存储单元 2380-10A、2380-10B、2380-10C、2380-10D 的顺序连续地输入到存储单元。通过使用这样的四个存储单元，即使连续地输入数据，也能够结束存储单元 2380-10A 的写入，而在写入到存储单元 2380-10B 时，从存储单元 2380-10A 进行读出。另外，假设通过一个存储单元实现四个存储单元时，如果不写入所有（相当于四个存储单元）的数据，则不能读出。

通过将上述所示的同步单元 2300 输出的定时信号 2302 输入到比特交织单元 2390A、2390B，以及比特交织单元 2390A、2390B 的内部包含图 28 的结构要素，能够在 1/4OFDM 码元至 1OFDM 码元为止的期间的任意的定时读出输入到存储单元 2380-10A ~ 2380-10D 的输入数据。

[反复解码解交织单元的结构]

在图 29 中，反复解码解交织单元 2392A、2392B 也能够包含与比特交织单元同样的结构要素。也就是说，各反复解码解交织单元包括：写入定时生成单元 2380-1A、各个计数器 2380-3A、2380-3B、存储单元选择电路 2380-5 以及四个存储单元 2380-10A ~ 2380-10D。另外，反复解码解交织单元包括：比特解交织单元的读出定时生成单元 2380-1B、地址变换表 2380-6 以及选择器 2380-13。

通过包含上述结构要素，能够在 1/4OFDM 码元至 1OFDM 码元为止的任意定时输出存储单元 2380-10A ~ 2380-10D 所蓄积的数据。

另外，在本实施方式中，基于反复解码解交织的重新排列规则的关系，反复解码解交织单元 2392A、2392B 在存储单元 2380-10A ~ 2380-10D 蓄积了 3/4OFDM 码元的数据的定时，开始读出数据。

通过图 29 所示的、将同步单元 2300 输出的定时信号 2302 输入到反复解码部的比特交织单元和反复解码解交织单元，以及包含图 28 所示的存储单元的结构要素，对于以往在蓄积了相当于 1OFDM 码元的数据后开始输出的处理，能够在蓄积了 1/4OFDM 码元或 3/4OFDM 码元的数据后开始该处理。

另外，生成输出定时信号的定时，并不限于 1/4OFDM 码元或 3/4OFDM 码元，也可以变更为适合的值。通过包含以上的结构要素，能够自由地设计再次调制和再次解调时的、交织处理和解交织处理的输出定时，能够减少处理延迟。

2007 年 2 月 20 日提交的特愿 2007-039391 中所包含的说明书、附图及说明书摘要的公开内容，全部引用于本申请。

工业实用性

本发明的接收装置和接收方法例如在对接收从多个发送天线发送的空间复用后的信号，并进行反复解调时极为有用。

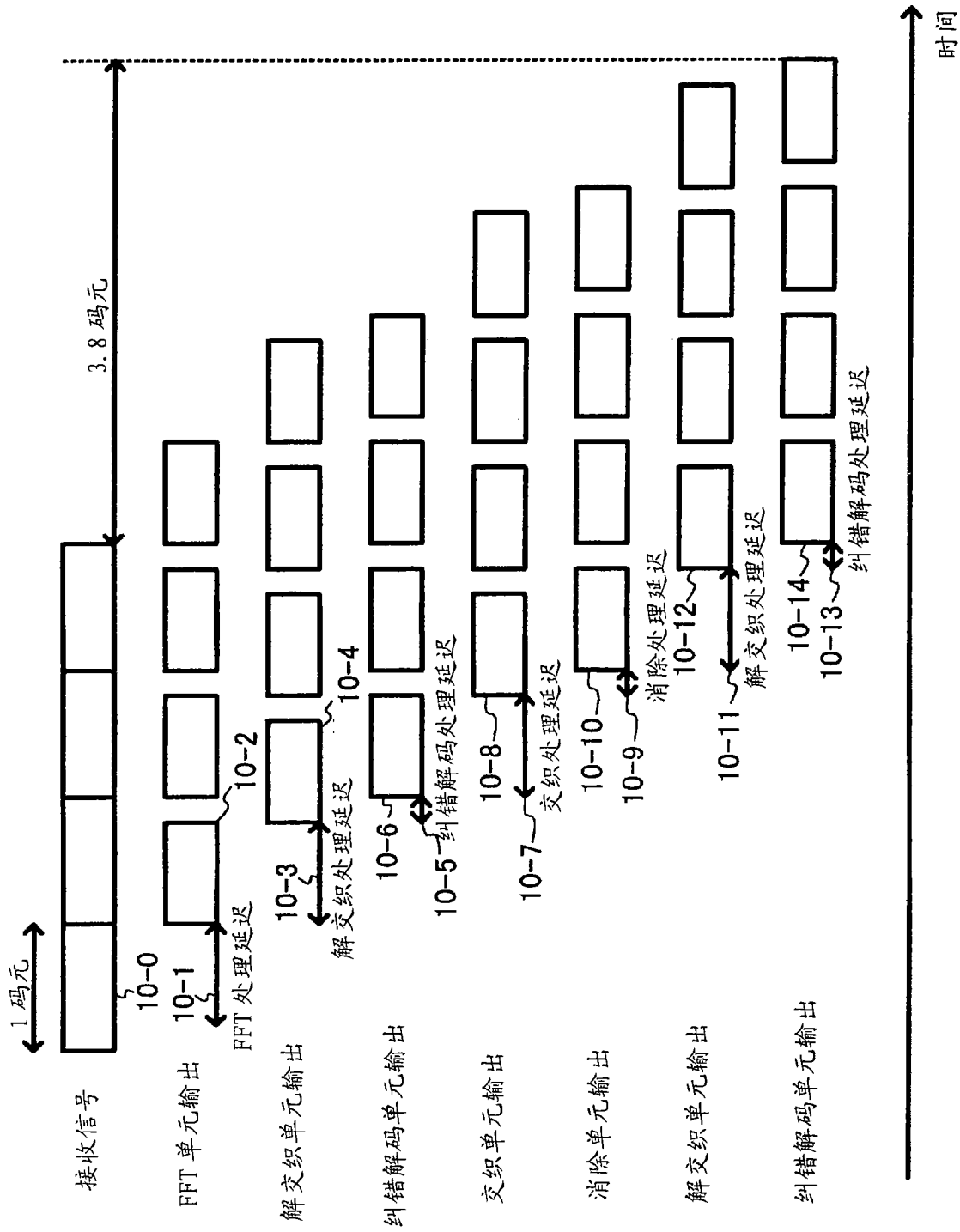


图 1

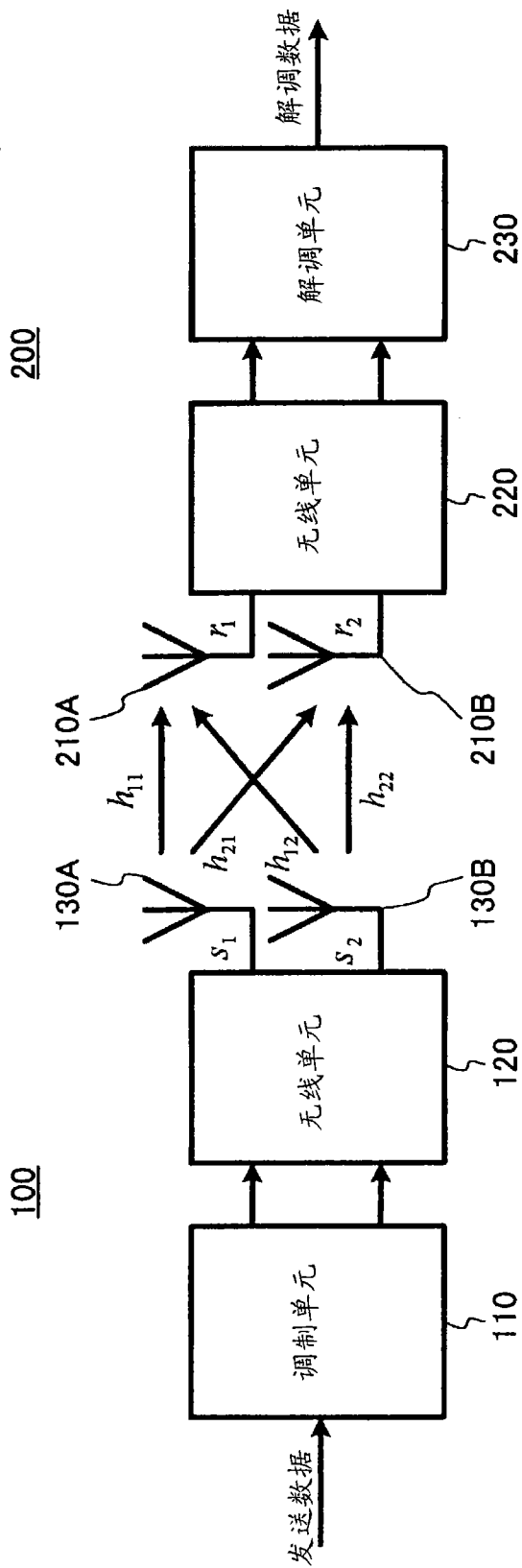


图 2

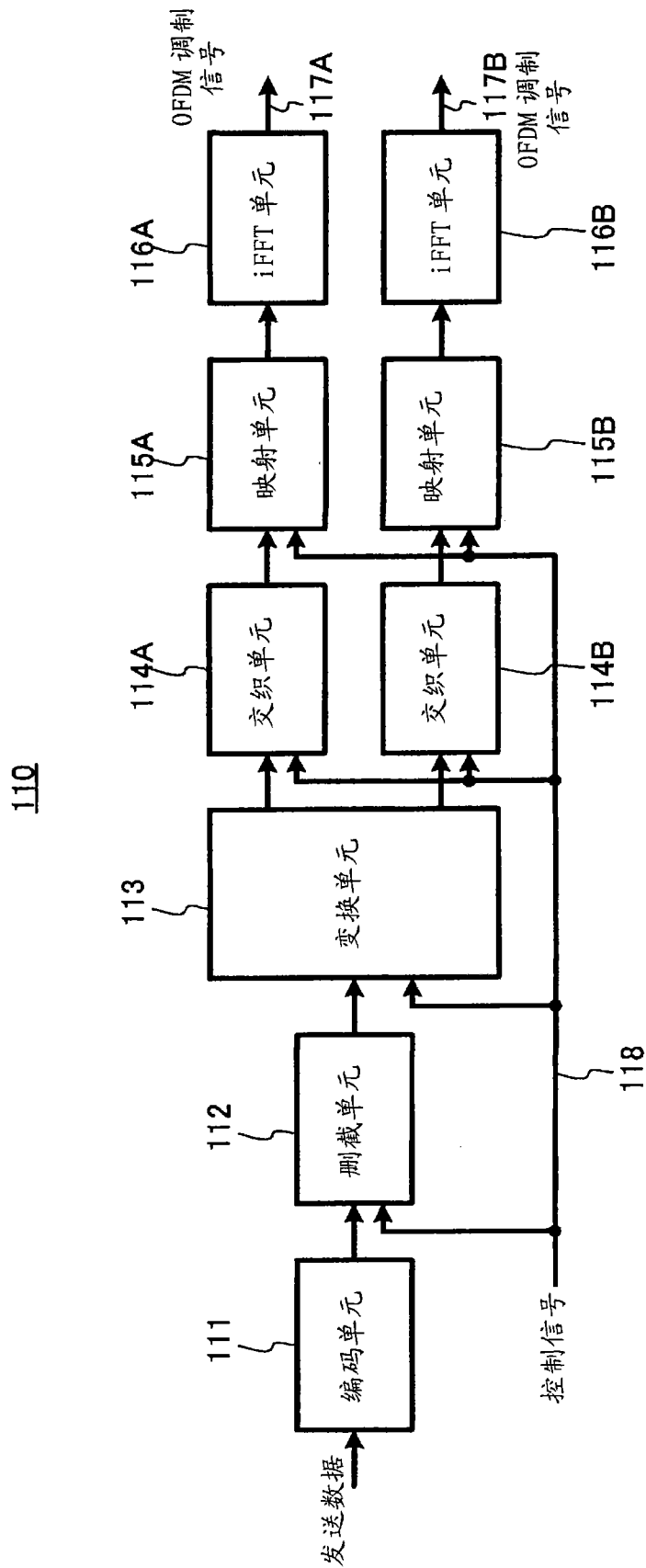


图 3

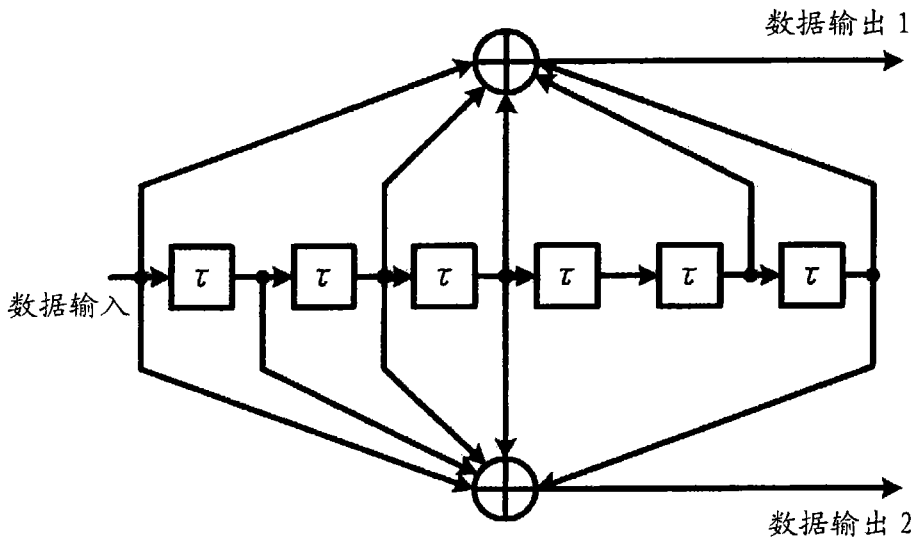


图 4

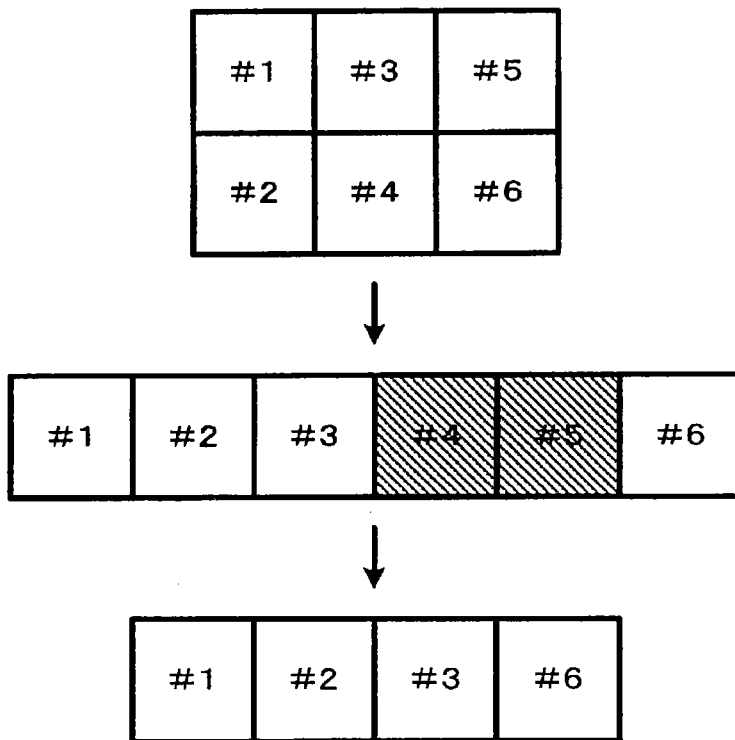


图 5

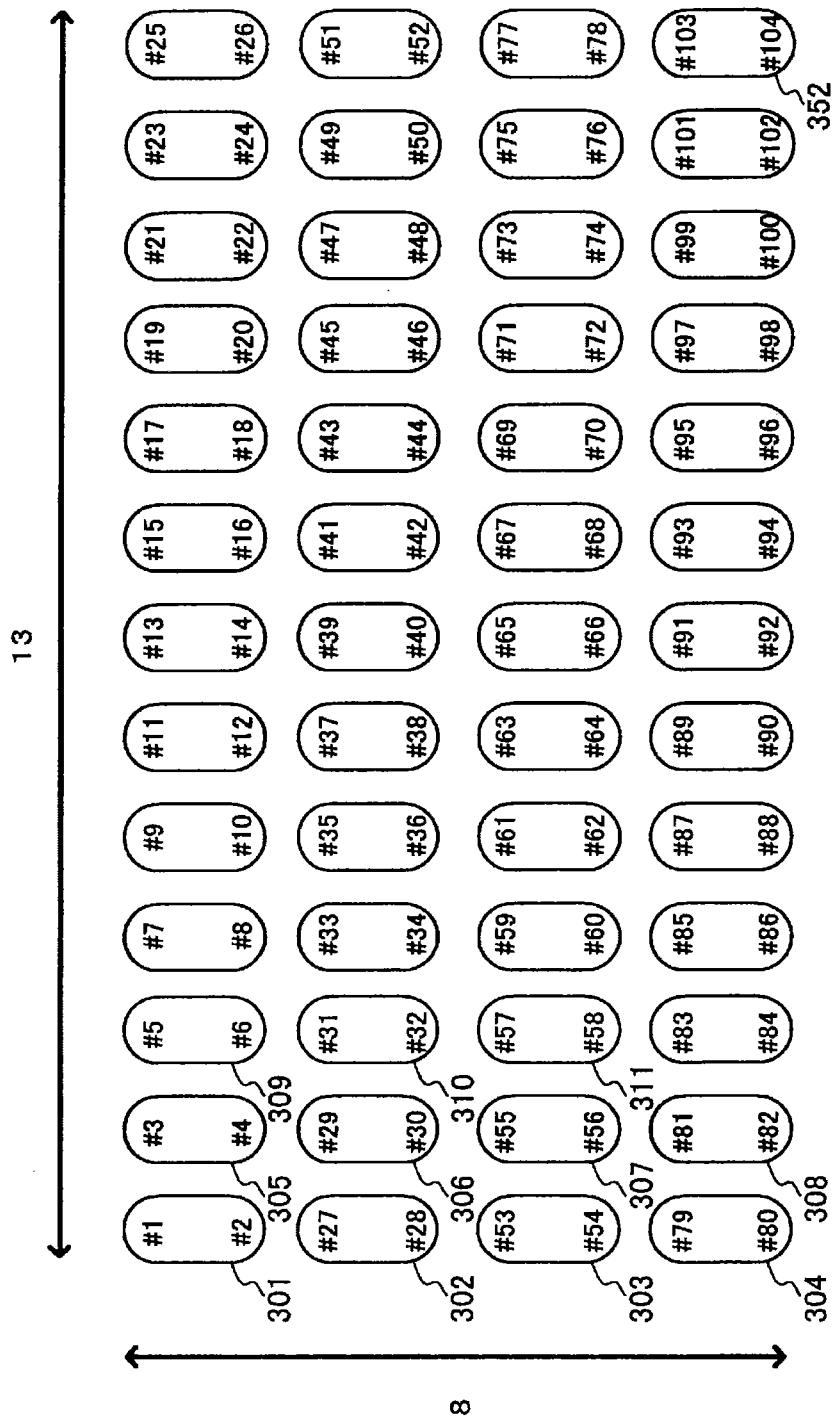


图 6

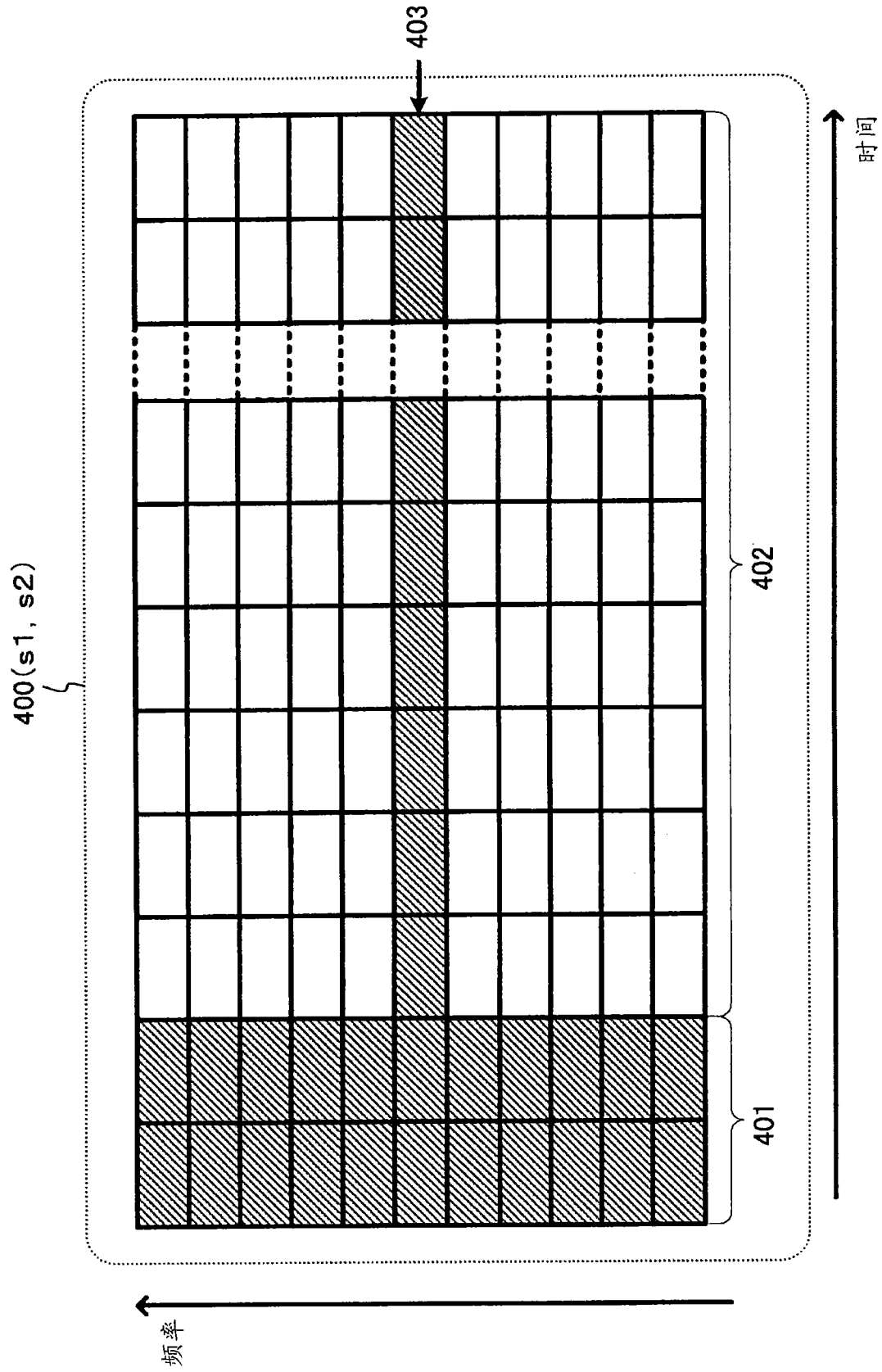


图 7

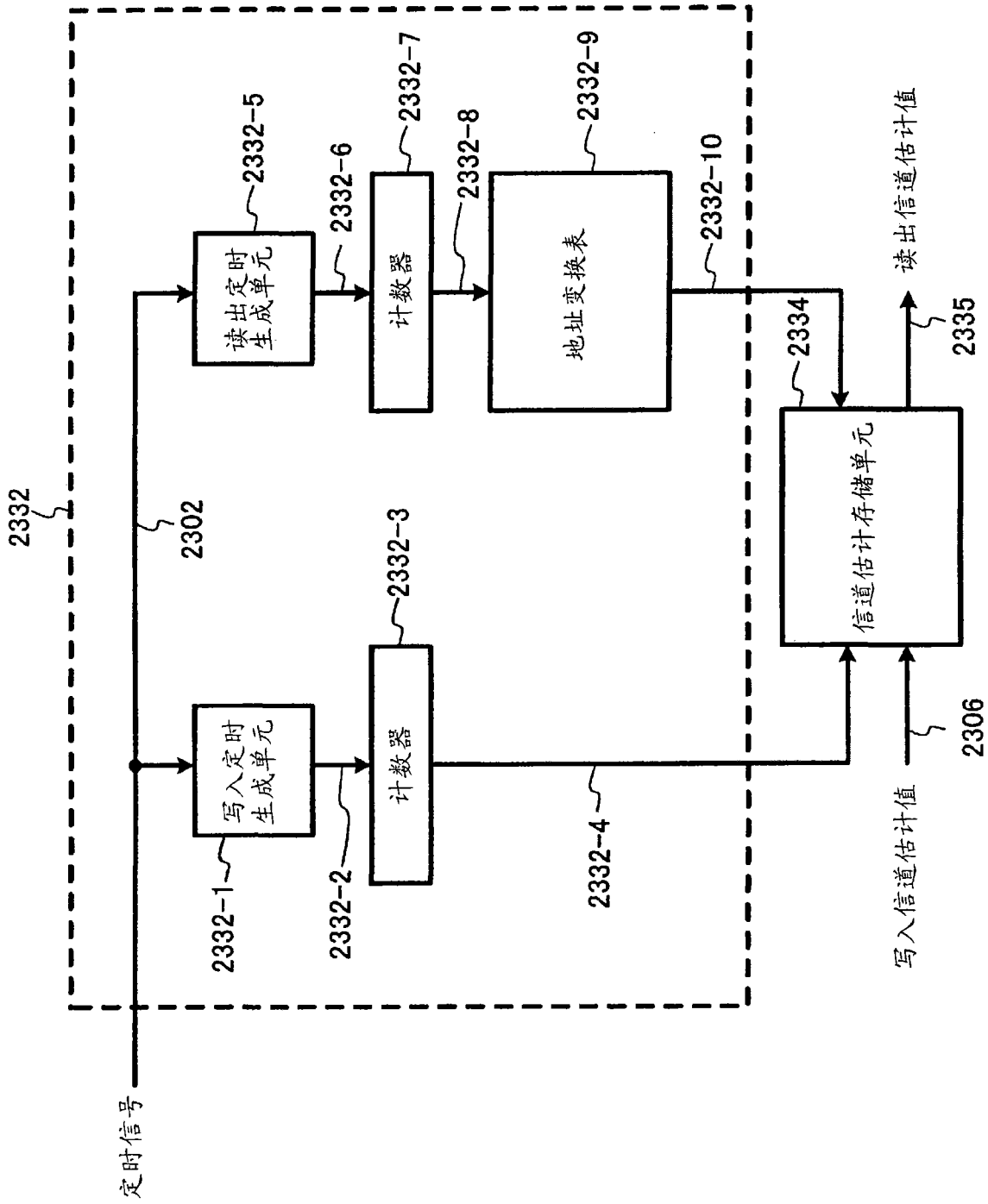


图 10

2332-9

输入值	输出值
0	0
1	13
2	27
3	39
4	1
5	14
6	28
7	40
8	2
9	15
.	.
.	.
.	.
.	.
.	.

图 11

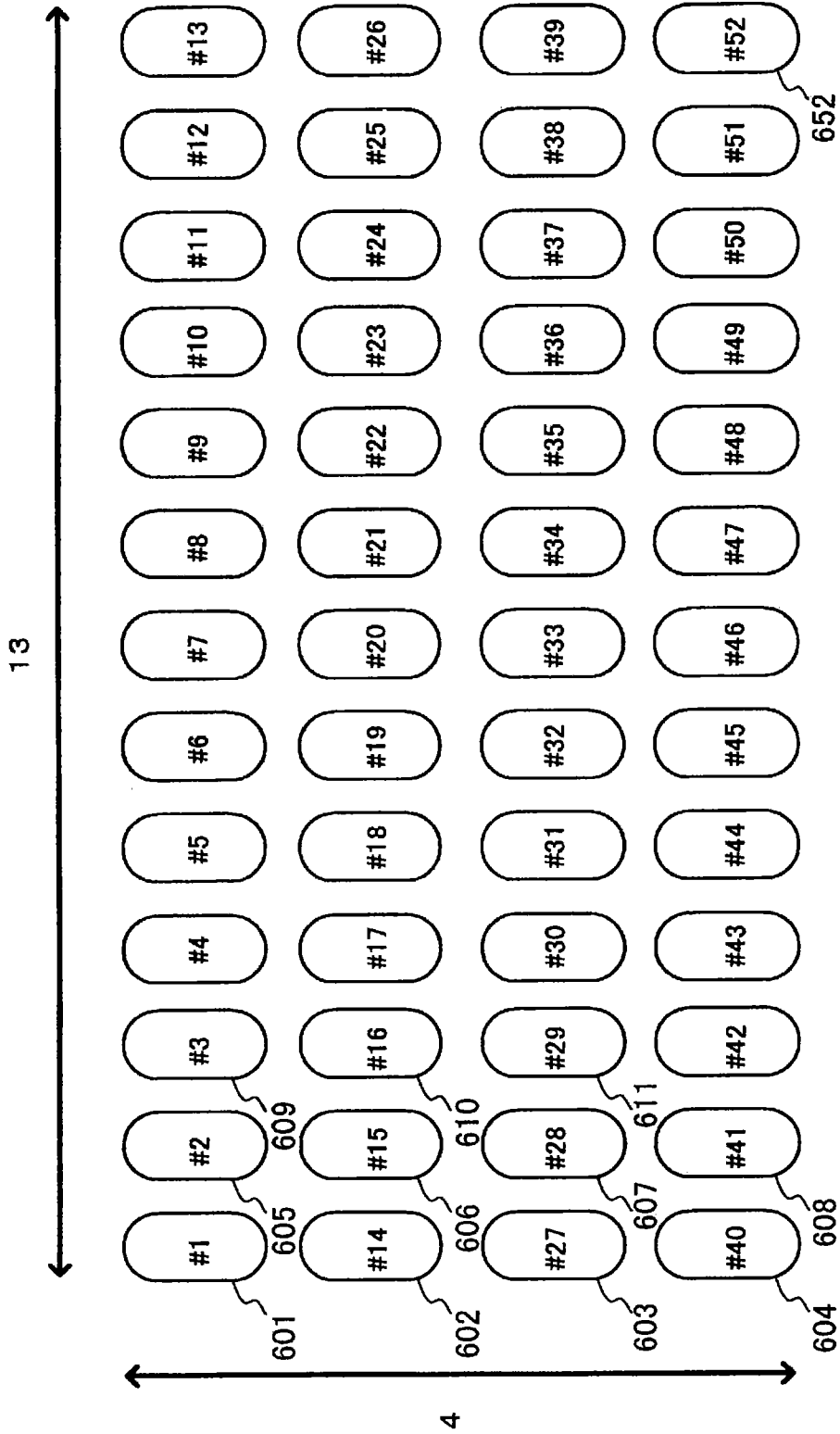


图 12

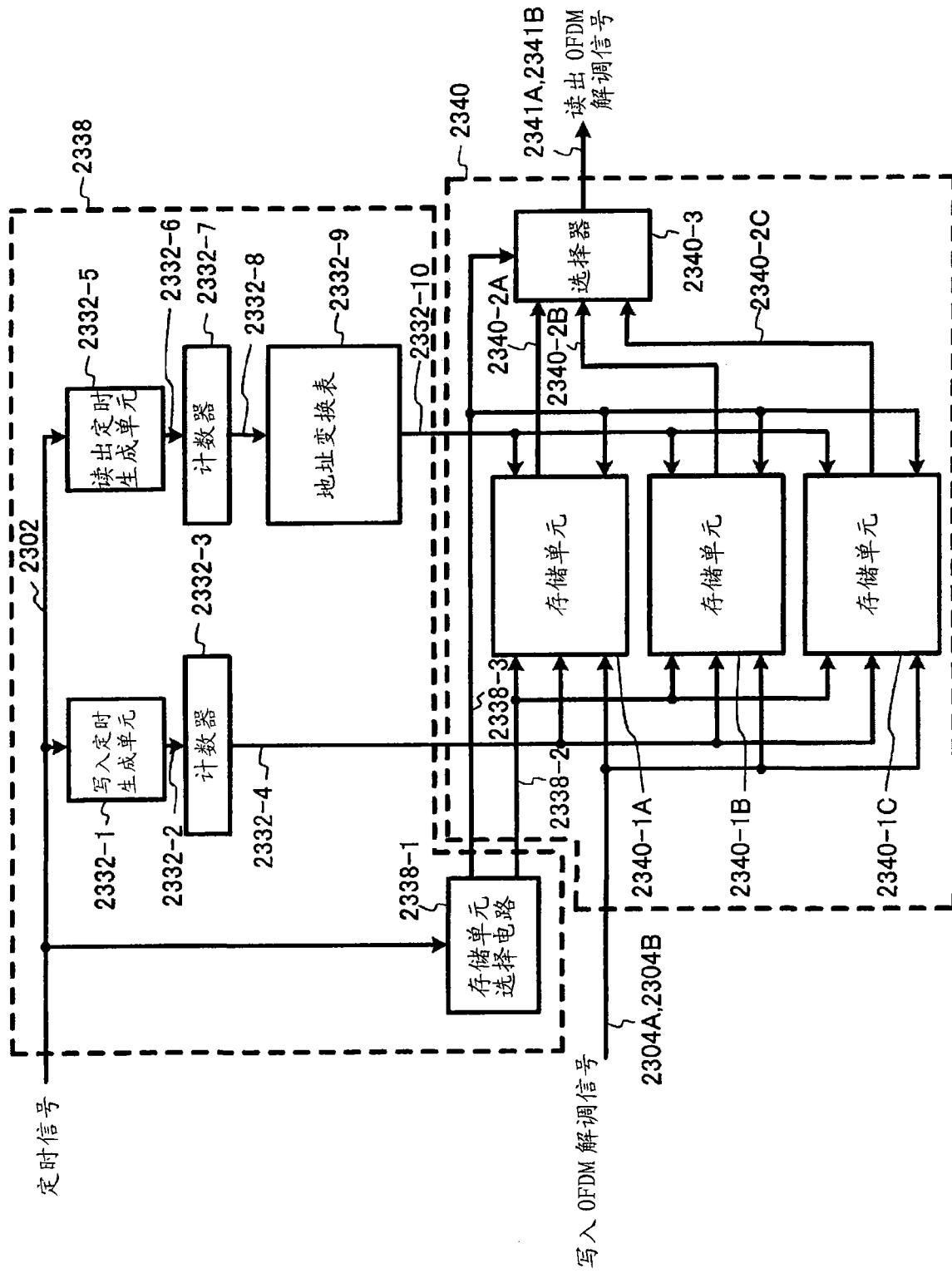


图 13

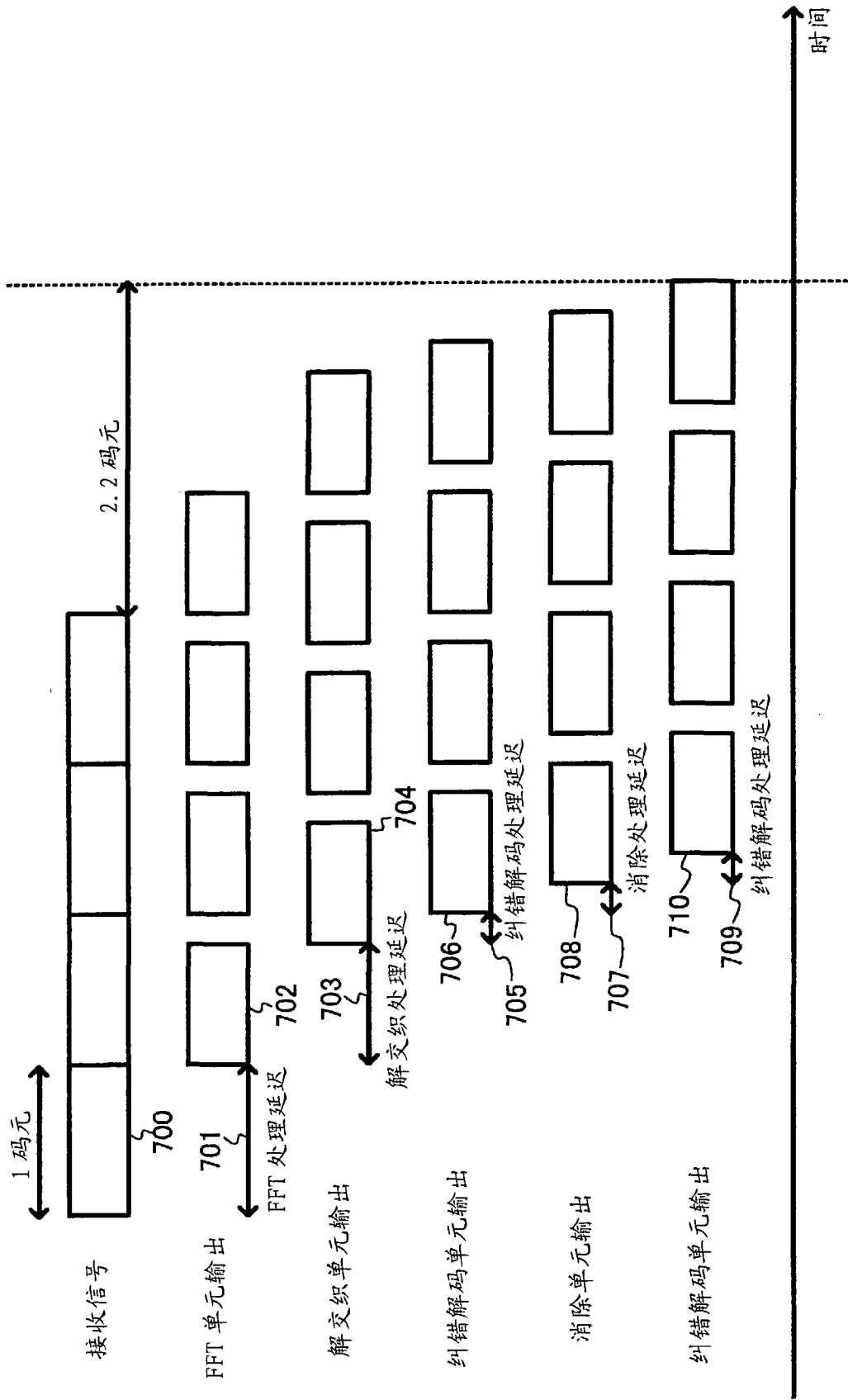


图 14

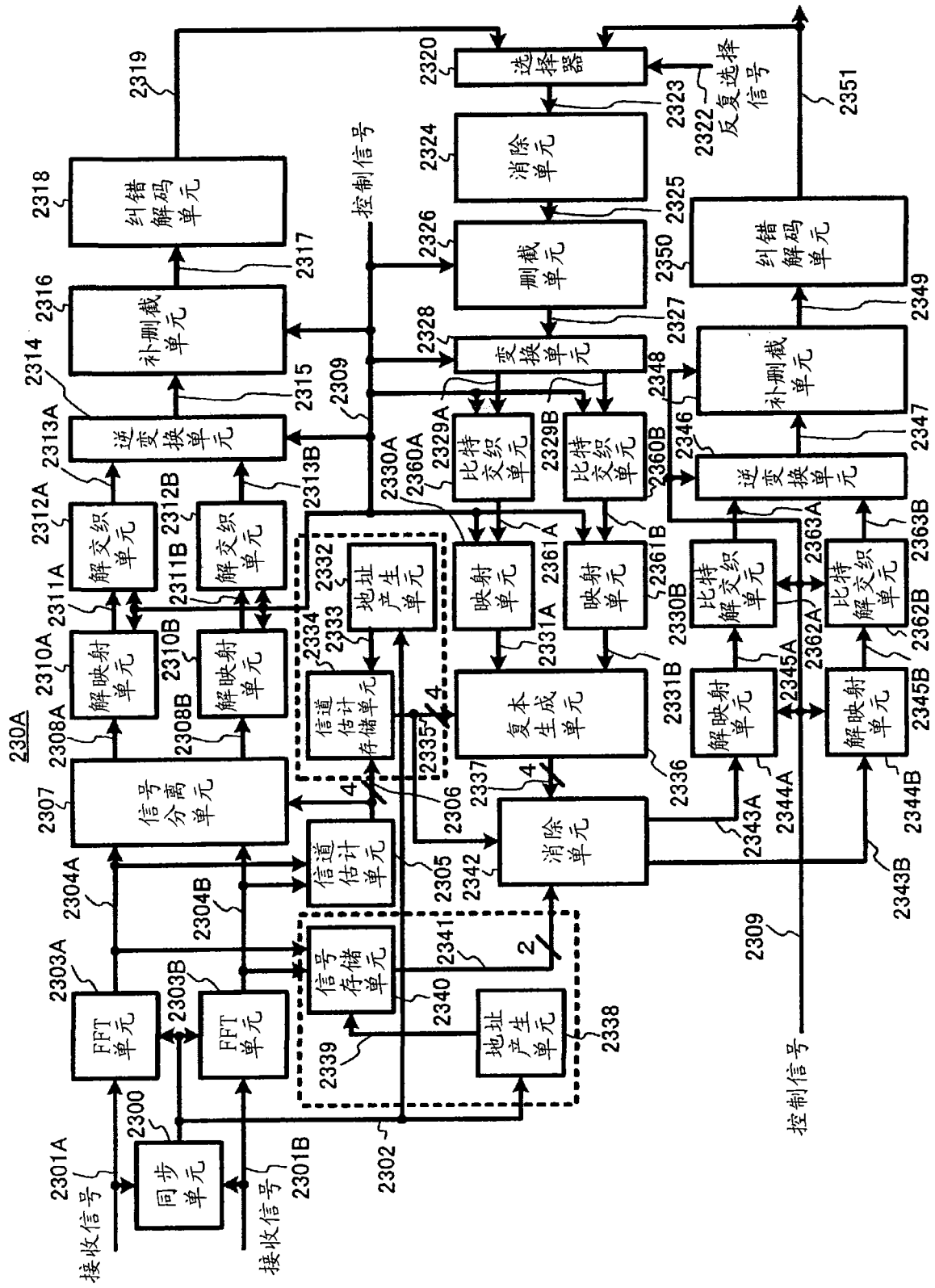


图 15

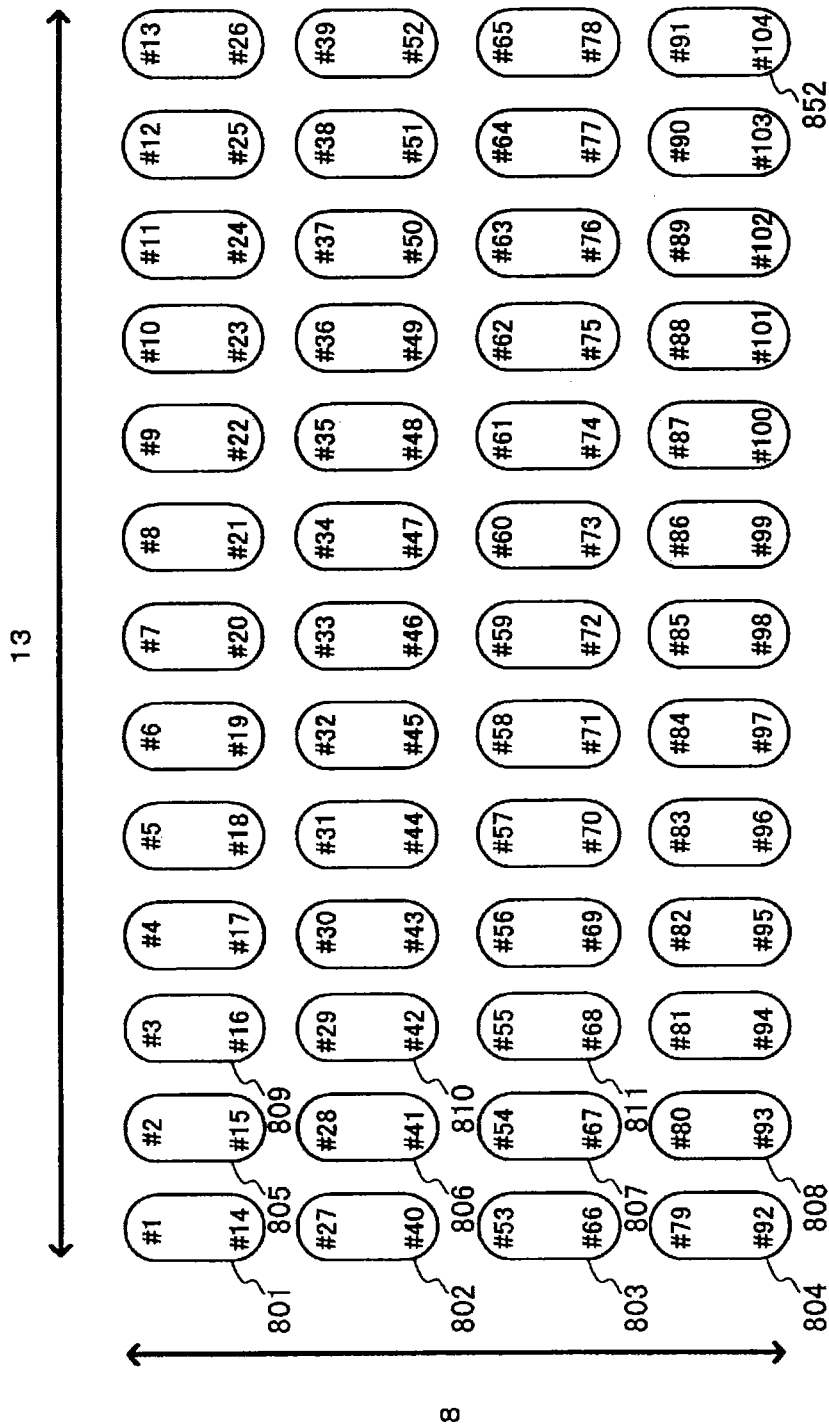


图 16

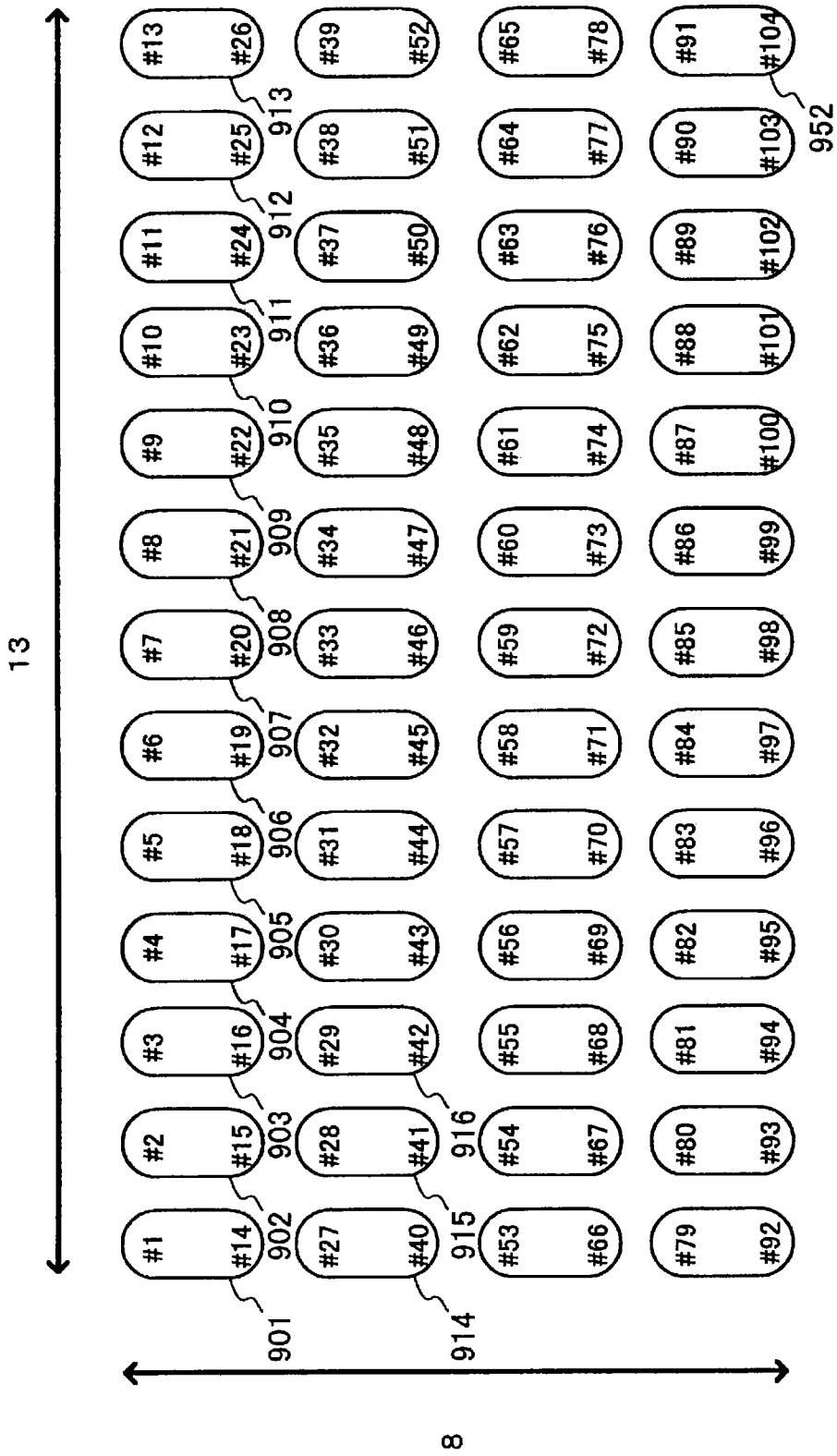


图 17

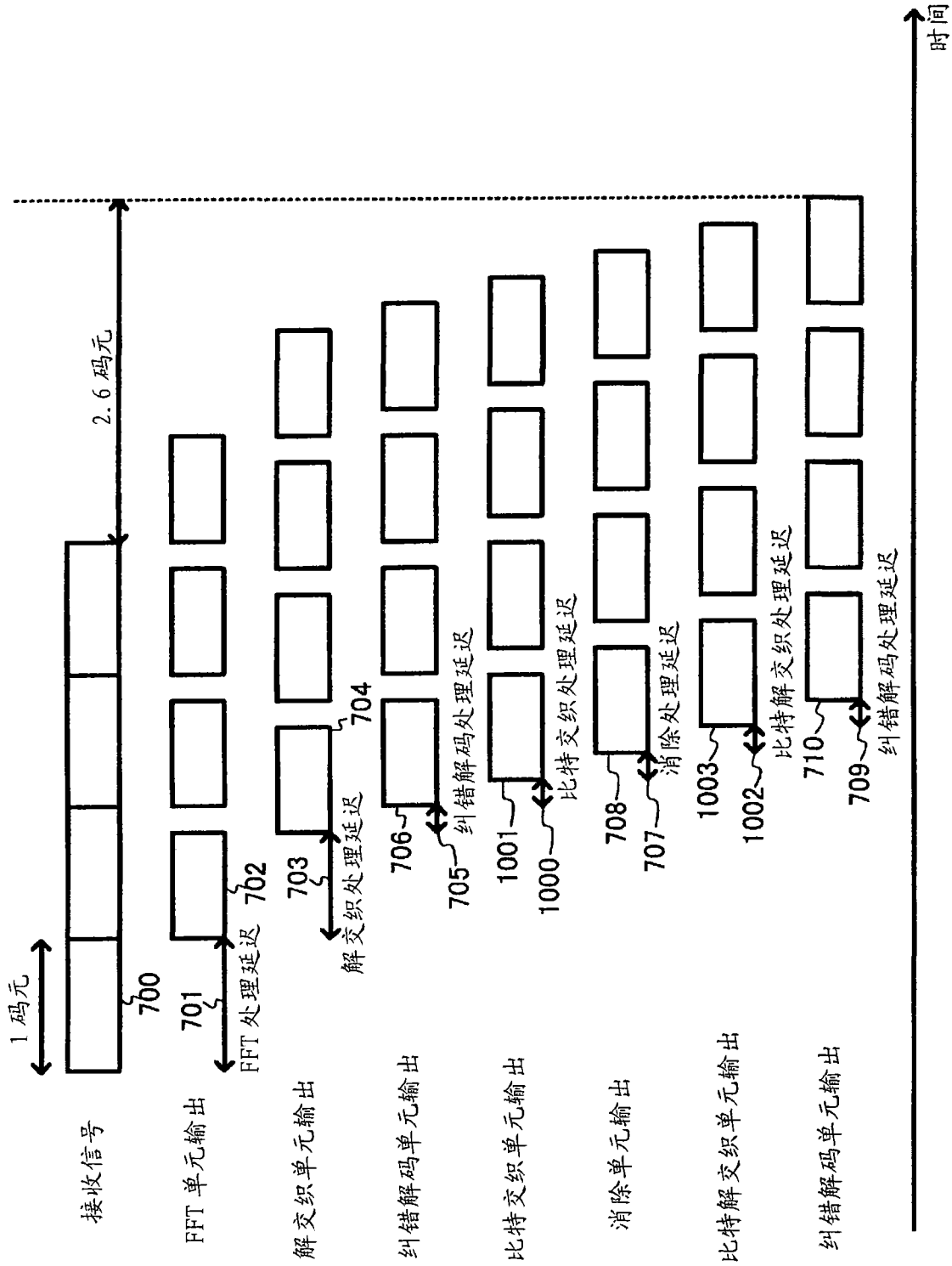


图 18

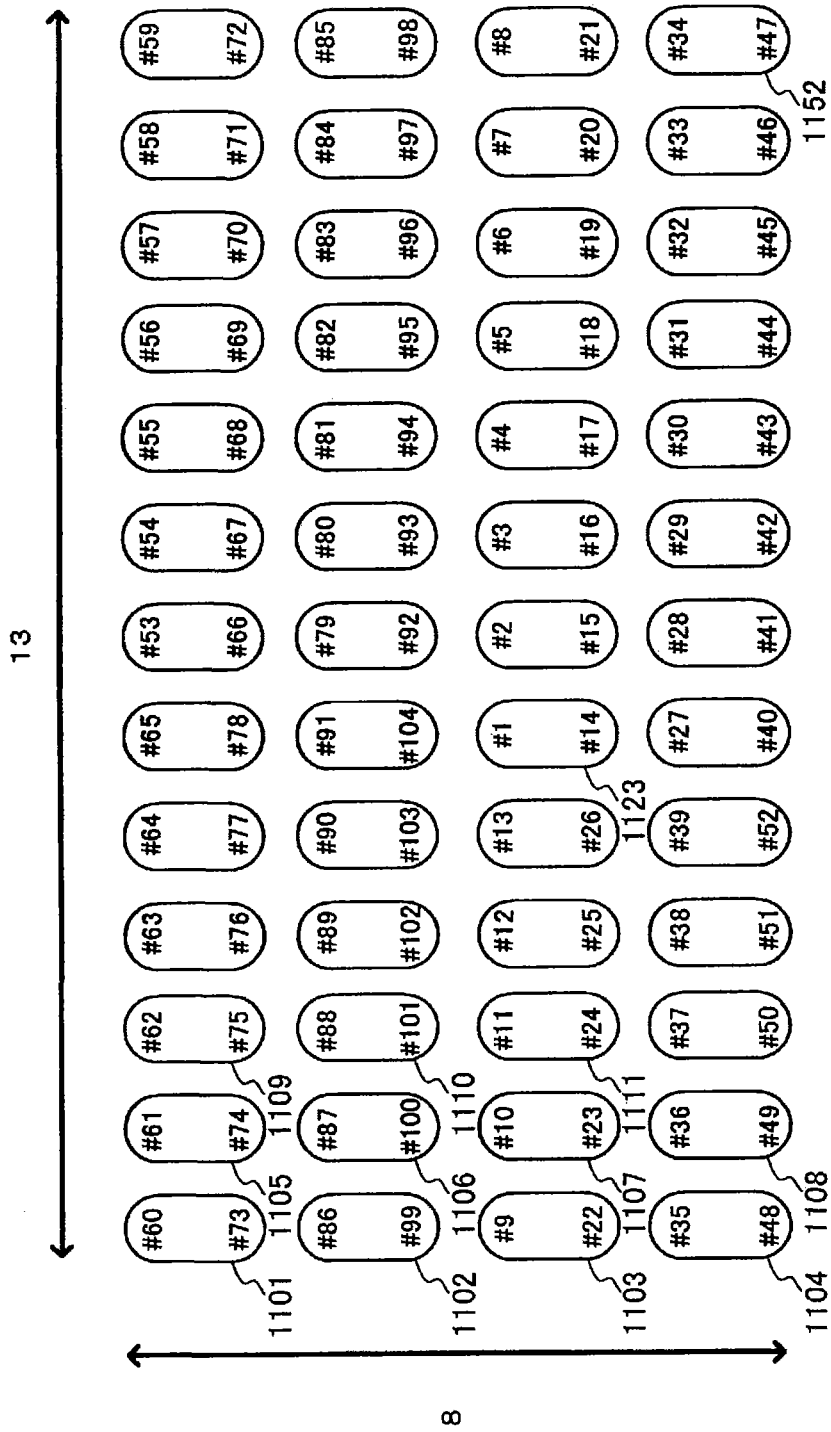


图 19

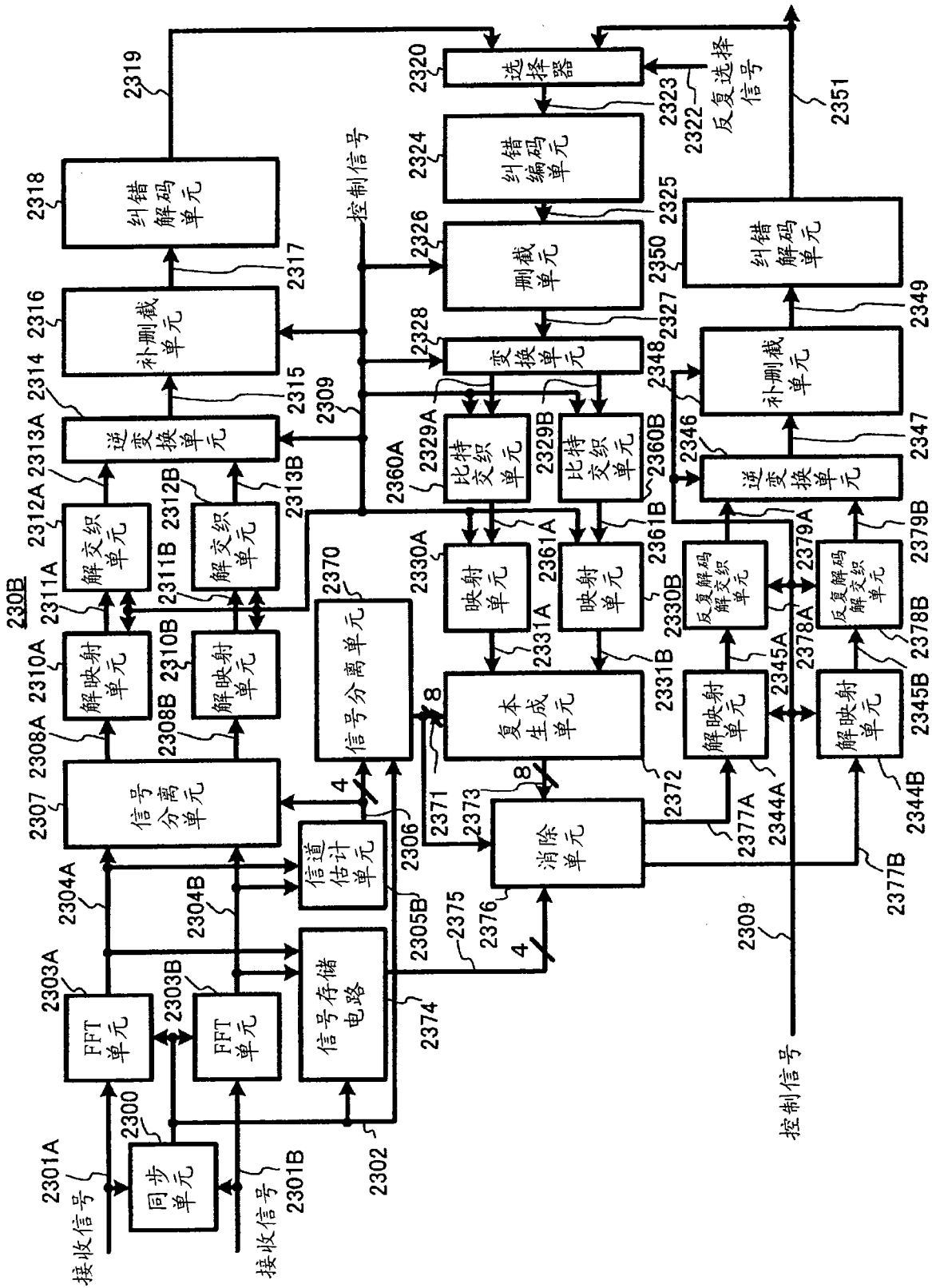


图 20

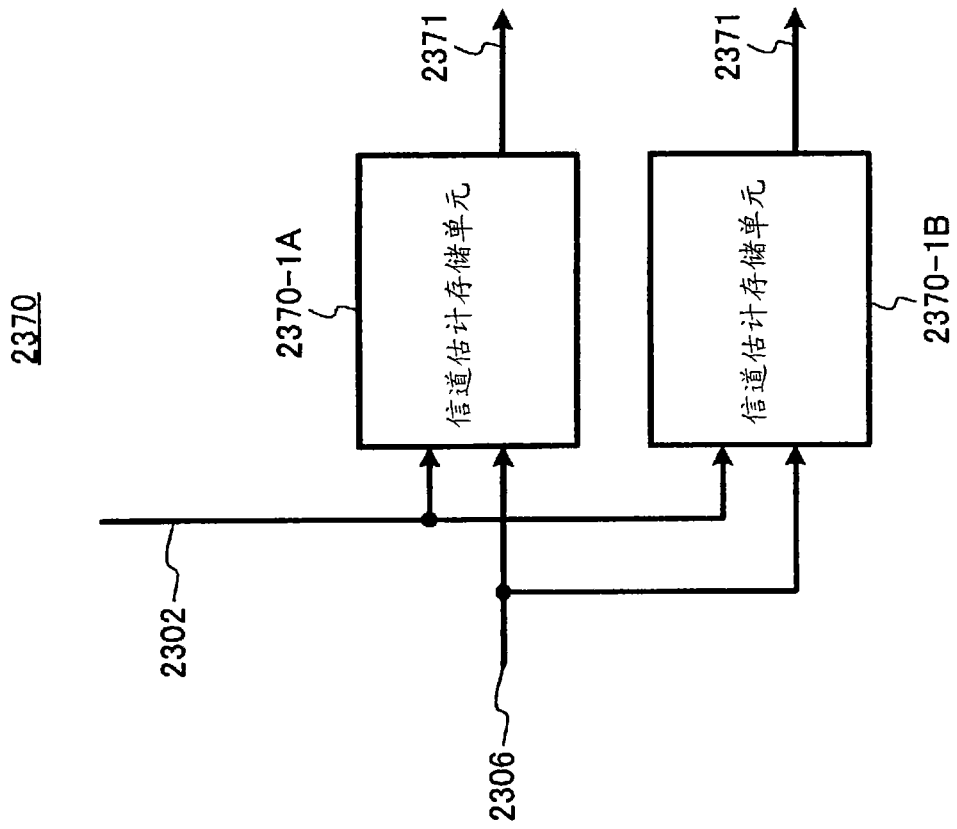


图 21

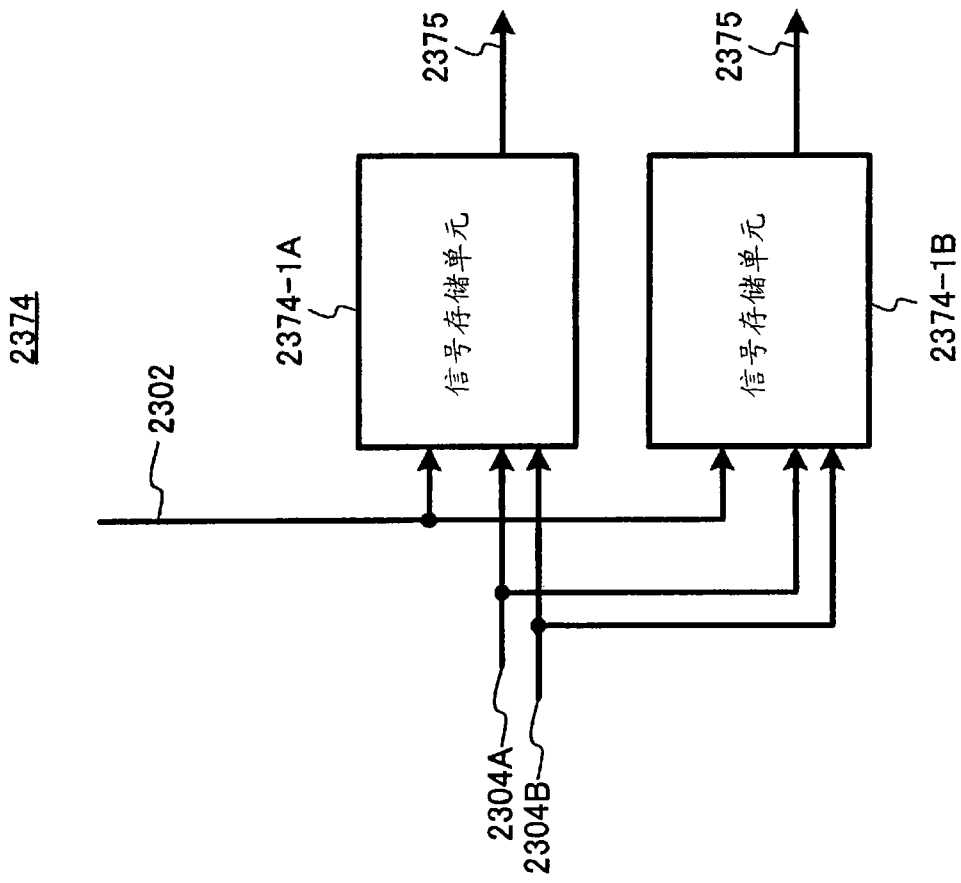


图 23

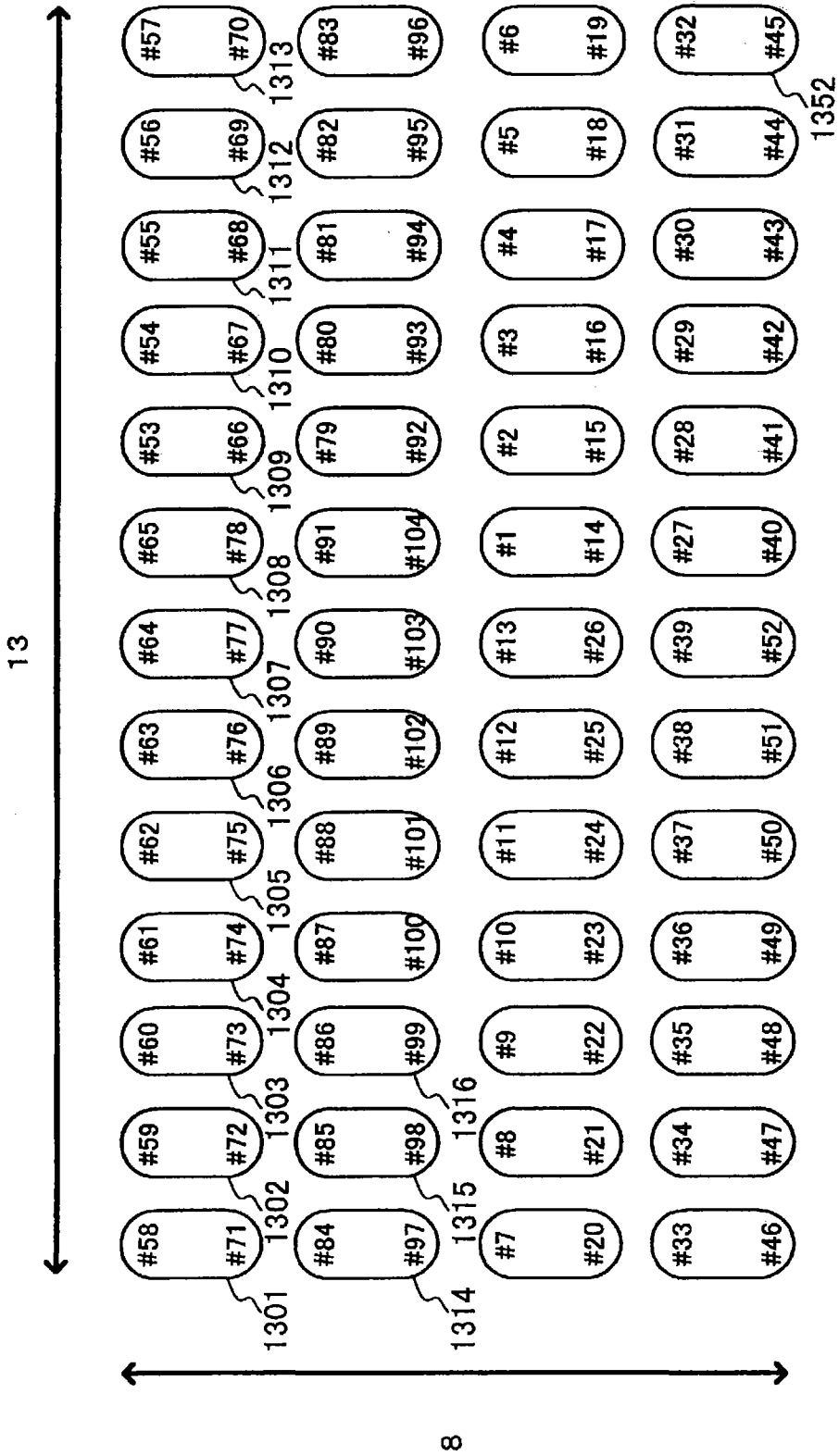


图 24

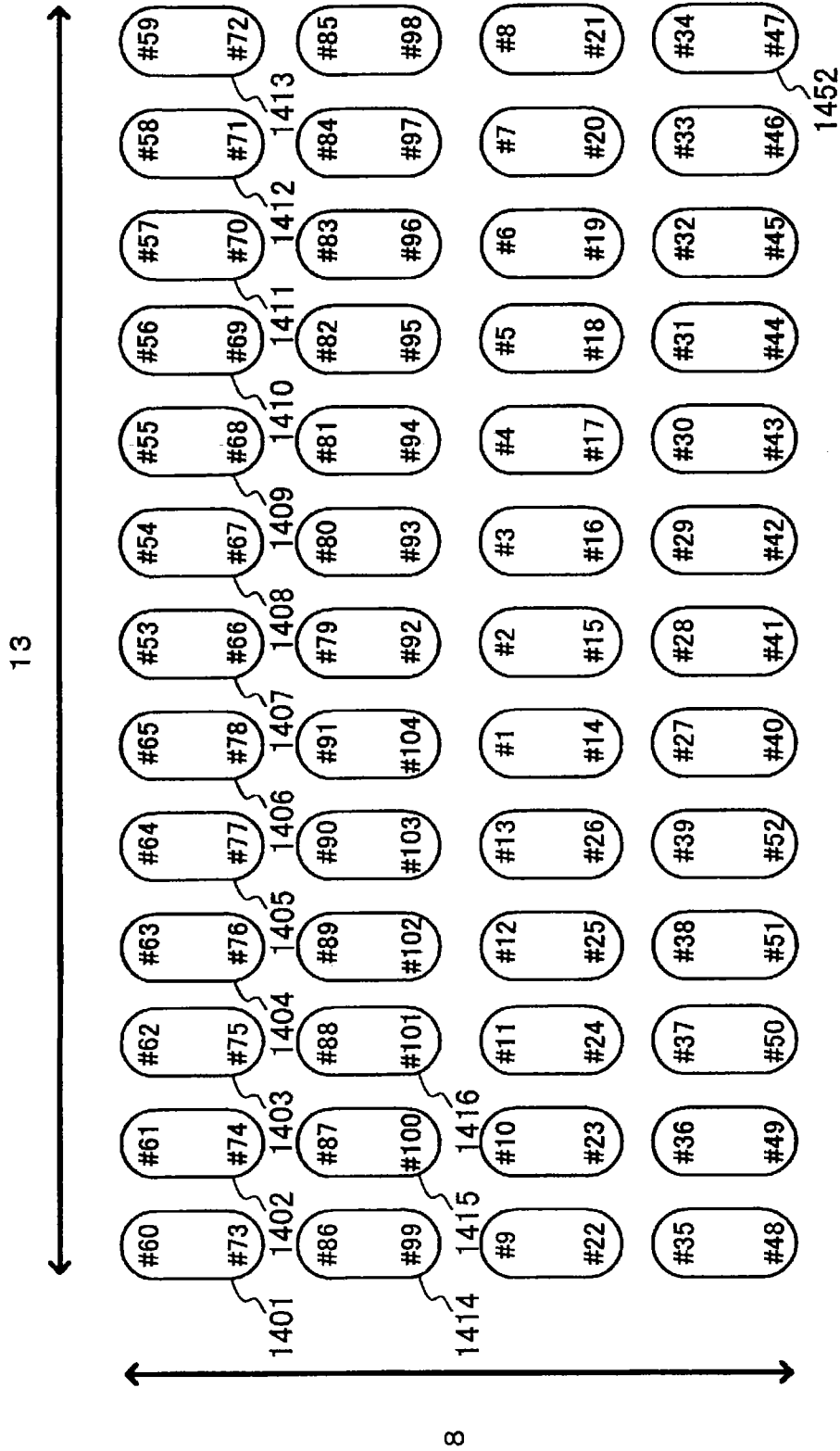


图 25

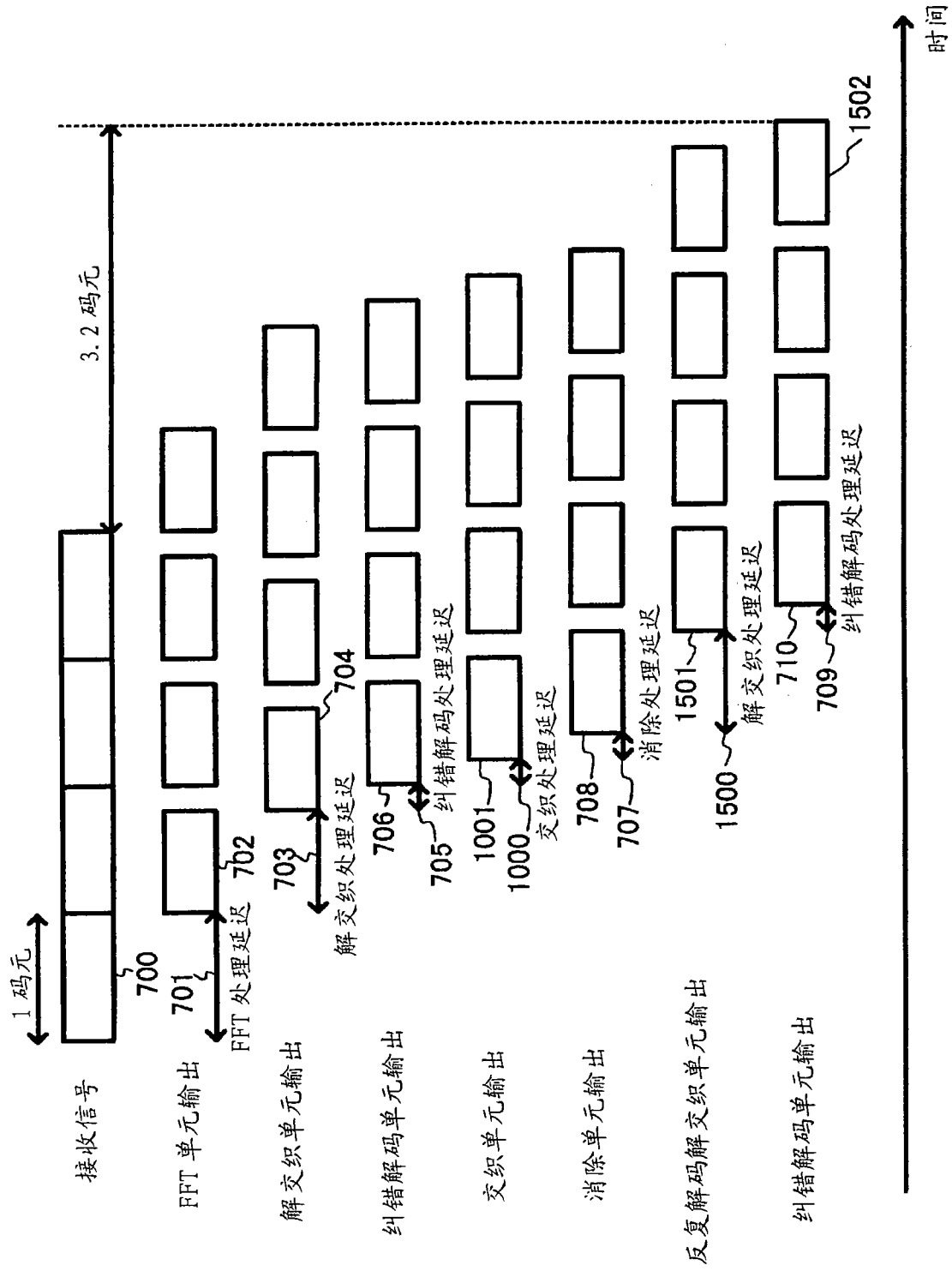


图 26

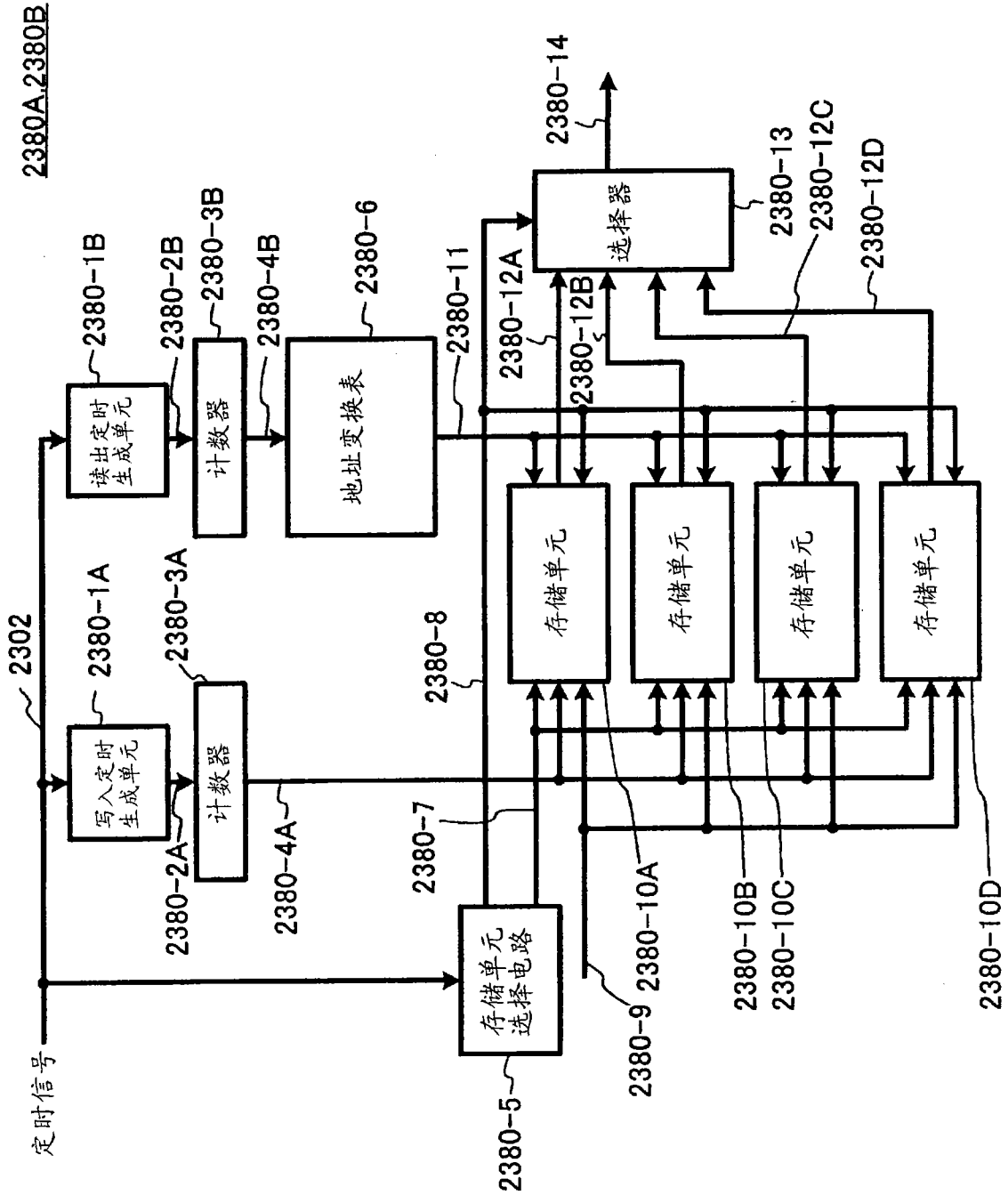


图 28

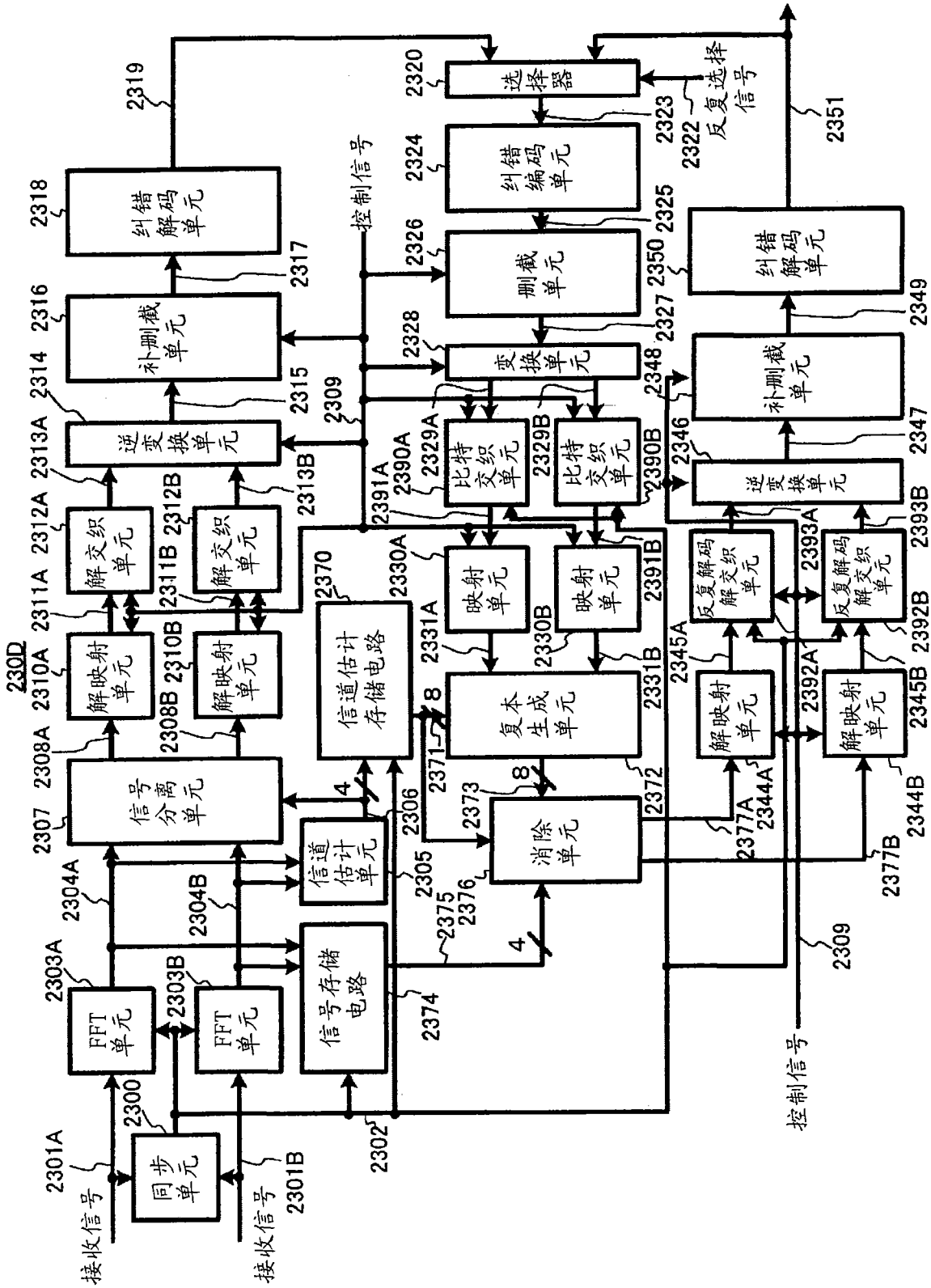


图 29