

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 2 部門第 4 区分

【発行日】平成21年2月5日(2009.2.5)

【公開番号】特開2007-168379(P2007-168379A)

【公開日】平成19年7月5日(2007.7.5)

【年通号数】公開・登録公報2007-025

【出願番号】特願2005-372521(P2005-372521)

【国際特許分類】

**B 4 1 J 2/05 (2006.01)**

【F I】

B 4 1 J 3/04 1 0 3 B

【手続補正書】

【提出日】平成20年12月12日(2008.12.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の記録素子と、

前記複数の記録素子を画像データに応じて個別に駆動制御するドライバと、

前記複数の記録素子をブロックを単位とした時分割駆動を行なうための時分割駆動用の回路と、

前記時分割駆動用の回路から出力され、前記各ブロックに対応して設けられた時分割駆動信号の配線からなるブロック選択部と、

前記記録素子に印加する駆動パルス信号の幅を規定するためのパルス幅規定信号の入力部と、

前記時分割駆動用の回路にて選択されたブロック内の記録素子に対して、駆動パルス信号を印加するタイミングをずらす遅延回路を、前記入力部に接続された前記パルス幅規定信号の配線に有する記録ヘッドにおいて、

前記時分割駆動信号を遅延させる遅延回路を前記ブロック選択部にさらに有することを特徴とする記録ヘッド。

【請求項 2】

複数の記録素子と、

前記複数の記録素子を画像データに応じて個別に駆動制御するドライバと、

前記複数の記録素子をブロックを単位とした時分割駆動を行なうための時分割駆動用の回路と、

前記時分割駆動用の回路から出力され、前記各ブロックに対応して設けられた時分割駆動信号の配線からなるブロック選択部と、

前記記録素子に印加する駆動パルス信号の幅を規定するためのパルス幅規定信号の入力部と、

前記時分割駆動用の回路にて選択されたブロック内の記録素子に対して、駆動パルス信号を印加するタイミングをずらす遅延回路を、前記入力部に接続された前記パルス幅規定信号の配線に有する記録ヘッドにおいて、

前記複数の記録素子が、異なる諧調を記録する複数の記録素子群であり、

前記記録素子群を、記録する諧調に応じて選択する諧調選択部とを有し、

前記時分割駆動信号を遅延させる遅延回路を前記ブロック選択部に備え、

前記異なる諧調を記録するための選択信号を遅延させる遅延回路を前記諧調選択部にさらに備えることを特徴とする記録ヘッド。

【請求項 3】

前記パルス幅規定信号の配線が複数の遅延回路を備え、前記パルス幅規定信号と画像データとにより、前記記録素子への駆動パルスの通電時間を設定する A N D 回路をさらに備え、前記 A N D 回路から出力される信号を前記複数の遅延回路にて遅延させることを特徴とする請求項 2 に記載の記録ヘッド。

【請求項 4】

前記複数の記録素子が、サイズの異なる複数の記録素子群により異なる諧調を記録することを特徴とする請求項 2 または 3 に記載の記録ヘッド。

【請求項 5】

前記駆動パルス信号を印加するタイミングをずらす遅延回路による遅延の段数よりも、前記時分割駆動信号を遅延させる遅延回路の段数が少ないことを特徴とする請求項 1 または 2 に記載の記録ヘッド。

【請求項 6】

前記遅延回路がバッファにより構成されている請求項 1 から 5 に記載の記録ヘッド。

【請求項 7】

複数の記録素子と、  
前記複数の記録素子を画像データに応じて個別に駆動制御するドライバと、  
前記複数の記録素子をブロックを単位とした時分割駆動を行なうための時分割駆動用の回路と、  
前記時分割駆動用の回路から出力され、前記各ブロックに対応して設けられた時分割駆動信号の配線からなるブロック選択部と、  
前記記録素子に印加する駆動パルス信号の幅を規定するためのパルス幅規定信号の入力部と、  
前記時分割駆動用の回路にて選択されたブロック内の記録素子に対して、駆動パルス信号を印加するタイミングをずらす遅延回路を、前記入力部に接続された前記パルス幅規定信号の配線に有し、  
前記時分割駆動信号を遅延させる遅延回路を前記ブロック選択部にさらに有する記録ヘッドと、  
該記録ヘッドの駆動を制御する制御手段を有する記録装置。

【請求項 8】

前記記録ヘッドが、前記記録装置から前記画像データを入力するための D A T A 端子を備え、  
前記記録装置から前記 D A T A 端子に対して、前記画像データと時分割駆動設定データおよび異なる諧調を記録するための選択データが入力されることを特徴とする請求項 7 に記載の記録装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

複数の記録素子と、前記複数の記録素子を画像データに応じて個別に駆動制御するドライバと、

前記複数の記録素子をブロックを単位とした時分割駆動を行なうための時分割駆動用の回路と、

前記時分割駆動用の回路から出力され、前記各ブロックに対応して設けられた時分割駆動信号の配線からなるブロック選択部と、前記記録素子に印加する駆動パルス信号の幅を規定するためのパルス幅規定信号の入力部と、前記時分割駆動用の回路にて選択されたブ

ロック内の記録素子に対して、駆動パルス信号を印加するタイミングをずらす遅延回路を、前記入力部に接続された前記パルス幅規定信号の配線に有する記録ヘッドにおいて、前記時分割駆動信号を遅延させる遅延回路を前記ブロック選択部にさらに有する。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００１２

【補正方法】変更

【補正の内容】

【００１２】

また、複数の記録素子と、前記複数の記録素子を画像データに応じて個別に駆動制御するドライバと、前記複数の記録素子をブロックを単位とした時分割駆動を行なうための時分割駆動用の回路と、前記時分割駆動用の回路から出力され、前記各ブロックに対応して設けられた時分割駆動信号の配線からなるブロック選択部と、前記記録素子に印加する駆動パルス信号の幅を規定するためのパルス幅規定信号の入力部と、前記時分割駆動用の回路にて選択されたブロック内の記録素子に対して、駆動パルス信号を印加するタイミングをずらす遅延回路を、前記入力部に接続された前記パルス幅規定信号の配線に有する記録ヘッドにおいて、前記複数の記録素子が、異なる諧調を記録する複数の記録素子群であり、前記記録素子群を、記録する諧調に応じて選択する諧調選択部とを有し、前記時分割駆動信号を遅延させる遅延回路を前記ブロック選択部に備え、前記異なる諧調を記録するための選択信号を遅延させる遅延回路を前記諧調選択部にさらに備える構成とする。