

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年4月2日(2010.4.2)

【公開番号】特開2008-205330(P2008-205330A)

【公開日】平成20年9月4日(2008.9.4)

【年通号数】公開・登録公報2008-035

【出願番号】特願2007-41683(P2007-41683)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/10	(2006.01)
G 11 C	16/04	(2006.01)

【F I】

H 01 L	29/78	6 1 3 B
H 01 L	29/78	6 1 8 D
H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	27/10	4 8 1
G 11 C	17/00	6 2 2 C
G 11 C	17/00	6 2 3 A
G 11 C	17/00	6 2 2 E

【手続補正書】

【提出日】平成22年2月11日(2010.2.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に設けられたメモリセルアレイ及び駆動回路部を含むメモリを有し、

前記メモリセルアレイは、第1のゲート電極層、第1のソース領域及び第1のドレイン領域を含む第1の半導体層、並びに第1のゲート絶縁層を含む第1の薄膜トランジスタを有し、

前記駆動回路部は、第2のゲート電極層、第2のソース領域及び第2のドレイン領域を含み前記第1の半導体層より膜厚の薄い第2の半導体層、並びに第2のゲート絶縁層を含む第2の薄膜トランジスタを有することを特徴とする半導体装置。

【請求項2】

絶縁表面を有する基板上に設けられたメモリセルアレイ及び駆動回路部を含むメモリを有し、

前記メモリセルアレイは、第1のゲート電極層、第1のソース領域及び第1のドレイン領域を含む第1の半導体層、並びに第1のゲート絶縁層を含む第1の薄膜トランジスタを有し、

前記駆動回路部は、第2のゲート電極層、第2のソース領域及び第2のドレイン領域を

含み前記第1の半導体層より膜厚の薄い第2の半導体層、並びに前記第1のゲート絶縁層より膜厚の薄い第2のゲート絶縁層を含む第2の薄膜トランジスタを有することを特徴とする半導体装置。

【請求項3】

絶縁表面を有する基板上に設けられたメモリセルアレイ及び駆動回路部を含むメモリを有し、

前記メモリセルアレイは、第1のゲート電極層、第1のソース領域及び第1のドレイン領域を含む第1の半導体層、並びに第1のゲート絶縁層を含む第1の薄膜トランジスタを有し、

前記駆動回路部は、第2のゲート電極層、第2のソース領域及び第2のドレイン領域を含み前記第1の半導体層より膜厚の薄い第2の半導体層、並びに第2のゲート絶縁層を含む第2の薄膜トランジスタを有し、

前記第1のゲート電極層及び前記第2のゲート電極層の側面にサイドウォール構造の絶縁層が設けられていることを特徴とする半導体装置。

【請求項4】

絶縁表面を有する基板上に設けられたメモリセルアレイ及び駆動回路部を含むメモリを有し、

前記メモリセルアレイは、第1のゲート電極層、第1のソース領域及び第1のドレイン領域を含む第1の半導体層、並びに第1のゲート絶縁層を含む第1の薄膜トランジスタを有し、

前記駆動回路部は、第2のゲート電極層、第2のソース領域及び第2のドレイン領域を含み前記第1の半導体層より膜厚の薄い第2の半導体層、並びに前記第1のゲート絶縁層より膜厚の薄い第2のゲート絶縁層を含む第2の薄膜トランジスタを有し、

前記第1のゲート電極層及び前記第2のゲート電極層の側面にサイドウォール構造の絶縁層が設けられていることを特徴とする半導体装置。

【請求項5】

絶縁表面を有する基板上に設けられたメモリセルアレイ及び駆動回路部を含むメモリを有し、

前記メモリセルアレイは、第1のゲート電極層、第1のソース領域及び第1のドレイン領域を含む第1の半導体層、並びに第1のゲート絶縁層を含む第1の薄膜トランジスタを有し、

前記駆動回路部は、第2のゲート電極層、第2のソース領域及び第2のドレイン領域を含み前記第1の半導体層より膜厚の薄い第2の半導体層、並びに第2のゲート絶縁層を含む第2の薄膜トランジスタを有し、

前記第1のゲート電極層及び前記第2のゲート電極層の側面にサイドウォール構造の絶縁層と、

前記第1のソース領域、前記第1のドレイン領域、前記第2のソース領域、及び前記第2のドレイン領域の表面にシリサイドとが設けられていることを特徴とする半導体装置。

【請求項6】

絶縁表面を有する基板上に設けられたメモリセルアレイ及び駆動回路部を含むメモリを有し、

前記メモリセルアレイは、第1のゲート電極層、第1のソース領域及び第1のドレイン領域を含む第1の半導体層、並びに第1のゲート絶縁層を含む第1の薄膜トランジスタを有し、

前記駆動回路部は、第2のゲート電極層、第2のソース領域及び第2のドレイン領域を含み前記第1の半導体層より膜厚の薄い第2の半導体層、並びに前記第1のゲート絶縁層より膜厚の薄い第2のゲート絶縁層を含む第2の薄膜トランジスタを有し、

前記第1のゲート電極層及び前記第2のゲート電極層の側面にサイドウォール構造の絶縁層と、

前記第1のソース領域、前記第1のドレイン領域、前記第2のソース領域、及び前記第

2 のドレイン領域の表面にシリサイドとが設けられていることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、前記第 1 の半導体層及び前記第 2 の半導体層は側面にサイドウォール構造の絶縁層を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、前記メモリは昇圧回路を有し、

前記昇圧回路は、第 3 のゲート電極層、第 3 のソース領域及び第 3 のドレイン領域を含み前記第 2 の半導体層より膜厚の厚い第 3 の半導体層、並びに第 3 のゲート絶縁層を含む第 3 の薄膜トランジスタを有することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 7 のいずれか一項において、前記絶縁表面を有する基板上に電源回路を有し、

前記電源回路は、第 3 のゲート電極層、第 3 のソース領域及び第 3 のドレイン領域を含み前記第 2 の半導体層より膜厚の厚い第 3 の半導体層、並びに第 3 のゲート絶縁層を含む第 3 の薄膜トランジスタを有することを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、前記絶縁表面を有する基板上に、p 型を付与する不純物元素が添加された絶縁層を有し、前記第 1 の薄膜トランジスタおよび前記第 2 の薄膜トランジスタは前記 p 型を付与する不純物元素が添加された絶縁層上に設けられていることを特徴とする半導体装置。