

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年10月20日(2011.10.20)

【公開番号】特開2009-76907(P2009-76907A)

【公開日】平成21年4月9日(2009.4.9)

【年通号数】公開・登録公報2009-014

【出願番号】特願2008-237865(P2008-237865)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/205 (2006.01)

【F I】

H 01 L 29/78 301S

H 01 L 21/205

【手続補正書】

【提出日】平成23年8月29日(2011.8.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁表面、及びリセスを有する単結晶半導体表面を含む基板を、化学気相成長チャンバ内に提供するステップと、

前記リセスに半導体ストレッサーを選択的に形成するステップと、を含み、

前記半導体ストレッサーが、前記リセス内の前記半導体ストレッサーの上部部分が下部部分より高いひずみを有するように傾斜され、

前記上部部分が前記リセスの側壁へ伸びる半導体物質を選択的に形成する方法。

【請求項2】

前記半導体ストレッサーが、離散的な膜を含む請求項1に記載の方法。

【請求項3】

前記半導体ストレッサーを選択的に形成する前記ステップが、

前記基板の前記絶縁表面及び前記単結晶半導体表面上に半導体物質をプランケット成膜するステップと、

前記リセスの底部にエピタキシャル物質を残しながら、前記絶縁表面から非エピタキシャル半導体物質を選択的に除去し、且つ、前記リセスの前記側壁からエピタキシャル物質を選択的に除去するステップと、を含む

請求項1に記載の方法。

【請求項4】

前記プランケット成膜するステップ及び前記選択的に除去するステップを複数のサイクル繰り返すステップをさらに含み、

各前記サイクルが、前記リセスの底部でのエピタキシャル物質の厚さを増し、

前記リセス内において、プランケット成膜された半導体物質の膜が、該膜の下にあるプランケット成膜された半導体物質の膜よりも高い濃度のドーパントを含有する

請求項3に記載の方法。

【請求項5】

前記プランケット成膜するステップが、非選択的に成膜するステップを含む
請求項 3 に記載の方法。

【請求項 6】

前記プランケット成膜するステップが、前記絶縁表面上に主に非晶質の半導体物質を形成するステップを含む
請求項 3 に記載の方法。

【請求項 7】

前記プランケット成膜するステップが、トリシラン及び炭素の前駆体を前記化学気相成長チャンバに流すステップを含む
請求項 3 に記載の方法。

【請求項 8】

前記半導体物質が、炭素不純物添加のシリコンを含む
請求項 1 に記載の方法。

【請求項 9】

堆積された前記半導体ストレッサーの膜が、離散的に傾斜されている
請求項 2 に記載の方法。

【請求項 10】

前記半導体ストレッサーを堆積する前記ステップが、各サイクルにおいて 1 ~ 1 0 0 nm の厚さに前記半導体ストレッサーを形成する
請求項 9 に記載の方法。

【請求項 11】

前記リセスされた領域中の前記半導体ストレッサーの前記膜が、前記基板の隣接領域にひずみを生じさせる
請求項 2 に記載の方法。

【請求項 12】

前記ひずみが、前記リセスされた領域のトップ部分で最も大きい
請求項 11 に記載の方法。

【請求項 13】

絶縁領域及びリセスが形成されている基板を提供するステップと、
前記リセスを部分的に埋め込み、ひずみを引き起こす不純物を含むヘテロエピタキシャル・シリコン含有物質のライナー層を前記リセスに形成するステップと、
前記ライナー層より低い濃度の不純物を有するシリコン含有物質を含むフィラーを前記ライナー層上に形成することによって、前記ライナー層を覆うステップと、を含む
リセス内に半導体物質を形成する方法。

【請求項 14】

基板中のリセスと、
前記リセスの単結晶側壁表面のすべてを実質的に覆い、格子定数を変更させる不純物を含むヘテロエピタキシャル・シリコン含有ライナーと、

前記ライナー上に形成され、前記リセスを埋め込むフィラーと、
前記リセスに隣接するトランジスタ・チャネルと、を含み、
前記フィラーが、前記ライナーより低い濃度の前記不純物を有するシリコン含有物質を含む半導体装置。

【請求項 15】

ヘテロエピタキシャル・ストレッサー物質で埋め込まれたリセスと、
前記リセスに隣接するトランジスタ・チャネルと、を含み、
前記リセス内の前記ストレッサー物質の上部が、第 1 の不純物濃度を有し、
前記リセス内の前記ストレッサー物質の下部が、第 2 の不純物濃度を有し、
前記第 1 の不純物濃度が、第 2 の不純物濃度より高く、
前記上部が、伸びて前記リセスの側壁と接続する半導体装置。

【請求項 16】

前記ストレッサー物質が、底面よりも上面のほうが高い不純物濃度を有する
請求項 1_5 に記載の半導体装置。

【請求項 1_7】

前記ストレッサー物質が、シリコン・ゲルマニウムである
請求項 1_5 に記載の半導体装置。

【請求項 1_8】

前記ストレッサー物質が、炭素不純物添加のシリコンである
請求項 1_5 に記載の半導体装置。

【請求項 1_9】

前記ストレッサー物質が、離散的な膜を含み、
各前記膜が、各前記膜の下の膜より高い不純物濃度を有する
請求項 1_5 に記載の半導体装置。

【請求項 2_0】

前記ストレッサー物質が、引っ張りひずみを有する
請求項 1_5 に記載の半導体装置。

【請求項 2_1】

前記リセスの単結晶側壁表面のすべてを実質的に覆うシリコン含有ライナーを更に含み
前記ヘテロエピタキシャル・ストレッサー物質は、シリコン含有ライナー層により規定
される前記リセスの内部領域を充填する
請求項 1_5 に記載の半導体装置。

【請求項 2_2】

前記ひずみは、前記リセスが形成された領域の上部部分の前記リセス内で最も大きい
請求項 1 に記載の方法。

【請求項 2_3】

少なくとも1つの前記半導体ストレッサーの最上層は、引っ張りひずみを有する
請求項 1 に記載の方法。

【請求項 2_4】

前記プランケット成膜するステップは、ゲルマニウムソースを流すステップを含む
請求項 3 に記載の方法。

【請求項 2_5】

前記プランケット成膜するステップは、前記絶縁表面に主に多結晶物質を形成するステップを含む
請求項 3 に記載の方法。

【請求項 2_6】

前記プランケット成膜するステップは、少なくともいくつかのエッチャントを流すステップを含む
請求項 3 に記載の方法。

【請求項 2_7】

前記非エピタキシャル半導体物質及び前記エピタキシャル物質を選択的に除去するステップは、ゲルマニウムソースを含むエッチング化学物質を導入するステップを含む
請求項 3 に記載の方法。

【請求項 2_8】

前記ゲルマニウムソースは、GeCl₄を含む
請求項 2_7 に記載の方法。

【請求項 2_9】

選択的に形成された前記半導体ストレッサーにシリコンキャップ層を形成するステップを更に含む
請求項 1 に記載の方法。