

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7634076号
(P7634076)

(45)発行日 令和7年2月20日(2025.2.20)

(24)登録日 令和7年2月12日(2025.2.12)

(51)国際特許分類

F I

H O 1 L 21/205(2006.01)

H O 1 L 21/20 (2006.01)

H 1 O H 20/825(2025.01)

H 1 O H 20/817(2025.01)

H O 1 L 21/205

H O 1 L 21/20

H O 1 L 33/32

H O 1 L 33/16

請求項の数 34 (全25頁)

(21)出願番号	特願2023-502421(P2023-502421)	(73)特許権者	000006633
(86)(22)出願日	令和4年2月22日(2022.2.22)		京セラ株式会社
(86)国際出願番号	PCT/JP2022/007132		京都府京都市伏見区竹田鳥羽殿町6番地
(87)国際公開番号	WO2022/181584	(74)代理人	110000338
(87)国際公開日	令和4年9月1日(2022.9.1)		弁理士法人 HARAKENZO WOR
審査請求日	令和5年8月17日(2023.8.17)		LD PATENT & TRADEMA
(31)優先権主張番号	特願2021-31035(P2021-31035)		R K
(32)優先日	令和3年2月26日(2021.2.26)	(72)発明者	神川 剛
(33)優先権主張国・地域又は機関	日本国(JP)		京都府京都市伏見区竹田鳥羽殿町6番地
		審査官	京セラ株式会社内 桑原 清

最終頁に続く

(54)【発明の名称】 テンプレート基板並びにその製造方法および製造装置、半導体基板並びにその製造方法および製造装置

(57)【特許請求の範囲】

【請求項1】

エッジ、前記エッジを含む周縁部、および前記周縁部よりも内側に位置する非周縁部を有する主基板と、

前記主基板よりも上方に位置するマスクパターンと、を備え、

前記マスクパターンは、マスク部と、第1方向を幅方向、第2方向を長手方向とし、平面視において前記非周縁部と重なる複数の第1開口部と、平面視において前記エッジに沿うように配された、1つまたは複数の第2開口部とを有し、

前記複数の第1開口部が第1方向に並び、

前記複数の第1開口部は、主基板中央からの前記第1方向の距離が異なる2つの第1開口部を含み、前記2つの第1開口部の一方は他方に比べて前記距離が大きく、かつ前記第2方向の長さが小さい、テンプレート基板。

【請求項2】

前記複数の第1開口部の少なくとも1つと、前記複数の第2開口部の少なくとも1つとが互いに隣接し、かつ前記第2方向に視たときに重なる、請求項1に記載のテンプレート基板。

【請求項3】

前記複数の第1開口部の少なくとも1つが、前記第2方向に並ぶ2つの第2開口部の間に位置する、請求項2に記載のテンプレート基板。

【請求項4】

前記複数の第1開口部の少なくとも1つと、前記複数の第2開口部の少なくとも1つとが互いに隣接し、かつ前記第1方向に視たときに重なる、請求項1に記載のテンプレート基板。

【請求項5】

前記複数の第1開口部の1つと、前記複数の第2開口部の1つとが間隙を介して前記第2方向に並ぶ、請求項1～4のいずれか1項に記載のテンプレート基板。

【請求項6】

前記間隙は前記非周縁部の上方に位置する、請求項5に記載のテンプレート基板。

【請求項7】

前記複数の第1開口部の第2方向の最小の長さが、前記1つまたは複数の第2開口部の第2方向の長さよりも大きい、請求項1に記載のテンプレート基板。

【請求項8】

前記複数の第1開口部の少なくとも1つと、前記2つの第2開口部の一方との距離は、平面視における前記2つの第2開口部の一方と前記エッジとの距離よりも大きい、請求項3に記載のテンプレート基板。

【請求項9】

前記エッジが曲面部を含む、請求項1に記載のテンプレート基板。

【請求項10】

前記複数の第2開口部が湾曲形状を有する、請求項9に記載のテンプレート基板。

【請求項11】

前記1つの第2開口部、または前記複数の第2開口部の1つが環状を有する、請求項1または4に記載のテンプレート基板。

【請求項12】

前記エッジが前記曲面部と繋がり、前記第1方向に平行な法線を有する平面部を含む、請求項9に記載のテンプレート基板。

【請求項13】

平面視で前記複数の第1開口部と重なるシード層を有する、請求項1～12のいずれか1項に記載のテンプレート基板。

【請求項14】

前記周縁部は、前記エッジから2〔mm〕以内の領域である、請求項1～13のいずれか1項に記載のテンプレート基板。

【請求項15】

前記主基板はシリコン基板である、請求項1～14のいずれか1項に記載のテンプレート基板。

【請求項16】

GaN系半導体部のELO形成に用いられる、請求項1～15のいずれか1項に記載のテンプレート基板。

【請求項17】

エッジ、前記エッジを含む周縁部、および前記周縁部よりも内側に位置する非周縁部を有する主基板と、前記主基板よりも上方に位置するマスクパターンと、を備えるテンプレート基板の製造方法であって、

前記マスクパターンに、マスク部と、第1方向を幅方向、第2方向を長手方向とし、平面視において前記非周縁部と重なる複数の第1開口部と、平面視において前記エッジに沿うように配された、1つまたは複数の第2開口部とを形成し、

前記複数の第1開口部が第1方向に並び、

前記複数の第1開口部は、主基板中央からの前記第1方向の距離が異なる2つの第1開口部を含み、前記2つの第1開口部の一方は他方に比べて前記距離が大きく、かつ前記第2方向の長さが小さい、テンプレート基板の製造方法。

【請求項18】

エッジ、前記エッジを含む周縁部、および前記周縁部よりも内側に位置する非周縁部を

10

20

30

40

50

有する主基板と、前記主基板よりも上方に位置するマスクパターンと、を備えるテンプレート基板の製造装置であって、

マスク部と、第1方向を幅方向、第2方向を長手方向とし、平面視において前記非周縁部と重なる複数の第1開口部と、平面視において前記エッジに沿うように配された、1つまたは複数の第2開口部とを含むマスクパターンを形成するマスクパターン形成部を備え、前記複数の第1開口部が第1方向に並び、

前記複数の第1開口部は、主基板中央からの前記第1方向の距離が異なる2つの第1開口部を含み、前記2つの第1開口部の一方は他方に比べて前記距離が大きく、かつ前記第2方向の長さが小さい、テンプレート基板の製造装置。

【請求項19】

請求項1～16のいずれか1項に記載のテンプレート基板と、前記複数の第1開口部と重なる第1半導体部とを備える半導体基板。

【請求項20】

平面視において前記1つまたは複数の第2開口部と重なる第2半導体部を備える、請求項19に記載の半導体基板。

【請求項21】

前記第1半導体部と前記第2半導体部とが分離している、請求項20に記載の半導体基板。

【請求項22】

エッジ、前記エッジを含む周縁部、および前記周縁部よりも内側に位置する非周縁部を有する主基板と、前記主基板よりも上方に位置するマスクパターンとを有するテンプレート基板と、第1半導体部および第2半導体部とを備え、

前記マスクパターンは、マスク部と、第1方向を幅方向、第2方向を長手方向とし、平面視において前記非周縁部と重なる複数の第1開口部と、平面視において前記エッジに沿うように配された、1つまたは複数の第2開口部とを有し、

前記第1半導体部は、前記複数の第1開口部それぞれに重なる複数の畝部を含み、

前記第2半導体部は、前記1つまたは複数の第2開口部と重なり、

各畝部は、前記第2方向を長手方向とし、前記第2半導体部から分離されている、半導体基板。

【請求項23】

前記第2半導体部は、前記第1半導体部よりも平均厚みが小さい、請求項20～22のいずれか1項に記載の半導体基板。

【請求項24】

平面視において、各畝部の端部が先細り形状である、請求項22に記載の半導体基板。

【請求項25】

前記第1半導体部はGaN系半導体を含む、請求項19～24のいずれか1項に記載の半導体基板。

【請求項26】

前記主基板は、GaN系半導体と格子定数が異なる異種基板である、請求項25に記載の半導体基板。

【請求項27】

前記第1方向は、前記GaN系半導体の<11-20>方向であり、

前記第2方向は、前記GaN系半導体の<1-100>方向である、請求項25に記載の半導体基板。

【請求項28】

前記第1半導体部よりも上層に位置する機能層を含む、請求項20または22に記載の半導体基板。

【請求項29】

請求項19～28のいずれか1項に記載の第1半導体部を含む、半導体デバイス。

【請求項30】

10

20

30

40

50

請求項 29 に記載の半導体デバイスを含む、電子機器。

【請求項 31】

請求項 19 または 22 に記載の半導体基板の製造方法であって、
前記第 1 半導体部を ELO 法で形成する、半導体基板の製造方法。

【請求項 32】

請求項 19 または 22 に記載の半導体基板の製造装置であって、
前記第 1 半導体部を ELO 法で形成する、半導体基板の製造装置。

【請求項 33】

請求項 28 に記載の半導体基板を準備する工程と、前記第 2 半導体部を含む部分を利用不可部分とし、前記第 1 半導体部および前記機能層を含む部分から半導体デバイスを得る工程とを含む、半導体デバイスの製造方法。

10

【請求項 34】

請求項 28 に記載の半導体基板を準備する工程と、前記第 2 半導体部を含む部分を利用不可部分とし、前記第 1 半導体部を含む部分から半導体デバイスを得る工程とを行う、半導体デバイスの製造装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テンプレート基板等に関する。

【背景技術】

20

【0002】

特許文献 1 には、ELO (Epitaxial Lateral Overgrowth) 法を用いて、複数のマスクの開口部それぞれに対応する複数の半導体部を形成する手法が開示されている。

【先行技術文献】

【特許文献】

【0003】

【文献】日本国公開特許公報「特開 2011-66390 号」公報

【発明の概要】

【0004】

本開示にかかるテンプレート基板は、エッジ、前記エッジを含む周縁部、および前記周縁部よりも内側に位置する非周縁部を有する主基板と、前記主基板よりも上方に位置するマスクパターンとを備え、前記マスクパターンは、マスク部と、第 1 方向を幅方向、第 2 方向を長手方向とし、平面視において前記非周縁部と重なる複数の第 1 開口部と、平面視において前記エッジに沿うように配された、1 つまたは複数の第 2 開口部とを有している。

30

【図面の簡単な説明】

【0005】

【図 1】本実施形態に係るテンプレート基板の構成を示す平面図である。

【図 2】図 1 の a-a 矢視断面図（非周縁部）である。

【図 3】図 1 の b-b 矢視断面図（周縁部）である。

【図 4】本実施形態に係る半導体基板の構成を示す平面図である。

40

【図 5 A】図 4 の A-A 矢視断面図である。

【図 5 B】図 4 の c-c 矢視断面図である。

【図 6】本実施形態に係る半導体基板の別構成を示す断面図である。

【図 7】本実施形態に係る半導体基板の別構成を示す断面図である。

【図 8】本実施形態にかかるテンプレート基板の製造方法の一例を示すフローチャートである。

【図 9】本実施形態にかかるテンプレート基板の製造装置の一例を示すブロック図である。

【図 10】本実施形態にかかる半導体基板の製造方法の一例を示すフローチャートである。

【図 11】本実施形態にかかる半導体基板の製造装置の一例を示すブロック図である。

【図 12】本実施形態にかかる半導体デバイスの製造方法の一例を示すフローチャートで

50

ある。

【図 1 3】素子部の分離の一例を示す平面図である。

【図 1 4】素子部の分離および離隔の一例を示す断面図である。

【図 1 5】本実施形態に係る電子機器の構成を示す模式図である。

【図 1 6】本実施形態に係る電子機器の別構成を示す模式図である。

【図 1 7】実施例 1 に係るテンプレート基板の構成を示す平面図である。

【図 1 8】図 1 7 の d - d 矢視断面図である。

【図 1 9】実施例 1 に係る半導体基板の構成を示す平面図である。

【図 2 0】E L O 半導体部の横成長の一例を示す断面図である。

【図 2 1】実施例 1 に係るテンプレート基板の別構成を示す平面図である。

10

【図 2 2】図 2 1 のテンプレート基板を含む半導体基板の構成を示す平面図である。

【図 2 3】実施例 1 に係るテンプレート基板の別構成を示す平面図である。

【図 2 4】実施例 1 に係るテンプレート基板の別構成を示す平面図である。

【図 2 5】実施例 2 に係るテンプレート基板の構成を示す平面図である。

【図 2 6】実施例 2 に係る半導体基板の構成を示す平面図である。

【図 2 7】実施例 2 に係るテンプレート基板の別構成を示す平面図である。

【図 2 8】実施例 2 に係るテンプレート基板の別構成を示す平面図である。

【図 2 9】実施例 4 の構成を示す模式的断面図である

【図 3 0】実施例 4 の電子機器への適用例を示す断面図である。

【図 3 1】実施例 5 の構成を示す模式的断面図である。

20

【図 3 2】実施例 6 の構成を示す断面図である。

【発明を実施するための形態】

【0006】

〔テンプレート基板〕

図 1 は、本実施形態に係るテンプレート基板の構成を示す平面図である。図 2 は、図 1 の a - a 矢視断面図（非周縁部）である。図 3 は、図 1 の b - b 矢視断面図（周縁部）である。

【0007】

図 1 に示すように、本実施形態に係るテンプレート基板 7 は、エッジ E（端面、側面）、エッジ E を含む周縁部 1 S、および周縁部 1 S よりも内側に位置する非周縁部 1 P を有する主基板 1 と、主基板 1 よりも上方に位置するマスクパターン 6（マスク層）と、を備え、マスクパターン 6 は、マスク部 5 と、第 1 方向（X 方向）を幅方向、第 2 方向（Y 方向）を長手方向とし、平面視において非周縁部 1 P と重なる複数の第 1 開口部 K F と、平面視においてエッジ E に沿うように配された、複数の第 2 開口部 K B とを有している。テンプレート基板 7 は、半導体部（半導体層）の形成、例えば、E L O 法（Epitaxial Lateral Overgrowth）による G a N 系半導体部（G a N 系半導体結晶）の成膜に用いることができる。

30

【0008】

図 1 では、主基板 1 のエッジ E（側面、端面）が曲面 E r および平面 E f を含んでいるが、これに限定されず、エッジ E が曲面あるいは平面だけで構成されていてもよい。

40

【0009】

各第 1 開口部 K F は、平面視において非周縁部 1 P と重なればよく、その全体が非周縁部 1 P に位置に位置していてもよいし、その一部が周縁部 1 S に位置し、残余の部分が非周縁部 1 P に位置していてもよい。

【0010】

複数の第 2 開口部 K B は、平面視においてエッジ E に沿っていればよい。各第 2 開口部 K B は、全体が非周縁部 1 P に位置に位置していてもよいし、全体が周縁部 1 S に位置に位置していてもよいし、その一部が非周縁部 1 P に位置し、残余の部分が周縁部 1 S に位置していてもよい。

【0011】

50

図1ではマスクパターン6が複数の第2開口部KBを含むが、これに限定されず、1つでもよい。第2開口部KBに形状についても、Y方向あるいはX方向を長手方向とする矩形でもよいし、正方形あるいは円形でもよいし、環状または湾曲する長手形状でもよい。複数の第2開口部KBの1つと他の1つとが異なる形状であってもよい。例えば、マスクパターン6に、X方向およびY方向の少なくとも一方の長さが異なる複数の第2開口部KBが含まれる構成でもよいし、環状の第2開口部KBと矩形の第2開口部とが含まれる構成でもよい。

【0012】

テンプレート基板7は、主基板1の上方にシード層3を含む下地層4を有し、少なくとも第1および第2開口部KF・KBにおいてシード層3のシード部3Sが露出する構成とすることができる。第1および第2開口部KF・KBはテーパ形状（下地層4側に向けて幅が狭くなる形状）でもよい。

【0013】

図1のテンプレート基板7では、主基板1上に複数の層が積層されているが、その積層方向を「上方向」とすることができる。また、テンプレート基板7等の基板状の対象物を基板法線と平行な視線で視ることを「平面視」と称することができる。

【0014】

〔半導体基板〕

図4は、本実施形態に係る半導体基板の構成を示す平面図である。図5Aは、図4のA-A矢視断面図である。図5Bは、図4のc-c矢視断面図である。図4、図5Aおよび図5Bに示すように、半導体基板10は、テンプレート基板7と、マスクパターン6よりも上層に位置する、第1および第2半導体部8F・8Bとを備える。半導体基板とは、半導体部を含む基板という意味であり、主基板1は、半導体であってもよいし、非半導体であってもよい。第1および第2半導体部8F・8Bの少なくとも一方が層状の半導体層であってもよい。

【0015】

第1および第2半導体部8F・8Bは、例えば窒化物半導体を含む。窒化物半導体は、例えば、 $Al_xGa_yIn_zN$ ($0 \leq x \leq 1$; $0 \leq y \leq 1$; $0 \leq z \leq 1$; $x + y + z = 1$) と表すことができ、具体例として、GaN系半導体、AlN（窒化アルミニウム）、InAlN（窒化インジウムアルミニウム）、InN（窒化インジウム）を挙げることができる。GaN系半導体とは、ガリウム原子（Ga）および窒素原子（N）を含む半導体であり、典型的な例として、GaN、AlGaN、AlGaInN、InGaNを挙げることができる。第1および第2半導体部8F・8Bは、ドーパ型（例えば、ドナーを含むn型）でもノンドープ型でもよい。

【0016】

窒化物半導体を含む第1および第2半導体部8F・8Bは、ELO法によって形成することができる。ELO法では、例えば、主基板1としてGaN系半導体と格子定数の異なる異種基板を用い、シード部3SにGaN系半導体を用い、マスクパターン6に無機化合物膜を用い、マスク部5上にGaN系の第1および第2半導体部8F・8Bを横方向成長させることができる。この場合、第1半導体部8Fの厚み方向（Z方向）をGaN系結晶の $\langle 0001 \rangle$ 方向（c軸方向）、長手形状である第1および第2開口部KF・KBの幅方向（第1方向、X方向）をGaN系結晶の $\langle 11-20 \rangle$ 方向（a軸方向）、第1および第2開口部KF・KBの長手方向（Y方向）をGaN系結晶の $\langle 1-100 \rangle$ 方向（m軸方向）とすることができる。ELO法で形成された第1半導体部8Fまたは第1および第2半導体部8F・8BをまとめてELO半導体部（ELO半導体層）8と称することができる。

【0017】

ELO法で形成された第1半導体部8Fは、複数の第1開口部KFそれぞれに対応する複数の畝部8Uを含み、各畝部8Uは、Y方向を長手方向とする。畝部8Uは、相対的に貫通転位の少ない低欠陥部（転位非継承部）EKと、平面視で第1開口部KFと重なり、

10

20

30

40

50

相対的に貫通転位の多い転位継承部 N S とを含む。第 1 半導体部 8 F よりも上層に活性層（例えば、電子と正孔が結合する層）を形成する場合は、活性層を平面視で低欠陥部 E K と重なるように設けることができる。低欠陥部 E K では、 $\langle 0001 \rangle$ 方向に平行な断面における非貫通転位密度が貫通転位密度よりも大きくてもよい。

【0018】

貫通転位は、第 1 半導体部 8 F の厚み方向（Z 方向）に沿って、第 1 半導体部 8 F の下面または内部からその表面または表層に延びる転位（欠陥）である。貫通転位は、第 1 半導体部 8 F の表面（c 面平行）について、C L（Cathode luminescence）測定を行うことにより観察可能である。非貫通転位は、厚み方向に平行な断面において C L 測定される転位であり、主には基底面（c 面）転位である。厚み方向に平行な断面は、例えば、 $(1-100)$ 面（m 面）あるいは $(11-20)$ 面（a 面）である。

10

【0019】

図 4 および図 5 では、第 1 半導体部 8 F の各畝部 8 U が第 2 半導体部 8 B から分離されている。第 1 開口部 K F が、エッジ E に沿うように（第 1 開口部 K F よりもエッジ近くに）配された第 2 開口部 K B から分離されているため、平面視で第 2 開口部 K B と重なる第 2 半導体部 8 B が意図せぬ異形になっても、平面視で第 1 開口部 F K と重なる第 1 半導体部 8 F は、第 2 半導体部 8 B と会合し難く、その影響を受け難い。すなわち、本実施形態では第 2 半導体部 8 B を犠牲層とすることで第 1 半導体部 8 F の形状を担保することができる。図 4 および図 5 に示すように、第 2 半導体部 8 B が意図せぬ異形になった場合、原料消費の増加に起因して、第 2 半導体部 8 B の平均厚みが、第 1 半導体部 8 F の平均厚みよりも小さくなることもある。

20

【0020】

例えばマスクパターンに、Y 方向に伸びる開口部を、平面視において主基板のエッジからエッジに至るように形成し、E L O 法で半導体部を成膜する場合、周縁部の半導体部の形状乱れが内側（非周縁部）の半導体部まで伝播するおそれがあるが、第 1 開口部 K F から分離された第 2 開口部 K B を設けることで、このおそれを低減することができる。

【0021】

図 6 は、本実施形態に係る半導体基板の別構成を示す断面図である。図 6 のように、犠牲層である第 2 半導体部 8 B を除去した半導体基板 10 を構成することもできる。

【0022】

30

図 7 は、本実施形態に係る半導体基板の別構成を示す断面図である。図 7 の半導体基板 10 は、第 1 および第 2 半導体部 8 F・8 B よりも上層の機能層 9 を有する。機能層 9 は、例えば窒化物半導体を含む化合物半導体部であってもよく、単層体あるいは積層体でもよい。

【0023】

図 7 の半導体基板 10 では、犠牲層である第 2 半導体部 8 B を含む部分は利用不可部分 N P であり、第 1 半導体部 8 F を含む部分を利用可能部分 D P とする。

【0024】

〔テンプレート基板の製造〕

図 8 は、本実施形態にかかるテンプレート基板の製造方法の一例を示すフローチャートである。図 8 のテンプレート基板の製造方法では、主基板 1 を準備する工程の後に、主基板 1 よりも上方にマスクパターン 6 を形成する工程を行う。

40

【0025】

図 9 は、本実施形態にかかるテンプレート基板の製造装置の一例を示すブロック図である。図 9 のテンプレート基板の製造装置 60 は、主基板 1 よりも上方にマスクパターン 6 を形成するマスクパターン形成部 62 と、マスクパターン形成部 62 を制御する制御部 64 とを備える。マスクパターン形成部 62 は、マスク部 5 と、X 方向を幅方向、Y 方向を長手方向とし、平面視において非周縁部 1 P と重なる複数の第 1 開口部 K F と、平面視においてエッジ E に沿うように配された、1 つまたは複数の第 2 開口部 K B とを形成する。

【0026】

50

マスクパターン形成部 62 は、CVD 装置あるいは PECVD 装置を含んでいてもよく、制御部 64 がプロセッサおよびメモリを含んでいてもよい。制御部 64 は、例えば、内蔵メモリ、通信可能な通信装置、またはアクセス可能なネットワーク上に格納されたプログラムを実行することでマスクパターン形成部 62 を制御する構成でもよく、このプログラムおよびこのプログラムが格納された記録媒体等も本実施形態に含まれる。

【0027】

〔半導体基板の製造〕

図 10 は、本実施形態にかかる半導体基板の製造方法の一例を示すフローチャートである。図 10 の半導体基板の製造方法では、テンプレート基板 7 を準備する工程の後に、テンプレート基板 7 上に、ELO 法を用いて第 1 および第 2 半導体部 8F・8B を形成する工程を行う。第 1 および第 2 半導体部 8F・8B を形成する工程の後に、必要に応じて、機能層 9 を形成する工程を行うことができる。

【0028】

図 11 は、本実施形態にかかる半導体基板の製造装置の一例を示すブロック図である。図 11 の半導体基板の製造装置 70 は、テンプレート基板 7 上に第 1 および第 2 半導体部 8F・8B を ELO 法によって形成する半導体部形成部 72 と、半導体部形成部 72 を制御する制御部 74 とを備える。半導体基板の製造装置 70 が機能層 9 を形成する構成でもよい。

【0029】

〔半導体デバイスの製造〕

図 12 は、本実施形態にかかる半導体デバイスの製造方法の一例を示すフローチャートである。図 13 は、素子部の分離の一例を示す平面図である。図 14 は、素子部の分離および離隔の一例を示す断面図（図 13 の矢視断面図）である。図 12 の半導体デバイスの製造方法では、半導体基板 10 を準備する工程の後に、必要に応じて、第 1 および第 2 半導体部 8F・8B 上に機能層 9 を形成する工程を行う。その後、図 13 および図 14 に示すように、半導体基板 10 に複数のトレンチ TR（分離溝）を形成して素子部 DS（畝部 8U の低欠陥部 EK および機能層 9 を含む）を分離する工程を行う。トレンチ TR は、機能層 9 および第 1 半導体部 8F を貫通する。トレンチ TR 内に下地層 4 およびマスク部 5 が露出してもよい。この段階では、素子部 DS はマスク部 5 とファンデルワールス結合しており、半導体基板 10 の一部である。その後、図 14 に示すように、利用可能部分 DP の素子部 DS（畝部 8U の少なくとも一部を含む）をテンプレート基板 7 から離隔し、半導体デバイス 20 とする工程を行う。図 12 の半導体基板 10 を準備する工程に、図 10 に示される、半導体基板の製造方法の各工程が含まれていてもよい。

【0030】

なお、素子部 DS の隔離は、第 1 半導体部 8F および機能層 9 における平面視において第 1 開口部 KF と重なる部分を気相エッチングにより除去し、素子部 DS をテンプレート基板 7 から剥離してもよい。剥離の際には、例えば、スタンプを用いて、第 1 半導体部 8F および機能層 9 をマスク部 5 から容易に剥離することができる。スタンプは、粘弾性エラストマースタンプ、PDMS (Polydimethylsiloxane) スタンプ、または、静電接着スタンプ等であってよい。

【0031】

〔半導体デバイス〕

図 14 に示すように、素子部 DS をテンプレート基板 7 から離隔することで、半導体デバイス 20（例えば、GaN 系結晶を含む）を形成することができる。半導体デバイス 20 の具体例として、発光ダイオード（LED）、半導体レーザ、ショットキーダイオード、フォトダイオード、トランジスタ（パワートランジスタ、高電子移動度トランジスタを含む）等を挙げることができる。

【0032】

〔電子機器〕

図 15 は、本実施形態に係る電子機器の構成を示す模式図である。図 15 の電子機器 3

10

20

30

40

50

0は、半導体基板10（テンプレート基板7を含んだ状態で半導体デバイスとして機能する構成、例えばテンプレート基板7が透光性である場合）と、半導体基板10が実装される駆動基板23と、駆動基板23を制御する制御回路25とを含む。

【0033】

図16は、本実施形態に係る電子機器の別構成を示す模式図である。図16の電子機器30は、第1半導体部8Fを含む半導体デバイス20と、半導体デバイス20が実装される駆動基板23と、駆動基板23を制御する制御回路25とを含む。

【0034】

電子機器30としては、表示装置、レーザ出射装置（ファブリペロータイプ、面発光タイプを含む）、照明装置、通信装置、情報処理装置、センシング装置、電力制御装置等を挙げることができる。

10

【0035】

〔実施例1〕

図17は、実施例1に係るテンプレート基板の構成を示す平面図である。図18は、図17のd-d矢視断面図である。図19は、実施例1に係る半導体基板の構成を示す平面図である。

【0036】

図17および図18に示すように、実施例1に係るテンプレート基板7のマスクパターン6は、マスク部5と、X方向を幅方向、Y方向を長手方向とし、平面視において非周縁部1Pと重なる複数の第1開口部KF1・KF2と、平面視においてエッジEに沿うように配された、複数の第2開口部KB1～KB4とを有している。周縁部1Sは、例えば、エッジEから2〔mm〕以内の領域とすることができる。

20

【0037】

（主基板）

主基板1には、GaN系半導体と異なる格子定数を有する異種基板を用いることができる。異種基板としては、単結晶のシリコン（Si）基板、サファイア（Al₂O₃）基板、シリコンカーバイド（SiC）基板等を挙げることができる。主基板1の面方位は、例えば、シリコン基板の（111）面、サファイア基板の（0001）面、SiC基板の6H-SiC（0001）面である。これらは例示であって、第1および第2半導体部8F・8BをELO法で成長させることができる主基板および面方位であれば何でもよい。

30

【0038】

（下地層）

下地層4として、主基板側から順に、バッファ層2およびシード層3を設けることができる。バッファ層2は、主基板1とシード層3とがダイレクトに接触して互いに溶融することを低減する機能を有する。主基板1にシリコン基板等を用いた場合、シード層3であるGaN系半導体と溶融し合うため、例えば、AlN層等のバッファ層2を設けることで、溶融が低減される。例えば、GaN系半導体であるシード層3と溶融し合わない主基板1を用いた場合には、バッファ層2を設けない構成も可能である。バッファ層2の一例であるAlN層は、例えばMOCVD装置を用いて、厚さ10nm程度～5μm程度に形成することができる。バッファ層2が、シード層3の結晶性を高める効果、およびELO半導体部8の内部応力を緩和する効果の少なくとも一方を有していてもよい。バッファ層2に、六方晶層系あるいは立方晶系の炭化シリコン（SiC）を用いることもできる。

40

【0039】

シード層3には、例えば、GaN等のGaN系半導体あるいはAlN等の窒化物、六方晶系の炭化シリコン（SiC）を用いることができる。シード層3は、マスクパターン6の第1および第2開口部（KF1～KF2・KB1～KB4）と重なるシード部3S（ELO半導体部8の成長起点）を含む。

【0040】

シード層3として、Al組成がグレーデッドにGaNに近づくグレーデッド層を用いてもよい。グレーデッド層は、例えば、バッファ層側から順に、第1層であるAl_{0.7}Ga

50

0.3 N層、および第2層であるAl_{0.3}Ga_{0.7}N層を設けた積層体である。この場合、第2層（Al：Ga：N＝0.3：0.7：1）におけるGaの組成比（0.7／2＝0.35）は、第1層（Al：Ga：N＝0.7：0.3：1）におけるGaの組成比（0.3／2＝0.15）よりも大きい。グレーデッド層は、MOCVD法で容易に形成することができ、3層以上で構成してもよい。シード層3にグレーデッド層を用いることで、異種基板である主基板1からの応力を緩和することができる。シード層3を、GaN層を含む構成とすることができる。この場合、シード層3をGaNの単層としてもよいし、シード層3であるグレーデッド層の最上層をGaN層としてもよい。

【0041】

なお、主基板1上にシード層3が配されなくてもよい。主基板1の種類によっては、シード層がなくても、マスクパターン6を配した主基板1に、直接的にELO半導体部8を成膜することができる。例えば、SiC基板1にマスク部5および第1開口部KFを含むマスクパターン6を形成し、GaNで構成されたELO半導体部8をマスクパターン上に（直接的に）成膜することも可能である。

【0042】

（マスクパターン）

マスクパターン6（マスク層）の第1開口部KFは、シード部3Sを露出させ、ELO半導体部8の成長を開始させる、成長開始用ホールの機能を有し、マスク部5は、半導体部8を横方向成長させるための選択成長用マスクの機能を有していてもよい。マスクパターンの開口部は、マスク部がない部分（非形成部）であり、マスク部に囲まれていてもよいし、囲まれていなくてもよい。

。マスクパターン6として、例えば、シリコン酸化膜（SiO_x）、窒化チタン膜（TiN等）、シリコン窒化膜（SiN_x）、シリコン酸窒化膜（SiON）、および高融点（例えば1000度以上）をもつ金属膜（例えば、プラチナ、ロジウム、イリジウム、ルテニウム、オスミウム、タングステン、モリブデン等の膜）のいずれか1つを含む単層膜、またはこれらの少なくとも2つを含む積層膜を用いることができる。

【0043】

例えば、下地層4上に、スパッタ法を用いて厚さ100nm程度～4μm程度（好ましくは150nm程度～2μm程度）のシリコン酸化膜を全面形成し、シリコン酸化膜の全面にレジストを塗布する。その後、フォトリソグラフィー法を用いてレジストをパターニングし、ストライプ状の複数の開口部を持ったレジストを形成する。その後、フッ酸（HF）、バッファードフッ酸（BHF）等のウェットエッチャントによってシリコン酸化膜の一部を除去して複数の開口部（KF1～KF2・KB1～KB4を含む）とし、レジストを有機洗浄で除去することでマスクパターン6が形成される。

【0044】

第1開口部KF1・KF2の幅は、0.1μm～20μm程度とする。第1開口部KF1・KF2の幅が小さいほど、第1開口部KF1・KF2からELO半導体部8に伝搬する貫通転移の数は減少する。また、後工程においてELO半導体部8のテンプレート基板7からの剥離（離隔）も容易になる。さらに、ELO半導体部8（畝部8U）において表面欠陥の少ない低欠陥部EKの面積を大きくすることができる。

【0045】

シリコン酸化膜は、ELO半導体部8の成膜中に微量ながら分解、蒸発し、ELO半導体部8に取り込まれてしまうことがあるが、シリコン窒化膜、シリコン酸窒化膜は、高温で分解、蒸発し難いというメリットがある。そこで、マスク部5を、シリコン窒化膜あるいはシリコン酸窒化膜の単層膜としてもよいし、下地層4上にシリコン酸化膜およびシリコン窒化膜をこの順に形成した積層膜としてもよいし、下地層4上にシリコン窒化膜およびシリコン酸化膜をこの順に形成した積層膜としてもよいし、下地層上にシリコン窒化膜、シリコン酸化膜およびシリコン窒化膜をこの順に形成した積層膜としてもよい。

【0046】

マスク部5のピンホール等の異常個所は、成膜後に有機洗浄などを行い、再度成膜装置

10

20

30

40

50

に導入して同種膜を形成することで、異常個所を消滅させることができる。一般的なシリコン酸化膜（単層）を用い、このような再成膜方法を用いて良質なマスク部5を形成することもできる。

【0047】

実施例1では、平面視において、複数の第1開口部KF1・KF2とエッジEとの最小距離は、複数の第2開口部KB1～KB4とエッジEとの距離よりも大きい。また、Y方向を長手とする複数の第1開口部（KF1・KF2含む）がX方向に並び、これらのY方向の長さは、主基板中央MCからX方向に離れるにつれて小さくなる。例えば、第1開口部KF2は、第1開口部KF1と比較して、主基板中央MCからのX方向の距離が大きく、かつY方向の長さが小さい。また、複数の第1開口部（KF1・KF2含む）のY方向の最小長さYfは、複数の第2開口部（KB1～KB4を含む）のY方向の長さYbよりも大きい。また、複数の第2開口部（KB1～KB4を含む）の個数は、複数の第1開口部（KF1・KF2含む）の個数の2倍に等しい。

10

【0048】

また、第1開口部KF1と第2開口KB1とが互いに隣接し、かつY方向に視たときに重なり、さらに、第1開口部KF1は、Y方向に並ぶ2つの第2開口部KB1・KB3の間に位置する。すなわち、第2開口部KB1、第1開口部KF1および第2開口部KB3がY方向に並び、第1開口部KF1の一方の先端が第2開口部KB1に隣接し、他方の先端が第2開口部KB3に隣接する。第1開口部KF1と第2開口部KB1との間隔、および第1開口部KF1と第2開口部KB3との間隔は、第2開口部KB1・KB3とエッジEとの間隔よりも大きい。第2開口部KB1・KB3の幅（X方向の長さ）は、第1開口部KF1の幅と比較して、同じでもよいし、大きいあるいは小さくてもよい。複数の第2開口部KB1～KB4の幅が異なってもよい。

20

【0049】

平面視においては、複数の第1開口部KF1・KF2および複数の第2開口部KB1～KB4を含む開口パターンが、主基板中央MCを通り、X方向に平行な線に対して線対称の形状でもよい。

【0050】

実施例1では、主基板1のエッジEが、曲面部Erと、曲面部Erに繋がり、X方向に平行な法線を有する平面部Efとを有する構成としているがこれに限定されない。主基板1が円盤状でもよい。平面部Efが、面方位標識（オリエンテーションフラット）としての機能を有していてもよい。面方位標識をノッチ（切り欠き）で構成することもできる。

30

【0051】

（テンプレート基板の具体例）

主基板1には、（111）面を有するシリコン基板を用い、下地層4のバッファ層2は、AlN層（例えば、30nm）とした。下地層4は、第1層であるAl_{0.6}Ga_{0.4}N層（例えば、300nm）と、第2層であるGaN層（例えば、1～2μm）とがこの順に形成されたグレーデッド層とする。すなわち、第2層（Ga：N＝1：1）におけるGaの組成比（1／2＝0.5）は、第1層（Al：Ga：N＝0.6：0.4：1）におけるGaの組成比（0.6／2＝0.3）よりも大きい。

40

【0052】

マスク部5には、酸化シリコン膜（SiO₂）と窒化シリコン膜（SiN）とをこの順に形成した積層体を用いた。酸化シリコン膜の厚みは例えば0.3μm、窒化シリコン膜の厚みは例えば70nmである。酸化シリコン膜および窒化シリコン膜それぞれの成膜には、プラズマ化学気相成長（CVD）法を用いた。

【0053】

（ELO半導体部）

図19に示すように、実施例1の半導体基板10は、平面視で第1開口部KF1・KF2と重なる第1半導体部8Fと、平面視で第2開口部KB1・KB2と重なる第2半導体部8Bとを含む。第1および第2半導体部8F・8Bは、窒化物半導体を含む（例えばG

50

a N系の) E L O半導体部とすることができる。

【0054】

第1半導体部8 Fは、Y方向を長手方向とし、X方向に並ぶ複数の畝部8 Uを含む。各畝部8 Uの端部は先細り形状である、実施例1では、エッジEに沿って複数の第2開口部K B 1・K B 2を設けている。これにより、第1半導体部8 Fの各畝部8 Uが、異形の第2半導体部8 B（犠牲層）から分離され、各畝部8 Uの形状（例えば、厚みおよび幅）が担保される。

【0055】

実施例1では、第1および第2半導体部8 F・8 BをG a N層とし、図11の半導体形成部7 2に含まれるM O C V D装置を用いて前述のテンプレート基板7上にE L O成膜を行った。E L O成膜条件の一例として、基板温度：1120℃、成長圧力：50 k P a、T M G（トリメチルガリウム）：22 s c c m、N H₃：15 s l m、V/I I I = 6000（I I I族原料の供給量に対する、V族原料の供給量の比）を採用することができる。

【0056】

この場合、第1および第2開口部K F 1・K F 2・K B 1・K B 2に露出したシード部3 S（シード層3の最上層であるG a N層）上に第1および第2半導体部8 F・8 Bが選択成長し、引き続いてマスク部5上に横方向成長する。そして、マスク部5上においてその両側から横方向成長した膜（畝部8 U）同士が会合する前にこれらの横成長を停止させた。

【0057】

マスク部5の幅W mは50 μ m、第1開口部K F 1・K F 2の幅は5 μ m、第1半導体部8 Fの各畝部8 Uの横幅は53 μ m、低欠陥部E Kの幅（X方向のサイズ）は24 μ m、畝部8 Uの層厚は5 μ mであった。アスペクト比は、53 μ m / 5 μ m = 10.6となり、非常に高いアスペクト比が実現された。

【0058】

第1半導体部8 Fの成膜では、第1半導体部8 Fとマスク部5との相互反応を低減し、第1半導体部8 Fとマスク部5とがファンデルワールス力で接触する状態とすることが好ましい。

【0059】

横方向成膜レートを高める手法は、以下のとおりである。まず、シード部3 S上に、Z方向（c軸方向）に成長する縦成長層を形成し、その後、X方向（a軸方向）に成長する横成長層を形成する。この際、縦成長層の厚みを、10 μ m以下、5 μ m以下、3 μ m以下、あるいは1 μ m以下とすることで、横成長層の厚みを低く抑え、横方向成膜レートを高めることができる。

【0060】

図20は、第1半導体部の横成長の一例を示す断面図である。図20に示すように、シード部3 S上に、イニシャル成長層（縦成長層）S Lを形成し、その後、イニシャル成長層S Lから第1半導体部8 F（複数の畝部8 U）を横方向成長させることが望ましい。イニシャル成長層S Lは、第1半導体部8 Fの横方向成長の起点となる。E L O成膜条件を適宜制御することによって、第1半導体部8 FをZ方向（c軸方向）に成長させたり、X方向（a軸方向）に成長させたりする制御が可能である。

【0061】

ここでは、イニシャル成長層S Lのエッジが、マスク部5の上面に乗りあがる直前（マスク部5の側面上端に接している段階）、またはマスク部5の上面に乗り上がった直後のタイミングでイニシャル成長層S Lの成膜を止める（すなわち、このタイミングで、E L O成膜条件を、c軸方向成膜条件からa軸方向成膜条件に切り替える）手法を用いることができる。こうすれば、イニシャル成長層S Lがマスク部5からわずかに突出している状態から横方向成膜が進行するため、厚み方向の成長に消費される材料が低減し、第1半導体部8 F（複数の畝部8 U）を高速で横方向成長させることができる。イニシャル成長層S Lは、例えば、50 n m ~ 5.0 μ m（例えば、80 n m ~ 2 μ m）の厚みに形成する

10

20

30

40

50

ことができる。マスク部 5 の厚み、およびイニシャル成長層 S L の厚みを 5 0 0 n m 以下としてもよい。

【 0 0 6 2 】

第 1 半導体部 8 F の畝部 8 U については、図 2 0 のように、イニシャル成長層 S L （転位継承部 N S の一部）を成膜した後に横方向成長させることで、低欠陥部 E K 内部の非貫通転位を多くする（低欠陥部 E K 表面における貫通転位密度を低減する）ことができる。また、低欠陥部 E K 内部における不純物濃度（例えば、シリコン、酸素）の分布を制御することができる。図 2 0 の手法を用いれば、畝部 8 U のアスペクト比（厚みに対する X 方向のサイズの比 = $W L / d 1$ ）が、3 . 5 以上、5 . 0 以上、6 . 0 以上、8 . 0 以上、1 0 以上、1 5 以上、2 0 以上、3 0 以上、あるいは 5 0 以上と飛躍的に高められる。また、図 2 0 の手法を用いれば、開口幅に対する畝部 8 U の幅（W L）の比を、3 . 5 以上、5 . 0 以上、6 . 0 以上、8 . 0 以上、1 0 以上、1 5 以上、2 0 以上、3 0 以上、あるいは 5 0 以上とすることができ、低欠陥部 E K の比率が高まる。図 2 0 に示す第 1 半導体部 8 F は、窒化物半導体結晶（例えば、G a N 結晶、A l G a N 結晶、I n G a N 結晶、あるいは I n A l G a N 結晶）とすることができる。

【 0 0 6 3 】

E L O 半導体部 8 （第 1 および第 2 半導体部 8 F ・ 8 B）の成膜温度については、1 2 0 0 ° C を超える高温よりも、1 1 5 0 ° C 以下の温度が好ましい。1 0 0 0 ° C を下回るような低温においても E L O 半導体部 8 の形成は可能であり、相互反応低減の観点ではより好ましいといえる。このような低温成膜においては、ガリウム原料としてトリメチルガリウム（T M G）を用いると、原料が十分に分解されず、ガリウム原子と炭素原子が同時に E L O 半導体部 8 に、通常より多く取り込まれる。E L O 法は、a 軸方向の成膜は早く、c 軸方向の成膜が遅いため、c 面成膜時に多く取り込まれるためであると考えられる。

【 0 0 6 4 】

E L O 半導体部 8 に取り込まれた炭素（カーボン）は、マスク部 5 との反応を低減し、マスク部 5 と E L O 半導体部 8 との癒着などを低減する。そのため、E L O 半導体部 8 の低温成膜では、アンモニアの供給量を減らし、低 V / I I I （< 1 0 0 0）程度で成膜することで、原料あるいはチャンパー雰囲気内の炭素元素を E L O 半導体部 8 に取り込み、マスク部 5 との反応を低減することができる。この場合、E L O 半導体部 8 が炭素（カーボン）を含む構成となる。

【 0 0 6 5 】

1 0 0 0 ° C を下回るような低温成膜では、ガリウム原料ガスとしてトリエチルガリウム（T E G）を用いることが好ましい。T E G は T M G に比べ、低温で有機原料が効率よく分解するため、横方向成膜レートを高めることができる。

【 0 0 6 6 】

図 2 1 は、実施例 1 に係るテンプレート基板の別構成例を示す平面図である。図 2 2 は、図 2 1 のテンプレート基板を含む半導体基板の構成を示す平面図である。図 1 7 では、第 1 開口部 K F 1 と第 2 開口部 K B 1 とが互いに隣接し、かつ Y 方向に視たときに重なるが、これに限定されない。図 2 1 のように、マスクパターン 6 が、複数の第 1 開口部 K F 1 ・ K F 2 と、エッジ E に沿うように配された第 2 開口部 K B 1 ~ K B 6 を含み、第 1 開口部 K F 1 と第 2 開口部 K B 1 とが互いに隣接し、かつ X 方向に視たときに重なる構成でもよい。図 2 1 では、第 1 開口部 K F 2 の一方の先端が、X 方向に並ぶ第 2 開口部 K B 1 ・ K B 2 の間に位置し、他方の先端が、X 方向に並ぶ第 2 開口部 K B 3 ・ K B 4 の間に位置する。また、複数の第 2 開口部（K B 1 ~ K B 6 を含む）の個数は、複数の第 1 開口部（K F 1 ・ K F 2 含む）の個数の 2 倍よりも多く、X 方向に関して、第 2 開口部 K B 5 ・ K B 6 は、すべての第 1 開口部のうちの最外位置となる 2 つの第 1 開口部よりも外側に位置する。

【 0 0 6 7 】

図 2 2 の半導体基板 1 0 は、平面視でマスク部 5 および第 1 開口部 K F 1 ・ K F 2 と重なる第 1 半導体部 8 F と、平面視でマスク部 5 および第 2 開口部 K B 1 ・ K B 2 と重なる

第2半導体部8Bとを含み、第1半導体部8Fは、平面視で第1開口部KF1・KF2と重なる複数の畝部8Uを含む。図11および図22においても、平面視で主基板1のエッジEに沿うように複数の第2開口部KB1・KB2が配されているため、第1半導体部8Fの各畝部8Uが、異形の第2半導体部8B（犠牲層）から分離され、各畝部8Uの形状が担保される。また、例えば第1開口部KF2の先端が、X方向に並ぶ2つの第2開口部KB1・KB2で挟まれているため、第1開口部KF2と重なる畝部8Uの先端に生じるエッジグロス（凸部）を低減することができる。

【0068】

図23は、実施例1に係るテンプレート基板の別構成例を示す平面図である。図23では、マスクパターンに、複数の第1開口部KF1・KF2と、平面視で主基板1のエッジEに沿うように配された第2開口部KB1～KB6が設けられ、第2開口部KB2、第1開口部KF1および第2開口部KB5がY方向に並び、第1開口部KF1の一方の先端が第2開口部KB2に隣接し、他方の先端が第2開口部KB5に隣接する。さらに、第1開口部KF1の一方の先端が、X方向に並ぶ第2開口部KB1・KB3の間に位置し、他方の先端が、X方向に並ぶ第2開口部KB4・KB6の間に位置する。

10

【0069】

図24は、実施例1に係るテンプレート基板の別構成例を示す平面図である。図24に示すように、曲面部Erを含む主基板1を用い、マスクパターン6に、湾曲した長手形状を有する複数の第2開口部KBを、平面視で主基板1のエッジEに沿うように配することもできる。

20

【0070】

〔実施例2〕

図25は、実施例2に係るテンプレート基板の別構成例を示す平面図である。図26は、図25のテンプレート基板を含む半導体基板の構成を示す平面図である。実施例1ではマスクパターンに複数の第2開口部を設けているが、これに限定されない。図26に示すように、曲面部Erを含む主基板1を用い、マスクパターン6に、環状の第2開口部KBLを、平面視で主基板1のエッジEに沿うように配することもできる。

【0071】

実施例2では、平面視において、複数の第1開口部KF1・KF2とエッジEとの最小距離は、環状の第2開口部KBLとエッジEとの距離よりも大きい。また、Y方向を長手とする複数の第1開口部（KF1・KF2含む）がX方向に並び、これらのY方向の長さは、主基板中央MCからX方向に離れるにつれて小さくなる。

30

【0072】

また、第1開口部KF1と第2開口部KBLとが互いに隣接し、かつY方向に視たときに重なる。平面視においては、複数の第1開口部KF1・KF2および環状の第2開口部KBLを含む開口パターンが、主基板中央MCを通り、X方向に平行な線に対して線対称の形状でもよい。

【0073】

図26の半導体基板10は、平面視で第1開口部KF1・KF2と重なる第1半導体部8Fと、平面視で第2開口部KBLと重なる第2半導体部8Bとを含み、第1半導体部8Fは、平面視で第1開口部KF1・KF2と重なる複数の畝部8Uを含む。

40

【0074】

実施例2においても、平面視で主基板1のエッジEに沿うように環状の第2開口部KBLが配されているため、第1半導体部8Fの各畝部8Uが、異形の第2半導体部8B（犠牲層）から分離され、各畝部8Uの形状が担保される。

【0075】

図27は、実施例2に係るテンプレート基板の別構成例を示す平面図である。図27では、マスクパターン6が、複数の第1開口部KF1・KF2と、エッジEに沿うように配された環状の第2開口部KBLと、エッジEに沿うように配された第2開口部KB1～KB4とを含み、第1開口部KF1と第2開口部KB1とが互いに隣接し、かつX方向に視た

50

ときに重なる構成でもよい。図 27 では、第 1 開口部 K F 2 の一方の先端が、X 方向に並ぶ第 2 開口部 K B 1・K B 2 の間に位置し、他方の先端が、X 方向に並ぶ第 2 開口部 K B 3・K B 4 の間に位置する。また、複数の第 2 開口部（K B 1～K B 4 を含む）の個数は、複数の第 1 開口部（K F 1・K F 2 含む）の個数の 2 倍よりも少なく、X 方向に関して、すべての第 1 開口部のうちの最外位置となる 2 つの第 1 開口部よりも外側には、島状の第 2 開口部は存在せず、環状の第 2 開口部 K B L だけが存在する。

【0076】

図 28 は、実施例 2 に係るテンプレート基板の別構成例を示す平面図である。図 27 では、テンプレート基板 7 のエッジにはマスク部 5 が存在するが、これに限定されない。図 28 に示すように、テンプレート基板 7 のエッジにマスク部が存在しない構成でもよい。すなわち、マスクパターン 6 のパターンニング時に、平面視において主基板 1 のエッジ E を外周とするリング状領域を貫く（リング状のエッジ開口部 K E を設ける）ことで、テンプレート基板 7 のエッジにリング状のシード部 3 S を露出させる。図 28 のテンプレート基板 7 では、そのエッジ上に環状の犠牲層が形成されるため、第 1 開口部 K F 1・K F 2 と重なる第 1 半導体部 8 F の形状が担保される。

【0077】

〔実施例 3〕

実施例 1～2 では、E L O 半導体部 8 を G a N 層としているがこれに限定されない。実施例 1～2 の第 1 および第 2 半導体部 8 F・8 B（E L O 半導体部 8）として、G a N 系半導体部である I n G a N 層を形成することもできる。I n G a N 層の横方向成膜は、例えば 1000℃を下回るような低温で行う。高温ではインジウムの蒸気圧が高くなり、膜中に有効に取り込まれないためである。成膜温度が低温になることで、マスク部 5 と I n G a N 層の相互反応が低減される効果がある。また、I n G a N 層は、G a N 層よりもマスク部 5 との反応性が低いという効果もある。I n G a N 層にインジウムが I n 組成レベル 1% 以上で取り込まれるようになると、マスク部 5 との反応性がさらに低下するため、望ましい。ガリウム原料ガスとしては、トリエチルガリウム（T E G）を用いることが好ましい。

【0078】

〔実施例 4〕

図 29 は、実施例 4 の構成を示す模式的断面図である。実施例 4 では、第 1 半導体部 8 F の畝部 8 U の全部または一部として得られるベース半導体部 8 S の上に、L E D を構成する機能層 9 を成膜する。ベース半導体部 8 S は、例えばシリコン等がドーブされた n 型である。機能層 9 は、下層側から順に、活性層 3 4、電子ブロッキング層 3 5、および G a N 系 p 型半導体部 3 6 を含む。活性層 3 4 は、M Q W（Multi-Quantum Well）であり、I n G a N 層および G a N 層を含む。電子ブロッキング層 3 5 は、例えば A l G a N 層である。G a N 系 p 型半導体部 3 6 は、例えば G a N 層である。アノード 3 8 は、G a N 系 p 型半導体部 3 6 と接触するように配され、カソード 3 9 は、ベース半導体部 8 S と接触するように配される。ベース半導体部 8 S および機能層 10 をテンプレート基板 7 から離隔することで半導体デバイス 20（G a N 系結晶体を含む）を得ることができる。

【0079】

図 30 は、実施例 6 の電子機器への適用例を示す断面図である。実施例 4 によって、赤色マイクロ L E D 20 R、緑色マイクロ L E D 20 G、青色マイクロ L E D 20 B を得ることができ、これらを、駆動基板（T F T 基板）23 に実装することで、マイクロ L E D ディスプレイ 30 D（電子機器）を構成することができる。一例として、駆動基板 23 の複数の画素回路 27 に、赤色マイクロ L E D 20 R、緑色マイクロ L E D 20 G、青色マイクロ L E D 20 B を、導電樹脂 24（例えば、異方性導電樹脂）等を介してマウントし、その後、駆動基板 23 に制御回路 25 およびドライバ回路 29 等を実装する。ドライバ回路 29 の一部が駆動基板 23 に含まれていてもよい。

【0080】

〔実施例 5〕

図31は、実施例5の構成を示す模式的断面図である。実施例5では、ベース半導体部8S上に、半導体レーザを構成する機能層9を成膜する。機能層9は、下層側から順に、n型光クラッド層41、n型光ガイド層42、活性層43、電子ブロッキング層44、p型光ガイド層45、p型光クラッド層46、およびGaN系p型半導体部47を含む。各ガイド層42・45には、InGaN層を用いることができる。各クラッド層41・46には、GaN層もしくはAlGaN層を用いることができる。アノード48はGaN系p型半導体部47と接触するように配され、カソード49はベース半導体部8Sと接触するように配される。ベース半導体部8Sおよび機能層10をテンプレート基板7から離隔することで半導体デバイス20を得ることができる。

【0081】

10

〔実施例6〕

図32は実施例6の構成を示す断面図である。実施例6では、主基板1に、表面凹凸加工されたサファイア基板を用いる。下地層4は、バッファ層2およびシード層3を有する。図32では、主基板1上に(20-21)面を持つGaN層を下地層4として成膜する。この場合、第1半導体部8Fは下地層4において結晶主面である(20-21)面となり、半極性面の第1半導体部8Fを得ることができる。半極性面上に、レーザ、LED用の機能層を設けることで、活性層において、電子とホールとの再結合確率が高まるといったメリットがある。なお、表面凹凸加工されたサファイア基板を用いることで、主基板1上に(11-22)面をもつGaN層を下地層4として成膜することもできる。

【符号の説明】

20

【0082】

- 1 主基板
- 2 バッファ層
- 3 シード層
- 3S シード部
- 4 下地層
- 5 マスク部
- 6 マスクパターン
- 8F 第1半導体部
- 8B 第2半導体部
- 8U 畝部
- 9 機能層
- 10 半導体基板
- 20 半導体デバイス
- 30 電子機器
- KF KF1・KF2 第1開口部
- KB KB1～KB6 第2開口部

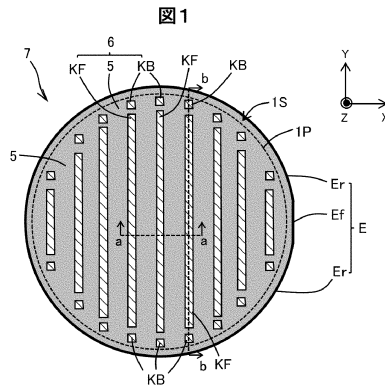
30

40

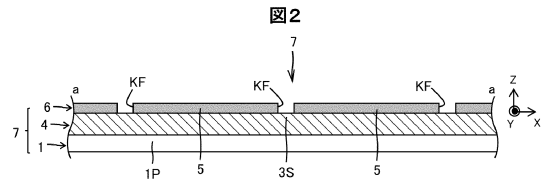
50

【図面】

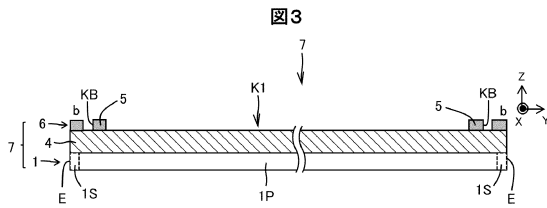
【図 1】



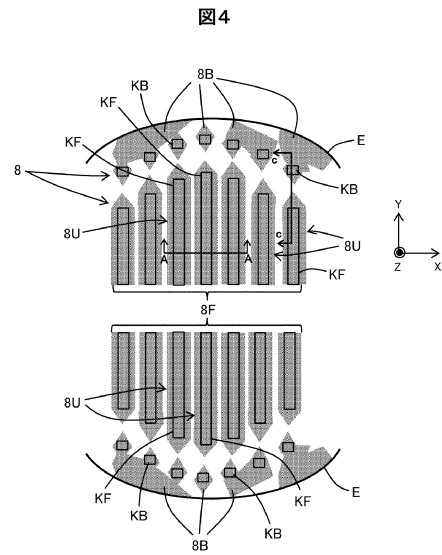
【図 2】



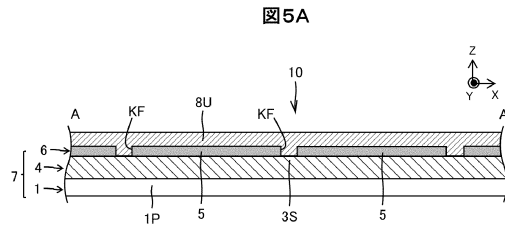
【図 3】



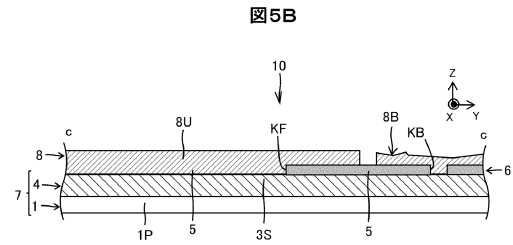
【図 4】



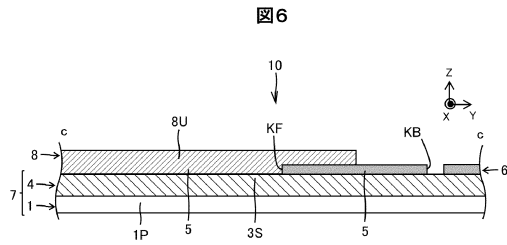
【図 5 A】



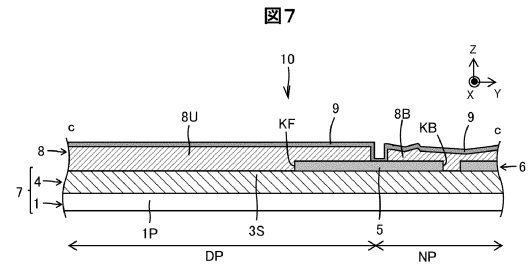
【図 5 B】



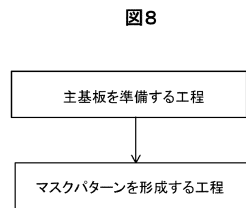
【図 6】



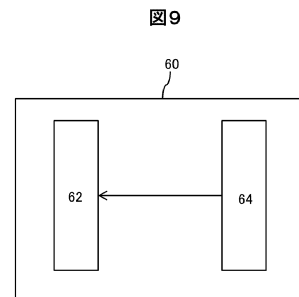
【圖 7】



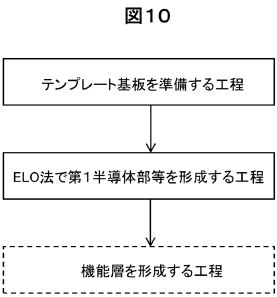
【圖 8】



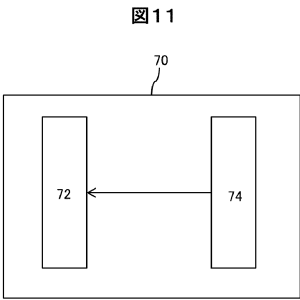
【圖 9】



【図 1 0】

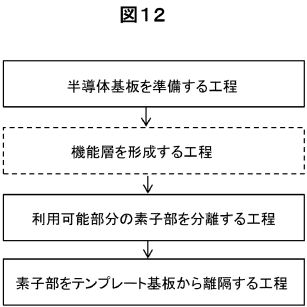


【図 1 1】

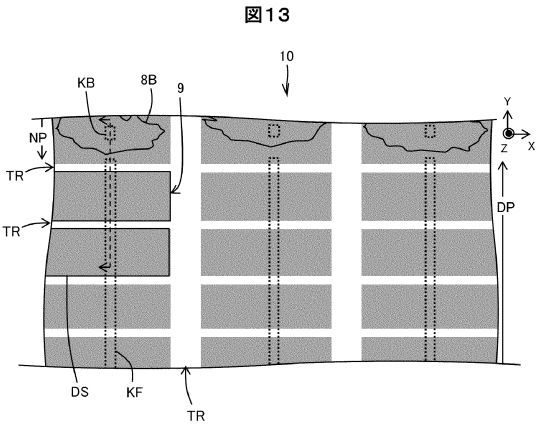


10

【図 1 2】



【図 1 3】



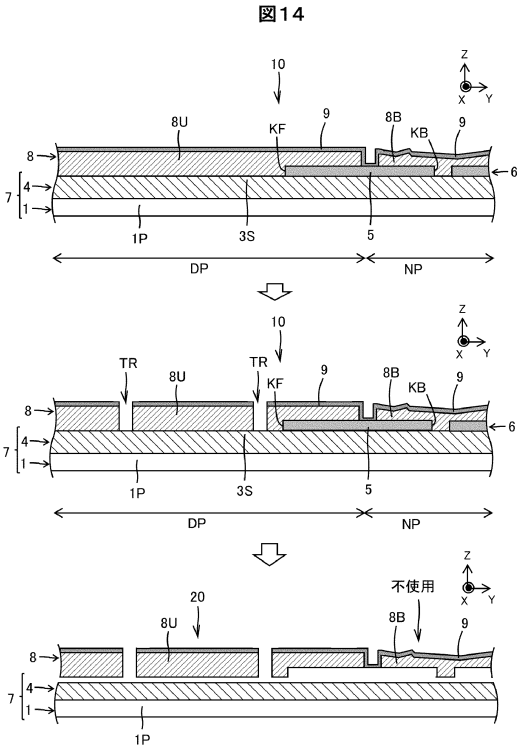
20

30

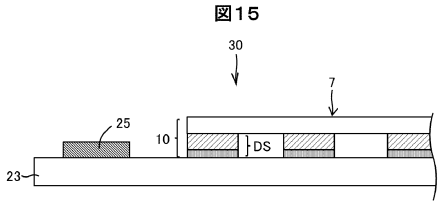
40

50

【図 1 4】



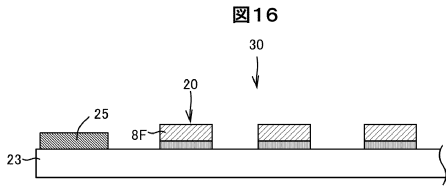
【図 1 5】



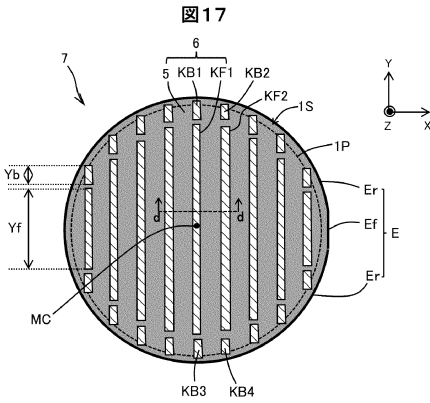
10

20

【図 1 6】



【図 1 7】



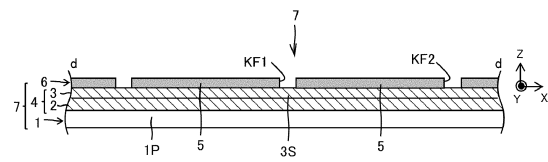
30

40

50

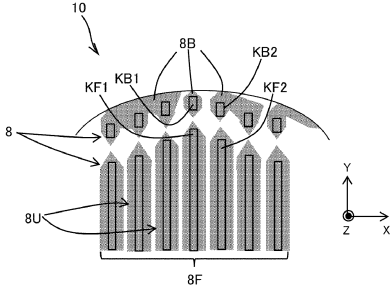
【図 18】

図18



【図 19】

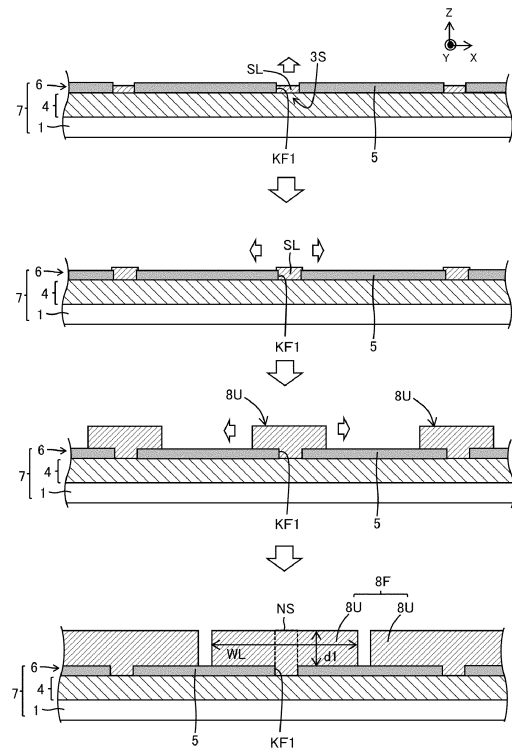
図19



10

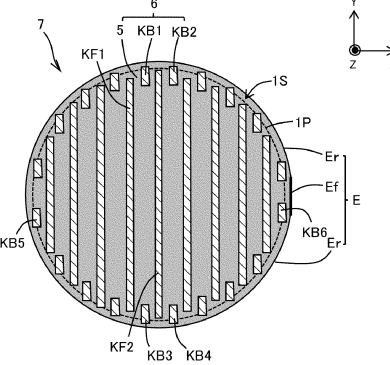
【図 20】

図20



【図 21】

図21



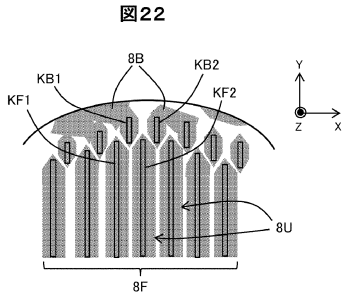
20

30

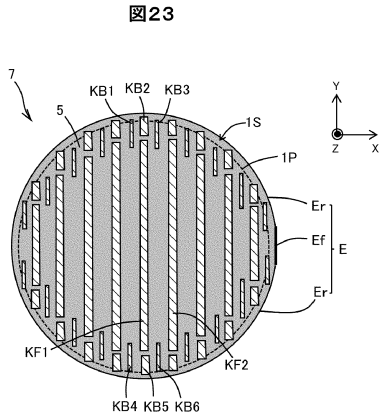
40

50

【図 2 2】

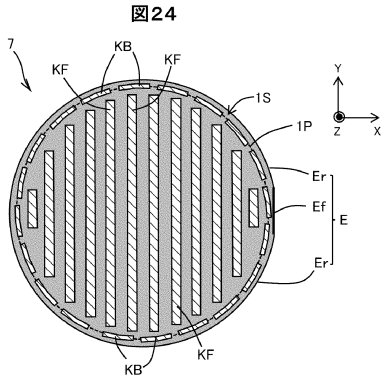


【図 2 3】

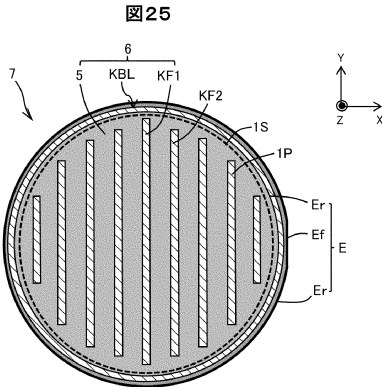


10

【図 2 4】

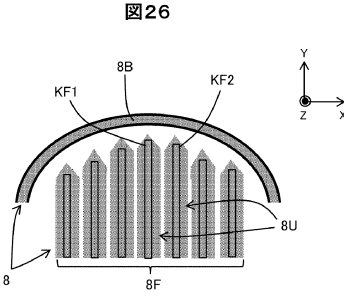


【図 2 5】

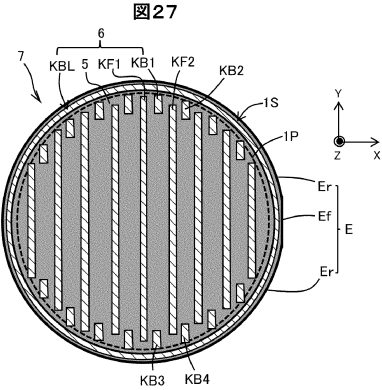


20

【図 2 6】



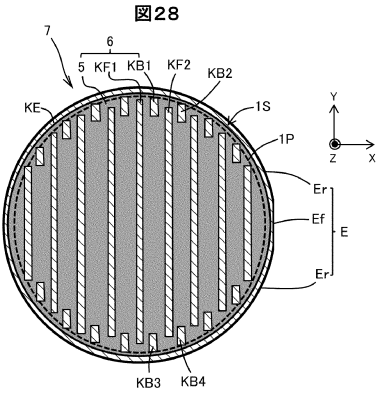
【図 2 7】



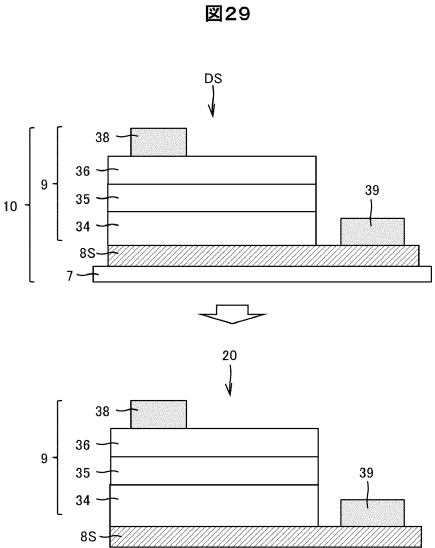
40

50

【図 28】

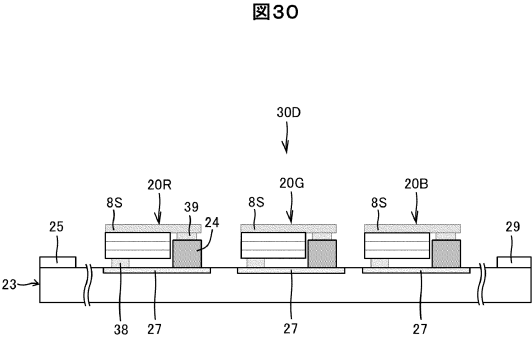


【図 29】

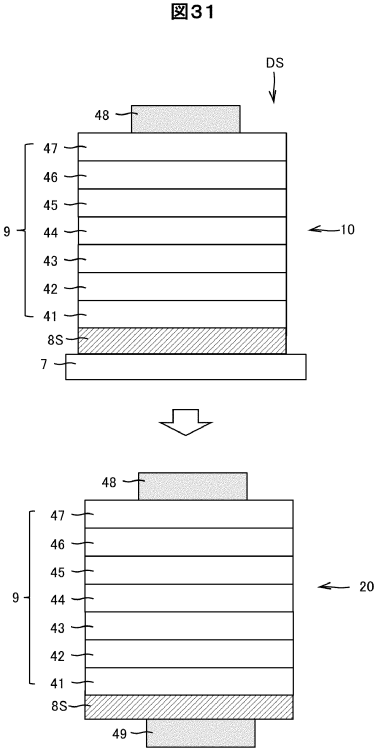


10

【図 30】



【図 31】



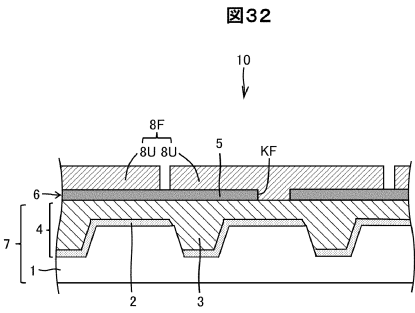
20

30

40

50

【図 3 2】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2018/030311 (WO, A1)
 米国特許出願公開第2017/0263440 (US, A1)
 特開2000-294827 (JP, A)
 特開2012-134243 (JP, A)
 特開2011-066390 (JP, A)
 特開2014-111527 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
 H01L 21/205
 H01L 21/20
 H01L 33/32
 H01L 33/16