

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-62247

(P2010-62247A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 27/10 (2006.01)		H O 1 L 27/10	4 5 1	5 F 0 8 3
H O 1 L 45/00 (2006.01)		H O 1 L 45/00	Z	
H O 1 L 49/00 (2006.01)		H O 1 L 49/00	Z	

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2008-224711 (P2008-224711)	(71) 出願人	000002185
(22) 出願日	平成20年9月2日(2008.9.2)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	水口 徹也
			東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

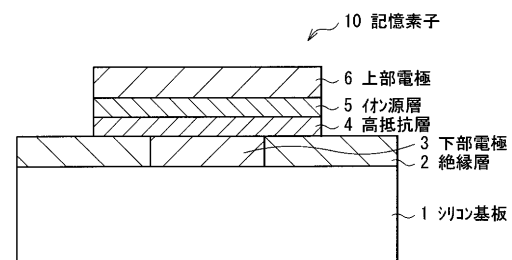
(54) 【発明の名称】 記憶素子および記憶装置

(57) 【要約】

【課題】トレードオフの関係にある繰り返し動作回数と低電圧動作特性とを同時に満足させることの可能な記憶素子を提供する。

【解決手段】下部電極3と上部電極6の間に高抵抗層4とイオン源層5とを備える。高抵抗層4は、Teを含む酸化物から構成されている。Te以外の他の元素、例えばAlや、Zr, Ta, Hf, Si, Ge, Ni, Co, CuおよびAuのいずれかを添加してもよい。TeにAlを添加し、更にCuおよびZrを加えたものとする場合、高抵抗層4の組成比は、酸素を除いて、30 Te 100原子%、0 Al 70原子%、および0 Cu+Zr 36原子%の範囲で調整することが望ましい。イオン源層5は、少なくとも一種の金属元素と、Te, SおよびSeのうち少なくとも一種類のカルコゲン元素とから構成される。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 電極と第 2 電極の間に、
 少なくとも T e を含む酸化物により形成された高抵抗層と、
 少なくとも一種類の金属元素と、T e , S および S e のうちの少なくとも一種類のカルコゲン元素とを含むイオン源層と
 を備えた記憶素子。

【請求項 2】

前記第 1 電極および前記第 2 電極への電圧印加によって前記高抵抗層内に前記金属元素を含む電流パスが形成される、あるいは前記金属元素による多数の欠陥が形成されることにより、抵抗値が低下する請求項 1 に記載の記憶素子。

10

【請求項 3】

前記高抵抗層は A l を含む請求項 1 または 2 に記載の記憶素子。

【請求項 4】

前記高抵抗層において、T e が 3 0 ~ 1 0 0 原子% に対し A l が 0 ~ 7 0 原子% の範囲で含まれる請求項 1 または 2 に記載の記憶素子。

【請求項 5】

前記金属元素は C u , A g および Z n のうちの少なくとも一種類である請求項 1 に記載の記憶素子。

【請求項 6】

20

前記高抵抗層において、T e , A l および C u + Z r がそれぞれ、3 0 T e 1 0 0 原子%、0 A l 7 0 原子% および 0 C u + Z r 3 6 原子% の関係を満たす範囲で含まれる請求項 4 に記載の記憶素子。

【請求項 7】

前記高抵抗層において、T e と A l と C u + Z r との組成比（原子% 比、酸素は除く）は、それらを頂点とした三角図において、T e を a 、A l を b 、C u + Z r を c とすると、数 1 に示した T 1 , T 2 , T 3 および T 4 の各点を結んだ範囲内の値である請求項 4 に記載の記憶素子。

(数 1)

$$T 1 (a , b , c) = (1 , 0 , 0)$$

30

$$T 2 (a , b , c) = (0 . 3 , 0 . 7 , 0)$$

$$T 3 (a , b , c) = (0 . 3 , 0 . 3 4 , 0 . 3 6)$$

$$T 4 (a , b , c) = (0 . 6 4 , 0 , 0 . 3 6)$$

【請求項 8】

第 1 電極と第 2 電極との間にイオン源層および高抵抗層を有する記憶素子と、
 前記第 1 電極に電氣的に接続された第 1 配線と、
 前記第 2 電極に電氣的に接続された第 2 配線と、
 前記第 1 配線に直列挿入され、かつ前記第 1 電極および前記第 2 電極の間に印加する電圧を制御するスイッチング素子とを備え、

前記記憶素子を構成する高抵抗層は T e を含む酸化物により形成され、

40

前記イオン源層は少なくとも一種類の金属元素と、T e , S および S e のうち少なくとも一種類のカルコゲン元素とを含む記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2 つの電極間に高抵抗層およびイオン源層を有し、電圧印加により主として高抵抗層の抵抗値が変化する記憶素子およびそれを備えた記憶装置に関する。

【背景技術】

【0002】

コンピュータ等の情報機器においては、高速動作の可能な高密度の D R A M (Dynamic

50

Random Access Memory) が広く用いられている。しかし、D R A Mにおいては、電子機器に用いられる一般的な論理回路や信号処理回路などと比較して製造プロセスが複雑なため、製造コストが高いという問題がある。また、D R A Mは、電源を切ると情報が消えてしまう揮発性メモリであり、頻繁にリフレッシュ動作を行う必要がある。

【 0 0 0 3 】

そこで、電源を切っても情報の消えない不揮発性メモリとして、例えば、F e R A M (Ferroelectric Random Access Memory ; 強誘電体メモリ) や、M R A (Magnetoresistive Random Access Memory ; 磁気記憶素子) などが提案されている。これらのメモリでは、電力を供給しなくても書き込んだ情報を長時間保持し続けることが可能であり、また、リフレッシュ動作を行う必要がないので、その分だけ消費電力を低減することができる。しかし、上記した不揮発性メモリでは、メモリセルの縮小化に伴い、メモリとしての特性を確保することが困難となっている。そこで、メモリセルの縮小化に適したメモリとして、例えば、特許文献 1 および非特許文献 1 , 2 に記載されているような新しいタイプの記憶素子が提案されている。

10

【 0 0 0 4 】

例えば、特許文献 1 および非特許文献 1 に記載の記憶素子では、2つの電極の間に、C u (銅)、A g (銀) および Z n (亜鉛) のうちいずれか一種類の金属元素と、S (硫黄) および S e (セレン) のうちいずれか一種類のカルコゲン元素とを含むイオン源層が設けられており、一方の電極にイオン源層に含まれる金属元素が含まれている。このような構成の記憶素子では、2つの電極間に電圧が印加されると、一方の電極に含まれる上記金属元素がイオン源層中にイオンとして拡散し、イオン源層の抵抗値あるいは容量値などの電気特性が変化するので、その電気特性の変化を利用して、メモリ機能を発現させることができる。

20

【 0 0 0 5 】

また、非特許文献 2 に記載の記憶素子では、2つの電極の間に、例えば、C r (クロム) がドーブされた S r Z r O₃ からなる結晶酸化物材料層が設けられており、一方の電極が S r R u O₃ あるいは P t (白金) からなり、他方の電極が A u (金) あるいは P t からなる。但し、この記憶素子の動作原理の詳細については不明である。

【 0 0 0 6 】

ところで、特許文献 1 および非特許文献 1 に記載したような記憶素子では、イオン源層そのものの特性がメモリ特性の良否を決定する。メモリ特性としては、例えば、動作速度 (書込速度、消去速度)、消去特性 (繰り返し動作における書込消去を行う前の抵抗と書込消去を行った後の抵抗との比、消去抵抗の戻り特性とも言う)、記録特性、データ保持特性 (記録抵抗および消去抵抗の加熱加速試験前後における変化)、繰り返し動作回数、記録消去時消費電力などが挙げられる。しかしながら、これらの中には、イオン源層中の一の元素の組成比調整を行う際にトレードオフの関係となるものが多い。そのため、例えば、書き込み速度を良くする目的でイオン源層中の一の元素の組成比調整を行うと、消去特性が悪化することがある。このように、イオン源層中の一の元素の組成比調整を行うだけでは、トレードオフの関係にある特性を同時に向上させることは容易ではないという問題があった。そこで、例えば特許文献 2 では、更に高抵抗層 (酸化物層) を設けることによりデータ保持特性を向上させる方法が用いられた。

30

40

【 0 0 0 7 】

【特許文献 1】特表 2 0 0 2 - 5 3 6 8 4 0 号公報

【非特許文献 1】日経エレクトロニクス 2 0 0 3 年 1 月 2 0 日号 (第 1 0 4 頁)

【非特許文献 2】A.Beck et al.,Appl.Phys.Lett.,77,(2 0 0 0 年), p . 1 3 9

【特許文献 2】特開 2 0 0 4 - 3 4 2 8 4 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

ここで、高抵抗層を設けることにより繰り返し動作回数を多くするためには、動作電流

50

などで破壊されにくい酸化物材料を選択する必要がある。しかしながら、動作電圧を決定する一因として酸化物へのイオン浸入のしやすさなどがあり、強固な酸化物ではイオンが浸入しにくくなる傾向がある。そのため、繰り返し動作回数を多くすることと、低電圧動作特性の向上との両立を図るためには、酸化物材料の選択が重要になる。

【 0 0 0 9 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、繰り返し動作回数を多くし、かつ低電圧動作特性の向上を図ることの可能な記憶素子およびそれを備えた記憶装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の記憶素子は、第 1 電極と第 2 電極の間に、T e (テルル)を含む酸化物により形成された高抵抗層と、少なくとも一種類の金属元素と、T e , S および S e のうちの少なくとも一種類のカルコゲン元素とを含むイオン源層とを備えたものである。本発明の記憶装置は、この記憶素子をアレイ状またはマトリクス状に備えたものである。

【 0 0 1 1 】

本発明の記憶素子および記憶装置では、第 1 電極と第 2 電極の間に所定の電圧が印加されることにより、主として高抵抗層の抵抗値が変化し、これにより情報の書き込み、消去がなされる。このとき高抵抗層がT e 酸化物により構成されていることにより、繰り返し動作回数が多くなると共に、低電圧動作が可能になる。

【発明の効果】

【 0 0 1 2 】

本発明の記憶素子および記憶装置によれば、イオン源層に少なくとも一種類の金属元素とT e , S および S e のうち少なくとも一種類のカルコゲン元素とを含むと共に、高抵抗層をT e を含む酸化物により形成するようにしたので、トレードオフの関係にある繰り返し動作回数と低電圧動作特性を同時に向上させることが可能になる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【 0 0 1 4 】

図 1 は、本発明の一実施の形態に係る記憶素子の断面構成を表したものである。この記憶素子 1 0 は、下部電極 3 と上部電極 6 の間に高抵抗層 4 とイオン源層 5 を有するものである。下部電極 3 は、例えば、後述 (図 3) のように C M O S (Complementary Metal Oxide Semiconductor) 回路が形成されたシリコン基板 1 上に設けられ、C M O S 回路部分との接続部となっている。

【 0 0 1 5 】

記憶素子 1 0 は、このシリコン基板 1 上に、下部電極 3、高抵抗層 4、イオン源層 5 および上部電極 6 をこの順に積層したものである。下部電極 3 は、シリコン基板 1 上に形成された絶縁層 2 の開口内に埋設されている。高抵抗層 4、イオン源層 5 および上部電極 6 は同じ平面パターンに形成されている。下部電極 3 は、高抵抗層 4 よりも狭く、高抵抗層 4 の一部と電氣的に接続されている。

【 0 0 1 6 】

図 2 は、この記憶素子 1 0 とトランジスタ 2 0 (スイッチング素子)とにより構成されるメモリセル 3 0 を表すものである。記憶素子 1 0 の下部電極 3 はソース線 S に電氣的に接続され、上部電極 6 がトランジスタ 2 0 のドレインに電氣的に接続されている。トランジスタ 2 0 のソースがビット線 B に電氣的に接続され、トランジスタ 2 0 のゲートはワード線 W に電氣的に接続されている。

【 0 0 1 7 】

下部電極 3 および上部電極 6 は、半導体プロセスに用いられる配線材料、例えば T i W , T i , W , C u , A l , M o , T a , W N , T a N , シリサイド等を用いることができる。絶縁層 2 は、例えばハードキュア処理されたフォトレジスト、半導体装置に一般的に

10

20

30

40

50

用いられる SiO_2 や Si_3N_4 、その他の材料、例えば SiON 、 SiOF 、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 ZrO_2 等の無機材料、フッ素系有機材料、芳香族系有機材料等からなる。

【0018】

高抵抗層 4 は、後述のように電圧印加によってその抵抗値が変化して情報の記録がなされるもので、Te を含む酸化物から構成されている。Te の融点は 449.57°C 、酸化物である TeO_2 の融点は 733°C 、と適度に低く、高抵抗層 4 にこの Te または Te 酸化物を含むことにより、繰り返し動作回数を多くできると共に、低電圧動作も可能になる。

【0019】

Te 酸化物には Te 以外の他の元素、例えば Al を含めることが好ましい。Al は、絶縁体として Al_2O_3 のような安定な酸化物を形成する。例えば Al_2O_3 は 2046.5°C と、Te や TeO_2 と比較して高融点である。このように高融点材料により形成された安定な構造の中に低融点材料が混在することで、低電圧動作が可能になると共に、繰り返し動作回数を延ばすことが可能になる。

【0020】

高抵抗層 4 には、その他、Zr (ジルコニウム)、Ta (タンタル)、Hf (ハフニウム)、Si (ケイ素)、Ge (ゲルマニウム)、Ni (ニッケル)、Co (コバルト)、Cu および Au を添加することもでき、これによりその酸化物のインピーダンスを制御することができる。具体的に、Te に Al を添加し、更に Cu および Zr を加えたものとする場合、高抵抗層 4 の組成比は、 $30\text{ Te } 100\text{ 原子}\%$ 、 $0\text{ Al } 70\text{ 原子}\%$ 、および $0\text{ Cu} + \text{Zr } 35\text{ 原子}\%$ の範囲となるよう調整することが望ましい。後述のように、例えば、記録閾値電圧を 1.8 V と低くできると共に、繰り返し動作回数を 1×10^6 回以上とすることができるからである。これは、Cu は酸化されやすいが、容易に還元されやすく (低抵抗)、対して、Zr は容易に酸化されるが、還元されにくい (高抵抗) ため、Cu と Zr の量を調整することにより、高抵抗層の抵抗値が制御可能となるためである。従って、抵抗値制御の観点から、同様の動きをするものであれば、他の材料を用いてもよい。なお、ここでの組成比は、酸素を除いた、酸化前の Al と他の元素との関係を表している。また、高抵抗層 4 の実際の酸素濃度については、量論比で決まる程度の酸素濃度になっていると推測されるが、これに限らない。

【0021】

イオン源層 5 は、Cu、Ag および Zn などの金属元素のいずれかを含むと共に、Te、Se および S のカルコゲナイド元素のうち少なくとも一種類を含有している。具体的には、 CuTe 、 GeSbTe 、 CuGeTe 、 AgGeTe 、 AgTe 、 ZnTe 、 ZnGeTe 、 CuS 、 CuGeS 、 CuSe 、 CuGeSe 、その他、 ZrTe 、 ZrTeSi 、 ZrTeGeSi 、 ZrTeAlSi 、 ZrTeAl 等も用いることができる。更に、B (ホウ素)、或いは希土類元素や Si を含有させてもよい。

【0022】

本実施の形態では、特に、抵抗値が変化する部分を、比較的高い抵抗値を有する高抵抗層 4 に限定し、この高抵抗層 4 に比して、抵抗が十分低い材料 (例えば、高抵抗層 4 のオン時の抵抗値よりも低い) という観点から、イオン源層 5 のカルコゲナイド元素としては Te を用いることが望ましい。そして、このイオン源層 5 には、例えば CuTe 、 AgTe または ZnTe のように、陽イオンとして移動しやすい Cu、Ag または Zn のうちの少なくとも一種類を含めることが望ましい。特に、イオン源層 5 に CuTe を含む構成とすると、イオン源層 5 の抵抗がより低くなり、イオン源層 5 の抵抗変化を高抵抗層 4 の抵抗変化と比較して十分に小さくすることができると、メモリ動作の安定性が向上する。

【0023】

次に、上記記憶素子 1 の作用について説明する。

【0024】

(書き込み)

10

20

30

40

50

上部電極 6 に正電位（+ 電位）を印加すると共に、下部電極 3 に負電位（- 電位）または零電位を印加すると、イオン源層 5 から Cu, Ag および Zn のうち少なくとも一種の金属元素がイオン化して高抵抗層 4 内を拡散していき、下部電極 3 側で電子と結合して析出したり、あるいは、高抵抗層 4 の内部に拡散した状態でとどまる。その結果、高抵抗層 4 の内部に、Cu, Ag および Zn のうち少なくとも一種の金属元素を多量に含む電流パスが形成されたり、若しくは、高抵抗層 4 の内部に、Cu, Ag および Zn のうち少なくとも一種の金属元素による欠陥が多数形成され、高抵抗層 4 の抵抗値が低くなる。このとき、イオン源層 5 の抵抗値は、高抵抗層 4 の記録前の抵抗値に比べて元々低いので、高抵抗層 4 の抵抗値が低くなることにより、記憶素子 10 全体の抵抗値も低くなる。このとき記憶素子 10 全体の抵抗が書き込み抵抗となる。

10

【0025】

その後、上部電極 6 および下部電極 3 への印加電位を零にすると、記憶素子 10 の低抵抗状態が保持される。このようにして情報の書き込みが行われる。

【0026】

（消去）

次に、上部電極 6 に負電位（- 電位）を印加すると共に、下部電極 3 に正電位（+ 電位）または零電位を印加すると、高抵抗層 2 内に形成されていた電流パス、あるいは不純物準位を構成する、Cu, Ag および Zn のうち少なくとも一種の金属元素がイオン化して、高抵抗層 4 内を移動してイオン源層 5 側に戻る。その結果、高抵抗層 4 内から、電流パス、若しくは、欠陥が消滅して、高抵抗層 4 の抵抗値が高くなる。このとき、イオン源層 5 の抵抗値は元々低いので、高抵抗層 4 の抵抗値が高くなることにより、記憶素子 10 全体の抵抗値も高くなる。このときの記憶素子 10 全体の抵抗が消去抵抗となる。

20

【0027】

その後、上部電極 6 および下部電極 3 への印加電位を零にすると、記憶素子 10 の高抵抗状態が保持される。このようにして記録された情報の消去が行われる。このような過程を繰り返し行うことにより、記憶素子 10 に情報の記録（書き込み）と、記録された情報の消去を繰り返し行うことができる。

【0028】

このとき、例えば、記憶素子 10 全体の抵抗が書き込み抵抗となっている状態（高抵抗状態）を「1」の情報に、記憶素子 10 全体の抵抗が消去抵抗となっている状態（低抵抗状態）を「0」の情報にそれぞれ対応させると、上部電極 6 に正電位（+ 電位）を印加することによって、記憶素子 10 の情報を「0」から「1」に変え、上部電極 6 に負電位（- 電位）を印加することによって、記憶素子 10 の情報を「1」から「0」に変えることができる。

30

【0029】

このように、本実施の形態では、下部電極 3、高抵抗層 4、イオン源層 5 および上部電極 6 をこの順に積層しただけの簡易な構造からなる記憶素子 10 を用いて、情報の記録および消去を行うものであり、記憶素子 10 を微細化しても、情報の記録および消去を容易に行うことができる。また、電力の供給がなくても、高抵抗層 4 の抵抗値を保持することができるので、情報を長期に渡って保存することができると共に、読み出しによって高抵抗層 4 の抵抗値が変化することなく、フレッシュ動作を行う必要がないので、その分だけ消費電力を低減することができる。そして、保持特性の向上により多値記録も可能になる。

40

【0030】

また、本実施の形態では、イオン源層 5 が Cu, Ag および Zn の金属元素に加えて、Te, S および Se のうち少なくとも一種のカルコゲン元素を含んでいる。このカルコゲン元素を含むことによって、イオン源層 5 内の金属元素（Cu, Ag および Zn など）とカルコゲン元素（Te, S および Se）とが結合し、金属カルコゲナイド層を形成する。この金属カルコゲナイド層は、主に非晶質構造を有しており、例えば、金属カルコゲナイド層から成るイオン源層 5 に接する上部電極 6 側に正電位を印加すると、金属カルコゲ

50

ナイド層に含まれるCu, AgおよびZnの金属元素がイオン化して、高抵抗を呈する高抵抗層4中に拡散し、下部電極3側の一部で電子と結合して析出することにより、或いは、高抵抗層4中に留まり、絶縁膜の不純物準位を形成することによって、高抵抗層4の抵抗が低くなり、情報の記録が容易に行われる。

【0031】

更に、本実施の形態では、高抵抗層4がTeを含む酸化物により構成されていることから、繰り返し動作回数が増えると同時に、低電圧動作が可能になる。実施例については後述する。

【0032】

次に、本実施の形態の記憶素子10の製造プロセスについて説明する。

10

【0033】

まず、抵抗率の低いシリコン基板1上に、絶縁層2（例えば、 Al_2O_3 , Ta_2O_5 等）をスパッタリングにより一様に堆積し、更に、この絶縁層2にフォトリソグラフィにより下部電極形成用パターンを形成する。その後、RIE（Reactive Ion Etching）により、絶縁層2を選択的に除去して開口を形成する。次いで、この開口にW等をスパッタリングにより堆積し、下部電極3を形成する。その後、CMP（化学的機械的研磨）法あるいはエッチバック法等により表面を処理して平坦化する。

【0034】

次に、絶縁層2および下部電極3上にスパッタリングにより高抵抗層4を形成する。この高抵抗層4の形成方法としては、反応性スパッタリングで酸素ガスを流しながら構成元素を堆積するという手法や、酸素ガスを流さずに、構成元素の堆積を、複数ターゲットを用いて同時に成膜混合する、あるいはそれぞれ別に積層混合により行い、その後プラズマ酸化を実施する手法、または予め酸素とその他の構成元素とを混合したターゲットを用いて酸化物層を形成する手法、またそれぞれの構成元素を積層する手法を挙げることができる。その後、引き続き、イオン源層5、上部電極6の各層を連続的に形成する。その後、フォトリソグラフィおよびエッチング処理により、これらの高抵抗層4、イオン源層5、および上部電極6をパターンニングすることによって記憶素子10が完成する。

20

【0035】

本実施の形態では、下部電極3、高抵抗層4、イオン源層5および上部電極6のいずれもスパッタリングが可能な材料で構成することができる。例えば、各層の材料に適応した組成からなるターゲットを用いてスパッタリングを行えばよい。同一のスパッタリング装置内で、ターゲットを交換することにより、連続して成膜することも可能である。

30

【0036】

本実施の形態では、特に、高抵抗層4を、単元素と酸素の組み合わせではなく、複数元素を添加した形で実現する場合には、金属元素と酸化物とを混合させて、即ち例えば同時に堆積して形成してもよく、また、金属元素と酸化物を形成する金属元素とを共に堆積した後に、プラズマ酸化法等を用いて酸化させることによって形成してもよい。

【0037】

また、高抵抗層4の組成は、複数の材料を同時に成膜することが可能な装置を用いることによって、金属酸化物または金属と貴金属元素とを同時に堆積して形成する方法や、それぞれの材料が層を成さない程度の成膜時間を設定して繰り返し積層形成する方法を用いることによって、調整することが可能である。この繰り返し積層形成する方法で、各材料の成膜レートを調整することにより、高抵抗層4の酸化物層の組成を変化させることができる。

40

【0038】

上記記憶素子10を多数、例えばアレイ状やマトリクス状に配列することにより、記憶装置（メモリ）を構成することができる。このとき、各記憶素子10に、必要に応じて、素子選択用のMOSトランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配線を介して、センスアンプ、アドレスデコーダ、書き込み・消去・読み出し回路等に接続させればよい。

50

【 0 0 3 9 】

具体的には、例えば下部電極 3 を行方向のメモリセルに共通して形成し、上部電極 6 に接続された配線を列方向のメモリセルに共通して形成し、電圧を印加して電流を流す下部電極 3 と配線とを選択することにより、記録を行うべきメモリセルを選択して、このメモリセルの記憶素子 1 0 に電流を流して、情報の書き込みや書き込んだ情報の消去を行うことができる。

【 0 0 4 0 】

図 3 および図 4 は多数の記憶素子 1 0 をマトリクス状に配置した記憶装置（メモリセルアレイ）1 0 0 の一例を表すものであり、図 3 は断面構成、図 4 は平面構成をそれぞれ表している。このメモリセルアレイでは、各記憶素子 1 0 に対して、その下部電極 3 側に接

10

【 0 0 4 1 】

より具体的には、各記憶素子 1 0 は、高抵抗層 4、イオン源層 5 および上部電極 6 の各層を共有している。すなわち、高抵抗層 4、イオン源層 5 および上部電極 6 それぞれは各記憶素子 1 0 に共通の層（同一層）により構成されている。このうち共通に形成された上部電極 6 がプレート電極 P L となる。一方、下部電極 3 は、メモリセル毎に個別に形成されており、これにより各メモリセルが電氣的に分離されている。このメモリセル毎の下部電極 3 によって、各下部電極 3 に対応した位置に各メモリセルの記憶素子 1 0 が規定される。下部電極 3 は各々対応するセル選択用の M O S トランジスタ T r に接続されており、各記憶素子 1 0 はこの M O S トランジスタ T r の上方に形成されている。M O S トランジスタ T r は、半導体基板 1 1 内の素子分離層 1 2 により分離された領域に形成されたソース/ドレイン領域 1 3 とゲート電極 1 4 とにより構成されている。ゲート電極 1 4 の壁面には、サイドウォール絶縁層が形成されている。ゲート電極 1 4 は、記憶素子 1 0 の一方のアドレス配線であるワード線 W L を兼ねている。M O S トランジスタ T r のソース/ドレイン領域 1 3 の一方と、記憶素子 1 0 の下部電極 1 とが、プラグ層 1 5、金属配線層 1 6 およびプラグ層 1 7 を介して電氣的に接続されている。M O S トランジスタ T r のソース/ドレイン領域 1 3 の他方は、プラグ層 1 5 を介して金属配線層 1 6 に接続されている。金属配線層 1 6 は、記憶素子の他方のアドレス配線であるビット線 B L（図 3 参照）に

20

30

【 0 0 4 2 】

このメモリセルアレイでは、ワード線 W L により M O S トランジスタ T r のゲートをオン状態として、ビット線 B L に電圧を印加すると、M O S トランジスタ T r のソース/ドレインを介して、選択されたメモリセルの下部電極 1 に電圧が印加される。ここで、下部電極 3 に印加された電圧の極性が、上部電極 6（プレート電極 P L）の電位に比して負電位である場合には、上述のように記憶素子 1 0 の抵抗値が低抵抗状態へと遷移する。これにより選択されたメモリセルに情報が書き込まれる。次に、下部電極 1 に、上部電極 6（プレート電極 P L）の電位に比して正電位の電圧を印加すると、記憶素子 1 0 の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに書き込まれた情報が消去される。書き込まれた情報の読み出しを行うには、例えば、M O S トランジスタ T r によりメモリセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子 1 0 の抵抗状態により異なる電流または電圧を、ビット線 B L あるいはプレート電極 P L の先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子 1 0 の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

40

【 0 0 4 3 】

このように記憶素子 1 0 を用いて記憶装置 1 0 0 を構成した場合、駆動用トランジスタ

50

のサイズが小さくてすむため、集積化（高密度化）および小型化を図ることができる。そして、このような記憶装置 100 は、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能な、いわゆる P R O M (Programmable Read Only Memory)、電氣的に消去が可能な E E P R O M (Erasable Programmable Read Only Memory)、或いは、高速に書き込み・消去・再生が可能な、いわゆる R A M 等、いずれのメモリ形態でも適用することが可能である。

【0044】

[実施例]

次に、上記高抵抗層 4 の効果を示す実施例について説明する。

【0045】

上述した製造方法により、シリコン基板 1 上に、酸化ケイ素 (S i O₂) から成る絶縁層 2 を堆積し、更に、この絶縁層 2 に 0 . 3 μ m φ の円形パターンの開口を形成した後、この開口に W (タングステン) を埋設させて厚さ 20 n m の下部電極 3 を形成した。次に、絶縁層 2 および下部電極 3 上に、高抵抗層 4 として T e を含む酸化膜を形成した。この高抵抗層 4 は、絶縁層 2 および下部電極 3 上にスパッタリングにより T e 層を成膜した後、表面からプラズマ酸化を 1 分間実施することにより形成した。条件は、A r の分圧を 0 . 26 P a、O₂ の分圧を 0 . 05 P a とし、電力を 30 W とした。その他、T e の他に C u , Z r , A l を添加し、組成比の異なる試料を複数作製した。なお、これら試料のプラズマ酸化前の層厚は一定 (1 . 2 n m) とした。次いで、イオン源層 5 として、C u₁₀ T e₄₀ A l₄₀ Z r₁₀ を 20 n m の膜厚で形成し、更に上部電極 6 として W 膜を 200 n m の膜厚で形成した。その後、フォトリソグラフィ技術により、プラズマエッチング装置を用いて、絶縁層 2 および下部電極 3 上に堆積した高抵抗層 4、イオン源層 5 および上部電極 6 の各層をパターンングし、図 1 に示した構造で高抵抗層 4 の組成の異なる記憶素子 10 を複数作製し、試料とした。

【0046】

<実験 1>

上述の高抵抗層 4 の組成の異なる複数の記憶素子 10 について、室温での書き込み可能な電圧を調べた。その結果を図 5 に示す。なお、一般的に用いられているメモリの電源電圧は何種類もあるが、ここでは一例として 1 . 8 V を基準とし、この電圧以下で書き込みできるかによって、低電圧動作可能かどうかを判断し、書き込みの可否は、書き込み動作後に抵抗値が 20 k Ω 以下となった場合を、書き込み可能と判断した。図 5 は、書き込み方向極性に直流電圧を印加したときの、1 . 8 V 以下の電圧で書き込み可能な場合を黒ドット、記録が不可の場合を白ドットとし、高抵抗層 4 の構成材料を三次元 (T e , A l および C u + Z r) にプロットしたものである。ここで、各元素の比率は酸素を除いたものである。

【0047】

図 5 から、記憶素子 10 は高抵抗層 4 に含まれる T e が 30 原子%以上の領域と、0 % の一部の領域とにおいて低電圧 (1 . 8 V 以下) での書き込みが可能となっていることがわかる。これは、高抵抗層 4 として比較的融点の低い T e 酸化物の割合が増えたために低電圧での動作が可能になったものと考えられる。

【0048】

<実験 2>

上述の高抵抗層 4 の組成の異なる複数の記憶素子 10 について、書き込み / 消去の繰り返し動作実験を行った結果を図 6 に示した。動作条件は、書き込みパルス幅を 25 n s e c , 消去パルス幅を 1 n s e c , 書き込み電圧を 2 . 2 V , 書き込み時電流を 120 μ A , 消去電圧を 1 . 6 V , 消去時電流を 70 μ A とした。ここで、書き込み / 消去繰り返し動作回数として 10⁶ 回を基準とし、10⁶ 回以上の繰り返し動作回数が可能な場合を黒ドット、不可の場合を白ドットとして三次元にプロットした。なお、各元素の比率は、実験 1 と同様に酸素を除いたものである。

【0049】

10

20

30

40

50

図 6 から、記憶素子 10 は高抵抗層 4 に含まれる Te が 30 原子%以上、Al が 70 原子%以下、更に Te, Al 以外の原子（ここでは Cu, Zr）が 36 原子%以下で囲まれた範囲内、または Al が 100%の場合において、 10^6 回以上の書き込み/消去の繰り返し動作が可能であることがわかる。

【0050】

実験 1 および実験 2 の結果から、繰り返し動作回数 (10^6 回以上) および低電圧動作特性 (1.8 V 以下) を同時に満足できる高抵抗層 4 の組成は、図 5 と図 6 を重ねた図 7 により、30 Te 100 原子%、Al 70 原子%、および Cu, Zr 36 原子%の範囲内であることがわかる。言い換えれば、Te と Al と Cu + Zr との組成比 (原子%比, 酸素は除く) は、Te を a、Al を b、Cu + Zr を c とすると、以下の T1, T2, T3 および T4 の各点を結んだ範囲内の値とすればよい。

10

$$T1(a, b, c) = (1, 0, 0)$$

$$T2(a, b, c) = (0.3, 0.7, 0)$$

$$T3(a, b, c) = (0.3, 0.34, 0.36)$$

$$T4(a, b, c) = (0.64, 0, 0.36)$$

【0051】

高抵抗層 4 の層厚は、繰り返し動作の信頼性からは厚い方がよく、低電圧動作という観点からは薄い方が有利である。本実施例では、層厚をプラズマ酸化前の時点で一定 (1.2 nm) としたが、繰り返し動作回数が 10^6 回以上、かつ書き込み電圧が 1.8 V 以下であるという条件下において、0.6 ~ 2.0 nm の範囲で動作確認ができています。

20

【0052】

なお、上記実施例では、高抵抗層 4 の構成元素として、Te, Al, Cu および Zr を含むものとしたが、その他の元素を組み合わせても繰り返し動作回数と低電圧動作特性とを同時に満足する。例えば、上記元素に Ge を加え、Al, Ge + Te および Cu + Zr を任意の組成比に振った場合の結果を表 1 に示す。右の 2 行は Cu + Zr 中の Cu と Zr の比率を記している。

【表 1】

		組成比(原子%)				
		Al	Te	CuZr	Cu	Zr
繰り返し回数	≧10 ⁶ 回	70.0	30.0	0.0	0.0	0.0
		67.0	33.0	0.0	0.0	0.0
		60.0	40.0	0.0	0.0	0.0
		56.0	44.0	0.0	0.0	0.0
		30.0	70.0	0.0	0.0	0.0
		0.0	100.0	0.0	0.0	0.0
		58.0	33.0	9.0	5.0	4.0
		50.0	40.0	10.0	10.0	0.0
		50.0	40.0	10.0	0.0	10.0
		56.0	29.0	15.0	10.0	5.0
		55.0	29.0	16.0	6.0	10.0
		50.0	32.0	18.0	9.0	9.0
		45.0	36.0	19.0	15.0	4.0
		45.0	36.0	19.0	4.0	15.0
		0.0	78.0	22.0	15.0	7.0
		0.0	78.0	22.0	22.0	0.0
		30.0	44.0	26.0	13.0	13.0
		15.0	54.0	31.0	16.0	15.0
		35.0	33.0	32.0	16.0	16.0
		0.0	64.0	36.0	20.0	16.0
	<10 ⁶ 回	0.0	36.0	64.0	32.0	32.0
		0.0	36.0	64.0	0.0	64.0
		0.0	36.0	64.0	64.0	0.0
		82.0	0.0	18.0	0.0	18.0
		82.0	0.0	18.0	0.0	18.0
		82.0	0.0	18.0	0.0	18.0
		69.0	0.0	31.0	0.0	31.0
		63.0	0.0	37.0	0.0	37.0

@0009

【0053】

表 1 から、上記実施例以外の組成でも、30 Te 100 原子%、Al 70 原子%、および Cu, Zr 36 原子%の範囲内であれば、繰り返し動作回数(10⁶ 回以上)および低電圧動作特性(1.8 V 以下)の基準を満たすことがわかる。

【0054】

以上実施の形態および実施例を挙げて本発明の記憶素子について説明したが、本発明は上記実施の形態等に限定されるものではなく、上記実施の形態等と同様の効果を得ること

が可能な限りにおいて自由に変形可能である。

【 0 0 5 5 】

例えば、上記実施の形態の記憶素子 1 0 では、下部電極 3、高抵抗層 4、イオン源層 5 および上部電極 6 をこの順に配置しているが、下部電極 3、イオン源層 5、高抵抗層 4 および上部電極 6 の順に配置してもよい。

【 0 0 5 6 】

また、本実施の形態の記憶素子 1 0 では、イオン源層 5 と上部電極 6 とをそれぞれ異なる材料により別々に形成したが、電極にイオン源となる元素 (C u , A g および Z n) を含有させて、電極層とイオン源層を兼用させてもよい。

【 0 0 5 7 】

また、本発明は、高抵抗層 4 を適度に低い融点をもつ T e 酸化物により構成することにより実現できたものであるが、同程度の融点をもつ S b (アンチモン) 酸化物を T e 酸化物の変わりに用いることも可能である。

【 0 0 5 8 】

加えて、上記実施例では、高抵抗層 4 に T e と A l 以外の添加元素として、C u および Z r を用いたが、A l と比較して酸化されにくい金属元素、例えば、T i , M n , V , Z n , G a , F e , I n , C o , N i , M o , S n , G e , R h , A g , P d , P t , A u などを添加するようにしてもよい。また、酸化後も導電性を有する W , R e , R u を添加してもよい。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】 本発明の一実施の形態に係る記憶素子の断面構成図である。

【 図 2 】 図 1 の記憶素子を用いたメモリセルの回路構成図である。

【 図 3 】 図 1 の記憶素子を用いたメモリセルアレイの概略構成を表す断面図である。

【 図 4 】 同じくメモリセルアレイの平面図である。

【 図 5 】 低電圧動作特性 (実験例 1) を説明するための図である。

【 図 6 】 繰り返し動作回数 (実験例 2) を説明するための図である。

【 図 7 】 低電圧動作特性および繰り返し動作回数を満足する組成範囲を説明するための特性図である。

【 符号の説明 】

【 0 0 6 0 】

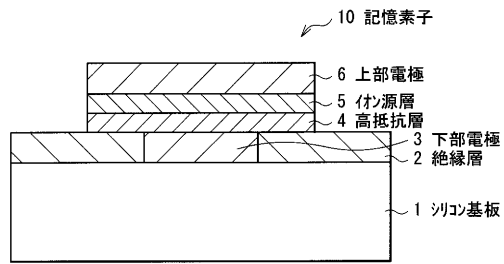
1 ... シリコン基板、 2 ... 絶縁層、 3 ... 下部電極、 4 ... 高抵抗層、 5 ... イオン源層、 6 ... 上部電極、 1 0 ... 記憶素子、 3 0 ... メモリセル、 1 0 0 ... 記憶装置。

10

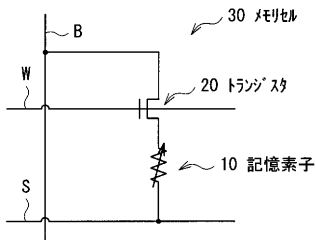
20

30

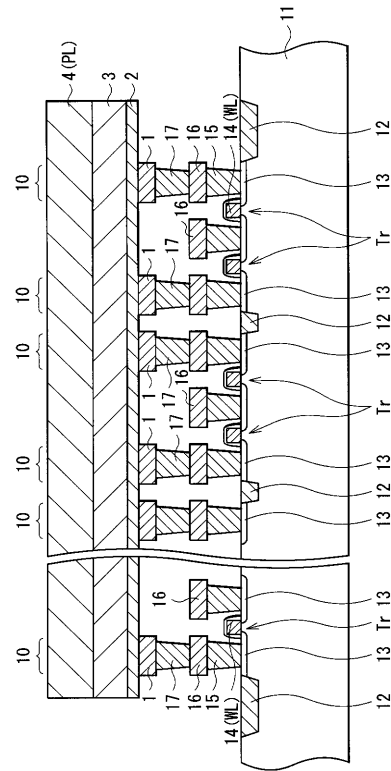
【図 1】



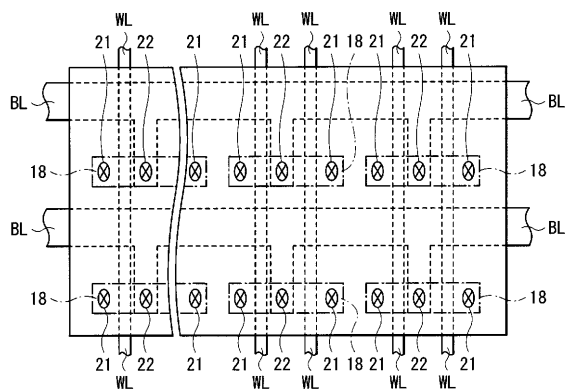
【図 2】



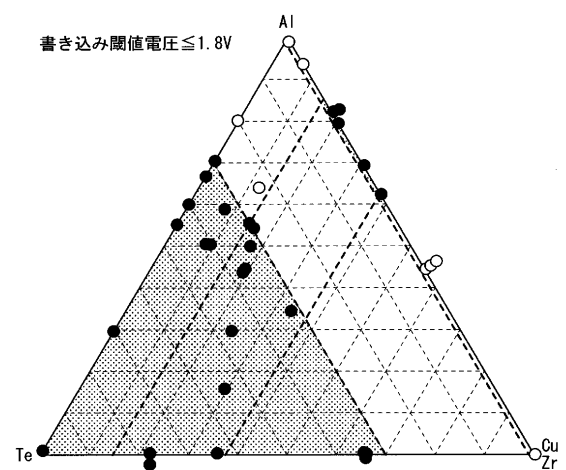
【図 3】



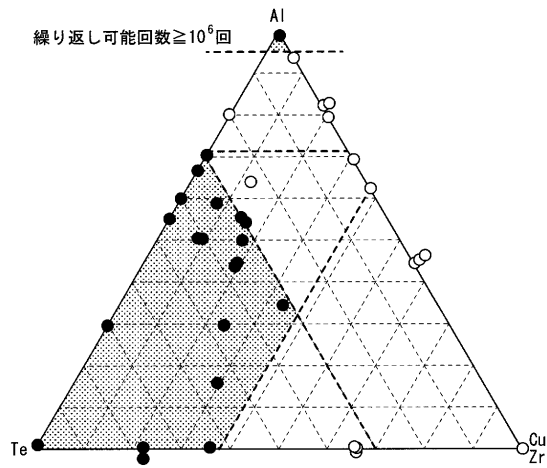
【図 4】



【図 5】

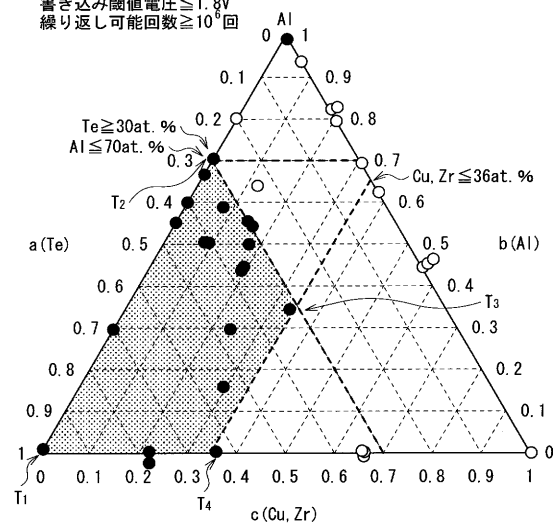


【 図 6 】



【 図 7 】

書き込み閾値電圧 $\leq 1.8V$
繰り返し可能回数 $\geq 10^6$ 回



フロントページの続き

(72)発明者 保田 周一郎
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 佐々木 智
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 山田 直美
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 5F083 FZ10 GA21 JA35 JA36 JA37 JA38 JA39 JA40 JA56 JA58
JA60 KA01 KA05 KA19 LA01 LA12 LA16 MA04 MA06 MA15
MA19 NA01 PR12 PR40