

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5286691号
(P5286691)

(45) 発行日 平成25年9月11日 (2013. 9. 11)

(24) 登録日 平成25年6月14日 (2013. 6. 14)

(51) Int. Cl.	F I
HO 1 L 27/146 (2006. 01)	HO 1 L 27/14 C
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 2 Z
HO 1 L 29/786 (2006. 01)	GO 1 T 1/20 E
GO 1 T 1/20 (2006. 01)	HO 1 L 31/10 A
HO 1 L 31/10 (2006. 01)	

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2007-127889 (P2007-127889)	(73) 特許権者	000006013
(22) 出願日	平成19年5月14日 (2007. 5. 14)		三菱電機株式会社
(65) 公開番号	特開2008-283113 (P2008-283113A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成20年11月20日 (2008. 11. 20)	(74) 代理人	100113077
審査請求日	平成22年4月13日 (2010. 4. 13)		弁理士 高橋 省吾
		(74) 代理人	100112210
			弁理士 稲葉 忠彦
		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100128060
			弁理士 中鶴 一隆
		(72) 発明者	林 正美
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 フォトセンサー

(57) 【特許請求の範囲】

【請求項 1】

フォトダイオードと薄膜トランジスタをマトリクス状に配置したアクティブマトリクス型の TFT アレイ基板を備えたフォトセンサーであって、前記薄膜トランジスタは、ゲート電極を有する複数本のゲート配線、前記ゲート電極にゲート絶縁膜を介して設けられた半導体層、前記半導体層に接続するソース電極およびドレイン電極とを備えており、さらに、前記 TFT アレイ基板は、

前記薄膜トランジスタと前記ソース電極と前記ドレイン電極との上部に設けられたパッシベーション膜と、

前記パッシベーション膜に開口されたコンタクトホールと、

前記コンタクトホールを介して前記ドレイン電極と接続するように形成される下部電極と

、
前記下部電極を介して前記ドレイン電極と接続するフォトダイオードとを備えており、

前記フォトダイオードは前記コンタクトホールの開口エッジより内側で、かつ、前記ドレイン電極のパターンよりも内側に形成されており、前記フォトダイオードが形成されている領域においては段差が無いことを特徴とするフォトセンサー。

【請求項 2】

前記下部電極は、前記コンタクトホールの開口エッジを覆うように形成されていることを特徴とする請求項 1 に記載のフォトセンサー。

10

20

【請求項 3】

前記ドレイン電極は、前記半導体層上の領域と前記フォトダイオードが形成される領域との間にあって両方をつなぐ接続部分を有し、前記接続部分において前記下部電極が前記コンタクトホールを覆うオーバーラップ量は、前記接続部分以外において前記下部電極が前記コンタクトホールを覆うオーバーラップ量よりも大きいことを特徴とする請求項 1 に記載のフォトセンサー。

【請求項 4】

前記ドレイン電極は、前記半導体層上の領域と前記フォトダイオードが形成される領域との間にあって両方をつなぐ接続部分を有し、前記接続部分以外の領域において、前記下部電極は前記コンタクトホールの開口エッジよりも内側になっている部位を含むことを特徴とする請求項 1 に記載のフォトセンサー。

10

【請求項 5】

前記ゲート電極を形成する金属はアルミもしくは銅を主成分とする金属を含むことを特徴とする請求項 1 ないし 4 のいずれかに記載のフォトセンサー。

【請求項 6】

前記アルミを主成分とする金属は、 $AlNiNd$ 、 $AlNiSi$ 、 $AlNiMg$ のいずれかであることを特徴とする請求項 1 ないし 5 のいずれかに記載のフォトセンサー。

【請求項 7】

前記パッシベーション膜よりも上層にシンチレーターが形成されており、少なくとも低ノイズアンプと A/D コンバーターを有するデジタルボード、前記薄膜トランジスタを駆動するドライバーボード、および電荷を読み出す読み出しボードが接続されていることを特徴とする請求項 1 ないし 6 のいずれかに記載のフォトセンサー。

20

【請求項 8】

X 線を前記シンチレーターにより可視光に変換することにより X 線撮像表示を行う機能を有することを特徴とする請求項 7 に記載のフォトセンサー。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可視光を電荷へ変換するフォトダイオードとスイッチング素子に用いる薄膜トランジスタ（以後、TFT と呼ぶ）をマトリクス状に配置したアクティブマトリクス型の TFT アレイ基板を備えたフラットパネルであるフォトセンサーに関するものである。

30

【背景技術】

【0002】

可視光を光電変換するフォトダイオードと TFT とを配置した TFT アレイ基板を備えたフラットパネルであるフォトセンサーは、密着イメージセンサーや X 線撮像表示装置などに適用され広く用いられている。特に、TFT アレイ基板上に X 線を可視光に変換するシンチレーターを設けることにより構成されるフラットパネル X 線撮像表示装置（以後、FPD と呼ぶ）は医療産業等への適用が有望な装置である。

【0003】

X 線画像診断の分野では精密画像（静止画）とリアルタイム画像観察（動画）が使い分けられている。静止画の撮影には主に X 線フィルムが今尚使用されている。一方、動画の撮影には光電子増倍管と CCD を組み合わせた撮像管（イメージンシフア）が使用されている。X 線フィルムは空間分解能が高い反面、感度が低く静止画しか撮影できない、撮影後に現像処理を必要とし、即時性に欠けるといった欠点がある。一方、撮像管は感度が高く動画の撮影が可能である反面、空間分解能が低い、真空デバイスであるため大型化に限界があるといった欠点がある。

40

【0004】

FPD には CSI などのシンチレーターによって X 線を光に変換後、フォトダイオードにより電荷へ変換する間接変換方式と、Se を代表とする X 線検出素子により X 線を直接電荷へ変換する直接変換方式がある。間接変換方式の方が量子効率が高く、シグナル/ノ

50

イズ比に優れ、少ない被爆線量で透視、撮影が可能である。間接変換方式のF P Dのアレイ基板に関する構造や製造方法については従来から開示がなされている。(例えば、特許文献1～3参照)

【0005】

【特許文献1】特開2004-63660号公報(図9)

【特許文献2】特開2004-48000号公報(図4)

【特許文献3】特開2003-158253号公報(図1)

【発明の開示】

【発明が解決しようとする課題】

【0006】

F P Dのアレイ基板においては、フォトセンサーの感度やノイズ等に影響を与えるフォトダイオードの形成は重要となる。フォトセンサーは電極上に形成されたアモルファスシリコン層からなるが、例えば特許文献1のように、薄膜トランジスタのゲート電極と同じレイヤで構成されたカソード電極上にフォトセンサーを形成すると、以下のような問題が生じる。すなわち、フォトダイオードの下部の電極609をゲート電極層と同じ材料で形成した場合は、ゲート電極層と同様に最下層にあるため、ドライエッチによるダメージやソース電極層605、ドレイン電極層606の形成によるダメージをより多く受けることになる。これは凹凸を生じさせ、フォトダイオードのリーク電流の増大を招くという問題に波及する。この問題を回避するには、例えばフォトダイオードの下部の電極609を高融点金属等で形成する必要があるが、その場合はゲート電極やゲート配線材料として低抵抗のアルミ合金膜を使用できなくなるという問題が生じる。また、ソース電極層605とカソード電極層609との接続には開口寸法のマージンが減少するという問題もある。このような問題を回避するため、特許文献2や3のように、フォトセンサーの下部に形成される電極は、薄膜トランジスタのソース電極やドレイン電極と同じレイヤで構成された電極上に形成することがある。

【0007】

ところで、フォトセンサーの出力性能を高める方法の一つに、1つのセンサー構成要素の面積に占めるフォトダイオードとなるSi層の面積の割合を増加させる方法がある。そのため従来の構造では、例えば特許文献2や特許文献3に示されるように、フォトダイオードがダイオード・ボトム接点開口であるコンタクトホールを包含する形状となっていた。すなわち、フォトダイオードを構成するSi層がコンタクトホールのエッジをまたがって形成されていた。しかし、そのような場合に、エッジの長さを足し合わせた開口エッジ長、すなわちコンタクトホールの開口周囲の長さが増大すると、それに伴い電流のリーク成分が増大することが、我々の評価によって判明した。フォトダイオードを構成するSi層の形成領域においてコンタクトホール等に起因する段差があると、Si成膜時に段差部で不均一に成長したり、段差部においてSi層に膜応力が発生したりするためと考えている。リーク電流の増大はフォトセンサーの感度を低下させるため、リーク電流の抑制が不可欠であった。

【課題を解決するための手段】

【0008】

この発明にかかるフラットパネルのフォトセンサーは、フォトダイオードと薄膜トランジスタをマトリクス状に配置したアクティブマトリクス型のT F Tアレイ基板を備えたフォトセンサーであって、薄膜トランジスタは、ゲート電極を有する複数本のゲート配線、ゲート電極にゲート絶縁膜を介して設けられた半導体層、半導体層に接続するソース電極およびドレイン電極とを備えており、さらに、T F Tアレイ基板は、
薄膜トランジスタとソース電極とドレイン電極との上部に設けられたパッシベーション膜と、
パッシベーション膜に開口されたコンタクトホールと、
コンタクトホールを介してドレイン電極と接続するように形成される下部電極と、
下部電極を介してドレイン電極と接続するフォトダイオードと

を備えており、

フォトダイオードはコンタクトホールC H 1の開口エッジより内側で、かつ、ドレイン電極のパターンよりも内側に形成されており、

フォトダイオードが形成されている領域においては段差が無いことを特徴とするT F Tアレイ基板を備えることを特徴とするものである。

【発明の効果】

【0009】

ソース電極とゲート電極との接続のための開口寸法のマージンを考慮する必要が無く、フォトセンサーに備えられるフォトダイオードを構成するS i層の形成領域においてコンタクトホールに起因する段差を排除することにより、段差部でのS i成膜の不均一な成長を無くすと共に、段差による膜応力の発生を防止できるため、フォトダイオードを構成するS i層は均質な膜質となり、フォトセンサーのリーク電流を抑制することができる。また、フォトダイオードを構成するアモルファスシリコン膜を成膜する際にドレイン電極との密着性が悪くアモルファスシリコン膜の膜はがれが発生することを防止できる。

【発明を実施するための最良の形態】

【0010】

実施の形態1.

以下、本発明の実施の形態を示す図面に基づき具体的に説明する。図1は、本実施の形態にかかるフォトセンサーに備えられるT F Tアレイ基板の平面図を示したものである。

図2は、図1においてA - Aで示された個所における断面図である。

【0011】

絶縁性基板であるガラス基板1上に、アルミを主成分とする金属を含むゲート電極2が形成されている。アルミを主成分とする金属としてはA l N i N d、A l N i S i、A l N i M g等のN iを含むA l合金、すなわちA l - N i合金を用いたが他のアルミ合金でもよい。また、A l以外にも低抵抗金属材料としては、C uを用いてもよい。さらにゲート電極2は金属膜を積層されて構成されてもよい。ゲート電極2を覆うように形成されるゲート絶縁膜3上に、ゲート電極2と対向するように半導体層4が形成されている。この半導体層4上に形成されるn + a - S i : Hのオーミックコンタクト層5を介して半導体層4と接続するソース電極6とドレイン電極7とがあり、これらを覆うようにして第一のパッシベーション膜8が形成されている。

【0012】

第一のパッシベーション膜8に開口したコンタクトホールC H 1を介してドレイン電極7と接続するように、Pドーピングしたアモルファスシリコン膜9とその上層のイントリンシックのアモルファスシリコン膜10とBドーピングしたアモルファスシリコン膜11との3層積層構造からなるフォトダイオード100が形成されており、さらにその上層にはI Z O、I T Z O、I T S O等からなる透明電極12が形成されている。なお、本発明の実施の形態においては、コンタクトホールC H 1がフォトダイオード100のエッジを内包するような形状に開口されていることを特徴としている。言い換えれば、コンタクトホールC H 1の開口エッジの内部にフォトダイオード100が形成されていることになり、フォトダイオード100はコンタクトホールC H 1の開口エッジをまたがないようにして配置されている。さらに、フォトダイオード100はドレイン電極7のパターン内にも内包されている。したがって、フォトダイオード100を構成するアモルファスシリコン積層膜には、コンタクトホールC H 1の開口エッジ部やドレイン電極7における段差を乗り越える領域が無いため、リーク電流の少ない良好なフォトダイオードを形成することができる。なお、ここで開口エッジとは図1でほぼ四角形で表示されているコンタクトホールC H 1の開口周囲における線状の領域であり、コンタクトホールC H 1がテーパ形状をなしている場合は特にそのボトム部を指す。また、ドレイン電極7において半導体層4上の領域とフォトダイオード100が形成される領域との間にあって両方をつなぐ領域を便宜上、接続部分7aと呼ぶことがある。

【0013】

これらを覆うように形成される第二のパッシベーション膜 13 はコンタクトホール CH2、CH3 を有し、第二のパッシベーション膜 13 上のデータ線 14 はコンタクトホール CH2 を介してソース電極 6 と接続され、第二のパッシベーション膜 13 上のバイアス線 15 はコンタクトホール CH3 を介して透明電極 12 と接続するように形成されている。なお、ここでデータ線 14 とバイアス線 15 は、少なくともその最上層もしくは最下層に Al-Ni 合金膜を有している。Al-Ni 合金膜の単層でもよい。最上層に Al-Ni 合金膜がある場合、さらに表面を窒化層としてもよい。また、図示しないが、データ線 14 は 3 層積層構造からなるフォトダイオード 100 において変換された電荷を読み出すための配線であり、バイアス線 15 は光が当たらないときに off 状態を作るために 3 層積層構造からなるフォトダイオードに逆バイアスをかけるための配線である。さらに、第二

10

【0014】

次に、図 3、図 4 を参照して端子部に関する説明を以下に行う。図 3 は、ゲート電極 2 から延在してなるゲート配線の端部に形成される端子部の断面図である。図 4 は、データ線 14 もしくはバイアス線 15 から延在されてなる配線の端部に形成される端子部の断面図である。

【0015】

図 3 において、ガラス基板 1 上にゲート電極 2 と同時に形成されるゲート配線の端部 20 が形成されている。その上層には、ゲート絶縁膜 3 と第一のパッシベーション膜 8 と第二のパッシベーション膜 13 とが積層されており、さらにその上層には、データ線 14 と同時に形成された導電パターン 21 が形成されている。導電パターン 21 はコンタクトホール CH4 を介してゲート配線の端部 20 と接続されている。ここで、CH4 は CH2 や CH3 と同じエッチング工程において形成してもよい。また、CH4 をテーパー形状とすることにより導電パターン 21 の被覆性が向上するので断線を防止できる。

【0016】

また、導電パターン 21 の上層には第三のパッシベーション膜 17、第四のパッシベーション膜 18 が形成されている。第三のパッシベーション膜 17、第四のパッシベーション膜 18 上に形成される端子引き出し電極 22 と、導電パターン 21 とは第三のパッシベーション膜 17、第四のパッシベーション膜 18 に開口されたコンタクトホール CH5 を介して接続されている。なお、端子引き出し電極 22 は透明な導電性酸化物からなるが、下層に高融点金属膜が形成された積層膜でもよい。

30

【0017】

図 4 において、ガラス基板 1 上にゲート電極 2 と同時に形成されるショートリング配線 23 が形成されている。その上層には、ゲート絶縁膜 3 と第一のパッシベーション膜 8 と第二のパッシベーション膜 13 とが積層されており、さらにその上層には、データ線 14 もしくはバイアス線 15 から延在されてなる配線の端部 24 が形成されている。配線の端部 24 はコンタクトホール CH6 を介してショートリング配線 23 と接続されている。ここで、CH6 は CH2 や CH3 と同じエッチング工程において形成してもよい。また、CH6 をテーパー形状とすることにより配線の端部 24 の被覆性が向上するので断線を防止できる。

40

【0018】

また、配線の端部 24 の上層には第三のパッシベーション膜 17、第四のパッシベーション膜 18 が形成されている。第三のパッシベーション膜 17、第四のパッシベーション膜 18 上に形成される端子引き出し電極 22 と、配線の端部 24 とは第三のパッシベーション膜 17、第四のパッシベーション膜 18 に開口されたコンタクトホール CH7 を介して接続されている。なお、端子引き出し電極 22 は例えば透明な導電性酸化物からなる上層と高融点金属からなる下層との積層であってもよい。

50

【0019】

図1、2に示すTF Tアレイ基板を用いて、公知の方法によりX線撮像装置などのようなフォトセンサーを製造することも可能である。図示しないが図1に示す第四のパッシベーション膜18の上に例えばCsIからなるX線を可視光に変換するシンチレーターを蒸着し、低ノイズアンプとA/Dコンバーターなどを有するデジタルボード、TF Tを駆動するドライバーボード、および電荷を読み出す読み出しボードを接続することにより、X線撮像装置を作成することが出来る。

【0020】

本実施の形態にかかるフォトセンサーに備えられるTF Tアレイ基板では、フォトダイオードを構成するSi層の形成領域においてコンタクトホールに起因する段差を排除することにより、段差部でのSi成膜の不均一な成長を無くすと共に、段差による膜応力の発生を防止できるため、フォトダイオードを構成するSi層は均質な膜質となり、リーク電流を抑制することができる。さらに、本実施の形態にかかるフォトセンサーに備えられるTF Tアレイ基板においては、薄膜トランジスタのソース電極、ドレイン電極とフォトダイオードの下部に形成する電極を形成する時に、ゲート配線と同じレイヤのパターンが露出しないため、ゲート配線としてアルミや銅のような低抵抗の金属合金を用いることができ、大型のフォトセンサーを実現することができる。

【0021】

次に、図5(a)~(c)、図6(a)(b)を用いて本実施の形態にかかるフォトセンサーに備えられるTF Tアレイ基板の製造方法について説明する。なお、図5、図6とも、図2に対応する個所における工程ごとの断面図である。

【0022】

最初にガラス基板1上に第一の導電性薄膜として、アルミを主成分とする金属、たとえばNiを含むAl合金、例えばAlNiNdをスパッタリング法により形成する。成膜条件は、圧力0.2~0.5Pa、DCパワー1.0~2.5kW パワー密度で言うなれば0.17~0.43W/cm²、成膜温度は室温~180℃ぐらいまでの範囲を適用する。膜厚は150~300nm形成する。現像液との反応を抑えるためにAlNiNdの上に窒化したAlNiNdN層を形成しても良い。AlNiNdの代わりにAlNiSiやAlNiMgなどを使用しても良い。さらに、データ線14やバイアス線15に同じ材料を用いてもよく、その場合は生産効率が向上する。また、Al以外にも低抵抗金属材料としてCuもしくはCu合金を用いることができ、この場合もAlと同様にスパッタリング法で成膜することができる。さらに、金属膜は積層を形成してもよい。

【0023】

次に第一のフォトリソ工程でゲート電極形状のレジストを形成し、エッチング工程で例えば磷酸・硝酸・酢酸の混酸を用いて第一の導電性薄膜をパターンニングしてゲート電極2を形成する。尚、ゲート電極の断面形状をテーパ形状にすると、後続の膜形成における断線などの不良を低減できる。さらに、エッチングは磷酸と硝酸と酢酸との混酸を挙げたがエッチング液の種類はこの限りではない。また、ドライエッチを用いても良い。本実施の形態においては、フォトダイオードの形成の際にゲート電極2が露出しない構造となっているので、ゲート電極2としてダメージにそれほど強くないアルミや銅を主成分とする金属を用いることができる。そのため、低抵抗な配線を形成できるので、大型のフォトセンサーを形成することが可能となる。

【0024】

次にゲート絶縁膜3を200~400nm、a-Si:H(水素原子が添加されたアモルファスシリコン)半導体層4を100~200nm、n+a-Si:Hのオーミックコンタクト層5を20~50nmの膜厚でプラズマCVD法で積層する。なお、フォトセンサーは高い電荷読み出し効率が求められ駆動能力の高いトランジスタが求められる為、a-Si:H半導体層4を2ステップに分割して成膜してトランジスタの高性能化を図っても良い。その場合の成膜条件として、1層目はデポレート(成膜速度)が50~200/分の低速レートで良質な膜を形成し、その後の残りを300/分以上のデポレートで

10

20

30

40

50

成膜する。また、ゲート絶縁膜 3、 $a-Si:H$ （水素原子が添加されたアモルファスシリコン）半導体層 4、 $n+a-Si:H$ のオーミックコンタクト層 5 を成膜温度が 250 ~ 350 で成膜する。

【0025】

次に第二のフォトリソ工程でチャネル形状のレジストを形成しエッチング工程で半導体層 4 とオーミックコンタクト層 5 を、チャネルを形成する部分を残すようにアイランド状にパターニングする。エッチングでは例えば SF_6 と HCl の混合ガスを用いたプラズマを用いて行う。尚、チャネルの断面形状をテーパ形状にすると、後続の膜形成における断線などの不良を低減できる。さらに、エッチングガスとして SF_6 と HCl の混合ガスを挙げたがガス種はこの限りではない。

10

【0026】

次に第二の導電性薄膜を成膜する。第二の導電性薄膜の形成は、例えばスパッタリング法を用いて、 Cr などの高融点金属膜を成膜することにより行う。膜厚は 50 ~ 300 nm 形成する。

【0027】

次に第三のフォトリソ工程でソース電極とドレイン電極に対応するレジスト（図示せず）を形成しエッチング工程例えば硝酸セリウムアンモニウムと硝酸の混酸を用いて第二の導電性薄膜をパターニングしてソース電極 6、ドレイン電極 7 を形成する。その後、形成した電極をマスクにして、例えば SF_6 と HCl の混合ガスを用いたプラズマを用いてオーミックコンタクト層 5 をエッチングして薄膜トランジスタを形成する。

20

【0028】

ここまでの工程で 3 枚のマスクを使用しているが、シリコンアイランド化とソース電極 6、ドレイン電極 7 およびオーミックコンタクト層 5 の形成という第二、第三のフォトリソ工程における形成には、グレートンマスク等を利用した処理工程を行う 1 枚のマスク工程で形成する方法を用いても良い。また、ソース電極 6 とドレイン電極 7 の形成のエッチング液として硝酸セリウムアンモニウムと硝酸の混酸を挙げ、オーミックコンタクト層 5 のエッチングガスとして SF_6 と HCl の混合ガスを挙げたがこの限りではない。さらに、本実施の形態においては Cr を用いる形態について説明したが、 Cr の他にも Si とのオーミックコンタクトが取れる金属であってもよい。この状態の断面図を図 5 (a) に示す。薄膜トランジスタの特性を向上させるために、この後、パッシベーション膜 8 を形成する前に水素ガスを用いたプラズマ処理を行い、バックチャネル側、すなわち半導体層 4 の表面を荒らしてもよい。

30

【0029】

次にプラズマ CVD 等の方法で第一のパッシベーション膜 8 を形成し、第四のフォトリソ工程でドレイン電極 7 と P ドープしたアモルファスシリコン膜 9 との接触をとるためのコンタクトホール $CH1$ をレジスト（図示せず）にて形成する。例えば CF_4 と O_2 の混合ガスのプラズマを用いて第一のパッシベーション膜 8 をエッチングしてパターニングする。この状態の断面図を図 5 (b) に示す。

【0030】

第一のパッシベーション膜 8 としては、誘電率の低い酸化珪素 (SiO_2) 膜を膜厚 200 ~ 400 nm で形成する。酸化珪素膜の成膜条件は SiH_4 流量が 10 ~ 50 sccm、 N_2O 流量が 200 ~ 500 sccm、成膜圧力は 50 Pa、RF パワーが 50 ~ 200 W、パワー密度で言うなれば 0.015 ~ 0.67 W/cm²、成膜温度は 200 ~ 300 とした。尚、エッチングガスに CF_4 と O_2 の混合ガスを挙げたがこの限りでは無い。さらには、第一のパッシベーション膜 8 として酸化珪素を挙げたがこの限りでは無い。 SiN や $SiON$ でもよく、この場合は、上記ガスに水素、窒素、 NH_3 を加えて形成する。また、第四のフォトリソ工程において、コンタクトホール $CH1$ の開口エッジは、ドレイン電極 7 とフォトダイオード 100 とが接続する領域のエッジより外側に配置されるマスクにより形成する。

40

【0031】

50

次にプラズマCVD法でフォトダイオード100を形成する為のPドーピングしたアモルファスシリコン膜9、イントリンシックのアモルファスシリコン膜10、Bドーピングしたアモルファスシリコン膜11を一度も真空を破らずに同一成膜室で順番に成膜する。この時に得られるシリコン積層膜の各膜厚はPドーピングしたアモルファスシリコン膜9の膜厚が30~80nm、イントリンシックのアモルファスシリコン膜10の膜厚が0.5~2.0μm、Bドーピングしたアモルファスシリコン膜11の膜厚が30~80nmである。イントリンシックのアモルファスシリコン膜10は例えばSiH₄流量が100~200sccm、H₂流量が100~300sccm、成膜圧力は100~300Pa、RFパワーが30~150W、パワー密度で言うなれば0.01~0.05W/cm²、成膜温度は200~300℃で成膜する。PあるいはBのドーピングシリコンはそれぞれ0.2~1.0%のPH₃あるいはB₂H₆を上記成膜条件のガスに混合した成膜ガスで成膜する。

10

【0032】

Bドーピングしたアモルファスシリコン膜11は、イオンシャワードレーピング方法またはイオン注入方法により、イントリンシックのアモルファスシリコン膜10の上層部にBを注入して形成しても良い。尚、イオン注入を用いてBドーピングしたアモルファスシリコン膜11を形成する場合、それに先立ってイントリンシックのアモルファスシリコン膜10の表面に膜厚5~40nmのSiO₂膜を形成してもよい。これは、Bを注入する際のダメージを軽減させるためである。その場合、イオン注入後にSiO₂膜をBHF等により除去してもよい。

【0033】

20

次に例えばIZO、ITZO、ITSOのいずれかのターゲットを用いたスパッタ法により非結晶透明導電膜を成膜する。成膜条件は0.3~0.6Pa、DCパワーは3~10kW、パワー密度で言うなれば0.65~2.3W/cm²、Ar流量50~150sccm、酸素流量1~2sccm、成膜温度は室温から180℃くらいまでで成膜する。非結晶透明導電膜の成膜後、第五のフォトリソ工程でレジスト(図示せず)を形成し例えばシュウ酸を用いてエッチングを行い、パターニングし、透明電極12を形成する。この状態の断面図を図5(c)に示す。

【0034】

尚、エッチング液としてシュウ酸を挙げたがこの限りではない。本実施の形態においては、透明電極12としてIZO、ITZO、ITSOのいずれかを含む膜を用いたので、下層のBドーピングシリコンしたアモルファスシリコン膜11上に微小な結晶粒をほとんど含まない非結晶状態で成膜を行うことができる。したがってエッチング残渣を生じないという効果を奏する。さらに、透明電極12は上記材料を混合した膜を用いてもよいし、それぞれの材料からなる膜を積層させた構造でもよいし、混合させた膜を積層させてもよい。

30

【0035】

次に第六のフォトリソ工程で透明電極12のパターンより一回り大きく、かつ、コンタクトホールCH1の開口エッチより内側になるようなレジストパターンを形成し、次に例えばSF₆とHClの混合ガスのプラズマを用いてアモルファスシリコン層すなわち、Pドーピングしたアモルファスシリコン膜9、イントリンシックのアモルファスシリコン膜10、Bドーピングしたアモルファスシリコン膜11の3層をパターニングする。尚、エッチングガスとしてSF₆とHClの混合ガスを挙げたがこの限りではない。これにより、3層積層構造からなるフォトダイオードが形成される。この状態の断面図を図6(a)に示す。

40

【0036】

Pドーピングしたアモルファスシリコン膜9、イントリンシックのアモルファスシリコン膜10、Bドーピングしたアモルファスシリコン膜11の3層から構成されるフォトダイオードは、コンタクトホールCH1の開口エッチよりも内側に形成されている。したがってドレイン電極7のパターン端よりも内側にも形成されていることになる。このため、フォトダイオードがコンタクトホールCH1の開口エッチやドレイン電極7のパターン端をまたがることは無いので、段差に起因するリーク電流の増大を抑制できる。すなわち、段差部のSi成膜の不均一な成長を無くすと共に、段差による膜応力の発生を防止でき、フォト

50

ダイオードを構成するSi層は均質な膜質となり、開口エッジの段差に起因するリーク電流の増大を抑制することができる。

【0037】

次に、フォトダイオードを保護する為の第二のパッシベーション膜13を成膜した後、第七のフォトリソ工程でソース電極6とデータ配線14とを接続するコンタクトホールCH2、およびフォトダイオードの透明電極12とバイアス線15とを接続するコンタクトホールCH3に対応するレジストパターン（図示せず）を形成し、 CF_4 とArの混合ガスを用いたプラズマを用いてコンタクトホールをパターニングする。この時、ゲート配線の端部20と導電パターン21とを接続するコンタクトホールCH4やコンタクトホールCH6を開口してもよい。

10

【0038】

第二のパッシベーション膜13はデータ配線14とバイアス線15にかかる付加容量を小さくする為に誘電率の低い酸化珪素膜を $0.5 \sim 1.5 \mu m$ の厚膜で成膜する。酸化珪素膜の成膜条件は SiH_4 流量が $10 \sim 50 sccm$ 、 N_2O 流量が $200 \sim 500 sccm$ 、成膜圧力は $50 Pa$ 、RFパワーが $50 \sim 200 W$ 、パワー密度で言うなれば $0.015 \sim 0.67 W/cm^2$ 、成膜温度は $200 \sim 300$ とした。尚、第二のパッシベーション膜13の材料として酸化珪素膜を挙げたがこの限りではない。SiN等でもよい。また、コンタクトホールの開口の際には、その断面がテーパ形状となるように加工すると上層の被覆性が向上し、断線等を低減できる。

【0039】

20

また、本実施の形態では、第二のパッシベーション膜13を成膜した後にコンタクトホールCH2、CH3を開口する製造方法について記載したが、必ずしもこれに限定されるものではない。たとえば、あらかじめコンタクトホールCH1を開口する際に同時に、コンタクトホールCH2やコンタクトホールCH4、CH6に相当する個所に開口していてもよい。この場合、第一のパッシベーション膜8が除去できるので、第二のパッシベーション膜13を成膜した後の開口のエッチング時間を短縮できる効果を奏する。

【0040】

次に、データ線14、バイアス線15、および遮光層16を形成する為に、第三の導電性薄膜を成膜する。第三の導電性薄膜としては、抵抗が低く、かつ耐熱性に優れ、かつ透明導電膜とのコンタクト特性に優れたNiを含むAl合金で例えばAlNiNdを膜厚 $0.5 \sim 1.5 \mu m$ で成膜する。データ線14、およびバイアス線15はAlNiNd単層でも良く、AlNiNdとMoやMo合金、あるいはCrなどの高融点金属との積層でも良く、また、現像液との反応を抑えるためにAlNiNdの上に窒化したAlNiNdNを形成しても良い。例えばスパッタリング法により下地をMo合金、その上にAlNiNdを連続成膜する。成膜条件は圧力 $0.2 \sim 0.5 Pa$ 、DCパワー $1.0 \sim 2.5 kW$ 、パワー密度で言うなれば $0.17 \sim 0.43 W/cm^2$ 、成膜温度は室温から 180 ぐらいまでの範囲で行う。

30

【0041】

次に、第八のフォトリソ工程でデータ線14、バイアス線15、および遮光層16に対応するレジストを形成し、AlNiNdとMoの積層膜の場合は例えば燐酸、硝酸、酢酸の混酸を用いてパターニングする。この状態の断面図を図6(b)に示す。なお、エッチング液としては燐酸と硝酸と酢酸の混酸を挙げたがエッチング液の種類はこの限りではない。ここで、データ線14はCH2を介してソース電極6と接続し、バイアス線15はCH3を介して透明電極12と接続している。バイアス線15としては先の通り、Niを含むAl合金、もしくは高融点金属を最下層に用いているので下層の透明電極12との間のコンタクト抵抗は低く、良好な接続を得ることができる。

40

【0042】

次に、データ線14、およびバイアス線15を保護する為に第三のパッシベーション膜17、第四のパッシベーション膜18を形成する。例えば、第三のパッシベーション膜17にSiNを用い、第四のパッシベーション膜18に平坦化膜を用いる。

50

【 0 0 4 3 】

第九のフォトリソ工程で、端子との接続を取る為のコンタクトホールC H 5 やC H 7 をレジストにて形成し、 CF_4 と O_2 の混合ガスのプラズマを用いてパターニングする。エッチングガスとして CF_4 と O_2 の混合ガスを挙げたがこの限りでは無い。なお、第四のパッシベーション膜1 8 として感光性を持つ平坦化膜を用いることにより、第九のフォトリソ工程における第四のパッシベーション膜1 8 のパターニングは、露光と現像処理によって行ってもよい。

【 0 0 4 4 】

次に端子引き出し電極2 2 となる導電膜を成膜する。電極材料は信頼性を確保する為に例えばアモルファスITOなどの透明導電膜を成膜する。次に第1 0 のフォトリソ工程にて端子形状のレジストを形成し、例えばシュウ酸を用いてエッチングして端子引き出し電極2 2 を形成する。その後、アニールによりITOを結晶化する。ここで、端子引き出し電極2 2 は、図3、4 に示すように、コンタクトホールC H 5 やC H 7 を介して、導電パターン2 1 や配線の端部2 4 と接続される。

【 0 0 4 5 】

なお、本実施の形態の説明において、コンタクトホールC H 1 の開口エッチは、図1 や図5 (b) で示したようにドレイン電極7 のパターン端によって囲まれる配置となっている。しかし、この大小関係は逆でもかまわない。そのように形成したTF T アレイ基板の平面図と断面図をそれぞれ図7、図8 に示す。図8 は、図7 においてA - A で示す個所の断面図である。

【 0 0 4 6 】

図7、図8 において、コンタクトホールC H 1 の開口エッチはドレイン電極7 を内包する配置となっている。この場合においても、P ドープしたアモルファスシリコン膜9、イントリンシックのアモルファスシリコン膜1 0、B ドープしたアモルファスシリコン膜1 1 を含むフォトダイオードは、コンタクトホールC H 1 やドレイン電極7 による段差部をまたがらないように形成されているので、本発明の効果を同様に得ることができる。製造方法については、コンタクトホールC H 1 を開口する時のマスク寸法以外は、既に説明した内容とほとんど重複するので省略するが、コンタクトホールC H 1 開口時のエッチングは下地のゲート絶縁膜3 との選択性を持ったエッチング条件で行うのが望ましい。

【 0 0 4 7 】

実施の形態2

本実施の形態1 において、フォトダイオード1 0 0 の下部電極となるドレイン電極7 とアモルファスシリコン膜9 とを接続するコンタクトホールC H 1 を形成する際に、エッチング条件によっては、エッチングガスの成分がポリマーを形成し、ドレイン電極7 上に再付着する場合がある。このような状態においては、フォトダイオードを構成するP ドープしたアモルファスシリコン膜9、イントリンシックのアモルファスシリコン膜1 0、B ドープしたアモルファスシリコン膜1 1 を成膜する際に、ドレイン電極7 との密着性が悪くアモルファスシリコン膜の膜はがれが発生することがある。

【 0 0 4 8 】

本実施の形態2 においては以下、フォトダイオード1 0 0 のリーク電流を抑え、かつ、アモルファスシリコン膜の膜はがれを防止する実施の形態を図9、図1 0 に基づき説明する。図9 は、本実施の形態にかかるフォトセンサーに備えられるTF T アレイ基板の平面図を示したものである。図1 0 は、図9 においてA - A で示された個所における断面図である。なお、明確にするために、図9 においてはコンタクトホールC H 1 を破線で表示している。

【 0 0 4 9 】

本実施の形態2 においては、図9、1 0 からわかるように、コンタクトホールC H 1 を覆うようにしてフォトダイオード1 0 0 の下部電極2 5 が形成され、フォトダイオード1 0 0 は下部電極2 5 と接続するようにその上部に形成されていることを特徴としている。すなわち、フォトダイオード1 0 0 は下部電極2 5 を介してドレイン電極7 と接続してい

10

20

30

40

50

る。さらに、フォトダイオード１００はコンタクトホールＣＨ１開口エッジ近傍において下部電極２５がパッシベーション膜８を覆っている領域（図１０中の破線の領域２６）をまたがないようにして配置されていることに特徴がある。したがって、実施の形態１と同じようにフォトダイオード１００を構成するアモルファスシリコン積層膜には段差を乗り越える領域が無いため、リーク電流の少ない良好なフォトダイオード１００を形成することができる。

【００５０】

次に、製造方法について説明する。第四のフォトリソ工程によりコンタクトホールＣＨ１を形成するまでは、実施の形態１と同様の製造方法で形成するため、説明は省略する。本実施の形態２においては、コンタクトホールＣＨ１の形成後、フォトダイオード１００
10
の下部電極２５となる第四の導電性薄膜を成膜する。第四の導電性薄膜の形成は、例えばスパッタリング法を用いて、Ｃｒなどの高融点金属膜を成膜することにより行う。

【００５１】

次にフォトリソ工程で、コンタクトホールＣＨ１を覆うようにしてフォトダイオードの下部電極２５を形成し、次にＰドープしたアモルファスシリコン膜９、イントリンシックのアモルファスシリコン膜１０、Ｂドープしたアモルファスシリコン膜１１を成膜する。下部電極２５はコンタクトホールＣＨ１を形成した後に形成されているうえに、下部電極
20
２５の表面には表面汚染が残りにくくアモルファスシリコン積層膜との密着力は良いため、膜剥れを防止することが可能となる。尚、ドレイン電極７と下部電極２５の界面にはエッチングガスによるポリマーが残存し界面が汚染している場合があるが、フォトダイオードとのコンタクト抵抗から見るとドレイン電極７と下部電極２５とのコンタクト抵抗の増加は微少であり問題はない。

【００５２】

アモルファスシリコン積層膜を形成して以降の製造方法については、実施の形態１と同様の方法で形成するため省略するが、前述の通り本実施の形態２においてはフォトダイオード１００がコンタクトホールＣＨ１の開口エッジ近傍において下部電極２５がパッシベーション膜８を覆っている領域（図１０中の破線の領域２６）をまたがないようにして配置されていることに特徴がある。したがって、実施の形態１と同じようにフォトダイオード１００を構成するアモルファスシリコン積層膜には段差を乗り越える領域が無いため、
30
リーク電流の少ない良好なフォトダイオード１００を形成することができる。さらに、下部電極２５を形成し、フォトダイオード１００をその上部に形成することにより、コンタクトホールＣＨ１を開口する際に付着するポリマーに起因するアモルファスシリコン膜の剥れを防止できる。

【００５３】

実施の形態３．

実施の形態２においては、下部電極２５のパターン端がコンタクトホールＣＨ１を完全に覆うように形成していた。それには以下の背景がある。すなわち、もし下部電極２５がコンタクトホールＣＨ１よりも小さいとすると、下部電極２５を加工する際に下地のドレイン電極７が露出するので、ドレイン電極７が下部電極２５とエッチング選択性が無い場合は、下地のドレイン電極７もエッチングされてしまう。特に、ドレイン電極７における
40
接続部７ａにおいて生じた場合、薄膜トランジスタとフォトダイオード１００との断線を引き起こしてしまう。そのため、下部電極２５の材料としては、ドレイン電極７との選択性が要求され、選択の幅が狭くなるという問題があった。従って、通常は下部電極２５をコンタクトホールＣＨ１よりも大きく形成する。すなわち、下部電極２５は、コンタクトホールＣＨ１を覆うように形成されている。

【００５４】

しかし、下部電極２５をあまり大きく形成すると、データ配線１４と近接し、配線間の容量が増大してしまうので、配線間容量を低減させるためには、下部電極２５を小型にすることがのぞましい。それに伴いフォトダイオード１００の面積も縮小する必要が生じるが、それはフォトセンサーの感度の低下につながるため困難である。そのため、上記のよ
50

うな状況下では下部電極 25 はコンタクトホール CH1 のエッジ開口部となるべく近接するように形成される。ここでパターンのアライメントずれが生じた場合、下部電極 25 のパターン端がコンタクトホール CH1 の内側に入り込む状況が生じうる。その場合においても、先に述べた下部電極 25 の材料の選択性という問題が発生する。本実施の形態 3 はこのような問題を解決するためのものである。

【0055】

本実施の形態 3 に係る TFT アレイ基板の平面図と断面図をそれぞれ図 11、図 12 に示す。図 12 は、図 11 において A - A で示す箇所の断面図である。図 12 においては、コンタクトホール CH1 開口エッジ近傍において下部電極 25 がパッシベーション膜 8 を覆っている領域として、実施の形態 2 で示した領域 26 に加えて、領域 27 も併せて示している。本実施の形態 3 の特徴は、領域 26 において下部電極 25 とパッシベーション膜 8 とが重畳する領域、すなわちオーバーラップ量 W1 が、領域 27 において下部電極 25 とパッシベーション膜 8 とが重畳するオーバーラップ量 W2 よりも大きいことにある。

【0056】

領域 26 は図 11 に示すように、TFT とフォトダイオード 100 との接続部分 7a に対応する領域である。従って、図 12 におけるオーバーラップ量の大小関係を言い換えると、本実施の形態 3 に示す TFT アレイ基板においては、接続部 7a におけるオーバーラップ量 W1 が、接続部 7a 以外の領域におけるオーバーラップ量 W2 よりも大きくなるように形成されている、ともいえる。そのため、データ配線 14 との容量の増大を最小限に抑制できるうえに、製造する際に例えばアライメントずれ等の不良が発生した場合でも、接続部 7a における断線が生じにくいという効果を奏する。特に、例えば生産能力を向上させるため下部電極 25 をドレイン電極 7 と同一の材料にする場合や、エッチング時に十分な選択比がとれない電極材料を用いざるをえない場合には効果が高い。なお、本実施の形態 3 に係る TFT アレイ基板の製造方法については、下部電極 25 とコンタクトホール CH1 とのパターニング工程におけるマスクパターンのみが実施の形態 2 と異なるので説明は省略する。

【0057】

また、本実施の形態 3 においても、P ドープしたアモルファスシリコン膜 9、イントリンシックのアモルファスシリコン膜 10、B ドープしたアモルファスシリコン膜 11 を含むフォトダイオードは、コンタクトホール CH1 やドレイン電極 7、下部電極 25 による段差部をまたがらないように形成されているので、実施の形態 1 の効果を同様に得ることができる。また、実施の形態 2 と同様に P ドープしたアモルファスシリコン膜 9、イントリンシックのアモルファスシリコン膜 10、B ドープしたアモルファスシリコン膜 11 成膜時の膜浮きを防止する効果を得ることができる。

【0058】

実施の形態 4 .

実施の形態 3 においては、例えばアライメントエラーが生じた際に生じうる接続部分 7a の断線を防止するために、接続部分 7a 以外の領域に比べて接続部分 7a でのオーバーラップ量を増大させておく形態について説明した。実施の形態 3 と比較して本実施の形態 4 が有する特徴は、接続部分 7a 以外の領域において、下部電極 25 のパターン端部がコンタクトホール CH1 よりも内側に位置する部位を含む点にある。この構造によりデータ配線 14 との間の容量をさらに低減することが可能となる効果を奏する。

【0059】

本実施の形態 4 に係る TFT アレイ基板の平面図と断面図をそれぞれ図 13、図 14 に示す。図 14 は、図 13 において A - A で示す箇所の断面図である。図 13 においては、接続部分 7a 以外の全領域において下部電極 25 のパターン端部がコンタクトホール CH1 よりも内側に位置しているが、この形態に限られないのはもちろんである。

【0060】

すなわち、接続部分 7a 以外の領域において、コンタクトホール CH1 と下部電極 25 との大小関係を部分的に混在させ、下部電極 25 とパッシベーション膜 8 とが重畳する領

域としない領域とを混在させてもよい。例えば、データ配線 14 のような配線と近接する領域のみ、下部電極 25 のパターン端をコンタクトホール CH1 内に位置するように配置してもよい。なお、製造方法については、下部電極 25 とコンタクトホール CH1 とのパターニング工程におけるマスクパターンのみが実施の形態 2 と異なるので説明は省略するが、先に述べたように下部電極 25 のエッチング加工時にドレイン電極 7 が露出するので、下部電極 25 としてはドレイン電極 7 とエッチング選択性がある材料を使用するのが望ましい。

【0061】

さらに、本実施の形態の説明において、コンタクトホール CH1 の開口エッジは、ドレイン電極 7 のパターン端によって囲まれる配置となっている。しかし、この大小関係は逆でもかまわない。そのように形成した TFT アレイ基板の平面図と断面図をそれぞれ図 15、図 16 に示す。図 16 は、図 15 において A - A で示す個所の断面図である。図 15 において、コンタクトホール CH1 の開口エッジはドレイン電極 7 を内包する配置となっている。また、下部電極 25 はドレイン電極 7 と同じサイズもしくは、内包する配置となっている。この場合においても、P ドープしたアモルファスシリコン膜 9、イントリンシックのアモルファスシリコン膜 10、B ドープしたアモルファスシリコン膜 11 を含むフォトダイオード 100 は、コンタクトホール CH1 やドレイン電極 7 や下部電極 25 による段差部をまたがらないように形成されているので、本発明の効果を同様に得ることができる。また、P ドープしたアモルファスシリコン膜 9、イントリンシックのアモルファスシリコン膜 10、B ドープしたアモルファスシリコン膜 11 成膜時の膜浮きを防止する効果を得ることができる。製造方法については、コンタクトホール CH1 を開口する時のマスク寸法以外は、既に説明した内容とほとんど重複するので説明を省略するが、コンタクトホール CH1 を開口する時のエッチングは、下地のゲート絶縁膜 3 との選択性を持ったエッチング条件で行うのが望ましい。

【0062】

実施の形態 5 .

リーク電流の少ない良好なフォトダイオードを得るために、実施の形態 1 では、フォトダイオードはコンタクトホール CH1 の開口エッジ内とドレイン電極 7 に内包する配置となっていた。また、実施の形態 2 ~ 4 では、フォトダイオード 100 は下部電極 25 に内包する配置となっていたが、コンタクトホール CH1 の開口エッジ内での配置を前提としていた。しかし、前記のようにフォトダイオードを配置するためには、フォトリソ工程において少なくともコンタクトホール CH1 とドレイン電極 7 とのアライメントマージン、コンタクトホール CH1 とフォトダイオードとのアライメントマージンの 2 種類のアライメントマージンと、コンタクトホール CH1、ドレイン電極 7、フォトダイオード 100 の 3 種類の仕上がりばらつきを考慮して設計を行う必要があるため、フォトダイオードの面積が減少し開口率低下につながる場合もある。

【0063】

以下、フォトダイオードのリーク電流を抑え、かつ、開口率を低下させることなくアモルファスシリコン膜の膜はがれを防止することが可能な実施の形態を図 17、図 18 に基づき説明する。図 17 は、本実施の形態にかかるフォトセンサーに備えられる TFT アレイ基板の平面図を示したものである。図 18 は、図 17 において A - A で示された個所における断面図である。

【0064】

製造方法については、ドレイン電極 7 の形成、コンタクトホール CH1 の開口位置、下部電極 25 を形成する時のマスク寸法以外は実施の形態 2 と同様の方法で形成するため説明は省略する。図 17 において、ドレイン電極 7 と下部電極 25 とのコンタクトホール CH1 は、フォトダイオード 100 を形成するアモルファスシリコン積層膜を内包せず、フォトダイオードとは異なる位置に形成されていることに特徴がある。また、フォトダイオード 100 を構成するアモルファスシリコン積層膜は下部電極 25 に内包されるように配置されており、ドレイン電極 7 やコンタクトホール CH1 や下部電極 25 で形成される段

差を乗り越える領域が無いため、リーク電流の少ない良好なフォトダイオードを形成することができる。前記の配置では、フォトダイオード 100 のフォトリソ工程において、フォトダイオード 100 と下部電極 25 とのアライメントマージンのみを確保すればよく、実施の形態 1 や実施の形態 2 よりアライメントマージンを小さくすることが可能となり、開口率を高めることが可能となる。また、下部電極 25 上にアモルファスシリコン膜を積層するために、アモルファスシリコン膜のはがれも防止が可能である。

【0065】

尚、本実施例の T F T はアモルファスシリコンを用いた逆スタガ型のチャネルエッチタイプについて記述したが、ポリシリコン T F T やクリスタルシリコンを用いた M O S を用いても良く、さらにはスイッチング機能をもつ素子とフォトダイオードを組み合わせても良い。

10

【0066】

上記の様に得られるアレイ基板を用いて、公知の方法により X 線撮像装置などのようなフォトセンサーを製造することも可能である。図示しないが、図 2 に示す第四のパッシベーション膜 18 上、もしくはそれよりも上層に例えば C s I からなる X 線を可視光に変換するシンチレーターを蒸着により形成し、低ノイズアンプと A / D コンバーターなどを有するデジタルボード、T F T を駆動するドライバーボード、および電荷を読み出す読み出しボードを接続し、X 線撮像装置を作成することが出来る。

【図面の簡単な説明】

【0067】

20

【図 1】実施の形態 1 のフォトセンサーに備えられる T F T アレイ基板の平面図

【図 2】実施の形態 1 のフォトセンサーに備えられる T F T アレイ基板の断面図

【図 3】実施の形態 1 の端子部の断面図

【図 4】実施の形態 1 の端子部の断面図

【図 5】実施の形態 1 のフォトセンサーに備えられる T F T アレイ基板の断面図

【図 6】実施の形態 1 のフォトセンサーに備えられる T F T アレイ基板の断面図

【図 7】実施の形態 1 の異なる例の T F T アレイ基板の平面図

【図 8】実施の形態 1 の異なる例の T F T アレイ基板の断面図

【図 9】実施の形態 2 のフォトセンサーに備えられる T F T アレイ基板の平面図

【図 10】実施の形態 2 のフォトセンサーに備えられる T F T アレイ基板の断面図

30

【図 11】実施の形態 3 のフォトセンサーに備えられる T F T アレイ基板の平面図

【図 12】実施の形態 3 のフォトセンサーに備えられる T F T アレイ基板の断面図

【図 13】実施の形態 4 のフォトセンサーに備えられる T F T アレイ基板の平面図

【図 14】実施の形態 4 のフォトセンサーに備えられる T F T アレイ基板の断面図

【図 15】実施の形態 4 の異なる例のフォトセンサーに備えられる T F T アレイ基板の平面図

【図 16】実施の形態 4 の異なる例のフォトセンサーに備えられる T F T アレイ基板の断面図

【図 17】実施の形態 5 のフォトセンサーに備えられる T F T アレイ基板の平面図

【図 18】実施の形態 5 のフォトセンサーに備えられる T F T アレイ基板の断面図

40

【符号の説明】

【0068】

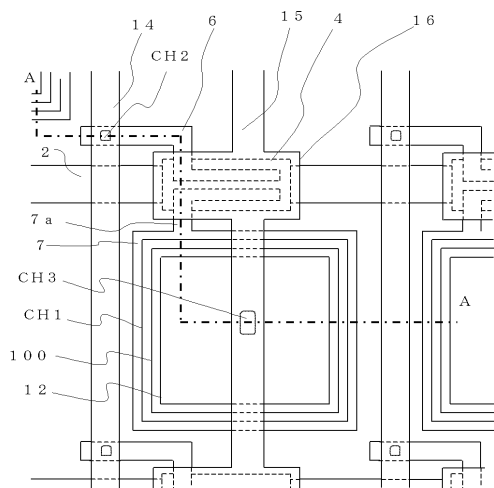
- 1 ガラス基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5 オーミックコンタクト層
- 6 ソース電極
- 7 ドレイン電極
- 7 a 接続部分

50

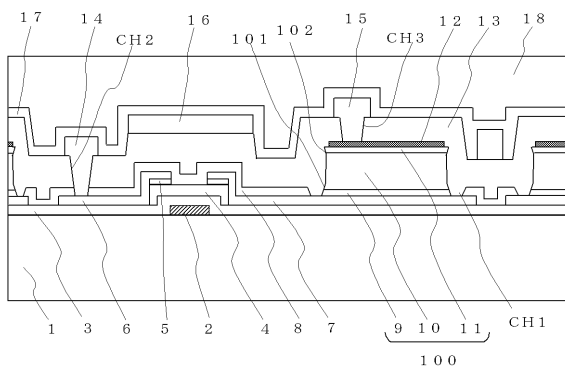
- 8 第一のパッシベーション膜
- 9 Pドーピングしたアモルファスシリコン膜
- 10 アモルファスシリコン膜
- 11 Bドーピングしたアモルファスシリコン膜
- 12 透明電極
- 13 第二のパッシベーション膜
- 14 データ線
- 15 バイアス線
- 16 遮光層
- 17 第三のパッシベーション膜
- 18 第四のパッシベーション膜
- 20 配線の端部、21 導電パターン
- 22 端子引き出し電極、23 ショートリング配線
- 24 配線の端部
- 25 フォトダイオード下部電極
- 26、27 領域
- CH1～CH7 コンタクトホール

10

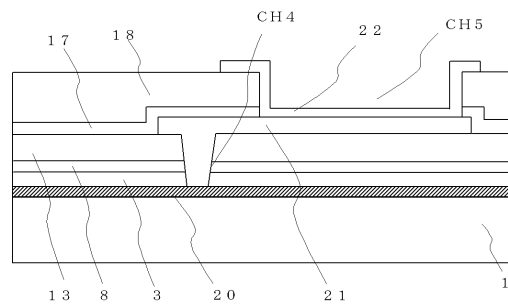
【図1】



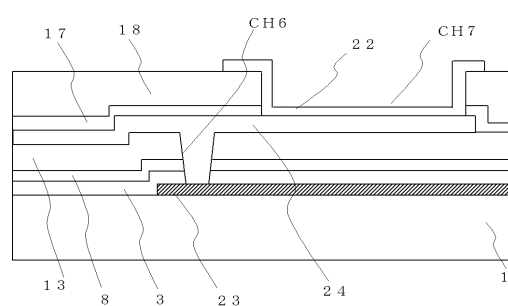
【図2】



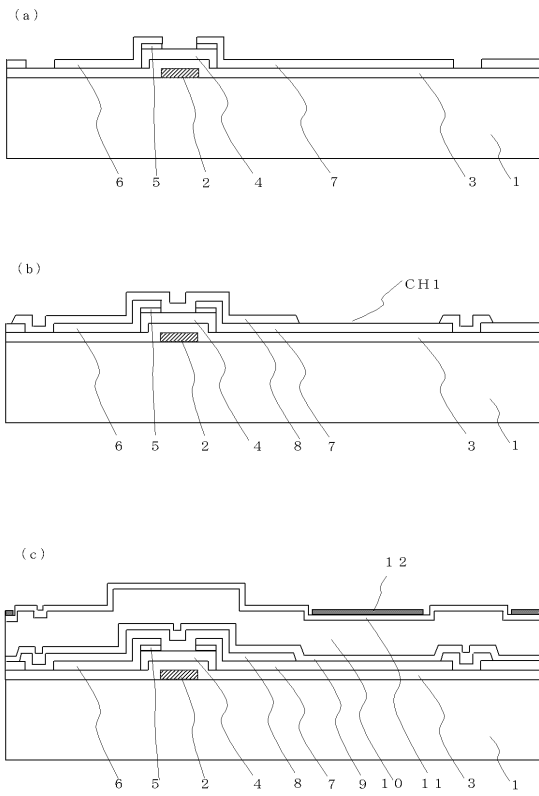
【図3】



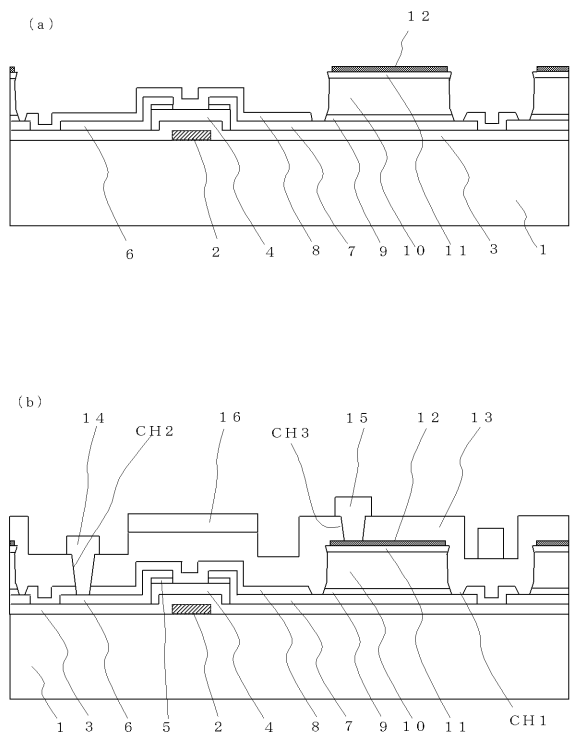
【図4】



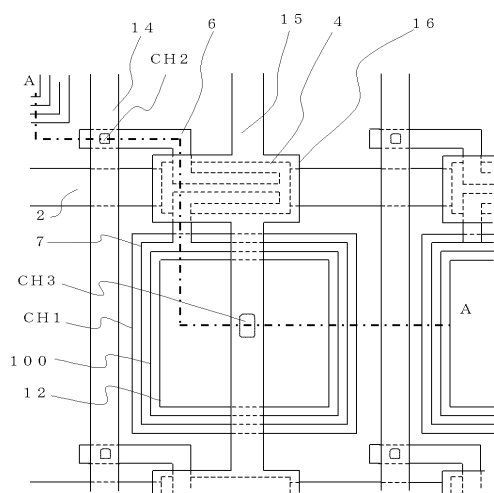
【図 5】



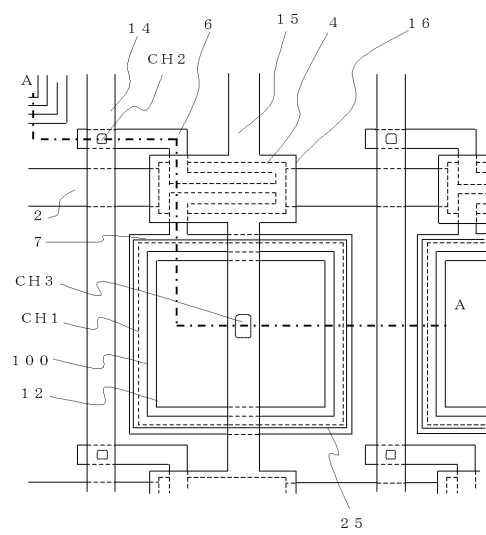
【図 6】



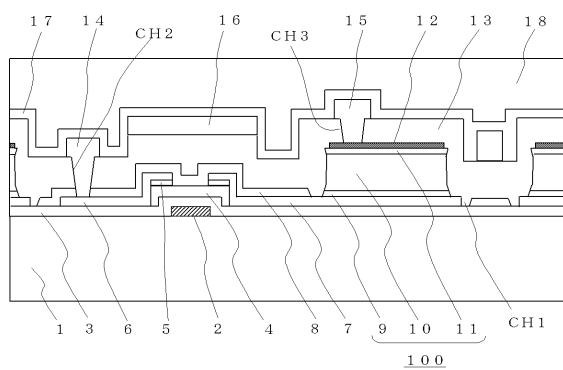
【図 7】



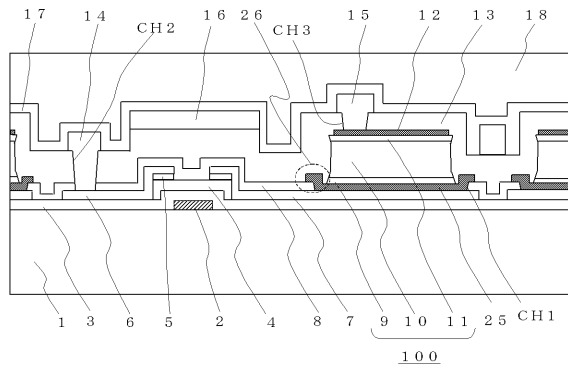
【図 9】



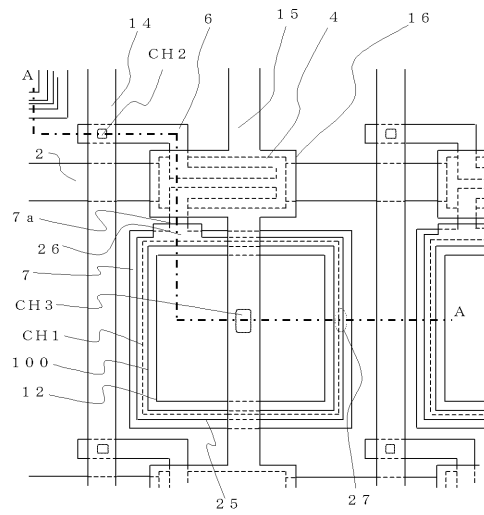
【図 8】



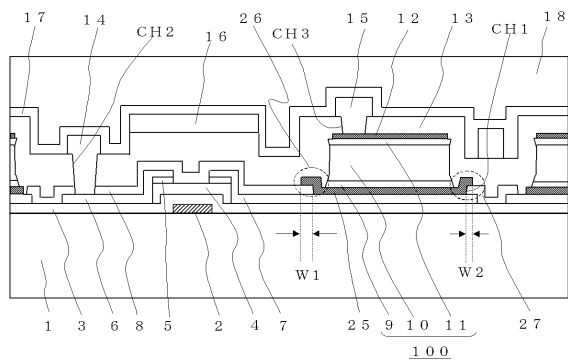
【図 10】



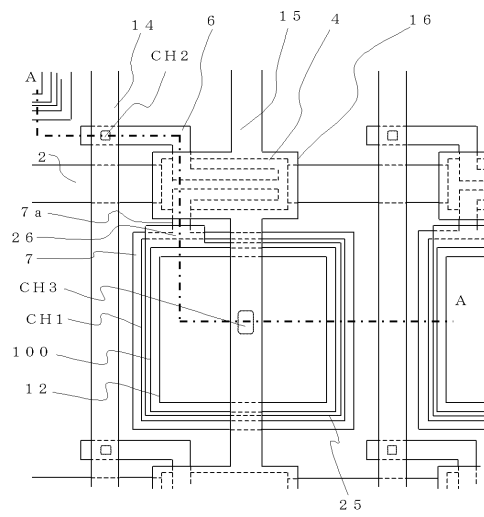
【図 11】



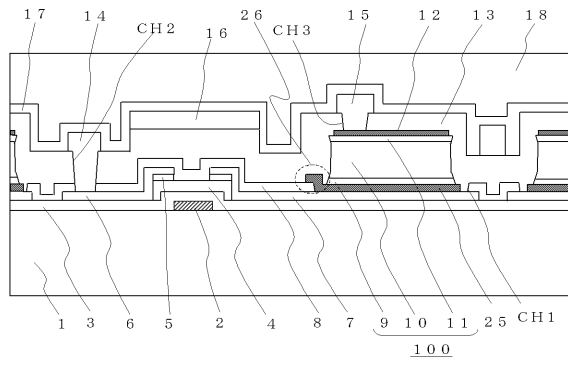
【図 12】



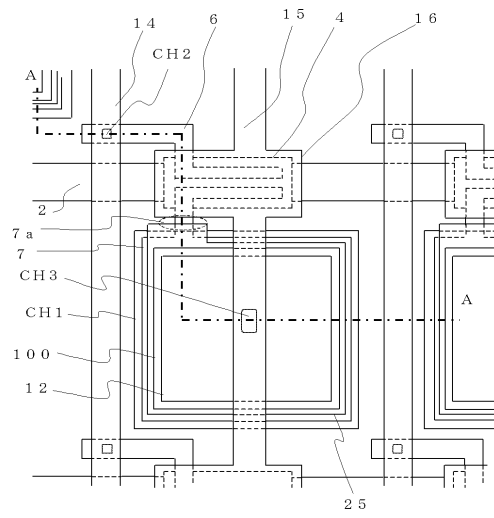
【図 13】



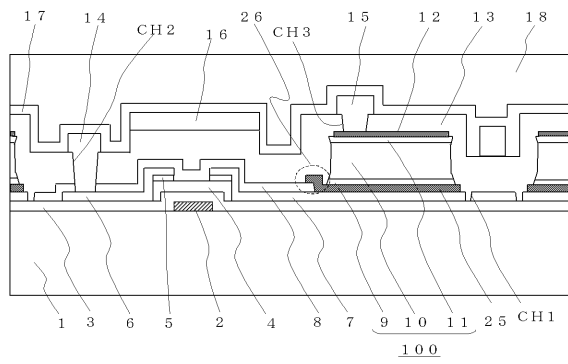
【図 14】



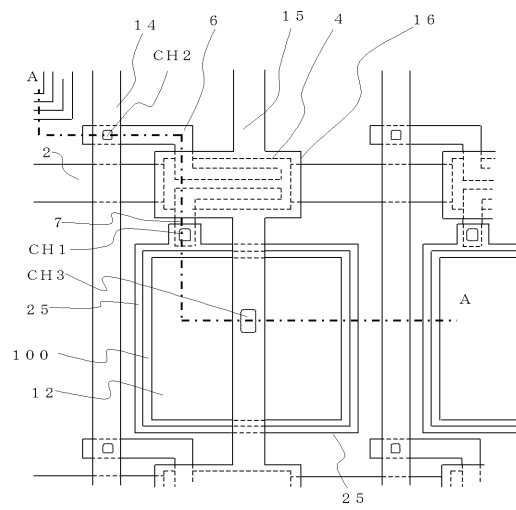
【図 15】



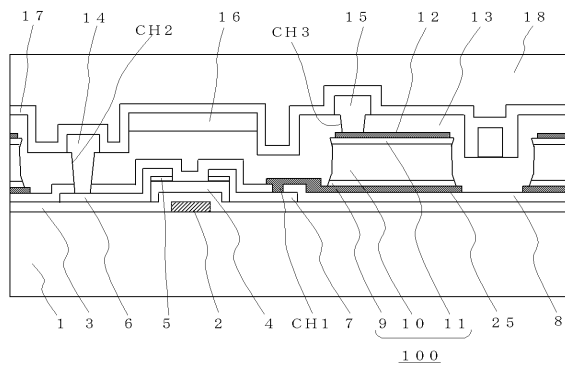
【図 16】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 宮山 隆
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 村井 博之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 井出 和水

- (56)参考文献 特開平04-259257(JP,A)
特開2006-189295(JP,A)
特開平11-337976(JP,A)
特開2007-068014(JP,A)
特開2008-159765(JP,A)
特開2005-129892(JP,A)
特開2004-179645(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/146 |
| G01T | 1/20 |
| H01L | 21/336 |
| H01L | 29/786 |
| H01L | 31/10 |