

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月13日(13.09.2012)



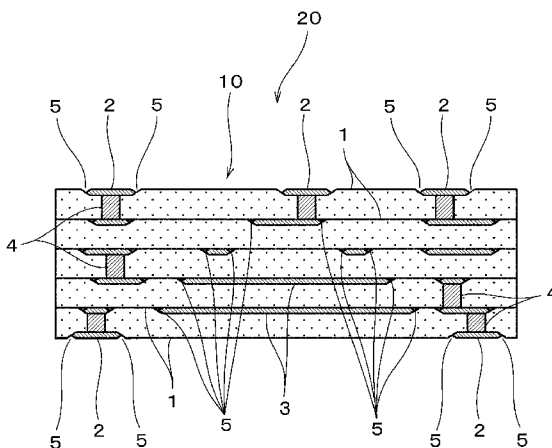
(10) 国際公開番号
WO 2012/121141 A1

- (51) 国際特許分類:
H05K 3/10 (2006.01) H05K 3/46 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/055364
 - (22) 国際出願日: 2012年3月2日(02.03.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-049044 2011年3月7日(07.03.2011) JP
 - (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 大坪喜人(OTSUBO, Yoshihito) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
 - (74) 代理人: 西澤均(NISHIZAWA, Hitoshi); 〒5500002 大阪府大阪市西区江戸堀1丁目2番11号 大同生命南館5階 Osaka (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: CERAMIC MULTILAYERED SUBSTRATE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: セラミック多層基板およびその製造方法

[図1]



(57) Abstract: Provided is a manufacturing method for a ceramic multilayered substrate, and a high reliability ceramic multilayered substrate manufactured using this method. The method enables efficient manufacturing of a high reliability ceramic multilayered substrate that has no shorting between adjacent electrodes even if surface electrodes and internal electrodes are arranged with high density. A ceramic multilayered substrate (20) provided with a ceramic substrate (10) formed of a plurality of stacked ceramic layers (1) and with electrodes (surface electrodes (2) and internal electrodes (3)) disposed in the ceramic layers (1), wherein on the main surfaces of any of the ceramic layers recesses (5) are provided constituted by the electrodes and the ceramic layer (1) surrounding the electrodes. The electrodes (surface electrodes (2) and internal electrodes (3)) are buried in the ceramic layer (1). Outer edges of the surface electrodes (2) are covered with a covering ceramic layer.

(57) 要約:

[続葉有]



WO 2012/121141 A1

表面電極や内部電極を高密度に配設した場合にも隣接する電極間のショートがなく、信頼性の高いセラミック多層基板を効率よく製造することが可能なセラミック多層基板の製造方法および該製造方法により製造される信頼性の高いセラミック多層基板を提供する。複数のセラミック層1を積層してなるセラミック基板10と、セラミック層1に配設された電極（表面電極2、内部電極3）とを備えたセラミック多層基板20において、いずれかの前記セラミック層の主面に、電極とその周囲のセラミック層1により凹部5を設ける。電極（表面電極2、内部電極3）はセラミック層1に埋没する。さらに、表面電極2の周縁部を、被覆セラミック層により被覆する。

明 細 書

発明の名称：セラミック多層基板およびその製造方法

技術分野

[0001] 本発明はセラミック多層基板およびその製造方法に関し、詳しくは、内部電極および表面電極の少なくとも一方を備えたセラミック多層基板およびその製造方法に関する。

背景技術

[0002] セラミック多層基板は、通常、複数のセラミック層が積層されたセラミック基板（基板本体）の表面および内部に電極（表面電極、内部電極）を備えた構造を有している。

[0003] このようなセラミック多層基板においては、小型化が進むにつれて、表面電極や内部電極を狭い間隔で高密度に配設することが必要になり、隣り合う表面電極間、あるいは、内部電極間のショート（短絡）が問題となる。

[0004] このような問題を解決する方法として、表面電極や内部電極を形成するために用いられる導電性ペーストの組成を調整して、表面電極や内部電極に滲みが発生することを抑制、防止して、電極間のショートが生じないようにしたセラミック回路基板（セラミック多層基板）の製造方法が提案されている（特許文献1参照）。

[0005] しかしながら、特許文献1の方法では、導電性ペーストを印刷することにより形成される表面電極や内部電極となるパターンの全体としての滲み出しを抑制することはできても、突発的、局所的な滲み出しや飛び出しの発生を防止することは困難である。この局所的な電極の滲み出しや飛び出しは、印刷機へのパターンのまわりこみや版離れなどに起因して生じるものであり、導電性ペーストそのものを変更しても避けられないものもある。また、印刷パターンや印刷機を改善しても、量産工程においては、局所的、突発的な滲み出しや飛び出しは避けられない場合もあるのが実情である。

先行技術文献

特許文献

[0006] 特許文献1：特開2003-151351号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明は、上記課題を解決するものであり、表面電極や内部電極を狭い間隔で高密度に配設した場合にも、隣り合う表面電極間や内部電極間のしみ出しや飛び出しによるショートが発生を抑制、防止することが可能で、信頼性の高いセラミック多層基板を効率よく製造することが可能なセラミック多層基板の製造方法および該製造方法により製造される信頼性の高いセラミック多層基板を提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するために、本発明のセラミック多層基板は、
複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板において、
いずれかの前記セラミック層の主面に、前記電極とその周囲の前記セラミック層とにより凹部が形成されていること
を特徴としている。
なお、電極と、その周囲のセラミック層とにより形成される凹部を設ける方法としては、例えば、(a)電極の形成に、焼結収縮量の大きな電極ペーストを用い、焼成時に電極ペーストを意図するような程度に収縮させることにより、電極の周囲に凹部を形成する方法、(b)焼成工程で消失する樹脂ペーストなどの消失材料を電極パターンの周囲に配設した状態で焼成を行い、焼成工程で消失材料を消失させることにより、電極の周囲に凹部を形成する方法、(c)セラミックグリーンシートの電極ペーストを印刷する領域の周囲に、例えばレーザー加工などの方法により、凹部となる溝を予め形成しておき、溝に囲われた領域に電極ペーストを印刷して電極ペーストパターンを形成する方法、(d)セラミックグリーンシート上に電極ペーストを印刷して形

成した電極ペーストパターンの周囲に、例えばレーザー加工などの方法により凹部となる溝を形成する方法などが例示されるが、さらに他の方法を用いることも可能である。また、セラミック多層基板を構成するセラミック基板の表面は、種々の表面電極（電極や配線など）が高密度に配設される場合が多いが、そのような場合に本発明を適用して、表面電極の周囲に凹部を設けることにより、隣り合う表面電極間のショートを抑制して、表面電極を高密度に配設した場合にも高い信頼性を備えたセラミック多層基板を得ることができる。

[0009] また、本発明のセラミック多層基板においては、前記凹部が形成された前記セラミック層の上に、さらに別のセラミック層が積層されることにより、前記電極とその周囲の前記セラミック層との間には空隙が形成されていることが好ましい。

[0010] また、前記電極は前記セラミック層に埋没していることが好ましい。

この構成を備えることにより、セラミック多層基板の低背化を図ることができる。

また、前記凹部は、前記セラミック基板の最外層を構成するセラミック層の表面に形成されたものであり、前記凹部を形成する前記電極は表面電極であって、前記表面電極の周縁部は、被覆セラミック層により覆われていることが好ましい。この構成を備えることにより、上述の効果に加えて、表面電極の剥離強度が向上するという効果が得られる。

[0011] また、本発明のセラミック多層基板の製造方法は、

複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板の製造方法であって、

(a)セラミックグリーンシートを準備する工程と、

(b)前記セラミックグリーンシートの、電極形成用の電極ペーストが印刷される領域の周囲に樹脂ペーストを印刷する工程と、

(c)前記セラミックグリーンシートの、前記樹脂ペーストにより囲われた領域に電極ペーストを印刷して電極ペーストパターンを形成する工程と、

(d)前記電極ペーストパターンが形成された前記セラミックグリーンシートを積層して積層体を形成する工程と、

(e)前記積層体を焼成する工程と

を具備することを特徴としている。

この構成を備えることにより、電極ペーストを印刷して電極ペーストパターンを形成する工程では、セラミックグリーンシートの電極ペーストパターンが形成される領域の周囲が樹脂ペーストにより被覆されており、電極ペーストの滲み出しや飛び出しそのものが抑えられ、また、滲み出しや飛び出しがあったとしても、樹脂ペースト上への滲み出しや飛び出しとなる。また、焼成工程では、樹脂ペーストが燃焼、分解して消失することにより、電極の周囲の、セラミック層との間に凹部が形成される。その結果、電極（例えば表面電極や内部電極など）の滲み出しや飛び出しにより、隣り合う表面電極間や内部電極間にショートが発生することを効果的に抑制、防止することが可能になる。その結果、表面電極や内部電極などを狭い間隔で高密度に配設した場合にも、表面電極間や内部電極間にショートが発生するおそれの少ない、信頼性の高いセラミック多層基板を確実に製造することが可能になる。なお、本発明のセラミック多層基板の製造方法において、周囲に凹部が形成されるような電極ペーストパターンを備えたセラミックグリーンシートを積層して積層体を形成するにあたっては、(a)上述の電極ペーストパターンを備えたセラミックグリーンシートに、(b)特に周囲に凹部が形成されるように構成されていない電極ペーストパターンを備えた、上記(a)のものとは異なるセラミックグリーンシートや、電極ペーストパターンの形成されていないセラミックグリーンシートなどを適宜組み合わせて用いることが可能であり、本発明はそのような態様も含むものである。

[0012] また、本発明の他のセラミック多層基板の製造方法は、

複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板の製造方法であって、

(a)セラミックグリーンシートを準備する工程と、

(b)前記セラミックグリーンシートの、電極形成用の電極ペーストが印刷される領域の周囲に溝を形成する工程と、

(c)前記セラミックグリーンシートの、前記溝により囲われた領域に電極ペーストを印刷して電極ペーストパターンを形成する工程と、

(d)前記電極ペーストパターンが形成された前記セラミックグリーンシートを積層して積層体を形成する工程と、

(e)前記積層体を焼成する工程と

を具備することを特徴としている。

この構成を備えることにより、電極ペーストパターンを形成する際の、しみ出し部分や飛び出し部分が溝（凹部）に落ち込んで、溝よりも外側に達することが抑制、防止され、ショート不良の発生する可能性が大幅に軽減される。その結果、表面電極や内部電極などを狭い間隔で高密度に配設した場合にも、表面電極間や内部電極間にショートが発生するおそれの少ない、信頼性の高いセラミック多層基板を確実に製造することが可能になる。

[0013] また、本発明のさらに他のセラミック多層基板の製造方法は、

複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板の製造方法であって、

(a)セラミックグリーンシートを準備する工程と、

(b)前記セラミックグリーンシートに電極ペーストを印刷して電極ペーストパターンを形成する工程と、

(c)前記セラミックグリーンシートの、前記電極ペーストパターンの周囲に溝を形成する工程と、

(d)前記電極ペーストパターンの周囲に前記溝が形成された前記セラミックグリーンシートを積層して積層体を形成する工程と、

(e)前記積層体を焼成する工程と

を具備することを特徴としている。

この構成を備えることにより、電極ペーストを印刷して電極ペーストパターンを形成する工程で多少のしみ出しや飛び出しがあった場合にも、それが

溝を形成する工程で除去される。その結果、表面電極や内部電極などを狭い間隔で高密度に配設した場合にも、表面電極間や内部電極間にショートが発生するおそれの少ない、信頼性の高いセラミック多層基板を確実に製造することが可能になる。

[0014] また、本発明のセラミック多層基板の製造方法においては、前記セラミック基板の表面電極となる電極ペーストパターンが形成されたセラミックグリーンシートについては、前記電極ペーストパターンの少なくとも周縁部を被覆し、中央部を被覆しない被覆セラミックグリーン層を配設し、このセラミックグリーンシートを用いて前記積層体を形成することが好ましい。

この構成を備えることにより、表面電極の周縁部が被覆セラミック層により覆われた構造を有するセラミック多層基板を得ることが可能になり、本発明の基本的な効果に加えて、表面電極の剥離強度が大きく、より信頼性の高いセラミック多層基板を確実に製造することが可能になる。なお、表面電極となる電極ペーストパターンの少なくとも周縁部を被覆し、中央部を被覆しない被覆セラミックグリーン層は、例えば、セラミックペーストを、電極ペーストパターンの少なくとも周縁部を被覆し、中央部は露出させるような態様で印刷したり、表面電極となる電極ペーストパターンの中央部を露出させるような開口を設けたセラミックグリーンシートを積層したりする方法により形成することが可能である。

発明の効果

[0015] 本発明のセラミック多層基板は、複数のセラミック層を積層してなるセラミック基板と、セラミック層に配設された電極とを備えたセラミック多層基板において、いずれかのセラミック層の主面に、電極とその周囲のセラミック層とにより凹部を形成するようにしているので、電極などの滲み出しや飛び出しによる、表面電極間や内部電極間のショートの発生を抑制、防止することが可能になる。

[0016] その結果、表面電極や内部電極を狭い間隔で高密度に配設した場合にも、隣り合う表面電極間や内部電極間のショートの発生を抑制、防止することが

可能で、信頼性の高いセラミック多層基板を提供することができる。

図面の簡単な説明

[0017] [図1]本発明の一実施例にかかるセラミック多層基板の構成を示す正面断面図である。

[図2]本発明の実施例にかかるセラミック多層基板の要部を拡大して示す図である。

[図3](a)～(c)は、本発明の実施例にかかるセラミック多層基板の製造方法(製造方法A)を説明する図である。

[図4](a)～(c)は、本発明の実施例にかかるセラミック多層基板の製造方法(製造方法B)を説明する図である。

[図5](a)～(c)は、本発明の実施例にかかるセラミック多層基板の製造方法(製造方法C)を説明する図である。

[図6](a)～(c)は、本発明の実施例にかかるセラミック多層基板の製造方法(製造方法D)を説明する図である。

[図7](a)～(c)は、本発明の実施例にかかるセラミック多層基板の製造方法(製造方法E)を説明する図である。

発明を実施するための形態

[0018] 以下に本発明の実施例を示して、本発明の特徴とするところをさらに詳しく説明する。

実施例 1

[0019] [セラミック多層基板の構成]

図1は、本発明の実施例にかかるセラミック多層基板20の全体構成を模式的に示す断面図、図2はその要部を示す断面図である。

[0020] この実施例1にかかるセラミック多層基板20は、実装基板上に実装されるセラミック多層基板であって、複数のセラミック層(基材セラミック層)1が積層された構造を有するセラミック基板10と、セラミック基板の最外層を構成するセラミック層1に配設された表面電極2と、所定のセラミック層1に配設された内部電極3を備えている。なお、表面電極2や内部電極3

のうち所定のものはビヤホール導体 4 を介して層間接続されている。

[0021] そして、このセラミック多層基板 20 においては、図 1 および 2 に示すように、表面電極 2 とその周囲のセラミック層 1 との間、および、内部電極 3 とその周囲のセラミック層 1 との間には凹部 5 が設けられている。凹部 5 は、表面電極 2 とその周囲のセラミック層 1 により、または、内部電極 3 とその周囲のセラミック層 1 により、形成されている。また、内部電極 3 とその周囲のセラミック層 1 とにより形成された凹部 5 の上には、別のセラミック層 1 が積層されているので、当該凹部 5 の部分には空隙が形成されている。

[0022] この実施例 1 の積層セラミック電子部品は、上述のような構成を備えており、表面電極 2 および内部電極 3 とその周囲のセラミック層 1 との間に凹部 5 が設けられているので、電極（例えば表面電極 2 や内部電極 3 など）の滲み出しや飛び出しにより、隣り合う電極間にショートが発生することを確実に抑制することが可能になる。その結果、表面電極 2 や内部電極 3 などの電極間の間隔を狭くした（すなわち表面電極 2 や内部電極 3 などの電極を高密度化）した場合にも、電極間のショートのない、信頼性の高いセラミック多層基板 20 を得ることができる。

[0023] なお、この実施例では、表面電極および内部電極のいずれもが、周囲に凹部を備えた構成としているが、通常は電極が高密度で配設されるセラミック基板の表面に形成される表面電極の周囲にのみ凹部が形成されるように構成した場合にも、信頼性の高いセラミック多層基板を得ることが可能になる。

[0024] [セラミック多層基板の製造]

次に、本発明のセラミック多層基板の製造方法について説明する。

[0025] [1] 製造方法 A

図 3(a)~(c)を参照しつつ、セラミック多層基板の製造方法 A について説明する。

[0026] (1) まず、セラミックグリーンシートを準備する。

[0027] (2) それから、図 3(a)に示すように、セラミックグリーンシート 1 a に、電極ペーストを印刷して電極ペーストパターン 2 a を形成する。

このとき電極ペーストパターン 2 a を形成するための電極ペーストとして、焼成工程での収縮率（焼結収縮率）が、セラミックグリーンシート 1 a の焼結収縮率よりも大きい電極ペーストを用いる。

[0028] (3) 電極ペーストパターン 2 a が印刷されたセラミックグリーンシート 1 a を積層し、圧着することにより積層体を形成する。

この積層、圧着の工程で、セラミックグリーンシート 1 a に配設された電極ペーストパターン 2 a は、押圧されて変形し、図 3 (b) に模式的に示すように、セラミックグリーンシート 1 a に埋没した状態となる。

[0029] なお、図 3 (a), (b) は積層体の最外層を構成するセラミックグリーンシート 1 a と、そこに形成された焼成後に表面電極 2 (図 1, 2 参照) となる電極ペーストパターン 2 a を示しているが、内部電極を形成することになる電極ペーストパターンも同様に変形して、図 3 (b) に模式的に示すような形状と同様の形状となる。

[0030] (4) 上記(3)の工程で作製した積層体を焼成する。

このとき、電極ペーストパターン 2 a が主面に沿う方向に収縮し、その周囲のセラミック層との間に凹部 5 が形成される。

これにより、表面電極 2 (および内部電極 3) の周囲に凹部 5 が形成された、図 1, 2 に示すようなセラミック多層基板 20 が得られる。

[0031] なお、セラミック基板の表面に形成される表面電極の周囲にのみ凹部が形成されるようにしたい場合には、焼成後に表面電極となる電極ペーストパターンを形成するための電極ペーストとして、焼結収縮率が、セラミックグリーンシート 1 a の焼結収縮率よりも大きい電極ペーストを用いるようにすればよい。

また、セラミック基板の内部に形成される内部電極の周囲にのみ凹部が形成されるようにしたい場合には、焼成後に内部電極となる電極ペーストパターンを形成するための電極ペーストとして、焼結収縮率が、セラミックグリーンシート 1 a の焼結収縮率よりも大きい電極ペーストを用いるようにすればよい。

[0032] また、確実に凹部を形成するためには、セラミック基板を構成するセラミック材料と、電極ペーストの構成材料や組成などを適切に選択することが必要となるが、具体的には、実際に用いられる材料や、セラミック多層基板に求められる特性などを考慮して、セラミック基板を構成するセラミック材料や添加成分、電極ペーストを構成する導電成分やガラスなどの添加成分などを適宜選択することが望ましい。

例えば、セラミック基板を構成する材料および電極ペーストに含まれるガラスの割合が多いと、ガラス成分が染み出てきて凹部を埋めてしまう可能性があるため、通常、ガラス成分の割合は少ない方が好ましい。

また、セラミック多層基板を製造する際に、焼成時の収縮を抑制するための収縮抑制層を用いて焼成を行うことにより、導電性ペーストの収縮率が比較的小さい場合にも、電極パターンと、その周囲のセラミック層との間に上記凹部を確実に形成することが可能になる。したがって、収縮抑制層を用いて焼成を行うことで、導電性ペーストの選択の自由度を向上させることができる。

[0033] 電極の焼結収縮を大きくする製造方法Aの場合、電極ペーストパターンに滲み出しや飛び出しがあっても、焼成工程で電極ペーストパターンが焼結収縮する際に形成される電極周囲の凹部により、滲み出し部分や飛び出し部分が電極から絶縁される（電極が島状に孤立する）ことになるため、ショート不良の発生を効率よく防止することができる。

[0034] [2]製造方法B

図4(a)~(c)を参照しつつ、セラミック多層基板の他の製造方法Bについて説明する。

[0035] (1)まず、セラミックグリーンシートを準備する。

[0036] (2)それから、図4(a)に示すように、セラミックグリーンシート1aの、電極形成用の電極ペーストが印刷される領域の周囲に樹脂ペースト6を印刷する。

[0037] (3)次に、図4(a)に示すように、セラミックグリーンシート1aの、樹

脂ペースト6により囲われた領域に電極ペーストを印刷して電極ペーストパターン2 aを形成する。

(4)電極ペーストパターン2 aが形成されたセラミックグリーンシート1 aを積層し、圧着することにより積層体を形成する。

[0038] この積層、圧着の工程で、セラミックグリーンシート1 aに配設された電極ペーストパターン2 a、樹脂ペースト6は、押圧されて変形し、図4 (b)に模式的に示すように、セラミックグリーンシート1 aに埋没した状態となる。

[0039] なお、図4 (a), (b)は積層体の最外層を構成するセラミックグリーンシート1 aと、そこに形成された、焼成後に表面電極2 (図1, 2参照)となる電極ペーストパターン2 aおよび樹脂ペースト6を示しているが、積層体の内部に位置する、内部電極を形成することになる電極ペーストパターンおよびその周囲に配設された樹脂ペーストも、積層、圧着の工程で、同様に變形して、図4 (b)に模式的に示すような形状と同様の形状となる。

[0040] (5)上記(4)の工程で作製した積層体を焼成する。

この焼成工程で、樹脂ペースト6は燃焼、分解して、消失し、図4 (c)に示すように、焼成後に形成される表面電極2 (および内部電極3)の周囲には、凹部5が形成される。

これにより、図1, 2に示すセラミック多層基板20に準じる構造を有するセラミック多層基板が得られる。

[0041] なお、セラミック基板の表面に形成される表面電極の周囲にのみ凹部が形成され、内部電極の周囲には特に凹部を設けないようにしたい場合には、焼成後に表面電極となる電極ペーストパターンを備えたセラミックグリーンシートについてのみ、電極ペーストパターンが形成されることになる領域の周囲に樹脂ペーストを印刷するようにすればよい。

また、セラミック基板の内部に形成される内部電極の周囲にのみ凹部が形成され、表面電極の周囲には特に凹部を設けないようにしたい場合には、焼成後に内部電極となる電極ペーストパターンを備えたセラミックグリーンシ

ートについてのみ、電極ペーストパターンが形成されることになる領域の周囲に樹脂ペーストを印刷するようにすればよい。内部電極の周囲に形成された凹部は、その上に別のセラミック層が形成されるので、当該凹部の部分には空隙が形成される。

[0042] 電極ペーストを印刷する領域の周囲に予め樹脂ペーストを印刷するようにした製造方法Bの場合、電極（電極ペーストパターン）のしみ出しや飛び出しそのものが抑えられ、また、しみ出しや飛び出しがあったとしても、樹脂ペースト上へのしみ出しや飛び出しとなり、樹脂ペーストは焼成工程で消失することになるため、焼結後の表面電極間や内部電極間におけるショート不良の発生を効率よく防止することができる。

[0043] [3]製造方法C

図5(a)~(c)を参照しつつ、セラミック多層基板のさらに他の製造方法Cについて説明する。

[0044] (1)まず、セラミックグリーンシートを準備する。

[0045] (2)それから、図5(a)に示すように、セラミックグリーンシート1aの、電極形成用の電極ペーストが印刷される領域の周囲に、レーザー加工により溝7を形成する。

[0046] (3)次に、セラミックグリーンシート1aの、上記溝7により囲われた領域に電極ペーストを印刷して電極ペーストパターン2aを形成する。

[0047] (4)溝7の内側領域に電極ペーストパターン2aが印刷されセラミックグリーンシート1aを積層し、圧着することにより積層体を形成する。

この積層、圧着の工程で、セラミックグリーンシート1aに配設された電極ペーストパターン2aは、押圧されて変形し、図5(b)に模式的に示すように、セラミックグリーンシート1aに埋没した状態となる。

[0048] なお、図5(a)、(b)は積層体の最外層を構成するセラミックグリーンシート1aと、そこに形成された、焼成後に表面電極2（図1、2参照）となる電極ペーストパターン2aを示しているが、内部電極を形成することになる電極ペーストパターンも同様に変形して、図5(b)に模式的に示すような

形状と同様の形状となる。

[0049] (5)上記(4)の工程で作製した積層体を焼成する。

これにより、図5(c)に示すように、表面電極2(および内部電極3)の周囲に凹部5が形成されたセラミック多層基板が得られる。

[0050] この製造方法Cの場合、セラミックグリーンシートの、上記溝により囲われた領域に電極ペーストを印刷して電極ペーストパターンを形成する際に、滲み出しや飛び出しが生じて、滲み出した部分や飛び出した部分が溝(凹部)に落ち込んで、溝よりも外側に達することが抑制、防止される。

その結果、表面電極や内部電極などを狭い間隔で高密度に配設した場合にも、表面電極間や内部電極間にショートが発生するおそれの少ない、信頼性の高いセラミック多層基板を効率よく製造することが可能になる。

[0051] 製造方法Cでは、セラミックグリーンシート1aの、電極形成用の電極ペーストが印刷される領域の周囲に溝7を形成した後、溝7により囲われた領域に電極ペーストを印刷して電極ペーストパターン2aを形成するようにしているが、本発明では、溝7を形成する前にセラミックグリーンシート1aに電極ペーストを印刷して電極ペーストパターン2aを形成し、その後に、セラミックグリーンシート1aの、電極ペーストパターン2aが形成された領域の周囲に溝7を形成するように構成することも可能である。

[0052] 電極ペーストパターン2aを形成した後に溝7を形成するようにした場合、電極ペーストパターン2aを形成する工程で多少の滲み出しや飛び出しがあった場合にも、それが溝7を形成する工程で除去される。

その結果、表面電極や内部電極などを狭い間隔で高密度に配設した場合にも、表面電極間や内部電極間にショートが発生するおそれの少ない、信頼性の高いセラミック多層基板を確実に製造することが可能になる。

[0053] なお、セラミック基板の表面に形成される表面電極の周囲にのみ凹部が形成され、内部電極の周囲には特に凹部を設けたくない場合には、焼成後に表面電極となる電極ペーストパターンを備えたセラミックグリーンシートについてのみ上記溝を形成するようにすればよい。

また、セラミック基板の内部に形成される内部電極の周囲にのみ凹部が形成され、表面電極の周囲には特に凹部を設けないようにしたい場合には、焼成後に内部電極となる電極ペーストパターンを備えたセラミックグリーンシートについてのみ上記溝を形成するようにすればよい。内部電極の周囲に形成された凹部は、その上に別のセラミック層が形成されるので、当該凹部の部分には空隙が形成される。

[0054] [4]製造方法D

図6(a)~(c)を参照しつつ、セラミック多層基板のさらに他の製造方法Dについて説明する。

[0055] (1)まず、セラミックグリーンシートを準備する。

[0056] (2)それから、図6(a)に示すように、セラミックグリーンシート1aに、電極形成用の電極ペーストが印刷される領域の周囲に樹脂ペースト6を印刷する。

[0057] (3)次に、図6(a)に示すように、セラミックグリーンシート1aの、樹脂ペースト6により囲われた領域に電極ペーストを印刷して電極ペーストパターン2aを形成する。

[0058] (4)さらに、表面電極2(図1, 2参照)となる電極ペーストパターン2aが形成されたセラミックグリーンシートについては、図6(a)に示すように、電極ペーストパターン2aの少なくとも周縁部を被覆し、中央部を被覆しない被覆セラミックグリーン層8aを配設する。ここでは、セラミックペーストを用い、電極ペーストパターン2aの周縁部から樹脂ペースト6を覆い、セラミックグリーンシート1aが露出した領域に達する範囲にセラミックペーストを印刷することにより、被覆セラミックグリーン層8aを形成した。

[0059] セラミックペーストに用いるセラミックとしては、下地となるセラミック基板を構成するセラミックと同じ組成のセラミックを中心に、密着強度を上げるために、さらに、ガラスや酸化物を添加したセラミックを用いることが望ましい。

また、セラミックペーストに用いるセラミックは、酸化バリウム、酸化ケイ素、アルミナ、酸化カルシウム、酸化ホウ素の混合物のようなものであってもよい。

なお、例えば、下地となるセラミック基板を構成するセラミックがフェライト系の場合はフェライト粉末を用いることが望ましい。

[0060] 被覆セラミック層を形成する方法としては、セラミックペーストを印刷する方法に代えて、表面電極となる電極ペーストパターンの中央部を露出させるような開口を設けたセラミックグリーンシートを積層する方法を用いることも可能である。

[0061] また、上記[2]の製造方法Bで説明した方法と同じ方法で、内部電極となる電極ペーストパターンを備えたセラミックグリーンシート（図示せず）を用意する。

[0062] (5)それから、被覆セラミックグリーン層8aを形成したセラミックグリーンシート1aと、内部電極となる電極ペーストパターンを備えたセラミックグリーンシートを積層し、圧着することにより積層体を形成する。

[0063] この積層、圧着の工程で、セラミックグリーンシート1aに配設された電極ペーストパターン2a、樹脂ペースト6、被覆セラミックグリーン層8aは、押圧されて変形し、図6(b)に模式的に示すように、セラミックグリーンシート1aに埋没した状態となる。

一方、内部電極となる電極ペーストパターンは、上記[2]の製造方法Bを説明するのに用いた図4(b)に模式的に示すような形状となる。

[0064] (6)上記(5)の工程で作製した積層体を焼成する。

この焼成工程で、樹脂ペースト6は燃焼、分解して、消失し、図6(c)に示すように、焼成後に形成される表面電極2の周囲には、凹部5が形成され、かつ、表面電極2の周縁部が、被覆セラミックグリーン層8aが焼成されてなる、被覆セラミック層8により被覆された構造を有するセラミック多層基板が得られる。表面電極2とその周囲のセラミック層1とにより形成された凹部5は、被覆セラミック層8により被覆されているので、当該凹部5の

部分には空隙が形成されている。

[0065] なお、この製造方法Dにおいては、内部電極となる電極ペーストパターンの周囲にはセラミックペーストを印刷することは行っていないが、内部電極に関しては、セラミック層間に確実に保持されることから、特に被覆セラミック層を形成しなくても、必要な信頼性は確保される。

[0066] この製造方法Dによれば、図6(c)に示すように、表面電極2の周縁部が、被覆セラミック層8により被覆され、表面電極2の中央部のみが露出した構造を有する、表面電極2の剥離強度に優れたセラミック多層基板が得られる。

[0067] [5]製造方法E

図7(a)~(c)を参照しつつ、セラミック多層基板のさらに他の製造方法Eについて説明する。

[0068] (1)まず、セラミックグリーンシートを準備する。

[0069] (2)それから、図7(a)に示すように、セラミックグリーンシート1aに、電極ペーストを印刷して電極ペーストパターン2aを形成する。

[0070] (3)次に、表面電極2(図1, 2参照)となる電極ペーストパターン2aが形成されたセラミックグリーンシート1aについては、図7(a)に示すように、電極ペーストパターン2aの少なくとも周縁部を被覆し、中央部を被覆しない被覆セラミックグリーン層8aを配設する。

なお、被覆セラミックグリーン層8aは、上記[4]の製造方法Dで用いたものと同じセラミックペーストを印刷することにより形成する。

[0071] (4)次に、電極ペーストパターン2aおよび被覆セラミックグリーン層8aが配設されたセラミックグリーンシート1aを複数枚積層し、圧着することにより積層体を形成する。

[0072] この積層、圧着の工程で、セラミックグリーンシート1aに配設された電極ペーストパターン2aおよび被覆セラミックグリーン層8aは、押圧されて変形し、図7(b)に模式的に示すように、セラミックグリーンシート1aに埋没し、その上面が周囲のセラミックグリーンシート1aおよび電極ペー

ストパターン 2 a の上面と実質的に面一の状態となる。

[0073] (5) 上記 (4) の過程で形成した積層体を焼成する。

このとき、電極ペーストパターン 2 a が主面に沿う方向に収縮し、図 7 (c) に示すように、その周囲のセラミック層 (セラミックグリーンシート 1 a が焼成されてなるセラミック層) 1 との間に凹部 5 が形成され、かつ、電極ペーストパターン 2 a が焼成されてなる表面電極 2 の周縁部が、被覆セラミックグリーン層 8 a が焼成されてなる、被覆セラミック層 8 により被覆された構造を有するセラミック多層基板が得られる。表面電極 2 とその周囲のセラミック層 1 とにより形成された凹部 5 は、被覆セラミック層 8 により被覆されているので、当該凹部 5 の部分には空隙が形成されている。

[0074] この製造方法 E によれば、図 7 (c) に示すように、表面電極周縁部が、被覆セラミック層 8 により被覆され、表面電極 2 の中央部のみが露出した構造を有する、表面電極 2 の剥離強度に優れたセラミック多層基板が得られる。

[0075] なお、本発明は、上記の実施例に限定されるものではなく、セラミック基板の具体的な構成、内部電極の配設態様や構成材料、表面電極の具体的なパターンなどに関し、発明の範囲内において、種々の応用、変形を加えることが可能である。

符号の説明

[0076]	1	セラミック層 (基材セラミック層)
	2	表面電極
	3	内部電極
	4	ビヤホール導体
	5	凹部
	1 a	セラミックグリーンシート
	2 a	電極ペーストパターン
	6	樹脂ペースト
	7	溝

8 a	被覆セラミックグリーン層
8	被覆セラミック層
10	セラミック基板
20	セラミック多層基板

請求の範囲

- [請求項1] 複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板において、
いずれかの前記セラミック層の主面に、前記電極とその周囲の前記セラミック層とにより凹部が形成されていること
を特徴とするセラミック多層基板。
- [請求項2] 前記凹部が形成された前記セラミック層の上に、さらに別のセラミック層が積層されることにより、前記電極とその周囲の前記セラミック層との間には空隙が形成されていることを特徴とする請求項1記載のセラミック多層基板。
- [請求項3] 前記電極は前記セラミック層に埋没していることを特徴とする請求項1または2記載のセラミック多層基板。
- [請求項4] 前記凹部は、前記セラミック基板の最外層を構成するセラミック層の表面に形成されたものであり、前記凹部を形成する前記電極は表面電極であって、前記表面電極の周縁部は、被覆セラミック層により覆われていることを特徴とする請求項1～3のいずれかに記載のセラミック多層基板。
- [請求項5] 複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板の製造方法であって、
(a)セラミックグリーンシートを準備する工程と、
(b)前記セラミックグリーンシートの、電極形成用の電極ペーストが印刷される領域の周囲に樹脂ペーストを印刷する工程と、
(c)前記セラミックグリーンシートの、前記樹脂ペーストにより囲われた領域に電極ペーストを印刷して電極ペーストパターンを形成する工程と、
(d)前記電極ペーストパターンが形成された前記セラミックグリーンシートを積層して積層体を形成する工程と、

(e)前記積層体を焼成する工程と
を具備することを特徴とするセラミック多層基板の製造方法。

[請求項6] 複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板の製造方法であって、

(a)セラミックグリーンシートを準備する工程と、

(b)前記セラミックグリーンシートの、電極形成用の電極ペーストが印刷される領域の周囲に溝を形成する工程と、

(c)前記セラミックグリーンシートの、前記溝により囲われた領域に電極ペーストを印刷して電極ペーストパターンを形成する工程と、

(d)前記電極ペーストパターンが形成された前記セラミックグリーンシートを積層して積層体を形成する工程と、

(e)前記積層体を焼成する工程と

を具備することを特徴とするセラミック多層基板の製造方法。

[請求項7] 複数のセラミック層を積層してなるセラミック基板と、前記セラミック層に配設された電極とを備えたセラミック多層基板の製造方法であって、

(a)セラミックグリーンシートを準備する工程と、

(b)前記セラミックグリーンシートに電極ペーストを印刷して電極ペーストパターンを形成する工程と、

(c)前記セラミックグリーンシートの、前記電極ペーストパターンの周囲に溝を形成する工程と、

(d)前記電極ペーストパターンの周囲に前記溝が形成された前記セラミックグリーンシートを積層して積層体を形成する工程と、

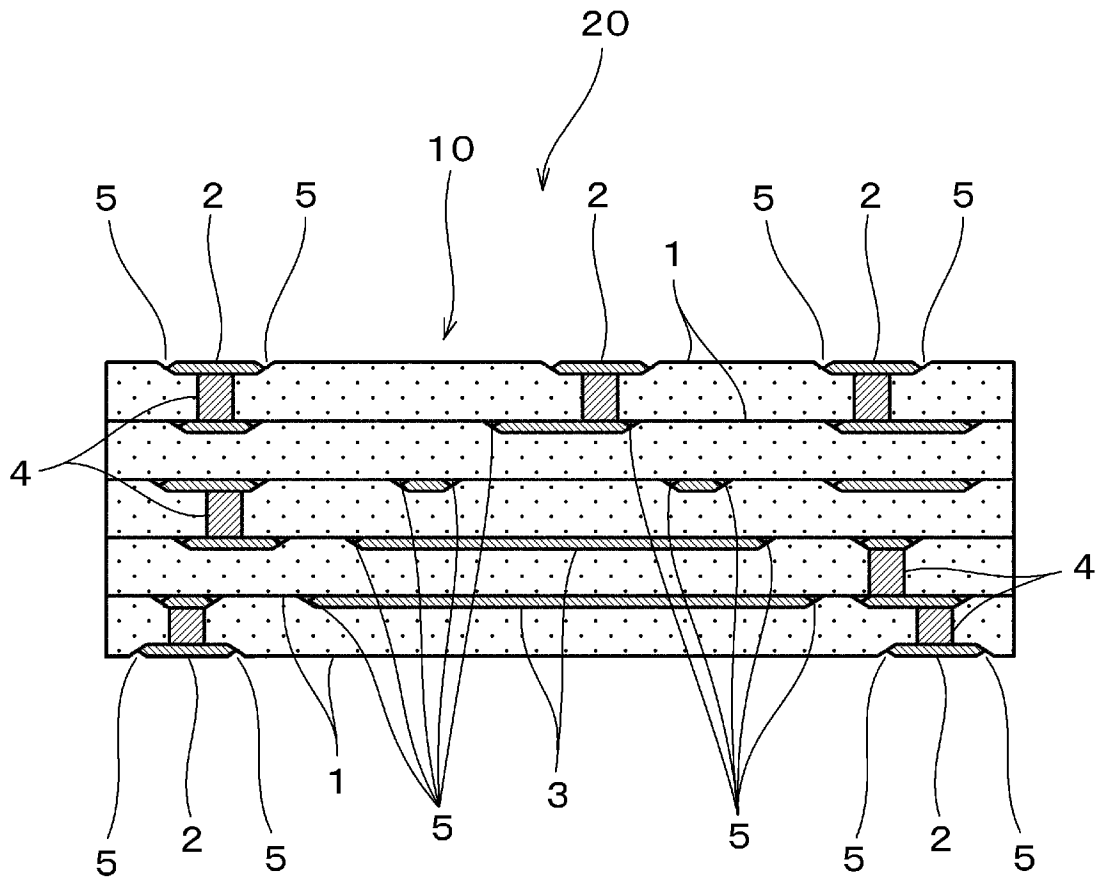
(e)前記積層体を焼成する工程と

を具備することを特徴とするセラミック多層基板の製造方法。

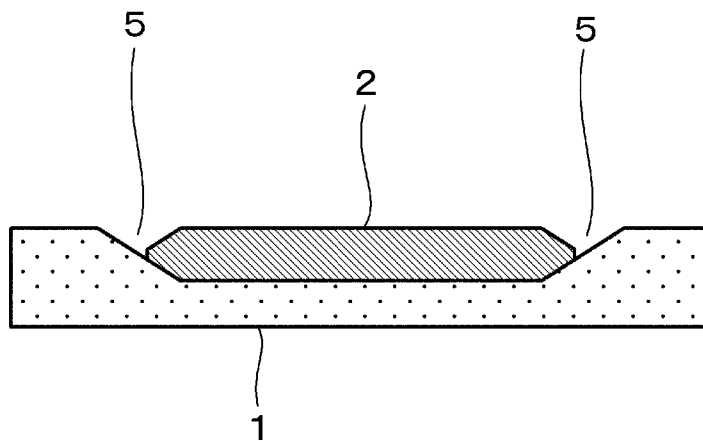
[請求項8] 前記セラミック基板の表面電極となる電極ペーストパターンが形成されたセラミックグリーンシートについては、前記電極ペーストパタ

ーンの少なくとも周縁部を被覆し、中央部を被覆しない被覆セラミックグリーン層を配設し、このセラミックグリーンシートを用いて前記積層体を形成することを特徴とする請求項5～7のいずれかに記載のセラミック多層基板の製造方法。

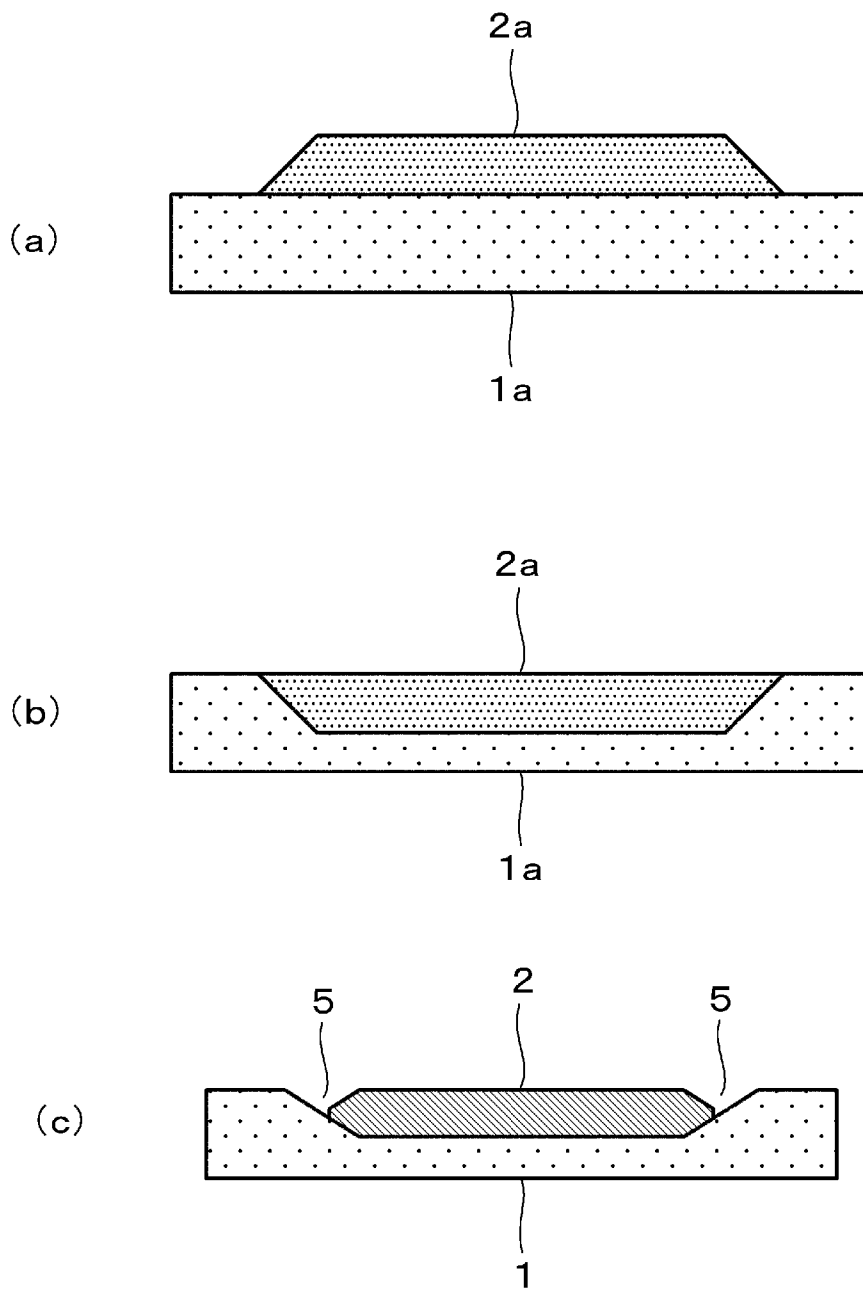
[図1]



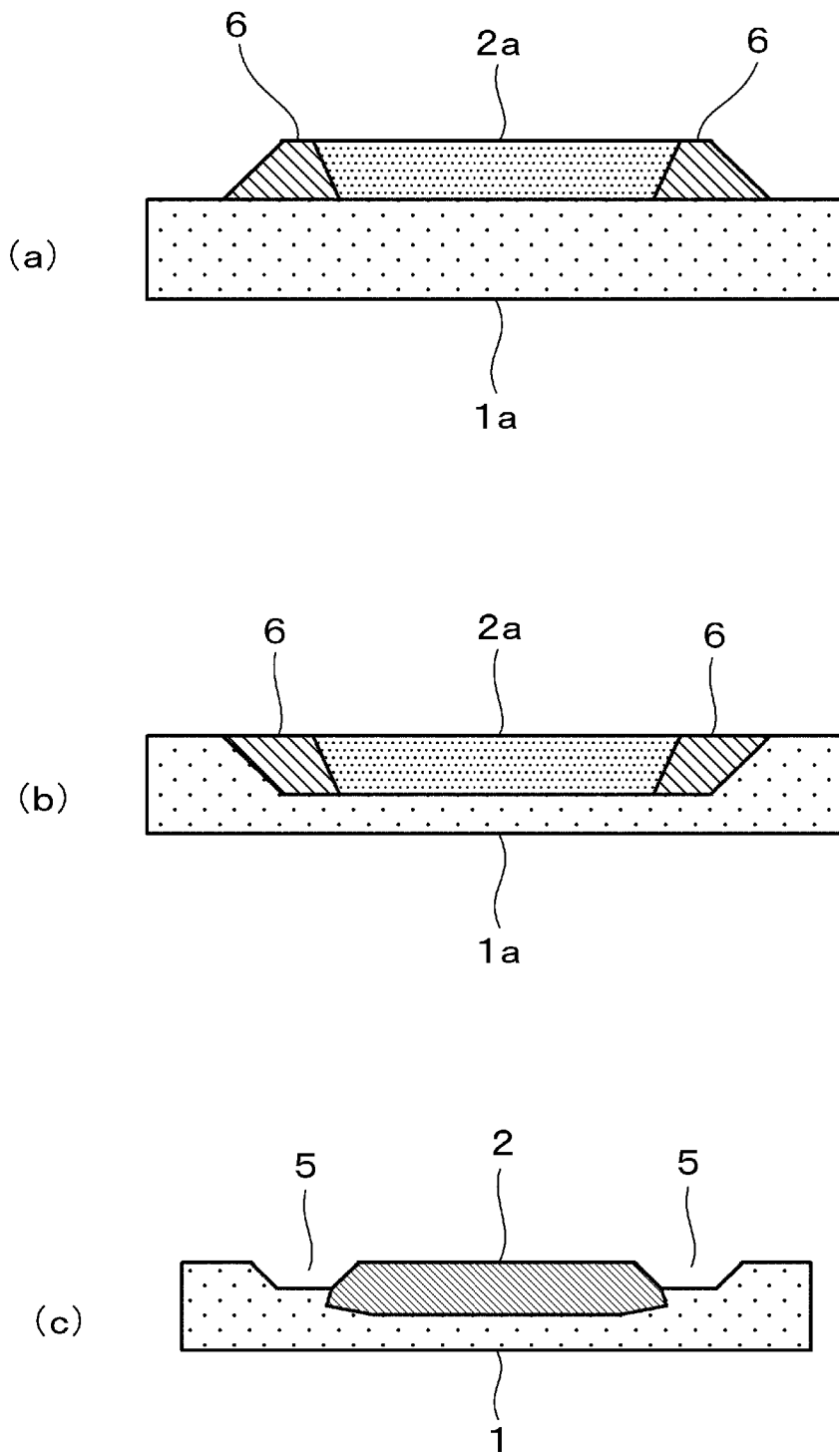
[図2]



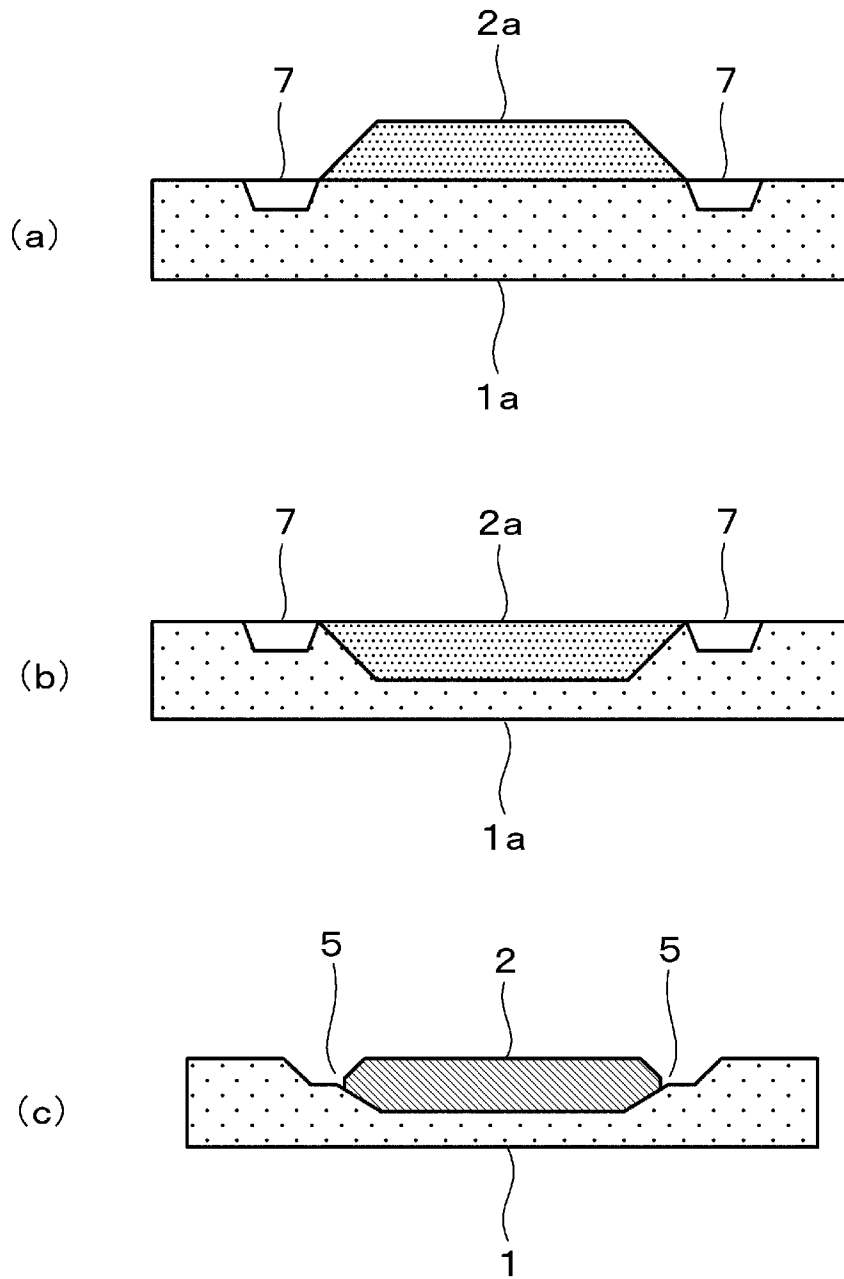
[図3]



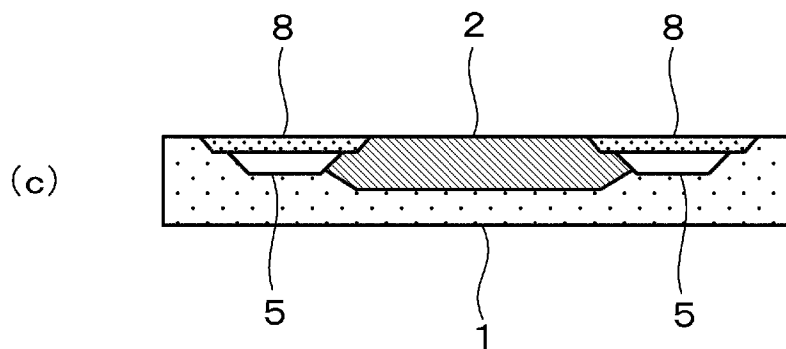
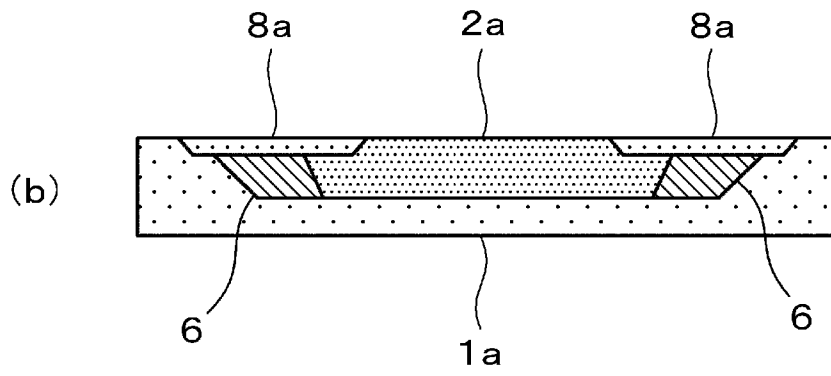
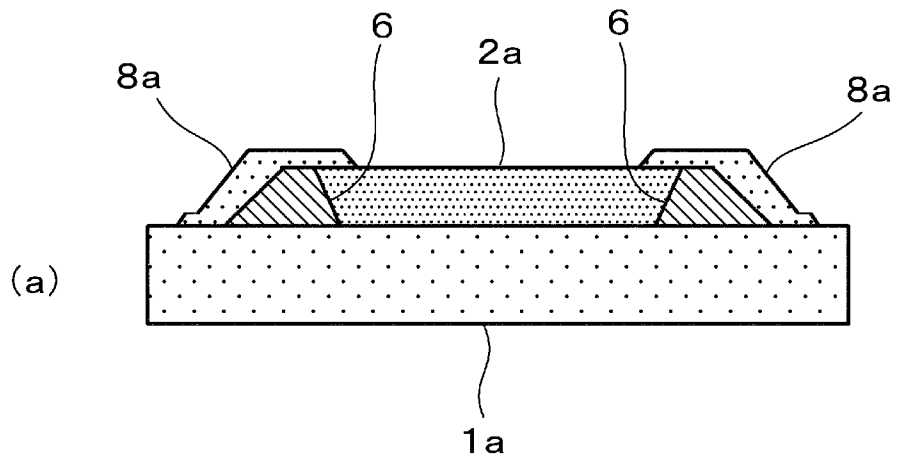
[図4]



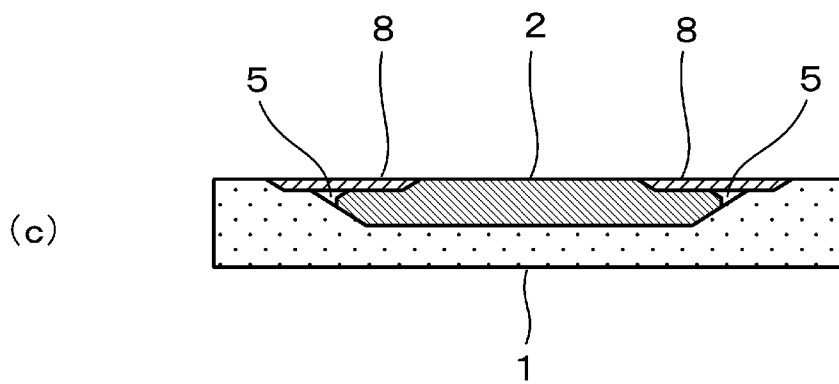
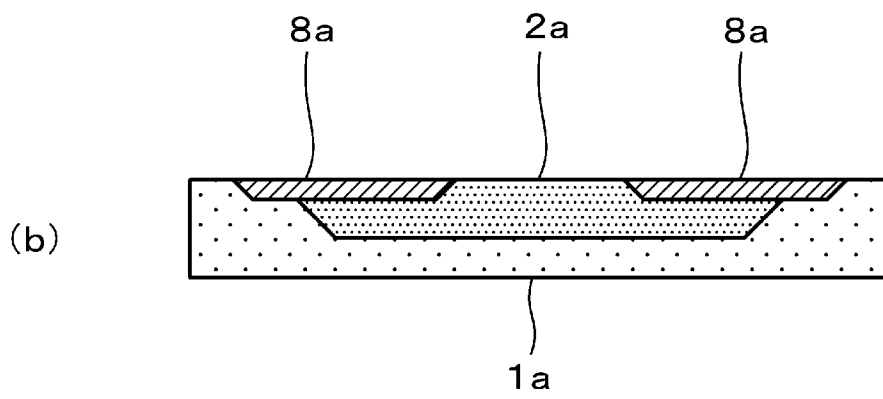
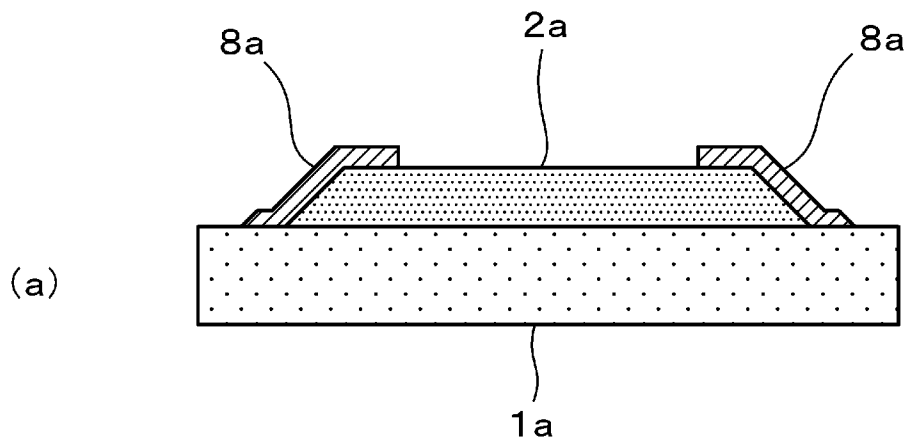
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055364

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/10(2006.01) i, H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/10, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-170683 A (Seiko Epson Corp.), 30 July 2009 (30.07.2009), paragraphs [0029], [0058], [0064], [0066] (Family: none)	6, 7 1-5, 8
Y A	JP 1-236644 A (Toshiba Corp.), 21 September 1989 (21.09.1989), page 3, upper left column, lines 16 to 17; fig. 1 (Family: none)	6, 7 8
A	JP 2-4153 B2 (International Business Machines Corp.), 26 January 1990 (26.01.1990), fig. 1 & US 4581098 A & EP 178409 A2 & DE 3586080 A	1-5, 8

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 April, 2012 (11.04.12)Date of mailing of the international search report
24 April, 2012 (24.04.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055364

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-41017 A (Soshin Electric Co., Ltd.), 09 February 2006 (09.02.2006), fig. 7 (Family: none)	1-5, 8
A	JP 2009-164507 A (Seiko Epson Corp.), 23 July 2009 (23.07.2009), paragraphs [0031], [0032]; fig. 9, 11 (Family: none)	5
A	JP 4-219993 A (Fujitsu Ltd.), 11 August 1992 (11.08.1992), claim 2; fig. 1 (Family: none)	5
A	JP 4-116892 A (Fujitsu Ltd.), 17 April 1992 (17.04.1992), claim 2; fig. 1 (Family: none)	5

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H05K3/10(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H05K3/10, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-170683 A (セイコーエプソン株式会社) 2009.07.30, 段落【0029】【0058】【0064】【0066】 (ファミリーなし)	6, 7 1-5, 8
Y A	JP 1-236644 A (株式会社東芝) 1989.09.21, 3ページ左上欄16-17行目, 第1図 (ファミリーなし)	6, 7 8
A	JP 2-4153 B2 (インターナショナル ビジネス マシーンズ コーポレーション) 1990.01.26, 第1図 & US 4581098 A & EP 178409 A2 & DE 3586080 A	1-5, 8

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 11.04.2012	国際調査報告の発送日 24.04.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 吉澤 秀明 電話番号 03-3581-1101 内線 3391

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-41017 A (双信電機株式会社) 2006.02.09, 図7 (ファミリーなし)	1-5, 8
A	JP 2009-164507 A (セイコーエプソン株式会社) 2009.07.23, 段落【0031】【0032】, 図9, 図11 (ファミリーなし)	5
A	JP 4-219993 A (富士通株式会社) 1992.08.11, 【請求項2】, 図1 (ファミリーなし)	5
A	JP 4-116892 A (富士通株式会社) 1992.04.17, 【請求項2】, 第1図 (ファミリーなし)	5