



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I606592 B

(45)公告日：中華民國 106 (2017) 年 11 月 21 日

(21)申請案號：100129731

(22)申請日：中華民國 98 (2009) 年 08 月 28 日

(51)Int. Cl. : **H01L29/786 (2006.01)****H01L21/336 (2006.01)****H01L21/363 (2006.01)**

(30)優先權：2008/09/01 日本

2008-224061

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：秋元健吾 AKIMOTO, KENGO (JP) ; 津吹將志 TSUBUKU, MASASHI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2007-123861A

US 6300152B1

US 2004/0013899A1

US 2006/0286725A1

US 2007/0040165A1

審查人員：邱青松

申請專利範圍項數：27 項 圖式數：7 共 40 頁

(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

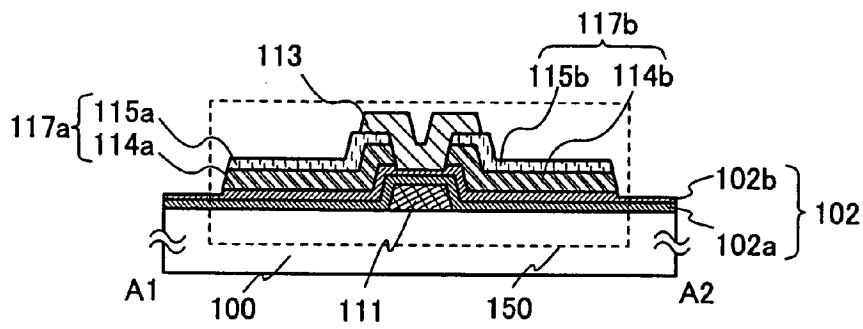
(57)摘要

本發明提供一種薄膜電晶體的製造方法，其中氧化物半導體層和源電極層及汲電極層之間的接觸電阻較小，對源電極層及汲電極層的表面使用電漿進行濺射處理，以該源電極層及汲電極層不暴露於大氣的方式，在該源電極層及汲電極層上連續形成包含 In、Ga 及 Zn 的氧化物半導體層。

To provide a method for manufacturing a thin film transistor in which contact resistance between an oxide semiconductor layer and source and drain electrode layers is small, the surfaces of the source and drain electrode layers are subjected to sputtering treatment with plasma and an oxide semiconductor layer containing In, Ga, and Zn is formed successively over the source and drain electrode layers without exposure of the source and drain electrode layers to air.

指定代表圖：

圖 1B



符號簡單說明：

117a . . . 源電極層
及汲電極層

115a、115b . . . 金
屬材料層

114a、114b . . . 鋁
為主要成分的層

113 . . . 半導體層

117b . . . 源電極層
及汲電極層

102 . . . 閘極絕緣膜

102a、102b . . . 閘
極絕緣膜

150 . . . 薄膜電晶體

111 . . . 閘極電極層

100 . . . 基板

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100129731(由098129086分割)

※申請日期：098/08/28

※IPC 分類： H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
H01L 21/363 (2006.01)

原申請案號：098129086

一、發明名稱：(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

二、中文發明摘要：

本發明提供一種薄膜電晶體的製造方法，其中氧化物半導體層和源電極層及汲電極層之間的接觸電阻較小，對源電極層及汲電極層的表面使用電漿進行濺射處理，以該源電極層及汲電極層不暴露於大氣的方式，在該源電極層及汲電極層上連續形成包含In、Ga及Zn的氧化物半導體層。

三、英文發明摘要：

To provide a method for manufacturing a thin film transistor in which contact resistance between an oxide semiconductor layer and source and drain electrode layers is small, the surfaces of the source and drain electrode layers are subjected to sputtering treatment with plasma and an oxide semiconductor layer containing In, Ga, and Zn is formed successively over the source and drain electrode layers without exposure of the source and drain electrode layers to air.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

117a：源電極層及汲電極層

115a、115b：金屬材料層

114a、114b：鋁為主要成分的層

113：半導體層

117b：源電極層及汲電極層

102：閘極絕緣膜

102a、102b：閘極絕緣膜

150：薄膜電晶體

111：閘極電極層

100：基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於包括由將氧化物半導體膜用於通道形成區域的薄膜電晶體（以下稱爲 TFT）構成的電路的半導體裝置的製造方法。例如，本發明關於安裝到以液晶顯示面板爲代表的電光裝置及具有有機發光元件的發光顯示裝置的半導體裝置的製造方法。

注意，在本說明書中，半導體裝置是指能夠利用半導體特性來發揮功能的所有裝置。電光裝置、半導體電路及電子設備都是半導體裝置。

【先前技術】

近年來，對在配置爲矩陣狀的每個像素中設置有由薄膜電晶體（TFT）構成的開關元件的主動矩陣型顯示裝置（液晶顯示裝置、發光顯示裝置、電泳顯示裝置）進行了積極的研究開發。在主動矩陣型顯示裝置中，在每個像素（或每個點）中設置有開關元件，且與單純矩陣方式相比在像素密度增加的情況下可以進行低電壓驅動，所以是有利的。

此外，將氧化物半導體膜用於通道形成區域來製造的薄膜電晶體（TFT）等被用於電子裝置及光裝置的技術受到關注。例如，可舉出將 ZnO 用作氧化物半導體膜的 TFT 及將 $\text{InGaO}_3(\text{ZnO})_m$ 用作氧化物半導體膜的 TFT。在專利文獻 1、專利文獻 2 等中公開將這種使用氧化物半導體膜形成

的 TFT 形成在具有透光性的基板上並用作圖像顯示裝置的開關元件等的技術。

[專利文獻 1] 日本專利申請公開 2007-123861 號公報

[專利文獻 2] 日本專利申請公開 2007-96055 號公報

當形成薄膜電晶體時，作為源電極層及汲電極層使用低電阻的金屬材料。尤其是，當製造進行大面積的顯示的顯示裝置時，由佈線的電阻引起的信號延遲問題顯著。因此，作為佈線及電極的材料，最好使用電阻值低的金屬材料。

此外，當源電極層及汲電極層與氧化物半導體膜的接觸電阻高時會抑制導通電流。接觸電阻變高的原因之一可以認為是由在源電極層及汲電極層表面上產生的氧化膜和污染物的膜引起的在源電極層或汲電極層與氧化物半導體膜的接觸面上形成的高電阻的介面。

【發明內容】

本發明的目的之一在於提供一種包含銦 (In)、鎵 (Ga) 及鋅 (Zn) 的氧化物半導體層和源電極層及汲電極層之間的接觸電阻小的薄膜電晶體的製造方法。

本發明的要旨在於提供一種包括以下步驟的半導體裝置的製造方法，即在對源電極層及汲電極層的表面使用電漿進行濺射處理之後，以該源電極層及汲電極層的表面不暴露於大氣的方式，在該源電極層及汲電極層上連續形成包含 In、Ga 及 Zn 的氧化物半導體層。

注意，在本說明書中，將使用包含 In、Ga 及 Zn 的氧化物半導體膜而形成的半導體層也稱為“IGZO 半導體層”。

經過利用光刻法、噴墨法等圖案步驟形成源電極層及汲電極層。然而，有時在圖案步驟中在源電極層及汲電極層的表面上無意地形成氧化物和污染物的薄膜。當在該氧化物和污染物的薄膜上形成包含 In、Ga 及 Zn 的氧化物半導體層時，氧化物半導體層和源電極層或汲電極層之間的電阻變高。

本發明的特徵在於藉由使用電漿進行濺射處理去除源電極層及汲電極層表面的氧化薄膜和污染物的薄膜，並且在保持清潔的狀態下以不暴露於大氣的方式連續形成包含 In、Ga 及 Zn 的氧化物半導體層。

本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：對源電極層及汲電極層的表面使用電漿進行濺射處理，以所述源電極層及汲電極層不暴露於大氣的方式，在所述源電極層及汲電極層上連續形成包含 In、Ga 及 Zn 的氧化物半導體層。

本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成閘極電極層；形成覆蓋所述閘極電極層的閘極絕緣膜；隔著所述閘極絕緣膜形成其端部重疊於所述閘極電極層上的源電極層及汲電極層；對所述源電極層及汲電極層的表面使用電漿進行濺射處理；以所述源電極層及汲電極層不暴露於大氣的方式，在所述源電極層及汲電極層上形成包含銻、鎵及鋅的氧化物半導體層

本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成源電極層及汲電極層；對所述源電極層及汲電極層的表面使用電漿進行濺射處理；以所述源電極層及汲電極層不暴露於大氣的方式，在所述源電極層及汲電極層上連續形成包含銦、鎵及鋅的氧化物半導體層；形成覆蓋所述氧化物半導體層的閘極絕緣膜；隔著所述閘極絕緣膜在所述氧化物半導體層的通道形成區域上形成閘極電極層。

本發明的一個方式是在上述的半導體裝置的製造方法中，在惰性氣體氣氛下對源電極層及汲電極層的表面進行電漿處理。

藉由應用本發明的一個方式，可以使源電極層及汲電極層的表面清潔，並可以在保持清潔的狀態下在源電極層及汲電極層上形成包含In、Ga及Zn的氧化物半導體層，所以可以降低源電極層及汲電極層和包含In、Ga及Zn的氧化物半導體層之間的接觸電阻。其結果，可以製造導通/截止比大的薄膜電晶體。此外，可以提供具有良好的電特性及可靠性的半導體裝置的高生產率的方法。

【實施方式】

下面，關於本發明的實施例模式將參照附圖給予詳細說明。但是，本發明不局限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和

詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在下面所示的本實施例模式所記載的內容中。注意，在下面所說明的本發明的結構中，使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

實施例模式 1

在本實施例模式中，將參照圖 1A 和 1B 以及圖 2A 至 2E 說明薄膜電晶體及其製造步驟。

在圖 1A 和 1B 中示出本實施例模式的底閘型薄膜電晶體。圖 1A 是平面圖，而圖 1B 是沿著圖 1A 中的 A1-A2 截斷的截面圖。在圖 1A 和 1B 所示的薄膜電晶體 150 中，在基板 100 上形成有閘極電極層 111，在閘極電極層 111 上形成有閘極絕緣膜 102，隔著閘極絕緣膜 102 在閘極電極層 111 上形成主動電極層及汲電極層 117a 及 117b，在源電極層及汲電極層 117a 及 117b 之間形成有用作通道形成區域的半導體層 113。此外，在本實施例模式中，閘極絕緣膜 102 由第一閘極絕緣膜 102a 及第二閘極絕緣膜 102b 的兩層構成。

在圖 1B 中，源電極層及汲電極層（117a、117b）由以鋁為主要成分的層（114a、114b）和高熔點的金屬材料層（115a、115b）構成。此外，對源電極層及汲電極層（117a、117b）的表面以及第二閘極絕緣膜（102b）的表面上不被源電極層及汲電極層（117a、117b）覆蓋的區域使用電漿進行了濺射處理，因而氧化物和污染物的薄膜被

去除。

在本發明中作為半導體層113，使用包含In、Ga及Zn的氧化物半導體。由於包含In、Ga及Zn的氧化物半導體層的光吸收少並不容易光激發，因此不需要由閘極電極層覆蓋通道形成區域進行遮光。

以下將使用圖2A至2E說明圖1A和1B所示的薄膜電晶體150的製造方法。

作為基板100，除了藉由熔融法或浮法製造的無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等、以及陶瓷基板之外，也可以使用具有可耐受本製造步驟的處理溫度的耐熱性的塑膠基板等。此外，還可以應用在不銹鋼合金等的金屬基板的表面上設置有絕緣膜的基板。在基板100是母體玻璃的情況下，作為基板的尺寸，可以使用第一代（320mm×400mm）、第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（680mm×880mm或730mm×920mm）、第五代（1000mm×1200mm或1100mm×1250mm）、第六代（1500mm×1800mm）、第七代（1900mm×2200mm）、第八代（2160mm×2460mm）、第九代（2400mm×2800mm或2450mm×3050mm）、第十代（2950mm×3400mm）等。

此外，也可以在基板100上形成用作基底膜的絕緣膜。作為基底膜，藉由CVD法或濺射法等形成氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜的單層或疊層，即可。

閘極電極層111由金屬材料形成。作為金屬材料，應

用鋁、鉻、鈦、鉬、鉍、銅等。雖然閘極電極層可以為單層的導電膜，但是作為最好例子，由以鋁為主要成分的層或以鋁為主要成分的層和勢壘金屬層的疊層結構體形成閘極電極層。

作為以鋁為主要成分的層，使用選自鎢、鈦、鉬、鉍、鎳、鉑、銅、金、銀、錳、碳、矽等的耐熱性提高元素或小丘防止元素、或者添加有以這些元素為主要成分的合金材料或化合物的鋁合金。

作為勢壘金屬層，應用鈦、鉍、鉻等的高熔點金屬。最好設置勢壘金屬層，以便防止鋁的小丘及氧化。

以50nm以上且300nm以下的厚度形成成為閘極電極層111的導電膜。藉由將閘極電極層111的厚度設定為300nm以下，可以防止後面形成的半導體膜及佈線的斷裂。此外，藉由將閘極電極層111的厚度設定為150nm以上且300nm以下，可以降低閘極電極層的電阻，並還可以實現大面積化。

另外，由於要在閘極電極層111上形成半導體膜，因此最好將閘極電極層111的端部加工為錐形，以便防止斷裂。此外，雖然未圖示，但是藉由該步驟可以同時形成連接到閘極電極層的佈線及電容佈線。

可以利用濺射法、CVD法、鍍敷法、印刷法形成閘極電極層111。此外，可以藉由利用噴墨法將銀、金、銅等的導電奈米膏噴射並焙燒而形成閘極電極層111。

然而，在此在基板上藉由濺射法層疊形成用作導電膜

的鋁膜和鉬膜。接著，藉由採用使用本實施例模式中的第一光掩模形成的抗蝕劑掩模，對該導電膜進行蝕刻，從而形成閘極電極層111。

可以使用50nm至150nm厚的氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜分別形成閘極絕緣膜102a、102b。注意，可以不以兩層形成閘極絕緣膜而以氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜的單層形成閘極絕緣膜。此外，還可以形成三層的閘極絕緣膜。

藉由使用氮化矽膜或氮氧化矽膜形成閘極絕緣膜102a，可以使基板和第一閘極絕緣膜102a的密接性提高。此外，當將玻璃基板用作基板時，可以防止來自基板的雜質擴散到半導體層113，而且可以防止閘極電極層111的氧化。換言之，可以在防止膜剝離的同時提高後面要形成的薄膜電晶體的電特性。另外，當將第一閘極絕緣膜102a、第二閘極絕緣膜102b的厚度分別設定為50nm以上時，可以覆蓋閘極電極層111的凹凸，所以是最好的。

在此，氧氮化矽膜是指在其組成上氧含量多於氮含量的膜，作為其濃度範圍包含55原子%至65原子%的氧、1原子%至20原子%的氮、25原子%至35原子%的Si、以及0.1原子%至10原子%的氫。此外，氮氧化矽膜是指在其組成上氮含量多於氧含量的膜，作為其濃度範圍包含15原子%至30原子%的氧、20原子%至35原子%的氮、25原子%至35原子%的Si、以及15原子%至25原子%的氫。

此外，作為接觸於半導體層113的閘極絕緣膜102b，

例如可以使用氧化矽、氧化鋁、氧化鎂、氮化鋁、氧化鈮、氧化鉛。

可以藉由CVD法或濺射法等形成第一閘極絕緣膜102a、第二閘極絕緣膜102b。在此，如圖2A所示那樣作為第一閘極絕緣膜102a，藉由電漿CVD法形成氮化矽膜，並且作為第二閘極絕緣膜102b，藉由電漿CVD法形成氧化矽膜。

在本實施例模式中，成為源電極層及汲電極層的導電膜由第一導電膜104及第二導電膜105構成。藉由濺射法或真空蒸鍍法形成第一導電膜104及第二導電膜105。

作為成為源電極層及汲電極層的導電膜可以使用與閘極電極層111同樣的材料。在此，如圖2A那樣，層疊以鋁為主要成分的導電膜104和由高熔點的金屬材料構成的導電膜105。

雖然作為由高熔點的金屬材料構成的導電膜105，可以使用鈦、鉭、鎢、鉬等，但是最好接觸於包含In、Ga及Zn的氧化物半導體層的層為鈦膜。作為導電膜的具體例子，可以為單體的鈦膜、或鈦膜和鋁膜的疊層膜、或按順序層疊鈦膜和鋁膜和鈦膜的三層結構。

此外，還可以使用透明導電膜，並作為其材料，可以使用銦錫氧化物、包含矽或氧化矽的銦錫氧化物、銦鋅氧化物、氧化鋅等。

接著，藉由光微影技術或噴墨法在導電膜104及105上形成抗蝕劑掩模131。藉由使用抗蝕劑掩模131，對閘極絕緣膜102b上的導電膜104及105選擇性地進行蝕刻，而如圖

2B那樣形成源電極層及汲電極層（117a、117b）。

此外，由於要在源電極層或汲電極層（117a、117b）上形成半導體膜，因此最好將源電極層或汲電極層的端部加工為錐形，以便防止斷裂。

在圖案步驟中，除了大氣成分以外還有各種各樣的物質接觸到源電極層及汲電極層（117a、117b）的表面。例如，在利用光微影技術的情況下，抗蝕劑和抗蝕劑的剝離液接觸到源電極層及汲電極層（117a、117b）的表面。此外，在利用噴墨法的情況下，在墨中包含的溶劑和分散劑等的添加劑接觸到源電極層及汲電極層（117a、117b）的表面。其結果，會在源電極層及汲電極層（117a、117b）的表面上形成氧化物和污染物的薄膜。該氧化物和污染物的薄膜成為使與包含In、Ga及Zn的氧化物半導體層之間的接觸電阻變高的原因。

接著，為了去除形成在源電極層及汲電極層（117a、117b）的表面的氧化物和污染物的薄膜，對源電極層及汲電極層（117a、117b）的表面使用電漿進行濺射處理，以使導電膜的表面處於清潔的狀態。作為用於濺射的氣體，使用對於源電極層及汲電極層呈現惰性的氣體。例如，作為其例子可以舉出Ar等的稀有氣體。此外，若在不使接觸電阻變高的氧化膜等形成在源電極層及汲電極層上的範圍內，則還可以混合使用氧等。

作為使用電漿進行濺射處理的方法，例如可以使用反向濺射法（reverse sputtering）。反向濺射法是指如下方

法：在濺射裝置中對靶子一側不施加電壓，而在惰性氣體（例如氬氣體）的氣氛下對基板一側施加電壓，以在基板一側形成電漿而對基板表面進行蝕刻的方法。

作為反向濺射法的條件，最好將處理室的壓力設定為0.2Pa至4.0Pa，使用Ar氣體，並最好以50W至2kW的輸出進行RF濺射。

藉由使用電漿進行濺射處理，使源電極層及汲電極層（117a、117b）的表面處於清潔的狀態。

此外，如圖2C所示那樣，因對閘極絕緣膜（102b）的表面上不被源電極層及汲電極層（117a、117b）覆蓋的區域、源電極層及汲電極層（117a、117b）的表面使用電漿進行濺射處理，有時會使閘極絕緣膜（102b）的表面、源電極層及汲電極層（117a、117b）的表面的膜厚度稍微變薄。

接著，以不使用電漿進行了濺射處理的源電極層及汲電極層（117a、117b）的表面暴露於大氣的方式，在進行電漿處理之後接著在源電極層及汲電極層（117a、117b）上如圖2D那樣形成半導體膜103。藉由以不使用藉由使用電漿進行了濺射處理的表面暴露於大氣的方式連續形成半導體膜103，可以防止大氣成分和大氣中的污染物附著在其表面，而可以將其表面保持為清潔。

作為以不使用電漿進行了濺射處理的源電極層及汲電極層（117a、117b）的表面暴露於大氣的方式連續形成半導體層103的方法，作為一例，可以舉出使用電漿處理

室和半導體膜 103 的成膜室是連接著的多室型製造裝置的方法。

此外，當藉由利用濺射法形成包含 In、Ga 及 Zn 的氧化物半導體膜 103 時，在形成半導體膜 103 之前，在半導體膜 103 的成膜室中對源電極層及汲電極層的表面進行反向濺射法的處理方法，無論在裝置還是在步驟上都很簡單，因此是最好的。

作為半導體膜 103，可以使用包含 In、Ga 及 Zn 的氧化物。在作為半導體膜 103 使用包含 In、Ga 及 Zn 的氧化物的情況下，以 2nm 以上且 200nm 以下，最好以 20nm 以上且 150nm 以下的膜厚度形成即可。此外，由於若膜中的氧缺陷增加則會使載流子的濃度變高，而使薄膜電晶體的特性受到損傷，因此在包含氧的氣氛下形成半導體膜 103。

藉由利用反應性濺射法、脈衝雷射蒸鍍法（PLD 法）來形成包含 In、Ga 及 Zn 的氧化物半導體。在氣相沉積法中，從容易控制材料類的組成的觀點來看最好應用 PLD 法，而從量產性的觀點來看，最好應用濺射法。

在此，分別以相等摩爾混合氧化銦（ In_2O_3 ）、氧化鎵（ Ga_2O_3 ）、氧化鋅（ ZnO ），並使用燒結了的直徑為 8 英寸的靶子，在離靶子具有 170mm 的位置上配置基板，以 500W 的輸出進行 DC（Direct Current；直流）濺射來形成半導體膜。在將處理室的壓力設定為 0.4Pa，並將 Ar/ O_2 的氣體組成比設定為 10/5sccm 的條件下以 50nm 的厚度形成半導體層。最好藉由將成膜時的氧分壓設定為高於形成銦錫

氧化物 (ITO) 等的透明導電膜時的條件，並最好控制成膜氣氛的氧濃度而控制氧缺陷。此外，藉由使用脈衝直流 (DC) 電源，可以減少塵屑，並使半導體層的膜厚分佈也均勻，因此是最好的。

接著，在半導體膜 103 上利用光微影技術或噴墨法形成抗蝕劑掩模 132。藉由使用抗蝕劑掩模 132，並對半導體膜 103 選擇性地進行乾蝕刻或濕蝕刻如圖 2E 那樣形成半導體層 113。

作為包含 In、Ga 及 Zn 的氧化物半導體膜的蝕刻方法的一例，可以將檸檬酸和草酸等的有機酸用作蝕刻劑。例如，可以使用 ITO07N (關東化學公司製造) 以 150 秒來蝕刻加工 50nm 厚的半導體膜 103。

藉由對氧化物半導體層 113 進行加熱處理，可以改善使用包含 In、Ga 及 Zn 的氧化物半導體膜的薄膜電晶體的特性。

由於濺射法是對靶子使用 Ar 離子施加高能量的方法，因此可以認為在利用濺射法形成 IGZO 的情況下，在形成了的 IGZO 膜中存在高應變能，該應變阻擋載流子的遷移。為了釋放應變能，以 200℃ 至 600℃，典型以 300℃ 至 500℃ 進行熱處理。可以認為藉由該熱處理進行原子級的重新排列，而釋放阻擋載流子的遷移的應變。根據上述理由，成膜後的熱處理 (包括光退火) 是很重要的。

藉由使用 XRD (X 射線分析: X-ray diffraction) 測定對隨著加熱處理包含 In、Ga 及 Zn 的氧化物半導體膜的變化

進行調查。將在玻璃基板上使用 DC 濺射法以 400nm 厚形成的 IGZO 膜用作樣品。在圖 3 中示出 XRD 測定圖表。

首先，在圖 3 中將剛成膜的 IGZO 膜的 XRD 測定圖表記為 as-depo。此外，在圖 3 中與處理溫度一起示出成膜之後的在氮氣氛的不同溫度下進行了一小時熱處理的樣品的 XRD 測定圖表。換言之，示出在 350°C、500°C、600°C 以及 700°C 下進行了熱處理的樣品的測定圖表。此外，爲了對不同樣品的測定圖表進行比較，爲方便起見，排列圖示。

在進行了 700°C 的熱處理的樣品中可以清楚地觀察到在 $30^\circ \leq 2\theta \leq 35^\circ$ 的範圍內以及 $55^\circ \leq 2\theta \leq 60^\circ$ 的範圍內呈現出晶化的高峰值。此外，在 700°C 以上的加熱溫度下觀察到明確的晶化。

然而，在 200°C 至 600°C 的熱處理下沒有如超過 700°C 的熱處理那樣的因原子的較大的遷移的結晶成長。

在本實施例模式中，對包含 In、Ga 及 Zn 的氧化物半導體膜 103 在 350°C 下進行一小時的加熱處理。只要是在形成半導體膜 103 之後，就可以在任何步驟中進行加熱處理。例如，既可以在形成半導體膜 103 之後進行，又可以形成半導體層 113 之後進行。此外，既可以形成薄膜電晶體的密封膜之後進行，又可以兼於在形成平坦化膜之後進行的熱硬化處理等的其他加熱處理。

再者，也可以對半導體層 113 進行電漿處理。藉由進行電漿處理，可以恢復因形成半導體層 113 時進行的蝕刻

導致的損傷。電漿處理最好在包含 O_2 、 N_2O 的氣氛下，更最好在包含氧的氣氛下進行。此外，作為包含氧的氣氛的具體例子，可以舉出對 N_2 、 He 、 Ar 等添加有氧的氣體。另外，也可以在上述氣氛中添加有 Cl_2 、 CF_4 的氣氛下進行處理。注意，電漿處理最好以無偏壓進行。

藉由以上方法，製造圖 1A 和 1B 所示的底閘型薄膜電晶體。

由於根據本實施例模式，可以在將源電極層及汲電極層的表面保持為清潔的狀態下形成包含 In 、 Ga 及 Zn 的氧化物半導體層，因此可以提供使源電極層及汲電極層和包含 In 、 Ga 及 Zn 的氧化物半導體層之間的接觸電阻降低的薄膜電晶體。

因此，藉由應用本發明，可以製造導通/截止比大的薄膜電晶體。此外，可以高生產率的方法提供包括具有良好的電特性及可靠性的薄膜電晶體的半導體裝置。

實施例模式 2

在本實施例模式中，將參照圖 4 及圖 5A 至 5E 對與實施例模式 1 不同的方式的薄膜電晶體及其製造方法進行說明。在圖 4 中示出本實施例模式的正交錯型薄膜電晶體的截面圖。在圖 4 所示的薄膜電晶體 151 中，在基板 100 上形成主動電極層及汲電極層（117a、117b），覆蓋源電極層及汲電極層（117a、117b）地形成有半導體層 113。在半導體層 113 上形成有閘極絕緣層 112，隔著閘極絕緣層 112 重

疊於通道形成區域地形成有閘極電極層 111。

在圖 4 中，源電極層及汲電極層（117a、117b）由高熔點的金屬材料形成。對源電極層及汲電極層（117a、117b）的表面使用電漿進行了濺射處理，所以氧化物和污染物的薄膜被去除。

在本發明中作為半導體層 113，使用包含 In、Ga 及 Zn 的氧化物半導體。由於包含 In、Ga 及 Zn 的氧化物半導體層的光吸收少並不容易光激發，因此不需要由閘極電極層覆蓋通道形成區域進行遮光。換言之，可以在通道形成區域中減少閘極電極層和源電極層及汲電極層的重疊，而可以降低寄生電容。

將使用圖 5A 至 5E 說明圖 4 的薄膜電晶體 151 的製造方法。

基板 100 可以使用與實施例模式 1 同樣的基板。在本實施例模式中使用無鹼玻璃基板。

成為源電極層及汲電極層的導電膜可以使用與實施例模式 1 所記載的閘極電極層 111 同樣的材料。成為源電極層及汲電極層的導電膜可以藉由利用濺射法或真空蒸鍍法形成。

雖然成為源電極層及汲電極層的導電膜既可以單層形成又可以疊層形成，但是最好使接觸於包含 In、Ga 及 Zn 的氧化物半導體層的層為鈦膜。

在本實施例模式中，使用高熔點的金屬材料如圖 5A 那樣形成一對源電極層及汲電極層（117a、117b）。這種微

細加工使用可以利用藉由光刻法或噴墨法形成的抗蝕劑掩模來進行。

此外，由於要在源電極層或汲電極層（117a、117b）上形成半導體膜，因此最好將源電極層或汲電極層的端部加工為錐形，以便防止斷裂。

在圖案步驟中，除了大氣成分以外還有各種各樣的物質接觸到源電極層及汲電極層（117a、117b）的表面，而會在源電極層及汲電極層（117a、117b）的表面上形成氧化物和污染物的薄膜。

在此，藉由利用反向濺射法去除源電極層及汲電極層（117a、117b）的表面的氧化物和污染物的薄膜。可以與實施例模式1同樣使用形成包含In、Ga及Zn的氧化物半導體層的濺射裝置來進行反向濺射法。

作為用於濺射的氣體，使用對於源電極層及汲電極層呈現惰性的氣體。在此，使用Ar，最好將處理室的壓力設定為0.2Pa至4.0Pa，並最好將輸出設定為50W至2kW而進行RF濺射。

此外，當對基板表面或形成有基底膜的該基板表面使用電漿進行濺射處理時，由於基底膜的部分不被源電極層及汲電極層（117a、117b）覆蓋，所以有時會使膜厚度稍微變薄。

接著，以不使用電漿進行了濺射處理的源電極層及汲電極層（117a、117b）表面暴露於大氣的方式，在源電極層及汲電極層（117a、117b）上利用電漿處理連續形成

氧化物半導體膜 103。此外，包含 In、Ga 及 Zn 的氧化物半導體膜的成膜條件與實施例模式 1 同樣。此外，在圖 5B 中示出該步驟的截面圖。

接著，以不使包含 In、Ga 及 Zn 的氧化物半導體膜 103 暴露於大氣的方式，在氧化物半導體膜 103 上連續形成閘極絕緣膜 102。由於當不使氧化物半導體膜 103 的表面暴露於大氣，連續形成閘極絕緣膜 102 時，不但可以提高產率而且可以在不被水蒸氣等的大氣成分及懸浮在大氣中的雜質元素和塵屑污染的狀態下形成疊層介面，因此可以減少薄膜電晶體的特性不均勻。

此外，在本說明書中，連續成膜是指：在從利用濺射法進行的第一成膜步驟到利用濺射法進行的第二成膜步驟的一系列步驟中，設置有被處理基板的氣氛不接觸於大氣等的污染氣氛而一直處於真空中或惰性氣體氣氛（氮氣氛或稀有氣體氣氛）中的狀態。藉由進行連續成膜，可以避免水分等再次附著於清潔化了的被處理基板上而進行成膜。

例如，在相同處理室內進行從第一成膜步驟到第二成膜步驟的一系列步驟的狀態包括在本說明書中的連續成膜的範圍內。

另外，當在不同處理室內進行從第一成膜步驟到第二成膜步驟的一系列步驟時，在結束第一成膜步驟之後，不接觸於大氣地在處理室之間進行基板搬運，然後進行第二成膜，該狀態也包括在本說明書中的連續成膜的範圍內。

注意，在第一成膜步驟和第二成膜步驟之間具有基板搬運步驟、對準步驟、緩冷步驟或者加熱或冷卻基板以將其設定為第二步驟所需要的溫度的步驟等的狀態也包括在本說明書中的連續成膜的範圍內。

但是當在第一成膜步驟和第二成膜步驟之間具有清洗步驟、濕蝕刻、抗蝕劑形成等的使用液體的步驟時，其不包括在本說明書中的連續成膜的範圍內。

此外，在此藉由使用具備矽靶子和用於氧化物半導體膜的靶子的多室型濺射裝置，連續形成氧化物半導體膜103，如圖5B那樣形成由氧化矽膜構成的閘極絕緣膜102。

接著，藉由使用利用光微影技術或噴墨法形成的抗蝕劑掩模133，分別對閘極絕緣膜102和包含In、Ga及Zn的氧化物半導體膜103進行蝕刻，如圖5C那樣形成氧化物半導體層113和閘極絕緣層112。

接著，如圖5D那樣形成成為閘極電極層的導電膜101。閘極電極層與實施例模式1同樣地形成。在本實施例模式中以單層使用高熔點的金屬導電膜形成導電膜101。

接著，藉由使用利用光微影技術或噴墨法形成的抗蝕劑掩模134，對導電膜191進行蝕刻，如圖5E那樣形成閘極電極層111。

藉由以上方法，製造圖4所示的正交錯型薄膜電晶體。

在根據本實施例模式形成的薄膜電晶體中，由於可以在將源電極層及汲電極層的表面保持為清潔的狀態下形成

包含 In、Ga及 Zn的氧化物半導體層，因此可以使源電極層及汲電極層和包含 In、Ga及 Zn的氧化物半導體層之間的接觸電阻降低。

因此，藉由應用本發明，可以製造導通/截止比大的薄膜電晶體。此外，可以高生產率的方法提供包括具有良好的電特性及可靠性的薄膜電晶體的半導體裝置。

實施例 1

在本實施例中，對使用實施例模式 1 說明的半導體裝置的製造方法而製造的底閘型薄膜電晶體進行說明。此外，將該薄膜電晶體的電特性與不對源電極層及汲電極層的表面進行電漿處理而製造的薄膜電晶體的電特性進行比較。

在本實施例中，藉由利用反向濺射法對源電極層及汲電極層的表面進行電漿處理。反向濺射法的條件為如下條件：將處理室的壓力設定為 0.4Pa，將 Ar 氣體的流量設定為 50sccm，並將輸出設定為 200W 而進行 RF 濺射。

製成的薄膜電晶體包括：由 100nm 的鎢膜構成的閘極電極層上的由 100nm 的氧氮化矽膜構成的閘極絕緣膜；由隔著閘極絕緣膜其端部重疊於閘極電極層的 100nm 的鎢膜構成的源電極層及汲電極層；通道形成區域上的由 50nm 的 IGZO 膜構成的氧化物半導體層。此外，將通道長度及通道寬度都設定為 100 μ m。

在圖 6 中示出在對源電極層及汲電極層的表面藉由利

用反向濺射法進行電漿處理之後，以不暴露於大氣的方式形成包含In、Ga及Zn的氧化物半導體層的薄膜電晶體的電特性（閘電壓汲電流特性， V_g-I_d 曲線）。

此外，在圖7中示出作為比較例子的以不對源電極層及汲電極層的表面進行電漿處理的方式，形成包含In、Ga及Zn的氧化物半導體層的薄膜電晶體的 V_g-I_d 曲線。另外，以將汲電壓（對於源極電極電壓的汲電壓）設定為1V的條件以及設定為10V的條件進行測定。

藉由對圖6和圖7的 V_g-I_d 曲線進行比較，可知與圖7相比，對源電極層及汲電極層的表面藉由利用反向濺射法進行了電漿處理的圖6的電晶體的導通電流大，而與汲電壓的設定條件無關。此外，截止電流沒有很大的差異。

如上那樣，藉由應用本發明的一個方式，可以製造不但可以抑制截止電流，而且可以獲得很大的導通電流的薄膜電晶體，即可以製造所謂導通/截止比大的薄膜電晶體。另外，本發明的一個方式是提供具有良好的電特性和可靠性的半導體裝置的高生產率的製造方法。

本說明書根據2008年9月1日在日本專利局受理的日本專利申請編號2008-224061而製作，所述申請內容包括在本說明書中。

【圖式簡單說明】

在附圖中：

圖1A和1B是說明在本發明中製造的薄膜電晶體的結構

的圖；

圖 2A 至 2E 是說明本發明的薄膜電晶體的製造方法的圖

；

圖 3 是在本發明中使用的包含 In、Ga 及 Zn 的氧化物半導體層的 X 射線衍射圖；

圖 4 是說明在本發明中製造的薄膜電晶體的結構的圖

；

圖 5A 至 5E 是說明本發明的薄膜電晶體的製造方法的圖

；

圖 6 是說明應用本發明的薄膜電晶體的電特性的圖；

圖 7 是說明作為比較例子製造的薄膜電晶體的電特性的圖。

【主要元件符號說明】

100：基板

101：導電膜

102：閘極絕緣膜

103：半導體膜

104：導電層

105：導電層

111：閘極電極層

112：閘極絕緣層

113：半導體層

131：抗蝕劑掩模

- 132 : 抗蝕劑掩模
- 133 : 抗蝕劑掩模
- 134 : 抗蝕劑掩模
- 150 : 薄膜電晶體
- 151 : 薄膜電晶體
- 102a : 閘極絕緣膜
- 102b : 閘極絕緣膜
- 117a : 源電極層及汲電極層
- 117b : 源電極層及汲電極層

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包括如下步驟：

藉由在基板上濺射，形成包含銦、鎵及鋅之氧化物半導體的膜；以及

加熱該膜，以增加該氧化物半導體之晶性，

其中在該加熱之後，當藉由 X 射線衍射方法來測量該膜時，該膜呈現在 $30^{\circ} \leq 2\theta \leq 35^{\circ}$ 之範圍中的第一高峰值，以及

其中該第一高峰值在該氧化物半導體的高峰值中為最強的。

2. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中在 700°C 或更高的溫度執行該加熱。

3. 如申請專利範圍第 1 項之半導體裝置的製造方法，進一步包含處理步驟，以含有氧之電漿來處理該膜。

4. 一種半導體裝置的製造方法，包括如下步驟：

在絕緣膜之表面上執行濺射處理；

在執行該濺射處理之後在該絕緣膜上形成氧化物半導體的膜，該氧化物半導體包含銦、鎵及鋅；以及

加熱該膜，以增加該氧化物半導體之晶性，

其中在該濺射處理之步驟與形成該氧化物半導體的該膜之步驟間，不暴露該絕緣膜於大氣下，

其中在該加熱之後，當藉由 X 射線衍射方法來測量該膜時，該膜呈現在 $30^{\circ} \leq 2\theta \leq 35^{\circ}$ 之範圍中的第一高峰值，以及

其中該第一高峰值在該氧化物半導體的高峰值中為最強的。

5.如申請專利範圍第4項之半導體裝置的製造方法，進一步包含如下步驟：

在該絕緣膜上形成源極電極及汲極電極，

其中在形成該源極電極及該汲極電極之後，在該源極電極及該汲極電極的表面上執行該濺射處理。

6.如申請專利範圍第5項之半導體裝置的製造方法，其中在該源極電極及該汲極電極上形成該膜。

7.如申請專利範圍第4項之半導體裝置的製造方法，其中在惰性氣體氣氛中執行該濺射處理。

8.如申請專利範圍第7項之半導體裝置的製造方法，其中該惰性氣體氣氛包含稀有氣體。

9.如申請專利範圍第4項之半導體裝置的製造方法，其中在700°C或更高的溫度執行該加熱。

10.如申請專利範圍第4項之半導體裝置的製造方法，進一步包含處理步驟，以含有氧之電漿來處理該膜。

11.一種半導體裝置的製造方法，包括如下步驟：

蝕刻絕緣膜之表面；

在蝕刻該絕緣膜之該表面之後，在該絕緣膜上形成氧化物半導體的膜，該膜包含銮、鎳及鋅；以及

加熱該膜，以增加該氧化物半導體之晶性，

其中在蝕刻該絕緣膜之該表面之步驟與形成該氧化物半導體的該膜之步驟間，不暴露該絕緣膜於大氣下，

其中在該加熱之後，當藉由 X 射線衍射方法來測量該膜時，該膜呈現在 $30^{\circ} \leq 2\theta \leq 35^{\circ}$ 之範圍中的第一高峰值，以及

其中該第一高峰值在該氧化物半導體的高峰值中為最強的。

12. 如申請專利範圍第 11 項之半導體裝置的製造方法，其中在 700°C 或更高的溫度執行該加熱。

13. 如申請專利範圍第 11 項之半導體裝置的製造方法，進一步包含處理步驟，以含有氧之電漿來處理該膜。

14. 一種半導體裝置的製造方法，包括如下步驟：

在絕緣膜之表面上執行濺射處理；以及

在執行該濺射處理之後，在該絕緣膜上形成氧化物半導體的膜，

其中在該濺射處理之步驟與形成該氧化物半導體的該膜之步驟間，不暴露該絕緣膜於大氣下。

15. 如申請專利範圍第 14 項之半導體裝置的製造方法，進一步包含如下步驟：

在該絕緣膜上形成源極電極及汲極電極，

其中在形成該源極電極及該汲極電極之後，在該源極電極及該汲極電極的表面上執行該濺射處理。

16. 如申請專利範圍第 15 項之半導體裝置的製造方法，其中在該源極電極及該汲極電極上形成該膜。

17. 如申請專利範圍第 15 項之半導體裝置的製造方法，進一步包含如下步驟：

在基板上形成閘極電極，

其中在該閘極電極上形成該絕緣膜。

18. 如申請專利範圍第 14 項之半導體裝置的製造方法，進一步包含如下步驟：在該膜上形成閘極電極。

19. 如申請專利範圍第 14 項之半導體裝置的製造方法，其中該氧化物半導體包含銮、鎵及鋅。

20. 如申請專利範圍第 14 項之半導體裝置的製造方法，其中在惰性氣體氣氛中執行該濺射處理。

21. 如申請專利範圍第 20 項之半導體裝置的製造方法，其中該惰性氣體氣氛包含稀有氣體。

22. 一種半導體裝置的製造方法，包括如下步驟：

施加電壓至含有惰性氣體之氣體，以產生該氣體之電漿；

暴露絕緣膜之表面至該電漿，使得該絕緣膜之該表面被該電漿蝕刻；以及

在暴露該絕緣膜之該表面至該電漿之後，在該絕緣膜上形成氧化物半導體的膜，

其中在暴露該絕緣膜之該表面至該電漿之步驟與形成該氧化物半導體的該膜之步驟間，不暴露該絕緣膜於大氣下。

23. 一種半導體裝置的製造方法，包括如下步驟：

蝕刻絕緣膜之表面；以及

在蝕刻該絕緣膜之該表面之後，在不暴露該絕緣膜於大氣下，連續地在該絕緣膜上形成氧化物半導體的膜，

其中在蝕刻該絕緣膜之該表面之步驟與形成該氧化物半導體的該膜之步驟間，不暴露該絕緣膜於大氣下。

24. 一種半導體裝置，包含：

在基板上之氧化物半導體的膜，該膜包含銮、鎳及鋅；

其中該膜具有晶性，且當藉由 X 射線衍射方法來測量該膜時，該膜呈現在 $30^\circ \leq 2\theta \leq 35^\circ$ 之範圍中的第一高峰值，以及

其中該第一高峰值在該氧化物半導體的高峰值中為最強的。

25. 如申請專利範圍第 24 項之半導體裝置，進一步包含：

在該基板上之絕緣膜；

在該絕緣膜上之源極電極；以及

在該絕緣膜上之汲極電極，

其中該膜形成在該源極電極及該汲極電極上，且該氧化物半導體膜與該絕緣膜在該源極電極及該汲極電極之間的部份接觸，且

其中該絕緣膜在該源極電極及該汲極電極下方的厚度大於該絕緣膜在該源極電極與該汲極電極之間的部份之厚度。

26. 如申請專利範圍第 25 項之半導體裝置，進一步包含在該基板上之閘極電極，其中該絕緣膜提供於該閘極電極之上。

27.如申請專利範圍第 1、4、11、14、22～24 項中任
一項之半導體裝置，

其中當藉由該 X 射線衍射方法來測量該膜時，該膜呈
現在 $55^{\circ} \leq 2\theta \leq 60^{\circ}$ 之範圍中的第二高峰值，以及

其中該第二高峰值在該氧化物半導體的高峰值中為第
二強的。

圖 2A

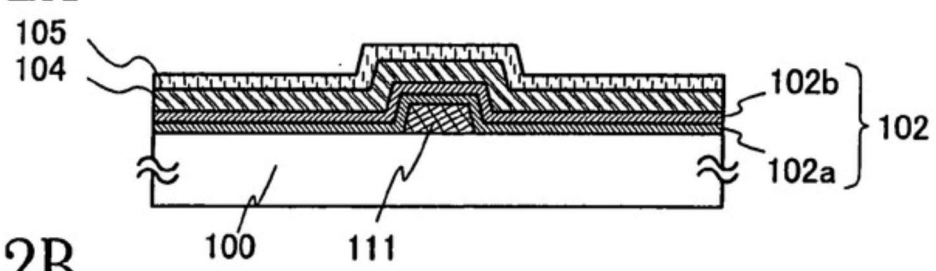


圖 2B

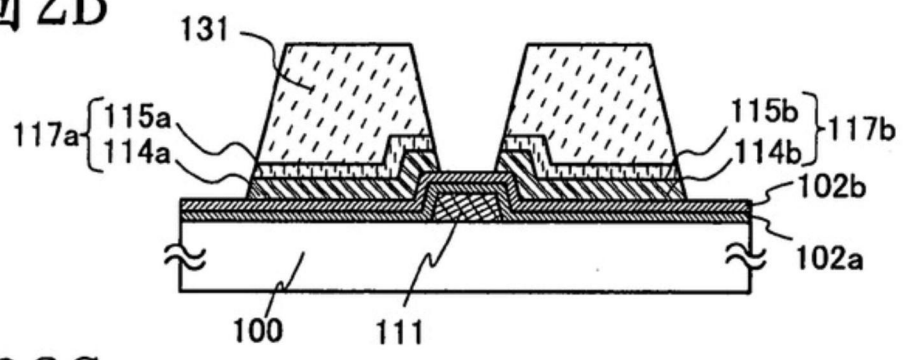


圖 2C

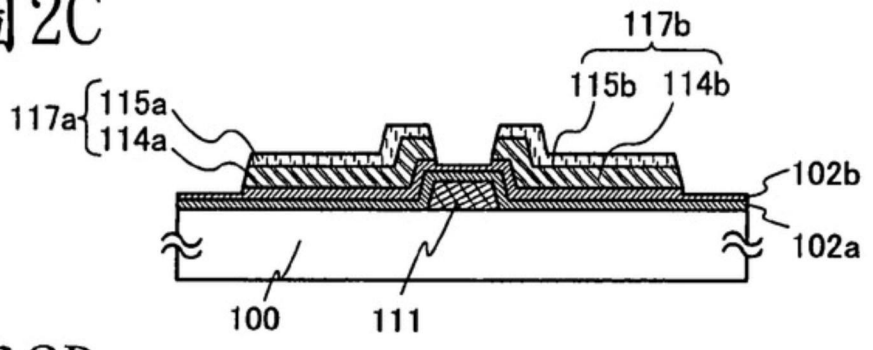


圖 2D

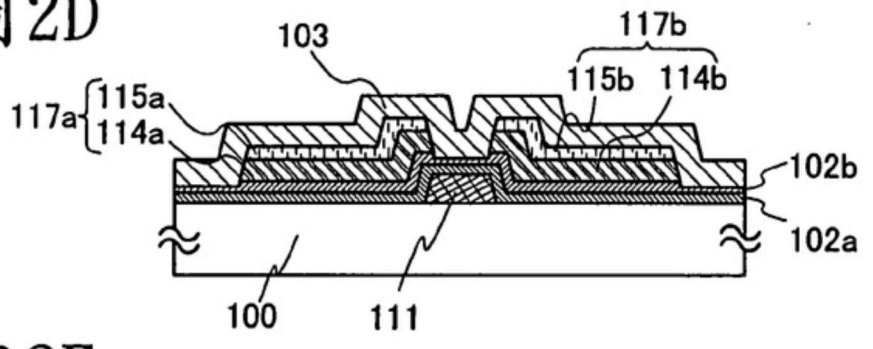


圖 2E

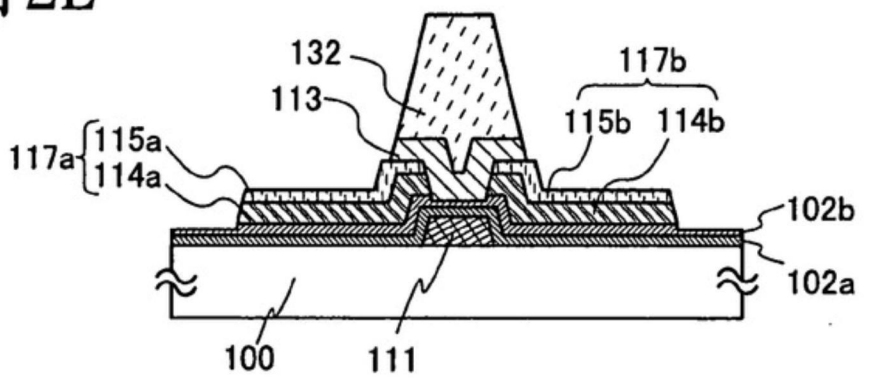


圖3

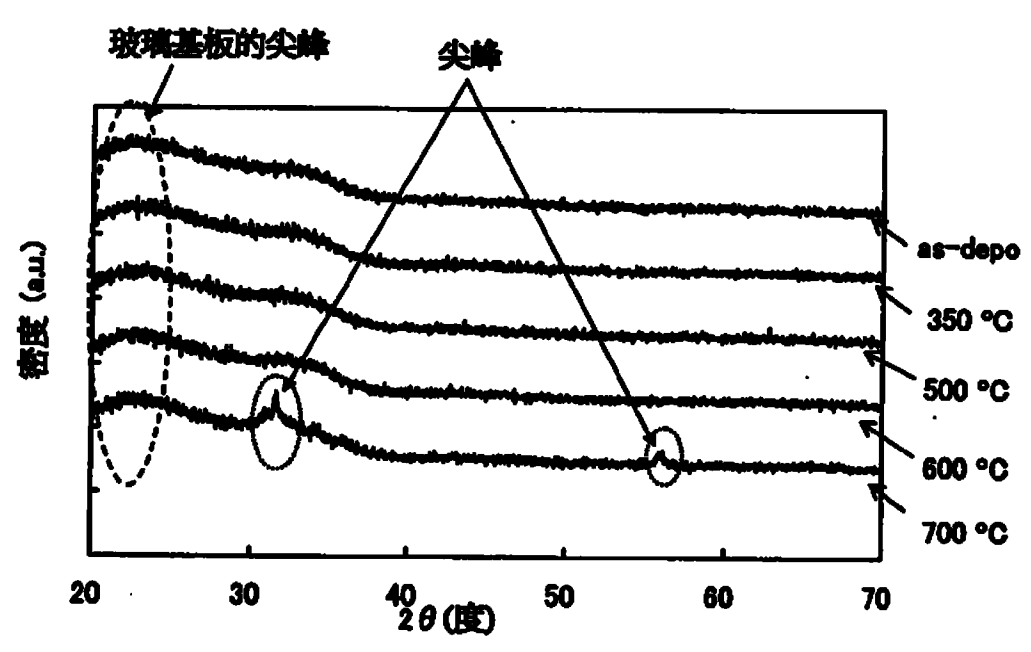


圖4

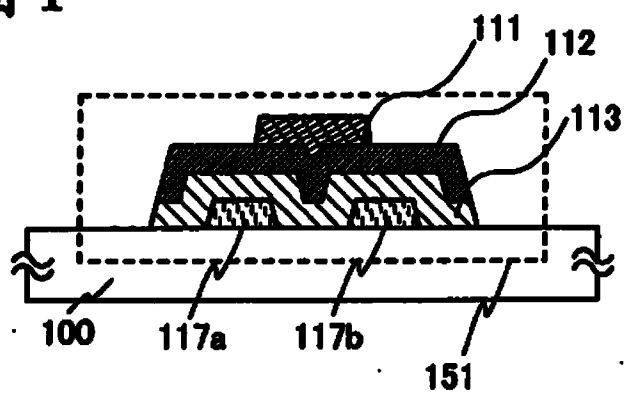


圖5A

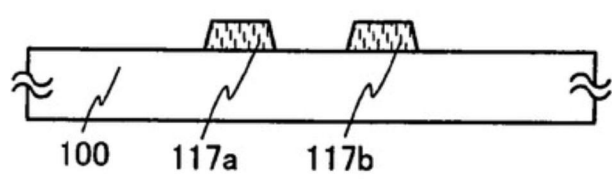


圖5B

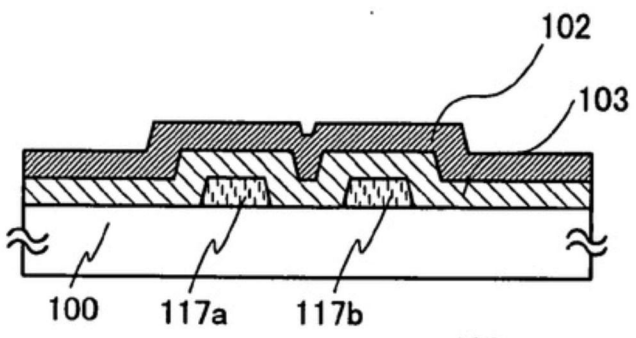


圖5C

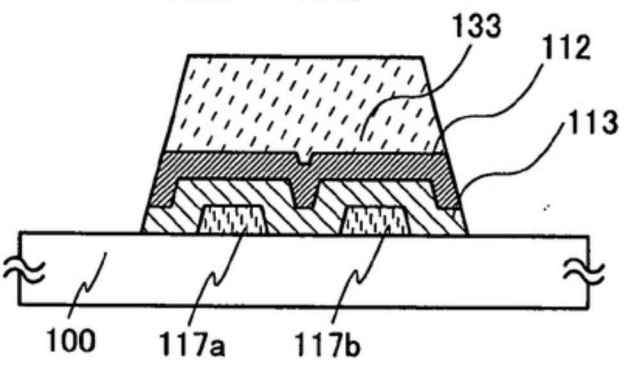


圖5D

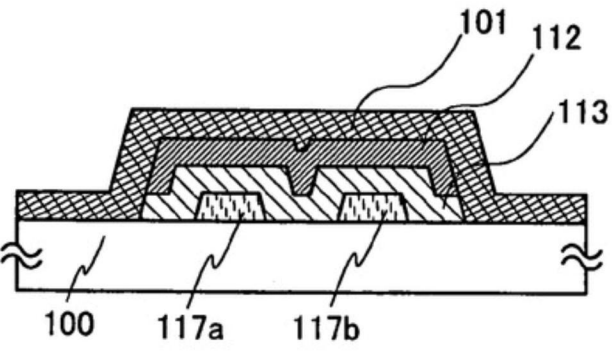


圖5E

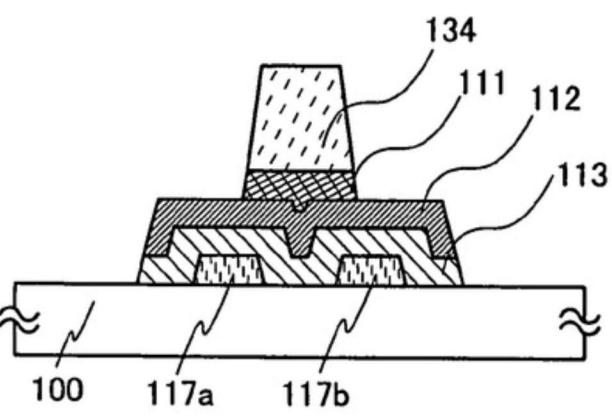


圖 6

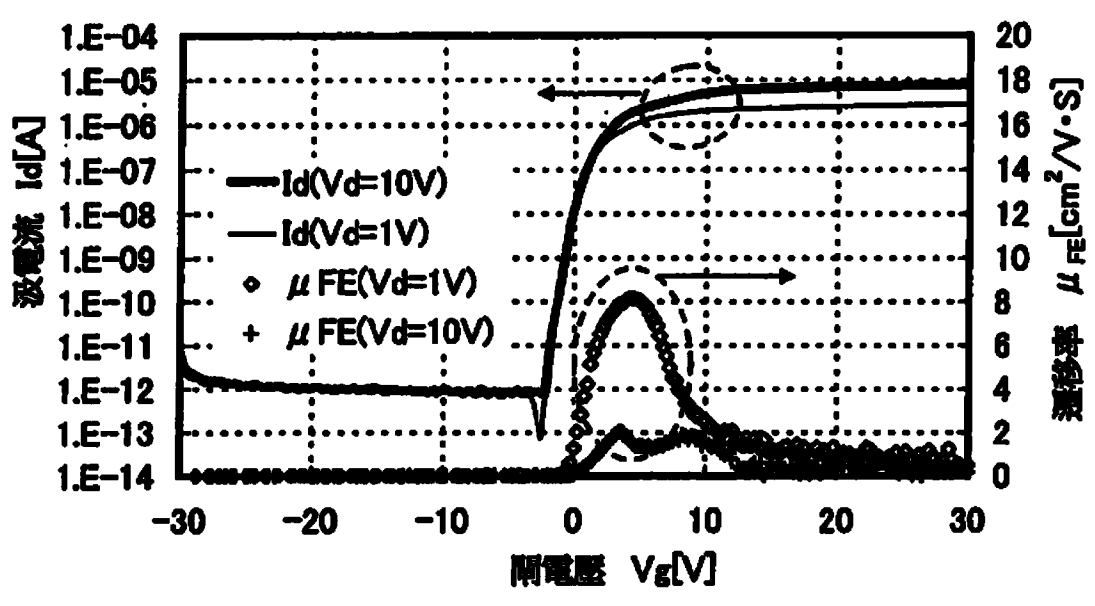


圖 7

