(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3703885号

(P3703885)

(45)発行日　平成17年10月5日(2005.10.5)　(24)登録日　平成17年7月29日(2005.7.29)

(51)Int.Cl.[7]	F I		
H01L 21/8242	H01L	27/10	621Z
H01L 21/28	H01L	21/28	L
H01L 21/316	H01L	21/316	C
H01L 21/768	H01L	21/90	D
H01L 27/108	H01L	27/10	681B

請求項の数 6　(全 20 頁)　最終頁に続く

(21)出願番号　特願平7-254218
(22)出願日　平成7年9月29日(1995.9.29)
(65)公開番号　特開平9-97880
(43)公開日　平成9年4月8日(1997.4.8)
審査請求日　平成12年11月24日(2000.11.24)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　幸山　裕亮
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　大沢　隆
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　澤田　静雄
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

最終頁に続く

(54)【発明の名称】半導体記憶装置とその製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板と、

前記半導体基板上に形成され、素子領域を区画する素子分離絶縁膜と、

前記素子領域内に形成され、ゲート絶縁膜と、ワード線に接続されたゲート電極と、ソース／ドレイン領域とを有する複数のＭＯＳトランジスタと、

前記素子分離絶縁膜及び前記ＭＯＳトランジスタを覆う第１絶縁膜と、

前記第１絶縁膜内に形成され、前記複数のＭＯＳトランジスタの一方のソース／ドレイン領域に達する複数の第１コンタクトホールと、

前記第１絶縁膜内に形成され、前記ＭＯＳトランジスタの他方のソース／ドレイン領域に達する複数の第２コンタクトホールと、

前記複数の第１コンタクトホールを充填する複数の第１導電体プラグと、

前記複数の第２コンタクトホールを充填する複数の第２導電体プラグと、

前記第１絶縁膜と前記複数の第１、第２導電体プラグを覆う第２絶縁膜と、

前記第２絶縁膜内に形成され、前記複数の第１導電体プラグに達する複数のビット線コンタクトと、

前記第２絶縁膜及び複数のビット線コンタクト上に形成され、下部が導電膜、上部が第３絶縁膜で構成される複数のビット線と、

前記第２絶縁膜上及び前記複数のビット線の相互間に形成され、前記第３絶縁膜をストッパーとして平坦化された第４絶縁膜と、

隣接する前記複数のビット線上の前記第３絶縁膜と、前記複数のビット線と直交され所定間隔で配置されたライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとを用いて前記複数のビット線の間に前記第４絶縁膜及び前記第２絶縁膜を貫通して形成され、前記複数の第２導電体プラグに達する複数のストレージノードコンタクト用コンタクトホールと、

前記複数のストレージノードコンタクト用コンタクトホール内部で、少なくとも前記複数のビット線の導電膜の側壁及び前記第２絶縁膜の側壁に形成された第５絶縁膜と、

前記複数のストレージノードコンタクト用コンタクトホール内に充填され、前記複数の第２導電体プラグに接続され、前記複数のビット線の導電膜とは前記第５絶縁膜によって電気的に分離された複数の第３導電体プラグと、前記複数の第３導電体プラグに接続された複数のストレージノード電極と、この複数のストレージノード電極上のキャパシタ絶縁膜と、前記キャパシタ絶縁膜上のプレート電極とを有する複数のキャパシタと

を具備することを特徴とする半導体記憶装置。

【請求項２】

前記第３絶縁膜は、窒化シリコン膜、前記第２、第４絶縁膜は酸化シリコン膜であり、前記第５絶縁膜は酸化シリコン膜、及び窒化シリコン膜と酸化シリコン膜の複合膜の内の１つであり、窒化シリコン膜よりも誘電率が小さいことを特徴とする請求項１記載の半導体記憶装置。

【請求項３】

半導体基板と、

前記半導体基板内に形成され、素子領域を区画する素子分離絶縁膜と、

前記素子領域内に形成され、ゲート絶縁膜と、ワード線に接続されたゲート電極と、ソース／ドレイン領域とを有する複数のトランジスタと、

前記素子分離絶縁膜及び前記複数のトランジスタを覆う第１絶縁膜と、

前記第１絶縁膜内に形成され、前記複数のトランジスタの前記ソース／ドレイン領域の一方の領域に達する複数の第１コンタクトホールと、

前記第１絶縁膜内に形成され、前記複数のトランジスタの前記ソース／ドレイン領域の他方の領域に達する複数の第２コンタクトホールと、

前記複数の第１コンタクトホールを充填する複数の第１導電体プラグと、

前記複数の第２コンタクトホールを充填する複数の第２導電体プラグと、

前記第１絶縁膜及び前記複数の第１、第２導電体プラグを覆う第２絶縁膜と、

前記第２絶縁膜内に形成され、前記複数の第１導電体プラグに達する複数のビット線コンタクトと、

前記第２絶縁膜及び前記複数のビット線コンタクトの上に形成された導電膜からなる複数のビット線と、

前記複数のビット線の上に形成された第３絶縁膜と、

前記第２絶縁膜上に形成され、前記第３絶縁膜をストッパーとして平坦化された第４絶縁膜と、

隣接する前記複数のビット線上の前記第３絶縁膜と、前記複数のビット線と直交され所定間隔で配置されたライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとを用いて前記複数のビット線の側部に位置し、前記第４絶縁膜及び第２絶縁膜を貫通して形成され、前記複数の第２導電体プラグに達する複数のストレージノードコンタクト用コンタクトホールと、

少なくとも前記複数のストレージノードコンタクト用コンタクトホールにより露出される前記複数のビット線の側壁及び前記第２絶縁膜の側壁に形成される第５絶縁膜と、

前記複数のストレージノードコンタクト用コンタクトホールを充填し、前記複数の第２導電体プラグに接続され、前記第５絶縁膜により前記ビット線から電気的に分離された複数の第３導電体プラグと、前記複数の第３導電体プラグに接続された複数のストレージノード電極と、この複数のストレージノード電極の上方に設けられたプレート電極と、これらプレート電極とストレージノード電極の相互間に設けられたキャパシタ絶縁膜とを有す

る複数のキャパシタと
を具備することを特徴とする半導体記憶装置。
【請求項４】
半導体基板と、
前記半導体基板の表面領域に形成され、ソース／ドレイン領域及び前記半導体基板の表面から絶縁されたゲート電極を有する複数のトランジスタと、
前記複数のトランジスタを覆う第１絶縁膜と、
前記第１絶縁膜上に所定間隔離間して形成されたビット線としての複数の第１、第２導電膜と、
前記複数の第１、第２導電膜の上に形成された第２絶縁膜と、
前記第１絶縁膜上及び前記第１、第２導電膜の間に形成され、前記第２絶縁膜をストッパーとして平坦化された第３絶縁膜と、
前記複数の第１、第２導電膜上の前記第２絶縁膜と、前記複数の第１、第２導電膜と直交され所定間隔で配置され、ライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとを用いて前記第３絶縁膜に形成された複数のコンタクトホールと、
前記複数のコンタクトホール内に充填され、前記トランジスタの前記ソース／ドレイン領域の一方に接続されるストレージノードコンタクトと
を具備することを特徴とする半導体記憶装置。
【請求項５】
半導体基板に素子領域を区画する素子分離絶縁膜を形成する工程と、
前記素子分離絶縁膜によって区画された素子領域上に、ゲート絶縁膜と、ワード線に接続されたゲート電極と、ソース／ドレイン領域とを有する複数のＭＯＳトランジスタとを形成する工程と、
前記複数のＭＯＳトランジスタ及び前記素子分離絶縁膜を覆う第１絶縁膜を形成する工程と、
前記第１絶縁膜を局所的にエッチングし、前記素子領域及び前記素子分離絶縁膜上に形成され、前記複数のＭＯＳトランジスタの一方のソース／ドレイン領域に達する複数の第１コンタクトホール、及び前記素子領域上で前記複数のＭＯＳトランジスタの他方のソース／ドレイン領域に達する複数の第２コンタクトホールを前記ゲート電極に対して自己整合的に形成する工程と、
前記複数の第１、第２コンタクトホールを充填する複数の第１、第２導電体プラグを形成する工程と、
前記第１絶縁膜と前記複数の第１、第２導電体プラグを覆う第２絶縁膜を形成する工程と、
前記第２絶縁膜を局所的にエッチングし、前記素子分離絶縁膜の上方で前記複数の第１導電体プラグに達する複数のビット線コンタクトを形成する工程と、
前記第２絶縁膜及び前記複数のビット線コンタクト上に、下部が導電膜、上部が第３絶縁膜で構成される複数のビット線を形成する工程と、
前記第２絶縁膜上及び前記複数のビット線の相互間に前記第３絶縁膜をストッパーとして平坦化された第４絶縁膜を形成する工程と、
前記複数のビット線上の前記第３絶縁膜と、前記複数のビット線と直交され所定間隔で配置された、ライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとをマスクとして前記第４絶縁膜及び第２絶縁膜を局所的にエッチングし、前記複数の第２導電体プラグに達する複数のストレージノードコンタクト用コンタクトホールを、前記複数のビット線に対して自己整合的に形成する工程と、
前記複数のストレージノードコンタクト用コンタクトホール内部で、少なくとも前記ビット線の導電膜の側壁及び前記第２絶縁膜の側壁に第５絶縁膜を形成する工程と、
前記複数のストレージノードコンタクト用コンタクトホール内を充填し、前記複数の第２導電体プラグに接続され、前記複数のビット線の導電膜とは前記第５絶縁膜によって電

気的に分離された複数の第３導電体プラグを形成し、前記複数の第３導電体プラグに接続された複数のストレージノード電極、この複数のストレージノード電極上のキャパシタ絶縁膜、前記キャパシタ絶縁膜上にプレート電極を順次形成し複数のキャパシタを形成する工程と

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項６】

前記第２絶縁膜上及び前記複数のビット線の相互間に第４絶縁膜を形成する工程は、前記第４絶縁膜を全面に堆積する工程と、

前記第３絶縁膜の上面まで前記第４絶縁膜をエッチング除去し、表面を平坦化する工程と

を具備することを特徴とする請求項５記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、例えばダイナミックＲＡＭ（以下、ＤＲＡＭと称す）のセル構造に係わり、特に、ビット線の上方にメモリセルキャパシタをビット線に対して自己整合的に形成するＳＴＣ(Stacked Capacitor) 型の半導体記憶装置とその製造方法に関する。

【０００２】

【従来の技術】

近時、半導体記憶装置、特に、ＤＲＡＭは大規模集積化が進んでいる。それに伴って単位記憶素子の占める割合が一層縮小される傾向にあり、リード・ライトに十分な容量（２０ｆＦ以上）を得るため、メモリセルキャパシタ及びメモリセルトランジスタの３次元化は必須である。このため、トレンチ型キャパシタ及びＳＴＣ型キャパシタを用いたセル構造が一般化している。

【０００３】

また、更なる大規模集積化に対して、ＳＴＣ型キャパシタを用いたセルにおいては、メモリセルキャパシタをビット線に対して自己整合的に形成する技術が重要となる。従来のＳＴＣ型キャパシタの製造方法は、例えば、M.Fukumoto et al., "Stacked capacitor cell technology for 16M DRAM using double self aligned contacts", ESSDERC 90, pp. 461-464, 1990 に記載されたメモリセルが提案されている。図２１及び図２３はその例を示すものである。

【０００４】

図２１はメモリセルの平面図を示している。図２１において、２０１はチャネル領域、２０２はゲート電極パターン、２０３はビット線コンタクト、２０４はビット線パターン、２０５はストレージノードコンタクトパターン、２０６はストレージノード電極パターンである。

【０００５】

図２２は図２１の２２－２２線に沿った断面図の製造工程を示している。図２２（ａ）に示すように、半導体基板５１上には、素子分離酸化膜５２、図示せぬデータ転送用ＭＯＳトランジスタ、第１層間絶縁膜５３、図示せぬビット線コンタクト、ビット線５４、ＢＰＳＧ膜からなる第２層間絶縁膜５５が形成される。次に、ビット線５４の相互間に位置する第１、第２層間絶縁膜５３、５５に、周知のリソグラフィ法及びＲＩＥ(Reactive Ion Etching)法により、半導体基板５１に達するストレージノードコンタクト５６が形成される。

【０００６】

次に、図２２（ｂ）に示すように、全面にＨＴＯ(High Temperature Oxide)膜５７を堆積し、ＲＩＥ法によって全面をエッチバックして、図２２（ｃ）に示すように、ストレージノードコンタクト５６の内部にＨＴＯ膜５７によるサイドウォールスペーサ５８を形成する。

【０００７】

【発明が解決しようとする課題】
ところで、図２１に示すストレージノードコンタクトパターン２０５がビット線パターン２０４に対して合わせずれが生じていた場合、次のような問題が発生する。すなわち、図２３（ａ）に示すように、ストレージノードコンタクト５６を形成した際、ビット線５４が第１、第２層間絶縁膜５３、５５から露出する。この状態において、図２３（ｂ）に示すように、全面にＨＴＯ膜５７を堆積し、ＲＩＥ法によって全面をエッチバックして、図２３（ｃ）に示すように、ストレージノードコンタクト５６の内部にＨＴＯ膜５７によるサイドウォールスペーサ５８を形成する。すると、ビット線５４上及び第２層間絶縁膜５５の側壁にサイドウォールスペーサ５８が形成される。しかし、ビット線５４の一部分はサイドウォールスペーサ５８の間隙から露出した状態となるため、後に形成される図示せぬストレージノードとビット線５４とが短絡するという問題が発生する。

【０００８】
また、ＨＴＯ膜５７の全面をエッチバックする際、ＨＴＯ膜５７と第２層間絶縁膜５５が同じ酸化シリコン系であるため、十分な選択比を得ることができず、ビット線５４上及び第２層間絶縁膜５５の膜厚の制御が困難となる問題がある。
さらに、ストレージノードコンタクト５６を形成する際、コンタクト開口部、コンタクト間隔共に微細なため、レジストパターンの形成そのものが困難であるという問題を有していた。また、ストレージノードコンタクト５６はパターンの通り方形とはならず、図２１に破線で示すように、方形のパターンに内接する最小寸法を直径とする円形となるため、接触面積が減少し、コンタクト抵抗が増加するという問題を有している。さらに、ストレージノードコンタクト５６が半導体基板５１に達しているため、アスペクト比が大きくなり、コンタクト開口の歩留まりが悪く、ストレージノードの埋め込みが困難となる問題を有していた。

【０００９】
この発明は、上記課題を解決するものであり、その目的とするところは、コンタクトと配線との短絡を防止できるとともに、コンタクトを自己整合的に形成することができ、しかも、配線上に形成される膜の膜厚を確実に制御できるとともに、微細なコンタクトが形成でき、コンタクト開口の歩留まりが高く、コンタクトの埋め込みが容易な半導体記憶装置とその製造方法を提供しようとするものである。

【００１３】
【課題を解決するための手段】
この発明の半導体記憶装置は、半導体基板と、前記半導体基板上に形成され、素子領域を区画する素子分離絶縁膜と、前記素子領域内に形成され、ゲート絶縁膜と、ワード線に接続されたゲート電極と、ソース／ドレイン領域とを有する複数のＭＯＳトランジスタと、前記素子分離絶縁膜及び前記ＭＯＳトランジスタを覆う第１絶縁膜と、前記第１絶縁膜内に形成され、前記複数のＭＯＳトランジスタの一方のソース／ドレイン領域に達する複数の第１コンタクトホールと、前記第１絶縁膜内に形成され、前記ＭＯＳトランジスタの他方のソース／ドレイン領域に達する複数の第２コンタクトホールと、前記複数の第１コンタクトホールを充填する複数の第１導電体プラグと、前記複数の第２コンタクトホールを充填する複数の第２導電体プラグと、前記第１絶縁膜と前記複数の第１、第２導電体プラグを覆う第２絶縁膜と、前記第２絶縁膜内に形成され、前記複数の第１導電体プラグに達する複数のビット線コンタクトと、前記第２絶縁膜及び複数のビット線コンタクト上に形成され、下部が導電膜、上部が第３絶縁膜で構成される複数のビット線と、前記第２絶縁膜上及び前記複数のビット線の相互間に形成され、前記第３絶縁膜をストッパーとして平坦化された第４絶縁膜と、隣接する前記複数のビット線上の前記第３絶縁膜と、前記複数のビット線と直交され所定間隔で配置されたライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとを用いて前記複数のビット線の間に前記第４絶縁膜及び前記第２絶縁膜を貫通して形成され、前記複数の第２導電体プラグに達する複数のストレージノードコンタクト用コンタクトホールと、前記複数のストレージノードコンタクト用コンタクトホール内部で、少なくとも前記複数のビット線の導電膜の側壁及び

前記第２絶縁膜の側壁に形成された第５絶縁膜と、前記複数のストレージノードコンタクト用コンタクトホール内に充填され、前記複数の第２導電体プラグに接続され、前記複数のビット線の導電膜とは前記第５絶縁膜によって電気的に分離された複数の第３導電体プラグと、前記複数の第３導電体プラグに接続された複数のストレージノード電極と、この複数のストレージノード電極上のキャパシタ絶縁膜と、前記キャパシタ絶縁膜上のプレート電極とを有する複数のキャパシタとを具備する。

さらに、この発明の半導体記憶装置は、半導体基板と、前記半導体基板内に形成され、素子領域を区画する素子分離絶縁膜と、前記素子領域内に形成され、ゲート絶縁膜と、ワード線に接続されたゲート電極と、ソース／ドレイン領域とを有する複数のトランジスタと、前記素子分離絶縁膜及び前記複数のトランジスタを覆う第１絶縁膜と、前記第１絶縁膜内に形成され、前記複数のトランジスタの前記ソース／ドレイン領域の一方の領域に達する複数の第１コンタクトホールと、前記第１絶縁膜内に形成され、前記複数のトランジスタの前記ソース／ドレイン領域の他方の領域に達する複数の第２コンタクトホールと、前記複数の第１コンタクトホールを充填する複数の第１導電体プラグと、前記複数の第２コンタクトホールを充填する複数の第２導電体プラグと、前記第１絶縁膜及び前記複数の第１、第２導電体プラグを覆う第２絶縁膜と、前記第２絶縁膜内に形成され、前記複数の第１導電体プラグに達する複数のビット線コンタクトと、前記第２絶縁膜及び前記複数のビット線コンタクトの上に形成された導電膜からなる複数のビット線と、前記複数のビット線の上に形成された第３絶縁膜と、前記第２絶縁膜上に形成され、前記第３絶縁膜をストッパーとして平坦化された第４絶縁膜と、隣接する前記複数のビット線上の前記第３絶縁膜と、前記複数のビット線と直交され所定間隔で配置されたライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとを用いて前記複数のビット線の側部に位置し、前記第４絶縁膜及び第２絶縁膜を貫通して形成され、前記複数の第２導電体プラグに達する複数のストレージノードコンタクト用コンタクトホールと、少なくとも前記複数のストレージノードコンタクト用コンタクトホールにより露出される前記複数のビット線の側壁及び前記第２絶縁膜の側壁に形成される第５絶縁膜と、前記複数のストレージノードコンタクト用コンタクトホールを充填し、前記複数の第２導電体プラグに接続され、前記第５絶縁膜により前記ビット線から電気的に分離された複数の第３導電体プラグと、前記複数の第３導電体プラグに接続された複数のストレージノード電極と、この複数のストレージノード電極の上方に設けられたプレート電極と、これらプレート電極とストレージノード電極の相互間に設けられたキャパシタ絶縁膜とを有する複数のキャパシタとを具備する。

また、この発明の半導体記憶装置は、半導体基板と、前記半導体基板の表面領域に形成され、ソース／ドレイン領域及び前記半導体基板の表面から絶縁されたゲート電極を有する複数のトランジスタと、前記複数のトランジスタを覆う第１絶縁膜と、前記第１絶縁膜上に所定間隔離間して形成されたビット線としての複数の第１、第２導電膜と、前記複数の第１、第２導電膜の上に形成された第２絶縁膜と、前記第１絶縁膜上及び前記第１、第２導電膜の間に形成され、前記第２絶縁膜をストッパーとして平坦化された第３絶縁膜と、前記複数の第１、第２導電膜上の前記第２絶縁膜と、前記複数の第１、第２導電膜と直交され所定間隔で配置され、ライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとを用いて前記第３絶縁膜に形成された複数のコンタクトホールと、前記複数のコンタクトホール内に充填され、前記トランジスタの前記ソース／ドレイン領域の一方に接続されるストレージノードコンタクトとを具備する。

さらに、この発明の半導体記憶装置の製造方法は、半導体基板に素子領域を区画する素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜によって区画された素子領域上に、ゲート絶縁膜と、ワード線に接続されたゲート電極と、ソース／ドレイン領域とを有する複数のＭＯＳトランジスタとを形成する工程と、前記複数のＭＯＳトランジスタ及び前記素子分離絶縁膜を覆う第１絶縁膜を形成する工程と、前記第１絶縁膜を局所的にエッチングし、前記素子領域及び前記素子分離絶縁膜上に形成され、前記複数のＭＯＳトランジスタの一方のソース／ドレイン領域に達する複数の第１コンタクトホール、及び前記素子領

域上で前記複数のＭＯＳトランジスタの他方のソース／ドレイン領域に達する複数の第２コンタクトホールを前記ゲート電極に対して自己整合的に形成する工程と、前記複数の第１、第２コンタクトホールを充填する複数の第１、第２導電体プラグを形成する工程と、前記第１絶縁膜と前記複数の第１、第２導電体プラグを覆う第２絶縁膜を形成する工程と、前記第２絶縁膜を局所的にエッチングし、前記素子分離絶縁膜の上方で前記複数の第１導電体プラグに達する複数のビット線コンタクトを形成する工程と、前記第２絶縁膜及び前記複数のビット線コンタクト上に、下部が導電膜、上部が第３絶縁膜で構成される複数のビット線を形成する工程と、前記第２絶縁膜上及び前記複数のビット線の相互間に前記第３絶縁膜をストッパーとして平坦化された第４絶縁膜を形成する工程と、前記複数のビット線上の前記第３絶縁膜と、前記複数のビット線と直交され所定間隔で配置された、ライン／スペース状のコンタクトホールパターンを用いて形成されたフォトレジストとをマスクとして前記第４絶縁膜及び第２絶縁膜を局所的にエッチングし、前記複数の第２導電体プラグに達する複数のストレージノードコンタクト用コンタクトホールを、前記複数のビット線に対して自己整合的に形成する工程と、前記複数のストレージノードコンタクト用コンタクトホール内部で、少なくとも前記ビット線の導電膜の側壁及び前記第２絶縁膜の側壁に第５絶縁膜を形成する工程と、前記複数のストレージノードコンタクト用コンタクトホール内を充填し、前記複数の第２導電体プラグに接続され、前記複数のビット線の導電膜とは前記第５絶縁膜によって電気的に分離された複数の第３導電体プラグを形成し、前記複数の第３導電体プラグに接続された複数のストレージノード電極、この複数のストレージノード電極上のキャパシタ絶縁膜、前記キャパシタ絶縁膜上にプレート電極を順次形成し複数のキャパシタを形成する工程とを具備する。

【００１４】

【発明の実施の形態】

以下、この発明の実施例について図面を参照して説明する。

【００１５】

図１はこの発明の第１の参考例を示すものである。図１（ａ）に示すように、半導体基板１１上に形成された酸化シリコン系の第１絶縁膜１上にタングステン（Ｗ）等の導電膜２、酸化シリコン系の第２絶縁膜３、窒化シリコン系の第３絶縁膜４を順次形成する。この後、所定の配線パターンを用いて、第３絶縁膜４、第２絶縁膜３、導電膜２をパターニングすることにより配線Ｌを形成する。

【００１６】

次に、図１（ｂ）に示すように、酸化シリコン系の第４絶縁膜５を堆積し、ＣＭＰ(Chemical Mechanical Polishing) 法を用いて表面を平坦化する。次に、所定のコンタクトホールパターンを用いて、図１（ｃ）に示すように、フォトレジスト６を形成し、このフォトレジスト６及び第３絶縁膜４に対して選択比の高いエッチング条件を用いて、第４及び第１絶縁膜５、１をＲＩＥ法によりエッチングし、コンタクトホールＣＨを形成する。

【００１７】

次に、レジスト６を除去し、全面に第５絶縁膜７を堆積し、これをＲＩＥ法によりエッチバックし、図１（ｄ）に示すように、コンタクトホールＣＨ内に第５絶縁膜７からなるサイドウォールスペーサ７ａを形成する。このサイドウォールスペーサ７ａは第１絶縁膜１、導電膜２、第２絶縁膜３、第３絶縁膜４、第４絶縁膜５の側壁に形成される。

【００１８】

このように、導電膜２は第３絶縁膜４によって保護されているため、ＲＩＥ法によりエッチングする際、マスクに合わせずれが生じていても導電膜２が露出することはない。したがって、その後、コンタクトホールＣＨ内に導電層を形成しても導電膜２と導電層との短絡を防止できる。

【００１９】

図２は、この発明の第２の参考例を示すものであり、図１と同一部分には同一符号を付す。所定の配線Ｌを形成するまでは、第１の実施例と同様である。配線Ｌを形成した後、全面に酸化シリコン系の第４絶縁膜５を堆積し、ＣＭＰ法を用いて、図２（ａ）に示すよ

うに、第４絶縁膜５の表面を平坦化する。この際、第３絶縁膜４をＣＭＰのストッパーとして用いることにより、第３絶縁膜４上面に合わせて第４絶縁膜５を平坦化する。

【００２０】

次に、所定のコンタクトホールパターンを用いてフォトレジスト６を形成し、フォトレジスト６及び第３絶縁膜４に対して選択比の高いエッチング条件を用いて、図２（ｂ）に示すように、第４及び第１絶縁膜５、１をＲＩＥ法によってエッチングし、コンタクトホールＣＨを形成する。

【００２１】

次に、レジスト６を除去した後、第５絶縁膜７を全面に堆積し、全面をＲＩＥ法を用いてエッチバックすることにより、図２（ｃ）に示すように、コンタクトホール内に第５絶縁膜７からなるサイドウォールスペーサ７ａを形成する。

【００２２】

この参考例においても、導電膜２は第３絶縁膜４によって保護されているため、ＲＩＥ法によりエッチングする際、マスクに合わせずれが生じていても導電膜２が露出することはない。したがって、その後、コンタクトホールＣＨ内に導電層を形成しても導電膜２と導電層との短絡を防止できる。さらに、導電膜２上の絶縁膜の膜厚は、第２、第３絶縁膜の膜厚で規定されているため、制御性が良い利点を有している。

【００２３】

尚、第１、第２の参考例において、第５絶縁膜７の材質は、例えば酸化シリコン系の膜、及び窒化シリコン系の膜と酸化シリコン系の膜の複合膜のいずれかであり、窒化シリコン系の膜よりも誘電率が小さく設定されている。

【００２４】

図３、図４は、この発明の第３の参考例を示すものであり、第１、第２の参考例と同一部分には同一符号を付す。図３に示すストライプ状の配線パターン８を用いて、図１（ａ）に示すように、配線Ｌを形成するまでは、第１、第２の参考例と同様である。この後、全面に酸化シリコン系の第４絶縁膜５を堆積し、ＣＭＰ法により、図４（ａ）に示すように、第３絶縁膜４上面に合わせて第４絶縁膜５の表面を平坦化する。尚、図４において、半導体基板は省略している。

【００２５】

次に、図３に示すように、前記配線パターン８と直交するライン／スペース状のコンタクトホールパターン９を用いて、図４（ｂ）に示すようなフォトレジスト６を形成する。この後、このフォトレジスト６及び第３絶縁膜４に対して選択比の高いエッチング条件を用いて、第４及び第１絶縁膜５、１をＲＩＥ法によりエッチングし、配線の相互間にコンタクトホールを形成する。

【００２６】

次に、レジスト６を除去し、第５絶縁膜７を全面に堆積した後、これをＲＩＥ法によりエッチバックすることにより、図４（ｃ）に示すように、コンタクトホールＣＨ内にサイドウォールスペーサ７ａを形成する。前記配線パターン８及びコンタクトホールパターン９の幅は設計ルールで定められた最小寸法とされている。

【００２７】

この参考例においても、導電膜２は第３絶縁膜４によって保護されているため、ＲＩＥ法によりエッチングする際、マスクに合わせずれが生じていても導電膜２が露出することはない。したがって、その後、コンタクトホールＣＨ内に導電層を形成しても導電膜２と導電層との短絡を防止できる。また、導電膜２上の絶縁膜の膜厚は、第２、第３絶縁膜の膜厚で規定されているため、制御性が良い利点を有している。さらに、コンタクトホールパターン９がライン／スペース状であるため、コンタクトホールを容易に形成できる。しかも、ライン／スペース状のコンタクトホールパターンを使用することにより、コンタクトホールは設計ルールで定められた最小寸法を一辺とする正方形となる。したがって、コンタクトホールは従来のように最小寸法を一辺とする正方形に内接する円形とならないため、接触面積を大きくでき、コンタクト抵抗を減少させることができる。

【００２８】
次に、図５乃至図１７を参照してこの発明の第１の実施例について説明する。この第１の実施例はこの発明をＳＴＣ型ＤＲＡＭセルに適用した場合の製造方法に関わるものである。
【００２９】
ここで、図５は、第１の実施例に適用されるマスクパターンを示す平面図である。
【００３０】
図６（ａ）、（ｃ）は、図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、第１の実施例の第１の工程を示している。
【００３１】
図７（ａ）、（ｃ）は、図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図６に続く第２の工程を示している。
【００３２】
図８（ａ）、（ｃ）は、図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図７に続く第３の工程を示している。
【００３３】
図９（ａ）、（ｃ）は、図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図８に続く第４の工程を示している。
【００３４】
図１０（ａ）、（ｃ）は、図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図９に続く第５の工程を示している。
【００３５】
図１１（ｂ）、（ｃ）は、図５のｂ－ｂ線、及びｃ－ｃ線に沿った断面図であり、図１０に続く第６の工程を示している。
【００３６】
図１２（ｂ）、（ｃ）は、図５のｂ－ｂ線、及びｃ－ｃ線に沿った断面図であり、図１１に続く第７の工程を示している。
【００３７】
図１３（ａ）、（ｄ）は、図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１２に続く第８の工程を示している。
【００３８】
図１４（ａ）、（ｄ）は、図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１３に続く第９の工程を示している。
【００３９】
図１５（ａ）、（ｄ）は、図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１４に続く第１０の工程を示している。
【００４０】
図１６（ａ）、（ｄ）は、図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１５に続く第１１の工程を示している。
【００４１】
図１７（ａ）、（ｄ）は、図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１６に続く第１２の工程を示している。
【００４２】
図５において、１０１は素子分離を形成するための素子分離パターン、１０２はゲート電極を形成するためのゲート電極パターン、１０３はプラグを形成するためのプラグパターン、１０４はビット線コンタクトを形成するためのビット線コンタクトパターン、１０５はビット線を形成するためのビット線パターン、１０６はストレージノードコンタクトを形成するためのストレージノードコンタクトパターン、１０７はストレージノード電極を形成するためのストレージノード電極パターンである。
【００４３】

図６に示すように、半導体基板１１上にＳＴＩ(Shallow Trench Isolation)技術を用いるとともに、図５に示す素子分離パターン１０１をマスクとして、素子分離酸化膜１２を形成する。

【００４４】

次に、半導体基板１１上に図示せぬゲート酸化膜を形成し、図７（ａ）に示すように、この上にＮ型ポリシリコン膜１３、タングステンシリサイド膜１４、窒化シリコン膜１５を順次堆積する。この後、図５に示すゲート電極パターン１０２を用いて窒化シリコン膜１５、タングステンシリサイド膜１４、Ｎ型ポリシリコン膜１３をパターニングし、ＭＯＳＦＥＴのゲート電極Ｇを形成する。次に、Ａｓ等のＮ型不純物をイオン注入し、ソース／ドレイン拡散層１６を形成する。この後、窒化シリコン膜１７を全面に堆積し、これをエッチバックしてゲート電極Ｇの側壁に、窒化シリコン膜からなるサイドウォールスペーサ１７ａを形成する。

【００４５】

次に、図８に示すように、全面にＢＰＳＧ膜１８を堆積し、窒化シリコン膜１５をストッパーとしてＣＭＰ法により、ＢＰＳＧ膜１８表面を平坦化する。次に、図９に示すように、全面にレジスト１９を塗布し、図５に示すプラグパターン１０３を用いて、リソグラフィ法により、エッチングマスク１９ａを形成する。次に、ＢＰＳＧ膜１８と窒化シリコン膜１５の選択比が高いエッチング条件で、エッチングマスク１９ａ、及び窒化シリコン膜１５をマスクとして、ＲＩＥ法によりＢＰＳＧ膜１８をエッチングする。この工程により、コンタクトホール２０がゲート電極Ｇに対して、自己整合的に形成される。

【００４６】

次に、レジスト１９を除去した後、図１０に示すように、全面にＮ型ポリシリコン膜２１を堆積し、窒化シリコン膜１５及びＢＰＳＧ膜１８をストッパーとして、ＣＭＰ法を用いてＮ型ポリシリコン膜２１の表面を平坦化すると同時にコンタクトホール２０を埋め込み、Ｎ型ポリシリコン膜２１によってプラグ２１ａを形成する。

【００４７】

次に、図１１に示すように、全面にＢＰＳＧ膜２２を堆積し、図５に示すビット線コンタクトパターン１０４を用いて、コンタクトホール２３を形成する。次に、露出したＮ型ポリシリコン膜２１上にタングステン膜２４を選択成長させ、コンタクトホール２３をタングステン膜２４によって埋め込む。

【００４８】

次に、全面に図示せぬグルーレイヤを形成し、この上に図１２に示すように、タングステン膜２５、酸化シリコン膜２６、窒化シリコン膜２７を順次堆積し、図５に示すビット線パターン１０５を用いて、窒化シリコン膜２７、酸化シリコン膜２６、タングステン膜２５、グルーレイヤをパターニングし、前記プラグ２１に接続されたビット線ＢＬを形成する。

【００４９】

次に、図１３に示すように、全面に酸化シリコン膜２８を堆積し、窒化シリコン膜２７をストッパーとして、ＣＭＰ法により、酸化シリコン膜２８を平坦化する。次に、図１４に示すように、全面にレジスト２９を塗布し、図５に示すストレージノードコンタクトパターン１０６を用いて、リソグラフィ法により、エッチングマスク２９ａを形成する。この後、酸化シリコン膜２８と窒化シリコン膜２７の選択比が高いエッチング条件で、エッチングマスク２９ａ、及び窒化シリコン膜２７をマスクとして、ＲＩＥ法により酸化シリコン膜２８をエッチングする。この工程により、コンタクトホール３０がビット線ＢＬに対して、自己整合的に形成される。

【００５０】

次に、レジスト２９を除去した後、図１５に示すように、全面に酸化シリコン膜３１を堆積する。この後、エッチバック法を用いてコンタクトホール３０の内壁に、酸化シリコン膜３１からなるサイドウォールスペーサ３１ａを形成する。次に、図１６に示すように、Ｎ型ポリシリコン膜３２を全面に堆積し、窒化シリコン膜２７及び酸化シリコン膜２８を

ストッパーとして、ＣＭＰ法によりＮ型ポリシリコン膜３２の表面を平坦化すると同時にコンタクトホール３０をＮ型ポリシリコン膜３２によって埋め込み、プラグ３２ａを形成する。

【００５１】

次に、図１７に示すよう、全面にスパッタ法により、ルテニウム膜３３を堆積し、図５に示すストレージノード電極パターン１０７を用いてパターニングする。この後、ＢＳＴ膜３４等の高誘電体膜、及びルテニウム膜３５を全面に順次堆積し、ストレージキャパシタを形成する。続いて、周知の方法により、図示せぬ配線層等を形成し、ＤＲＡＭが完成される。

【００５２】

上記第１の実施例によれば、ＳＴＣ型ＤＲＡＭセルにおいて、ビット線は窒化シリコン系の絶縁膜によって保護されているため、ストレージノードコンタクトパターンがビット線パターンに対して合わせずれが生じている場合においても、エッチングの際にビット線が露出することを防止できる。また、ビット線上の絶縁膜は、その膜厚で規定されるため、制御性が良好である。

【００５３】

さらに、ストレージノードコンタクトパターンがライン／スペース状であるため、ストレージノードコンタクトに丸みが生じることを防止でき、最小寸法を一辺とする正方形とすることができる。したがって、接触面積を大きくすることができ、コンタクト抵抗を減少できる。

【００５４】

また、ストレージノードコンタクトが基板に達していず、導電体プラグを介してソース／ドレイン領域に接続しているため、アスペクト比を低減できる。したがって、ストレージノードの埋め込みが容易であり、コンタクト開口の歩留まりを向上できる。

【００５５】

さらに、サイドウォールスペーサとして、酸化シリコン系の絶縁膜を用いることにより、ビット線の容量の増大を防止でき、動作速度の高速化及び消費電流の低減を図ることができる。

【００５６】

図１８は、この発明の第２の実施例を示すものであり、図１乃至図４と同一部分には同一符号を付し、異なる部分についてのみ説明する。上記第２乃至第３の参考例において、導電層２の上には第２絶縁膜３、第３絶縁膜４（第１の実施例では酸化シリコン膜２６、窒化シリコン膜２７）が設けられている。第３絶縁膜４（第１の実施例における窒化シリコン膜２７）の材料は、次の条件を備えている。

【００５７】

(1) 酸化シリコン膜のＲＩＥを実施する際、酸化シリコン膜との選択比が大きい膜である。

【００５８】

(2) 酸化シリコン膜のＣＭＰを実施する際、酸化シリコン膜との選択比が大きい膜である。

【００５９】

(3) プラグのＣＭＰを実施する際、プラグとの選択比が大きい膜である。

【００６０】

(4) 絶縁膜である。

【００６１】

しかし、第３絶縁膜４（第１の実施例における膜２７）は前述したように、窒化シリコン膜によって構成されている。この窒化シリコン膜は容量が大く、配線中を伝搬する信号の遅延をもたらすため除去することが望ましい。

【００６２】

そこで、第２の実施例では、先ず、第５絶縁膜７をエッチバックする際、エッチング時

間を若干長くし、図１８（ａ）に示すように、第３絶縁膜４の側壁に形成された第５絶縁膜７を除去する。この後、例えば熱リン酸によって処理することにより、図１８（ｂ）に示すように、第３絶縁膜４を除去する。この実施例によっても第１乃至第３の参考例及び第１の実施例と同様の効果を得ることができ、しかも、配線中を伝搬する信号の遅延を防止できる。このように、第３絶縁膜を除去することで、上記(3)(4)の条件は不要となる。上記実施例では窒化シリコン膜の場合について説明したが、例えばポリシリコンなどの導電膜を用いてもよい。

【００６３】

図１９は、この発明の第３の実施例を示すものである。第１乃至第３の参考例及び第１、第２の実施例において、第２絶縁膜３の上には第３の絶縁膜４を設けたが、上記条件(1)(2)を満足すれば、第２絶縁膜３の上に導電性の膜を設けることも可能である。第３の実施例では、第２絶縁膜３の上にポリシリコン膜４１が設けられている。このポリシリコン膜４１は、酸化シリコン膜との選択比が大きいため、第１乃至第３の参考例及び第１の実施例と同様に酸化シリコン膜５をエッチングする際、配線を保護することができる。しかし、このポリシリコン膜４１は導電性を有しているため、他の膜との短絡を回避するため除去する必要がある。

【００６４】

そこで、先ず、図１９（ａ）に示すように、ポリシリコン膜４１の側壁に形成された第５絶縁膜７を第２の実施例と同様にして除去する。次に、図１９（ｂ）に示すように、全面に例えばポリシリコン膜４２を堆積する。この後、図１９（ｃ）に示すように、ＣＭＰ法によりポリシリコン膜４１、４２を除去するとともに、ポリシリコン膜４２によってコンタクトホールを埋め込む。このとき、酸化シリコン膜３はストッパーとして作用する。この実施例によっても、第２の実施例と同様の効果を得ることができる。

【００６５】

図２０は、この発明の第４の実施例を示すものであり、前記第３の実施例の変形例を示すものである。この実施例において、第２絶縁膜３の上には例えばルテニウム膜４３が形成され、この後、全面にルテニウム膜４４が堆積される。次に、電極を加工するため、所定のパターンを用いてルテニウム膜４４をエッチングし、これとともにルテニウム膜４３を除去する。

【００６６】

前記第２絶縁膜３の上の膜と全面に堆積される膜は共にルテニウムである。このため、電極を加工する際、パターンが図２０に示すように多少ずれた場合においても問題は生じない。

【００６７】

また、第２絶縁膜３の上の膜の材質は、ルテニウムに限定されるものではなく、上記条件(1)(2)を満足し、全面に堆積される膜４４と同質の例えば金属系の膜であればよい。

【００６８】

その他、この発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【００６９】

【発明の効果】

以上詳述したようにこの発明によれば、コンタクトと配線との短絡を防止できるとともに、コンタクトを自己整合的に形成することができ、しかも、配線上に形成される膜の膜厚を確実に制御できるとともに、微細なコンタクトが形成でき、コンタクト開口の歩留まりが高く、コンタクトの埋め込みが容易な半導体記憶装置とその製造方法を提供できる。

【図面の簡単な説明】

【図１】　この発明の第１の参考例を示す断面図。

【図２】　この発明の第２の参考例を示す断面図。

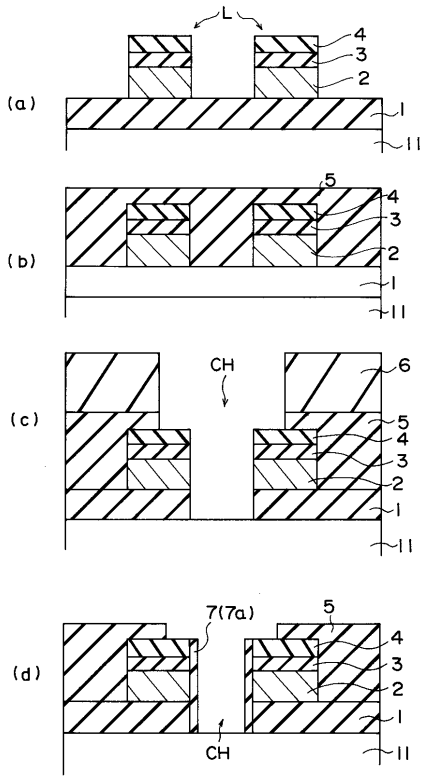
【図３】　この発明の第３の参考例に適用されるマスクパターンを示す平面図。

【図４】　この発明の第３の参考例を示すものであり、図３の４－４線に沿った断面図。

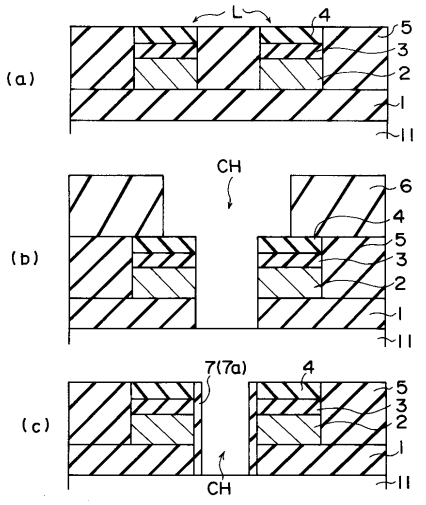
【図５】　この発明の第１の実施例に適用されるマスクパターンを示す平面図

【図６】　図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、第１の実施例の第１の工程を示している。
【図７】　図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図６に続く第２の工程を示している。
【図８】　図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図７に続く第３の工程を示している。
【図９】　図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図８に続く第４の工程を示している。
【図１０】　図５のａ－ａ線、及びｃ－ｃ線に沿った断面図であり、図９に続く第５の工程を示している。
【図１１】　図５のｂ－ｂ線、及びｃ－ｃ線に沿った断面図であり、図１０に続く第６の工程を示している。
【図１２】　図５のｂ－ｂ線、及びｃ－ｃ線に沿った断面図であり、図１１に続く第７の工程を示している。
【図１３】　図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１２に続く第８の工程を示している。
【図１４】　図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１３に続く第９の工程を示している。
【図１５】　図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１４に続く第１０の工程を示している。
【図１６】　図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１５に続く第１１の工程を示している。
【図１７】　図５のａ－ａ線、及びｄ－ｄ線に沿った断面図であり、図１６に続く第１２の工程を示している。
【図１８】　この発明の第２の実施例を示す断面図。
【図１９】　この発明の第３の実施例を示す断面図。
【図２０】　この発明の第４の実施例を示す断面図。
【図２１】　従来のメモリセルを示す平面図。
【図２２】　図２１の２２－２２線に沿った断面図。
【図２３】　従来のメモリセルの問題点を示す断面図。
【符号の説明】
１１…半導体基板、２…導電膜、３…第２絶縁膜、４…第３絶縁膜、５…第４絶縁膜、７…第５絶縁膜、７ａ…サイドウォールスペーサ、ＣＨ…コンタクトホール、８…配線パターン、９…コンタクトホールパターン、１３…Ｎ型ポリシリコン膜、１４…タングステンシリサイド膜、１５…窒化シリコン膜、１６…ソース／ドレイン拡散層、１７…窒化シリコン膜、１７ａ…サイドウォールスペーサ、２１…Ｎ型ポリシリコン膜、２１ａ…プラグ、３０…コンタクトホール、３１…酸化シリコン膜、３１ａ…サイドウォールスペーサ、３２…Ｎ型ポリシリコン膜、３２ａ…プラグ、３３…ルテニウム膜、３４…ＢＳＴ膜、３５…ルテニウム膜、１０１…素子分離パターン、１０２…ゲート電極パターン、１０３…プラグパターン、１０４…ビット線コンタクトパターン、１０５…ビット線パターン、１０６…ストレージノードコンタクトパターン、１０７…ストレージノード電極パターン、Ｇ…ゲート電極、ＢＬ…ビット線、Ｌ…配線。

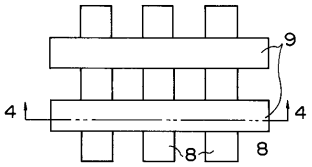
【図１】



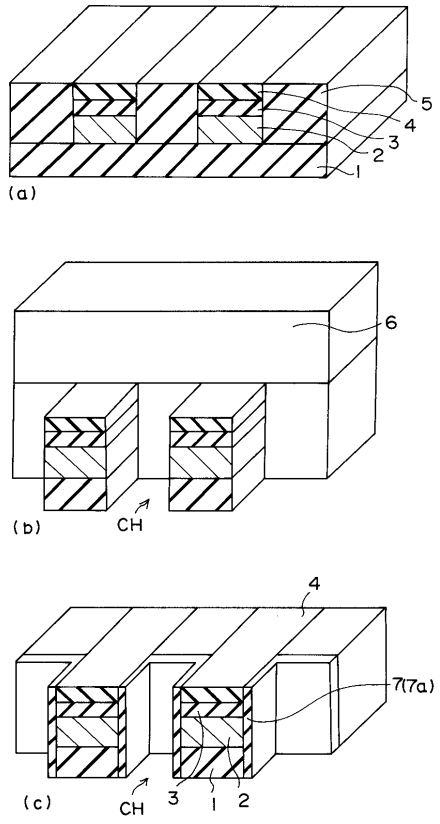
【図２】



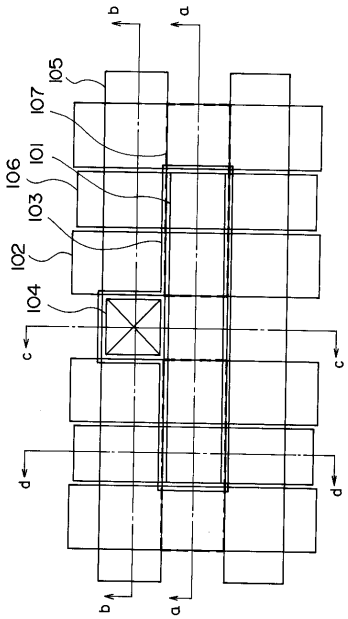
【図３】



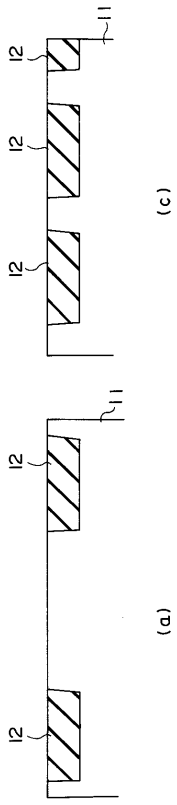
【図４】



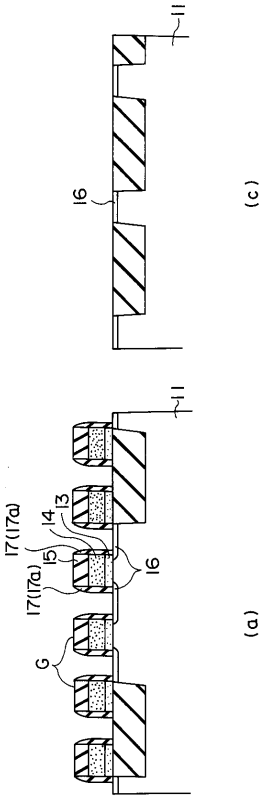
【図５】



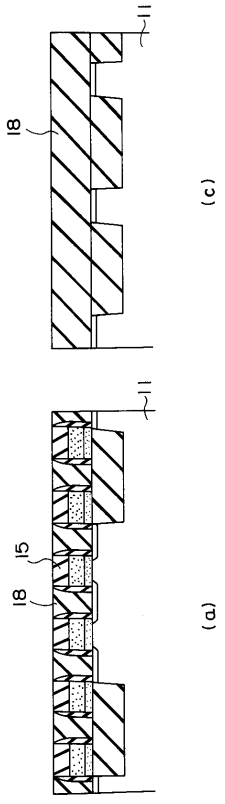
【図６】


11
12
12
12
(c)
11
12
12
(a)

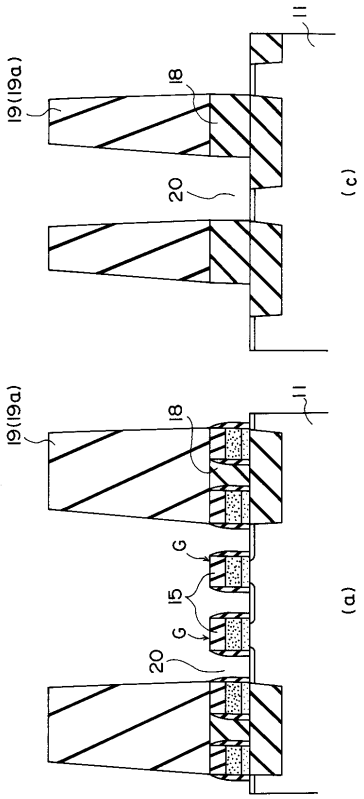
【図７】


11
16
(c)
11
17(17a)
13
14
15
17(17a)
16
G
(a)

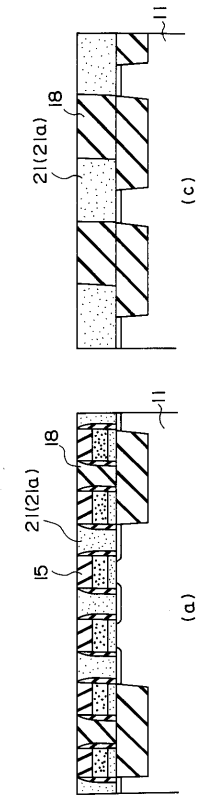
【図８】


11
18
(c)
11
15
18
(a)

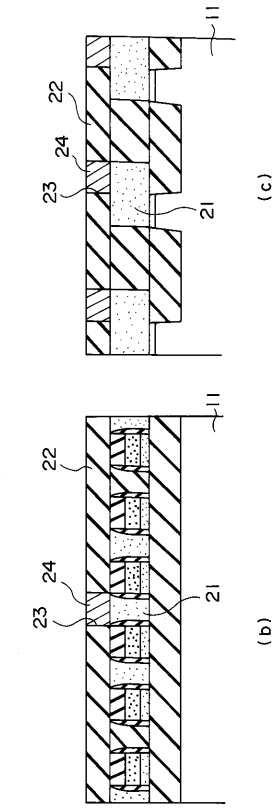
【図９】


11
19(19a)
18
20
(c)
11
19(19a)
18
G
15
G
20
(a)

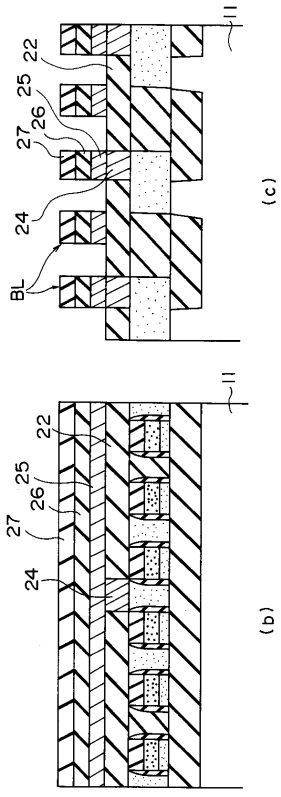
【図１０】



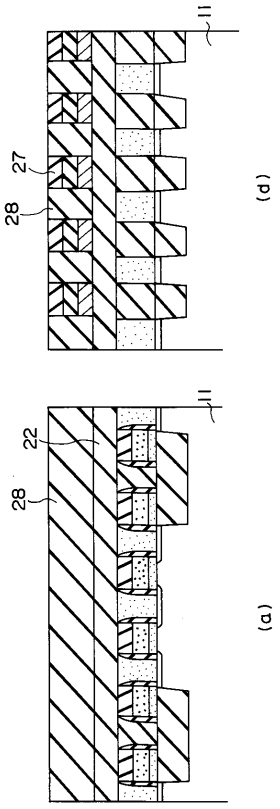
【図１１】



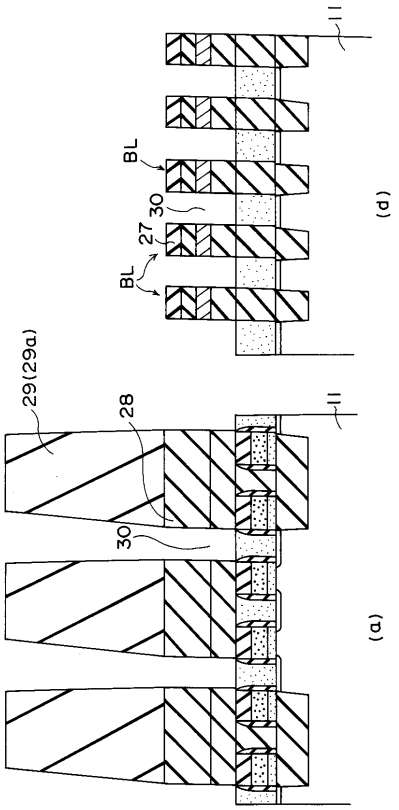
【図１２】



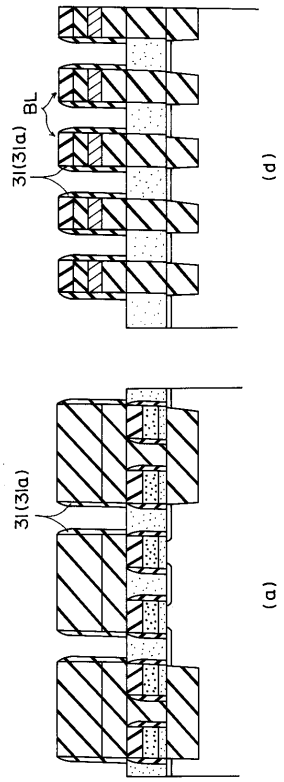
【図１３】



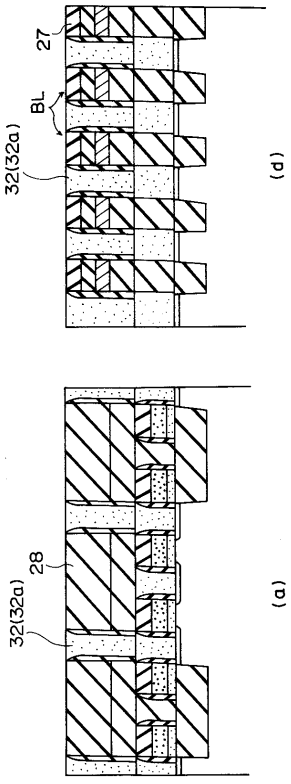
【図１４】



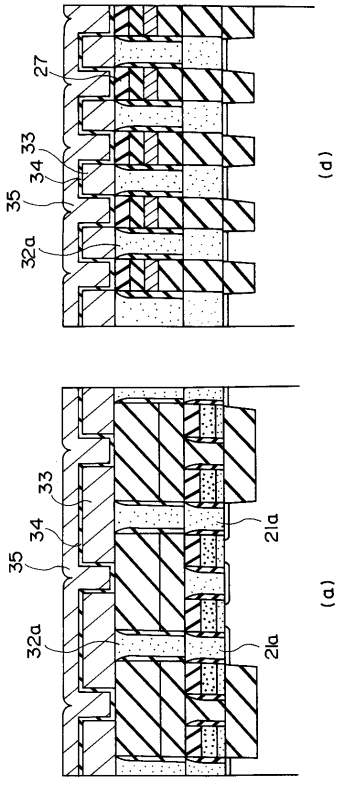
【図１５】



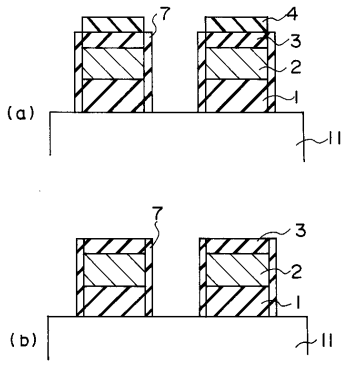
【図１６】



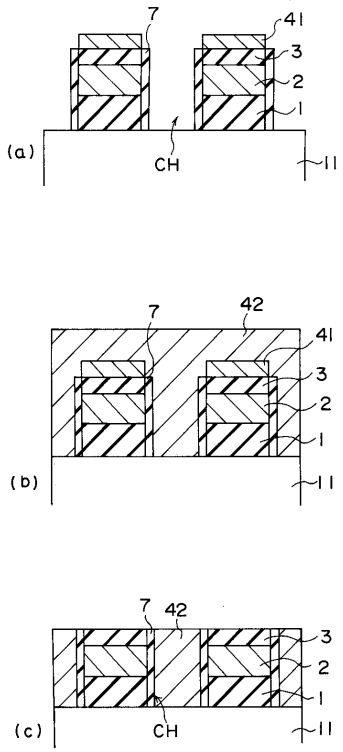
【図１７】



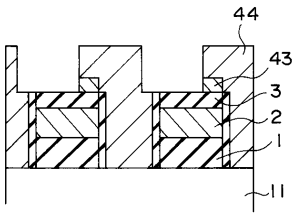
【図１８】



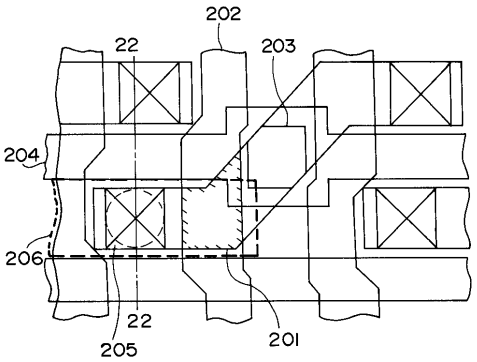
【図１９】



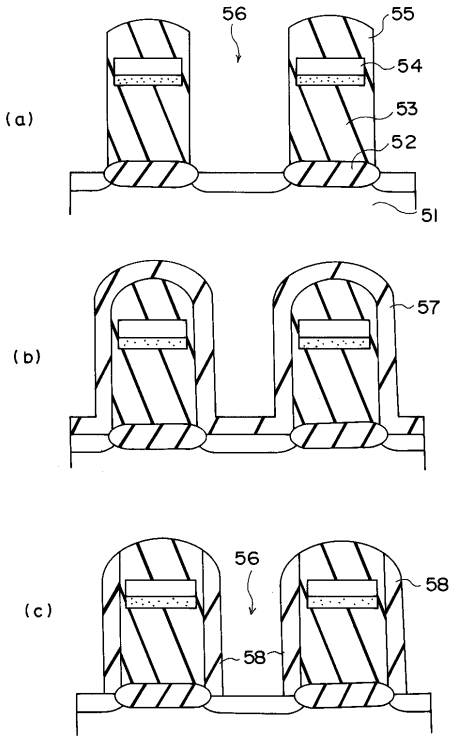
【図２０】



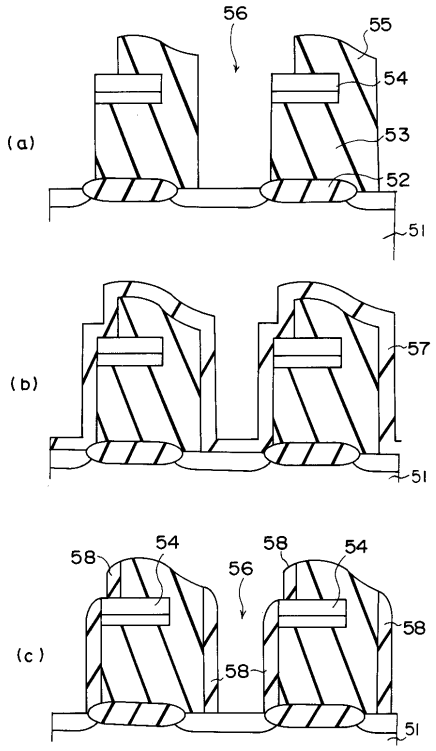
【図２１】



【図２２】



【図２３】



フロントページの続き

(51)Int.Cl.[7] F I
H01L 27/10 691

審査官 安田 雅彦

(56)参考文献 特開平06－338597（JP, A）
特開平06－037273（JP, A）
特開平06－061361（JP, A）
特開平03－064964（JP, A）
特開平03－108359（JP, A）
特開平06－005714（JP, A）
特開平06－120447（JP, A）

(58)調査した分野(Int.Cl.[7], DB名)
H01L 27/108
H01L 21/8242
H01L 21/768