

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4428246号
(P4428246)

(45) 発行日 平成22年3月10日(2010.3.10)

(24) 登録日 平成21年12月25日(2009.12.25)

(51) Int.Cl. F I
H03K 5/19 (2006.01) H03K 5/19 P

請求項の数 31 (全 18 頁)

(21) 出願番号	特願2005-27483 (P2005-27483)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成17年2月3日(2005.2.3)	(74) 代理人	100115738 弁理士 鷲頭 光宏
(65) 公開番号	特開2006-217223 (P2006-217223A)	(74) 代理人	100121681 弁理士 緒方 和文
(43) 公開日	平成18年8月17日(2006.8.17)	(72) 発明者	門馬 敦子 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
審査請求日	平成18年2月15日(2006.2.15)	(72) 発明者	大石 貫時 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 デューティ検出回路及びデューティ検出方法

(57) 【特許請求の範囲】

【請求項1】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出回路であって、

第1及び第2のキャパシタを含み、前記クロック信号に同期して前記第1及び第2のキャパシタを交互に充電又は放電させる積分回路と、

前記第1及び第2のキャパシタの電位差を検出し、これに基づいて前記デューティ補正信号を出力する手段と、

前記クロック信号の周波数を検出し、該検出の結果に応じて制御信号を出力する周波数モニター回路部と、

前記制御信号に応じて、前記第1及び第2のキャパシタの充電量又は放電量を調整する手段と、を備えることを特徴とするデューティ検出回路。

【請求項2】

前記周波数モニター回路部は、前記クロック信号の周波数が基準周波数よりも高い第1の周波数以上であることを検出すると、第1の制御信号を出力し、

前記調整する手段は、前記第1の制御信号にตอบสนองして、前記第1及び第2のキャパシタの充電量又は放電量を増大させることを特徴とする請求項1に記載のデューティ検出回路。

【請求項3】

前記周波数モニター回路部は、前記クロック信号の周波数が基準周波数より低い第2の

周波数以下であることを検出すると、第2の制御信号を出力し、

前記調整する手段は、前記第2の制御信号にตอบสนองして、前記第1及び第2のキャパシタの充電量又は放電量を減少させることを特徴とする請求項1又は2に記載のデューティ検出回路。

【請求項4】

前記調整する手段は、少なくとも前記第1及び第2のキャパシタの充電速度又は放電速度を変化させることによって、前記第1及び第2のキャパシタの充電量又は放電量を調整するバイアス回路を含むことを特徴とする請求項1乃至3のいずれか1項に記載のデューティ検出回路。

【請求項5】

前記積分回路は、前記クロック信号がハイレベルである期間に前記第1のキャパシタを充電又は放電させる第1の積分トランジスタと、前記クロック信号がローレベルである期間に前記第2のキャパシタを充電又は放電させる第2の積分トランジスタと、前記第1及び第2の積分トランジスタに流れるバイアス電流量を規定するバイアストランジスタとを含んでおり、

前記バイアス回路は、前記バイアストランジスタにより規定された前記バイアス電流量を変化させることによって、前記第1及び第2のキャパシタの充電速度又は放電速度を変化させることを特徴とする請求項4に記載のデューティ検出回路。

【請求項6】

前記調整する手段は、少なくとも前記第1及び第2のキャパシタの充電時間又は放電時間を変化させることによって、前記第1及び第2のキャパシタの充電量又は放電量を調整するコントロール回路を含むことを特徴とする請求項1乃至3のいずれか1項に記載のデューティ検出回路。

【請求項7】

前記積分回路は、前記クロック信号がハイレベルである期間に前記第1のキャパシタを充電又は放電させる第1の積分トランジスタと、前記クロック信号がローレベルである期間に前記第2のキャパシタを充電又は放電させる第2の積分トランジスタと、前記第1又は第2の積分トランジスタに電流が流れる積分動作期間を前記クロック信号の周期の整数倍に規定する活性化トランジスタとを含んでおり、

前記コントロール回路は、前記活性化トランジスタにより規定された前記積分動作期間を変化させることによって、前記第1及び第2のキャパシタの充電時間又は放電時間を変化させることを特徴とする請求項6に記載のデューティ検出回路。

【請求項8】

前記周波数モニター回路部は、

第3のキャパシタを含み、前記クロック信号に同期して前記第3のキャパシタを充電又は放電させるレプリカ積分回路を有しており、

少なくとも前記第3のキャパシタの電位と基準電位との大小関係に基づいて、前記クロック信号の周波数を検出することを特徴とする請求項1乃至7のいずれか1項に記載のデューティ検出回路。

【請求項9】

前記第3のキャパシタの充電速度又は放電速度は、前記第1及び第2のキャパシタの充電速度又は放電速度と異なることを特徴とする請求項8に記載のデューティ検出回路。

【請求項10】

前記周波数モニター回路部は、

第3のキャパシタを含み、前記クロック信号に同期して前記第3のキャパシタを充電又は放電させる第1のレプリカ積分回路と、

第4のキャパシタを含み、前記クロック信号に同期して、前記第3のキャパシタの充電速度又は放電速度とは異なる速度で、前記第4のキャパシタを充電又は放電させる第2のレプリカ積分回路とを有しており、

少なくとも前記第3及び第4のキャパシタの電位と基準電位との大小関係に基づいて、

10

20

30

40

50

前記クロック信号の周波数を検出することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のデューティ検出回路。

【請求項 1 1】

前記第 3 のキャパシタの充電速度又は放電速度は、前記第 1 及び第 2 のキャパシタの充電速度又は放電速度と実質的に同じであることを特徴とする請求項 1 0 に記載のデューティ検出回路。

【請求項 1 2】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出回路であって、

第 1 及び第 2 のキャパシタを含み、前記クロック信号に同期して前記第 1 及び第 2 のキャパシタを交互に充電又は放電させる積分回路と、

前記第 1 及び第 2 のキャパシタの電位差に基づいて前記デューティ補正信号を出力する手段と、

前記積分回路が所定の条件で積分動作を行った後の前記第 1 及び第 2 のキャパシタの電位に基づいて前記クロック信号の周波数を検出し、該検出の結果に応じて制御信号を出力する周波数モニター回路部と、

前記制御信号に応じて、前記第 1 及び第 2 のキャパシタの充電量又は放電量を調整する手段と、を備えることを特徴とするデューティ検出回路。

【請求項 1 3】

前記所定の条件は、前記第 1 及び第 2 のキャパシタの充電量又は放電量が互いに異なる第 1 及び第 2 の条件を含むことを特徴とする請求項 1 2 に記載のデューティ検出回路。

【請求項 1 4】

前記所定の条件は、前記第 1 及び第 2 のキャパシタの充電速度又は放電速度が互いに異なる第 1 及び第 2 の条件を含むことを特徴とする請求項 1 2 に記載のデューティ検出回路。

【請求項 1 5】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出回路であって、

第 1 及び第 2 のキャパシタを含み、前記クロック信号に同期して前記第 1 及び第 2 のキャパシタを交互に充電又は放電させる積分回路と、

前記第 1 及び第 2 のキャパシタの電位差に基づいて前記デューティ補正信号を出力する手段と、

第 3 のキャパシタを含み、前記クロック信号に同期して前記第 3 のキャパシタを充電又は放電させるレプリカ積分回路と、

前記レプリカ積分回路が所定の条件で積分動作を行った後の前記第 3 のキャパシタの電位を検出し、該検出の結果に基づく制御信号を出力する周波数モニター回路部と、

前記制御信号に応じて、前記第 1 及び第 2 のキャパシタの充電量又は放電量を調整する手段と、を備えることを特徴とするデューティ検出回路。

【請求項 1 6】

前記第 3 のキャパシタを充電又は放電させる条件が、前記第 1 及び第 2 のキャパシタを充電又は放電させる条件と異なることを特徴とする請求項 1 5 に記載のデューティ検出回路。

【請求項 1 7】

前記第 3 のキャパシタの充電速度又は放電速度が、前記第 1 及び第 2 のキャパシタの充電速度又は放電速度と異なることを特徴とする請求項 1 5 に記載のデューティ検出回路。

【請求項 1 8】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出回路であって、

第 1 及び第 2 のキャパシタを含み、前記クロック信号に同期して前記第 1 及び第 2 のキャパシタを交互に充電又は放電させる積分回路と、

10

20

30

40

50

前記第 1 及び第 2 のキャパシタの電位差に基づいて前記デューティ補正信号を出力する手段と、

第 3 のキャパシタを含み、前記クロック信号に同期して前記第 3 のキャパシタを充電又は放電させる複数のレプリカ積分回路と、

前記複数のレプリカ積分回路が所定の条件で積分動作を行った後の前記複数のレプリカ積分回路が個々に有する前記第 3 のキャパシタの電位を各々検出し、該検出の結果に基づく制御信号を出力する周波数モニター回路部と、

前記制御信号に応じて前記第 1 及び第 2 のキャパシタの充電量又は放電量を調整する手段と、を備えることを特徴とするデューティ検出回路。

【請求項 19】

前記複数のレプリカ積分回路が個々に有する前記第 3 のキャパシタを充電又は放電させる条件がそれぞれ異なることを特徴とする請求項 18 に記載のデューティ検出回路。

【請求項 20】

前記複数のレプリカ積分回路が個々に有する前記第 3 のキャパシタの充電速度又は放電速度がそれぞれ異なることを特徴とする請求項 18 に記載のデューティ検出回路。

【請求項 21】

前記第 1 及び第 2 のキャパシタの充電量又は放電量の調整が、前記第 3 のキャパシタの電位と所定の基準電位とを比較することで行われることを特徴とする請求項 18 乃至 20 のいずれか一項に記載のデューティ検出回路。

【請求項 22】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出方法であって、

前記クロック信号に同期して第 1 及び第 2 のキャパシタを交互に充電又は放電させる積分ステップと、

前記第 1 及び第 2 のキャパシタの電位差に基づいて前記デューティ補正信号を出力するステップと、

前記積分ステップを行った後の前記第 1 及び第 2 のキャパシタの電位を検出し、これに基づいて制御信号を出力するステップと、

前記制御信号に応じて前記第 1 及び第 2 のキャパシタの充電量又は放電量を調整するステップとを含むことを特徴とするデューティ検出方法。

【請求項 23】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出方法であって、

前記クロック信号に同期して第 1 及び第 2 のキャパシタを交互に充電又は放電させる第 1 の積分ステップと、

前記第 1 及び第 2 のキャパシタの電位差に基づいて前記デューティ補正信号を出力するステップと、

前記クロック信号に同期して前記第 1 及び第 2 のキャパシタとは異なる条件で第 3 のキャパシタを充電又は放電させる第 2 の積分ステップと、

前記第 2 の積分ステップを行った後の前記第 3 のキャパシタの電位を検出し、これに基づいて制御信号を出力するステップと、

前記制御信号に応じて前記第 1 及び第 2 のキャパシタの充電量又は放電量を調整するステップとを含むことを特徴とするデューティ検出方法。

【請求項 24】

クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出方法であって、

前記クロック信号に同期して第 1 及び第 2 のキャパシタを交互に充電又は放電させる第 1 の積分ステップと、

前記第 1 及び第 2 のキャパシタの電位差に基づいて前記デューティ補正信号を出力するステップと、

10

20

30

40

50

前記クロック信号に同期して複数の第3のキャパシタを互いに異なる条件で充電又は放電させる第2の積分ステップと、

前記第2の積分ステップを行った後の前記複数の第3のキャパシタの電位を検出し、これに基づいて制御信号を出力するステップと、

前記制御信号に応じて前記第1及び第2のキャパシタの充電量又は放電量を調整するステップとを含むことを特徴とするデューティ検出方法。

【請求項25】

前記出力する手段は、前記第1及び第2のキャパシタの電位差を増幅し、該増幅の結果を前記デューティ補正信号として出力する第1のアンプを備えることを特徴とする請求項1乃至21のいずれか1項に記載のデューティ検出回路。

10

【請求項26】

前記調整する手段は、前記周波数モニター回路部に前記基準電位を供給し、前記周波数モニター回路部は、前記基準電位と前記第3のキャパシタの電位との電位差を増幅する第2のアンプを備えることを特徴とする請求項8又は9に記載のデューティ検出回路。

【請求項27】

前記周波数モニター回路部は、前記第2のアンプの出力に応じて前記制御信号を出力する判定回路をさらに備えることを特徴とする請求項26に記載のデューティ検出回路。

【請求項28】

前記調整する手段は、前記周波数モニター回路部に前記基準電位を供給し、前記周波数モニター回路部は、前記基準電位と前記第3のキャパシタの電位との電位差を増幅する第2のアンプと、前記基準電位と前記第4のキャパシタの電位との電位差を増幅する第3のアンプと備えることを特徴とする請求項10又は11に記載のデューティ検出回路。

20

【請求項29】

前記周波数モニター回路部は、前記第2のアンプの出力と前記第3のアンプの出力とに応じて前記制御信号を出力する判定回路をさらに備えることを特徴とする請求項28に記載のデューティ検出回路。

【請求項30】

前記調整する手段は、前記第1及び第2のキャパシタの充電速度又は放電速度を調整するバイアス回路と、前記積分回路及び前記周波数モニター回路の動作タイミングを制御するコントロール回路とを備えることを特徴とする請求項1に記載のデューティ検出回路。

30

【請求項31】

前記コントロール回路は、前記クロック信号に同期して動作することを特徴とする請求項30に記載のデューティ検出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデューティ検出回路に関し、特に、外部クロックに同期した内部クロックを生成するDLL (Delay Locked Loop) 回路の一部として用いられ、内部クロックのデューティ誤差を検出するデューティ検出回路に関するものである。

40

【背景技術】

【0002】

DDR - SDRAM (Double Data Rate - Synchronous Dynamic Random Access Memory) では、メモリ内部の動作遅延を最小限に抑えるため、外部クロックに同期した内部クロックを生成する、DLL (Delay Locked Loop) 回路が用いられている。DLL回路を正しく動作させるには、外部クロック信号が正しいデューティ比 (1周期に占めるハイレベル又はローレベルの割合をいう。ここにいう正しいデューティ比は50%である) で入力されることが必要であるが、外部クロック信号には±5%のデューティ誤差が規格上許容されており、ジッター等も考慮するとそれ以上のデューティ誤差があるため、デューテ

50

イ検出回路によって内部クロックのデューティ誤差を検出した後、デューティ補正回路を用いてこれを補正することが必要となる。

【 0 0 0 3 】

図 8 は、従来のデューティ検出回路の構成を示す略ブロック図である。

【 0 0 0 4 】

図 8 に示すように、このデューティ検出回路 2 0 0 は、D L L 回路によって生成される内部クロック信号であるRCLK信号及びFCLK信号を受け、この内部クロック信号（以下、単にクロック信号という）のデューティ比に応じた電圧レベル（DB信号及びVREF信号）を生成する積分回路 2 1 0 と、積分回路 2 1 0 の出力を増幅するアンプ 2 2 0 と、アンプ 2 2 0 の出力をラッチするラッチ回路 2 3 0 を備えている。ここで、RCLK信号は外部クロック信号と同相の内部クロック信号であり、FCLK信号は外部クロック信号とは逆相の内部クロック信号である。したがって、RCLK信号とFCLK信号は相補の関係にあり、「デューティ比」とは、RCLK信号がハイレベルとなる割合（FCLK信号がローレベルとなる割合）によって定義される。

【 0 0 0 5 】

積分回路 2 1 0 は、信号線S1に接続されたキャパシタC1及びC2と、信号線S2に接続されたキャパシタC3及びC4と、キャパシタC1及びC3を充電（プリチャージ）するためのプリチャージトランジスタTr1乃至Tr3と、キャパシタC1及びC3の放電（ディスチャージ）を許可するための活性化トランジスタTr4及びTr5と、RCLK信号及びFCLK信号を受けてスイッチングする積分トランジスタTr6及びTr7と、積分トランジスタTr6及びTr7のソースとグランドGNDとの間に挿入されたバイアストランジスタTr8とを備えている。プリチャージトランジスタTr1乃至Tr3のゲートには、キャパシタC1及びC3の充電を開始させるプリチャージ信号であるPREB（"B"はバー、すなわちローアクティブの意味。ACTB信号についても同様）信号が供給され、活性化トランジスタTr4及びTr5のゲートには、実際の積分動作を開始させる活性化信号であるACTB信号が供給される。

【 0 0 0 6 】

次に、図 9 を参照しながら、従来のデューティ検出回路 2 0 0 の動作について説明する。まず、図 9 に示すように、PREB信号がローレベルに変化することによってプリチャージトランジスタTr1乃至Tr3がオン状態になると、電源VCLからキャパシタC1～C4へ電荷が供給される。これにより、キャパシタC1、C3は充電され、キャパシタC2、C4は放電される。そして、ACTB信号がローレベルに変化することによって活性化トランジスタTr4及びTr5がオン状態になると、キャパシタC1、C3に充電された電荷は、それぞれRCLK信号及びFCLK信号に同期して交互に放電される。つまり、RCLK信号がハイレベルになると、キャパシタC1の電荷は活性化トランジスタTr4、積分トランジスタTr6、及びバイアストランジスタTr8を通じて放電され、FCLK信号がハイレベルになると、キャパシタC3の電荷は活性化トランジスタTr5、積分トランジスタTr7、及びバイアストランジスタTr8を通じて放電される。これにより、キャパシタC1、C3はそれぞれRCLK信号及びFCLK信号がハイレベルである期間において放電されることから、DB信号及びVREF信号の電位は、図示のようにACTB信号がローレベルである期間において交互に低下することになる。

【 0 0 0 7 】

積分回路 2 1 0 の最終的な出力は、キャパシタC1及びC2に接続された信号線S1の電位であるVREF信号と、キャパシタC3及びC4に接続された信号線S2の電位であるDB信号との電位差によって表現される。これらの電位差がアンプ 2 2 0 によって増幅されることにより 1 ビットのデジタル信号であるDCC信号（デューティ補正信号）が得られ、DCC信号はラッチ回路 2 3 0 にてラッチされる。ここで、DCC信号の論理値がローレベル（VREF > DB）であればデューティ比が 5 0 % を超えていることを意味し、逆にDCC信号の論理値がハイレベル（VREF < DB）であればデューティ比が 5 0 % 未満であることを意味する。このようにして生成されるDCC信号は、図示しないD L L 回路の主回路部にフィードバックされ、D L L 回路の主回路部はこれに基づき、クロック信号のデューティ比を変化させる。つまり、DCC信号がローレベルであればクロック信号のデューティ比が低くなるよう制御し、逆に

10

20

30

40

50

、DCC信号がハイレベルであればクロック信号のデューティ比が高くなるよう制御する。このような制御を連続的に行うことにより、DLL回路はクロック信号のデューティ比を50%に近づける。

【0008】

その他にも、デューティ検出回路又はDLL回路に関連する先行技術としては種々のものが存在している(特許文献1乃至9参照)。

【特許文献1】特開2001-156261号公報

【特許文献2】特開平11-127142号公報

【特許文献3】特開2004-15810号公報

【特許文献4】特開2003-318705号公報

【特許文献5】特開2003-110411号公報

【特許文献6】特開2002-344294号公報

【特許文献7】特開2001-308698号公報

【特許文献8】特開2000-163961号公報

【特許文献9】特開2004-145999号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、上述した従来のデューティ検出回路200では、クロック信号の周波数が予め設定した基準周波数よりも高すぎる場合や低すぎる場合には、正常に動作しないおそれがあるという問題があった。

【0010】

例えば、図9に示したように、RCLK信号及びFCLK信号の周波数が所定の基準周波数に近いものであれば、DB信号及びVREF信号の電位はともにアンプ220が高感度に動作する適正動作範囲内に収まることから、デューティ誤差を正確に検出することができる。

【0011】

しかしながら、図10に示すように、クロック信号の周波数が高すぎる場合には、キャパシタC1、C3の放電量が少なすぎるため、DB信号及びVREF信号の電位が十分に下がらず、DB信号及びVREF信号のレベルがアンプ220の適正動作範囲の限界かそれよりも高くなるおそれがある。このような状態では両信号の電位差が小さく、アンプ220のオフセットの影響を受けやすく、2つの信号の差を十分に増幅できないため、誤判定を生ずる可能性が高い。

【0012】

逆に、図11に示すように、クロック信号の周波数が低すぎる場合には、キャパシタC1、C3の放電量が多すぎるため、DB信号及びVREF信号の電位が大幅に低下し、DB信号及びVREF信号の電位がともにアンプ220の適正動作範囲の限界かそれよりも低くなる(場合によっては、キャパシタの放電が止まってしまい、DB信号及びVREF信号ともグラウンドレベル(GND)まで低下してしまう)おそれがある。このような状態では、やはりアンプ220のオフセットの影響を受けやすく、2つの信号の差を十分に増幅できないため、誤判定を生ずる可能性が高い。

【0013】

このように、従来のデューティ検出回路200では、クロック信号の周波数が高すぎても低すぎてもDB信号とVREF信号との十分な電位差が得られず、アンプ120のオフセットの影響により誤判定を生ずるおそれが非常に高かった。すなわち、従来のデューティ検出回路200は周波数依存性が極めて高く、極めて狭い周波数帯域でしか使用できないという問題があった。

【0014】

したがって、本発明の目的は、より広い周波数帯域で正常に動作することが可能なデューティ検出回路を提供することにある。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 1 5 】

本発明によるデューティ検出回路は、クロック信号のデューティを検出し、これに基づいてデューティ補正信号を生成するデューティ検出回路であって、第1及び第2のキャパシタを含み、前記クロック信号に同期して前記第1及び第2のキャパシタを交互に充電又は放電させる積分回路と、前記第1及び第2のキャパシタの電位差を検出し、これに基づいて前記デューティ補正信号を出力する手段と、前記クロック信号の周波数を検出する周波数モニター回路部とを備え、前記周波数モニター回路部は、前記クロック信号の周波数に応じて、前記第1及び第2のキャパシタの充電量又は放電量を調整することを特徴とする。

【 0 0 1 6 】

第1及び第2のキャパシタの充電量又は放電量を調整する方法としては、これらキャパシタの充電速度又は放電速度を変化させる方法を用いても構わないし、これらキャパシタの充電時間又は放電時間を変化させる方法を用いても構わない。

【 発明の効果 】

【 0 0 1 7 】

本発明によれば、積分回路に含まれる第1及び第2のキャパシタの充電量又は放電量をクロック信号の実際の周波数に基づいて調整していることから、周波数依存性が緩和され、より広い周波数帯域で正常に使用することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【 0 0 1 9 】

図1は、本発明の実施形態に係るデューティ検出回路の構成を概略的に示すブロック図である。

【 0 0 2 0 】

図1に示すように、本実施形態に係るデューティ検出回路100は、DLL回路によって生成される内部クロック信号であるRCLK信号及びFCLK信号を受け、この内部クロック信号（以下、単にクロック信号という）のデューティ比に応じた電圧レベル（DB信号及びVREF信号）を生成する積分回路110と、積分回路110の出力を増幅するアンプ120と、アンプ120の出力をラッチするラッチ回路130と、RCLK信号を基準にして各部の動作タイミングを制御するコントロール回路140と、BIAS信号及びAMPREF信号を生成するバイアス回路150と、クロック信号の周波数をモニターする周波数モニター回路部160を備えている。

【 0 0 2 1 】

図2は、積分回路110の構成を詳細に示す回路図である。

【 0 0 2 2 】

図2に示すように、積分回路110は、信号線S1に接続されたキャパシタC1及びC2と、信号線S2に接続されたキャパシタC3及びC4と、キャパシタC1及びC3をプリチャージするためのプリチャージトランジスタTr1乃至Tr3と、キャパシタC1及びC3のディスチャージを許可するための活性化トランジスタTr4及びTr5と、RCLK信号及びFCLK信号を受けてスイッチングする積分トランジスタTr6及びTr7と、積分トランジスタTr6及びTr7のソースとグラウンドGNDとの間に挿入されたバイアストランジスタTr8乃至Tr10とを備えている。

【 0 0 2 3 】

キャパシタC1及びC2は、一端がいずれも信号線S1に接続されており、他端がそれぞれ電源VCL及びグラウンドGNDに接続されているため、信号線S1の電位はキャパシタC1及びC2の充放電状態によってVCLからゼロまでの間のいずれかの電位となる。信号線S1の電位はVREF信号としてアンプ120に供給される。同様に、キャパシタC3及びC4は、一端がいずれも信号線S2に接続されており、他端がそれぞれ電源VCL及びグラウンドGNDに接続されているため、信号線S2の電位はキャパシタC3及びC4の充放電状態によってVCLからゼロまでの間の

10

20

30

40

50

いずれかの電位となる。信号線S2の電位はDB信号としてアンプ120に供給される。

【0024】

第1の信号線S1及び第2の信号線S2は、それぞれプリチャージトランジスタTr1及びTr2を介して電源VCLに接続されているため、これらプリチャージトランジスタTr1及びTr2がオンすると、第1の信号線S1及び第2の信号線S2はいずれも電源VCLと同電位までプリチャージされる。なお、プリチャージトランジスタTr3は、2つの信号線S1及びS2を短絡することによってチャージバランスを取るために設けられている。これらプリチャージトランジスタTr1乃至Tr3は、Pチャンネル型のMOSトランジスタによって構成されており、それらのゲート電極にはいずれもPREB信号が供給される。

【0025】

活性化トランジスタTr4及びTr5は、積分トランジスタTr6及びTr7を介したディスチャージを許可するスイッチである。活性化トランジスタTr4及びTr5がオンとなる「積分動作期間」は、クロック信号の周期Tの整数倍(=nT:nは自然数)に規定される。活性化トランジスタTr4及びTr5はNチャンネル型のMOSトランジスタによって構成されており、それらのゲート電極にはいずれもACTB信号の反転信号が供給され、トランジスタTr4及びTr5はACTB信号がLowのときに活性化される。

【0026】

積分トランジスタTr6及びTr7は、活性化トランジスタTr4及びTr5がオンしている期間(積分動作期間)においてキャパシタC1及びC3を交互に放電させるスイッチであり、それぞれ活性化トランジスタTr4及びTr5に対して直列に接続されている。これら積分トランジスタTr6及びTr7は、いずれもNチャンネル型のMOSトランジスタによって構成されており、そのゲート電極にはそれぞれRCLK信号及びFCLK信号が供給される。

【0027】

バイアストランジスタTr8~Tr10は、積分動作期間にバイアス電流Iを流すためのトランジスタである。このうち、バイアストランジスタTr8のゲートはプルアップされているため常にオン状態であり、バイアストランジスタTr10のゲートは接地されているため常にオフ状態である。よって実際には2つのトランジスタTr8及びTr9のみがバイアストランジスタとして機能し、バイアス電流Iの調整はバイアストランジスタTr9のみによって行われる。バイアストランジスタTr10が設けられている理由は、後述する第2のレプリカ積分回路162と回路構成を共通化するためである。これらバイアストランジスタTr8乃至Tr10は、いずれもNチャンネル型のMOSトランジスタによって構成されている。

【0028】

このような回路構成において、キャパシタC1、活性化トランジスタTr4、積分トランジスタTr6、及びバイアストランジスタTr8及びTr9からなる直列回路が、RCLK信号に対する積分回路を構成しており、キャパシタC3、活性化トランジスタTr5、積分トランジスタTr7、及びバイアストランジスタTr8及びTr9からなる直列回路が、FCLK信号に対する積分回路を構成している。

【0029】

[0] 積分回路110の積分動作期間は、ACTB信号のアクティブ期間(Low)によって規定されている。ここで、積分動作期間が短すぎるとキャパシタC1、C3を十分に放電させることができず、DB信号とVREF信号との電位差を確保することができなくなる。しかも、この場合、DB信号及びVREF信号の少なくとも一方がアンプ120の動作範囲よりも高くなるおそれがあり、また、バイアストランジスタTr8のソース-ドレイン間電圧がBIAS信号のレベルよりもかなり高くなってしまふ可能性がある。逆に、積分動作期間が長すぎると、DB信号及びVREF信号の電位が低下しすぎてしまい、DB信号及びVREF信号の少なくとも一方がアンプ120の動作範囲よりも低くなるおそれがある。また、この場合、バイアストランジスタTr8のソース-ドレイン間電圧も、BIAS信号のレベルよりもかなり低くなってしまふ可能性がある。したがって、ACTB信号のアクティブ期間、すなわち積分動作期間は、これらを考慮して適切な値に設定する必要がある。上述のとおり、積分動作期間はクロック信号の周期Tの整数倍(=nT)に規定される。

10

20

30

40

50

【 0 0 3 0 】

積分回路 1 1 0 の最終的な出力は、キャパシタC1及びC2に接続された信号線S1の電位であるVREF信号と、キャパシタC3及びC4に接続された信号線S2の電位であるDB信号の電位差によって表現される。すなわち、この積分回路 1 1 0 は、RCLK信号がハイレベルとなる期間と、FCLK信号がハイレベルとなる期間との差を電圧変換する差動回路と考えることができる。これらの電位差がアンプ 1 2 0 によって増幅され、さらにラッチ回路 1 3 0 によってラッチされることにより、1ビットのデジタル信号であるDCC信号（デューティ補正信号）が得られる。DCC信号は図示しないD L L回路の主回路部にフィードバックされ、D L L回路の主回路部はこれに基づき、クロック信号のデューティ比を50%に近づける。このような動作は、通常の動作時において繰り返し実行される。

10

【 0 0 3 1 】

以上のような構成を有する積分回路 1 1 0 の動作について、動作波形図である図 3 及び図 4 を参照しながら説明する。

【 0 0 3 2 】

図 3 は、クロック信号のデューティ比が50%よりも大きい場合（RCLK信号のハイレベル期間がFCLK信号のハイレベル期間よりも長い場合）における積分回路 1 1 0 の動作波形図である。

【 0 0 3 3 】

図 3 に示すように、まずタイミング t_1 においてPREB信号がアクティブ（Low）になると、プリチャージトランジスタTr1乃至Tr3がすべてオン状態になるため、電源VCLからの電荷の供給が開始される。このときACTB信号はインアクティブ（High）の状態であり、活性化トランジスタTr4、Tr5はいずれもオフ状態となっているため、グランドGNDへの電流経路は遮断されている。よって電源VCLからの電荷はすべてキャパシタC1～C4に流れ、これによりキャパシタC1、C3がプリチャージされる。その後、タイミング t_2 においてPREB信号がインアクティブ（High）の状態になるとプリチャージトランジスタTr1乃至Tr3がすべてオフ状態となり、電源VCLからの電荷供給が停止される。

20

【 0 0 3 4 】

次に、タイミング t_3 においてACTB信号がアクティブ（Low）の状態になると、活性化トランジスタTr4、Tr5がともにオン状態となるので、キャパシタC1、C3に充電されている電荷の放電が開始される。このとき、RCLK信号がアクティブ（High）である期間に積分トランジスタTr6がオンし、FCLK信号がアクティブ（High）である期間に積分トランジスタTr7がオンすることから、RCLK信号がアクティブである期間にキャパシタC1に蓄えられた電荷が放電され、FCLK信号がアクティブである期間にキャパシタC3に蓄えられた電荷が放電される。ここで、RCLK信号とFCLK信号は相補の信号であることから、キャパシタC1、C3に充電されている電荷は交互に放電されることになる。図 2 においては、一例として、最初にキャパシタC1の放電によりVREF信号の電位が低下し、次いで、キャパシタC3の放電によりDB信号の電位が低下する例が示されている。そして、一定期間（本例では2 T 期間）が経過したタイミング t_4 においてACTB信号がインアクティブ（High）に変化し、これにより放電動作が完了する。つまり、積分動作期間が終了する。

30

【 0 0 3 5 】

本例では、RCLK信号のハイレベル期間がFCLK信号のハイレベル期間よりも長いことから、キャパシタC1の放電時間のほうがキャパシタC3の放電時間よりも長く、その結果、図 3 に示すように、VREF信号の電位のほうがDB信号の電位よりも大きく低下している。

40

【 0 0 3 6 】

その後、タイミング t_5 においてコントロール回路 1 4 0 より供給されるラッチ信号LATCHがアクティブ（High）となり、これにตอบสนองしてアンプ 1 2 0 の出力がラッチ回路 1 3 0 に取り込まれる。ラッチ回路 1 3 0 に取り込まれた値はDCC信号として、図示しないD L L回路の主回路部に供給される。本例では、VREF < DBであることから、DCC信号はハイレベルとなり、D L L回路の主回路部はこれに基づき、クロック信号のデューティ比が低くなるよう制御する。

50

【 0 0 3 7 】

図4は、クロック信号のデューティ比が50%よりも小さい場合（RCLK信号のハイレベル期間がFCLK信号のハイレベル期間よりも短い場合）における積分回路110の動作波形図である。クロック信号のデューティ比が50%よりも小さい場合も、基本的な動作は上述のとおりであるが、図4に示すように、本例では、FCLK信号のハイレベル期間がRCLK信号のハイレベル期間よりも長いことから、キャパシタC3の放電時間の方がキャパシタC1の放電時間よりも長く、その結果、図4に示すように、DB信号のレベル方がVREF信号のレベルよりも大きく低下している。

【 0 0 3 8 】

このため、タイミング t_5 においてラッチ信号LATCHがアクティブ（High）になると、VREF > DBであることからラッチ回路130はローレベルをラッチし、これをDCC信号として出力する。図示しないDLL回路の主回路部は、これに基づき、クロック信号のデューティ比が高くなるよう制御する。

10

【 0 0 3 9 】

図3及び図4に示す動作は、通常の動作時において繰り返し実行され、これにより、DLL回路はクロック信号のデューティ比をほぼ50%に安定させることが可能となる。

【 0 0 4 0 】

以上が積分回路110の構成及び動作である。次に、周波数モニター回路部160の構成及び動作について説明する。周波数モニター回路部160は、電源投入時やリセット時などの初期設定時に使用される回路部分であり、クロック信号の実際の周波数を検出し、これに基づいて、デューティ誤差の正確な検出が可能となるよう、積分回路110の特性調整を行う。

20

【 0 0 4 1 】

図1に示したように、周波数モニター回路部160は、積分回路110と同一の構成を有する第1のレプリカ積分回路161と、このレプリカ積分回路161の出力を増幅するアンプ162と、アンプ162の出力をラッチするラッチ回路163と、バイアストランジスタTr10のゲートにもBIAS信号を与えることによりバイアス電流量を2倍（ $= 2I$ ）にしている点以外は積分回路110と同一の構成を有する第2のレプリカ積分回路164と、このレプリカ積分回路164の出力を増幅するアンプ165と、アンプ162の出力をラッチするラッチ回路166と、ラッチ回路163、166の出力に基づいてクロック信号の周波数を判定する判定回路167とを備えている。

30

【 0 0 4 2 】

第1のレプリカ積分回路161の出力信号であるDBR1信号、並びに、第2のレプリカ積分回路164の出力信号であるDBR2信号は、いずれも積分回路110におけるDB信号に対応する信号である。これらDBR1信号及びDBR2信号はそれぞれアンプ162、165に供給される。アンプ162、165の特性はアンプ120と同じであり、またラッチ回路163、166の特性もラッチ回路130と同じであるが、アンプ162、165については他方の入力信号がVREF信号ではなくAMPREF信号である。すなわち、第1及び第2のレプリカ積分回路161、164の信号線S1はともに開放端となっている。AMPREF信号は、バイアス回路150より供給され、周波数判定の基準信号として用いられる。AMPREF信号は各

40

【 0 0 4 3 】

第1のレプリカ積分回路161より出力されるDBR1信号とAMPREF信号との電位差はアンプ162によって増幅された後、ラッチ回路163によってラッチされ、DCC信号のレプリカであるDCCR1信号が得られる。DCCR1信号は1ビットのデジタル信号であり、例えばAMPREF < DBR1のときにハイレベル（"1"）、AMPREF > DBR1のときにローレベル（"0"）となる。同様に、第2のレプリカ積分回路164より出力されるDBR2信号とAMPREF信号との電位差はアンプ165によって増幅された後、ラッチ回路166によってラッチされ、DCC信号のレプリカであるDCCR2信号が得られる。DCCR2信号は、例えばAMPREF < DBR2のときにハイレベル、AMPREF > DBR2のときにローレベルとなる。

50

【 0 0 4 4 】

判定回路 1 6 7 は、DBR1信号及びDBR2信号に基づいてクロック信号の周波数の最終的な判定を行う。上述のとおり、DCCR1信号は、DBR1信号とAMPREF信号との大小関係の判定結果を示すデジタル値であり、DCCR2信号は、DBR2信号とAMPREF信号との大小関係の判定結果を示すデジタル値である。したがって、DCCR1信号及びDCCR2信号が" 0 0 "であればDBR1信号及びDBR2信号がともにAMPREF信号よりも小さいと判断することができ、" 1 1 "であればDBR1信号及びDBR2信号がともにAMPREF信号よりも大きいと判断することができる。また、" 1 0 "であればDBR1信号がAMPREF信号よりも大きくかつDBR2信号がAMPREF信号よりも小さいと判断することができる。

【 0 0 4 5 】

次に、DBR1信号とAMPREF信号との大小関係、並びに、DBR2信号とAMPREF信号との大小関係に基づく周波数モニター回路部 1 6 0 による判定方法について、図 5 ~ 図 7 を参照しながらより具体的に説明する。

【 0 0 4 6 】

まず、図 5 に示すように、DBR1信号及びDBR2信号の最終的な電位（積分動作期間経過後の電位をいう。以下同様）がともにAMPREF信号の電位（例えば 0 . 7 V ）よりも高い場合には、判定回路 1 6 7 はクロック信号の周波数が高すぎると判断する。つまり、この場合、判定回路 1 6 7 はクロック信号の周波数が基準周波数より高い「第 1 の周波数」以上であると判断する。ここで、「基準周波数」とは、回路設計上定められたクロック信号の周波数をいい、アンプ 1 2 0 が適正に動作するクロック信号の周波数範囲の略中央値である。第 1 の周波数及び後述する第 2 の周波数との関係で言えば、基準周波数は概ね「第 1 の周波数」と「第 2 の周波数」との中間値となる。また「第 1 の周波数」は、アンプ 1 2 0 が適正に動作するクロック信号の周波数範囲の上限を規定するものである。このような判定を行った場合、判定回路 1 6 7 は制御信号であるCNTL1信号を活性化させる。CNTL1信号が活性化されると、これを受けたバイアス回路 1 5 0 は、積分回路 1 1 0 に流れるバイアス電流量が例えば初期設定状態のときの電流量 I の 2 倍（ $= 2 I$ ）となるよう、BIAS信号の電位を変化（上昇）させる。これにより、キャパシタ $C1$, $C3$ の放電速度が増大することから、積分動作期間経過後におけるDB信号及びVREF信号電位がアンプ 1 2 0 の高感度動作範囲レベルまで低下するとともに、DB信号とVREF信号との電位差が拡大される。

【 0 0 4 7 】

一方、図 6 に示すように、DBR1信号及びDBR2信号の最終的な電位がともにAMPREF信号の電位よりも低い場合には、判定回路 1 6 7 はクロック信号の周波数が低すぎると判断する。つまり、この場合、判定回路 1 6 7 はクロック信号の周波数が基準周波数より低い「第 2 の周波数」以下であると判断する。ここで、「第 2 の周波数」は、アンプ 1 2 0 が適正に動作するクロック信号の周波数範囲の下限を規定するものである。このような判定を行った場合、判定回路 1 6 7 は制御信号であるCNTL2信号を活性化させる。CNTL2信号が活性化されると、これを受けたコントロール回路 1 4 0 は、ACTB信号がローレベルとなる期間、つまり積分動作期間を短縮する。例えば、初期設定状態における積分動作期間がクロック信号の 2 周期分（ $= 2 T$ ）である場合、CNTL2信号が活性化されると、積分動作期間がクロック信号の 1 周期分（ $= 1 T$ ）に短縮される。これにより、キャパシタ $C1$, $C3$ の放電時間が減少することから、積分動作期間経過後におけるDB信号及びVREF信号のレベルがアンプ 1 2 0 の高感度動作範囲レベルにとどめることができる。

【 0 0 4 8 】

また、図 7 に示すように、DB1信号の最終的な電位がAMPREF信号のレベルよりも高く、且つ、DB2信号の最終的な電位がAMPREF信号のレベルよりも低い場合には、判定回路 1 6 7 はクロック信号の周波数が適切であると判断し、設定の変更は行わない。つまり、クロック信号の周波数が第 1 の周波数から第 2 の周波数までの範囲内に収まっていればCNTL1信号及びCNTL2信号をいずれも活性化させない。これにより、バイアス電流量及び積分動作期間は変化せず、積分回路 1 1 0 は初期設定状態で動作する。

【 0 0 4 9 】

このような動作は、電源投入時やリセット時などの初期設定時に実行され、これにより、積分回路110は、実際のクロック信号の周波数に応じた適切な特性を得ることが可能となる。つまり、実際のクロック信号の周波数が、想定された周波数と異なっている場合であっても、デューティ誤差の正確な検出を行うことが可能となる。なお、図5乃至図7に示した周波数判定方法は、判定回路167が単独で行うものではなく、アンプ162、165と、ラッチ回路163、166との協働によって行われるものである。すなわち、アンプ162及びラッチ回路163によってDBR1信号に基づく周波数判定が行われ、アンプ162及びラッチ回路163によってDBR2信号に基づく周波数判定が行われ、そしてこれら個別の判定結果に基づく最終的な周波数判定が判定回路167によって行われることになる。

10

【0050】

以上説明したように、本実施形態に係るデューティ検出回路100は、クロック信号の実際の周波数を検出する周波数モニター回路部160を備え、その検出結果に応じて積分回路110に含まれるキャパシタC1、C3の放電量を調整していることから、周波数依存性が緩和され、より広い周波数帯域で正常に使用することが可能となる。

【0051】

しかも、本実施形態では、キャパシタC1、C3の放電量を増やす必要がある場合（クロック信号の周波数が高すぎる場合）には、バイアス電流量を調整することによってキャパシタC1、C3の放電量を調整していることから、積分動作期間が過度に長くなることがない。一方、キャパシタC1、C3の放電量を減らす必要がある場合（クロック信号の周波数が低すぎる場合）には、積分動作期間を調整することによってキャパシタC1、C3の放電量を調整していることから、バイアス電流の低下によって検出誤差が低下することもない。

20

【0052】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0053】

例えば、上記実施形態においては、クロック信号の周波数が高すぎる場合にはバイアス電流を増大させ、クロック信号の周波数が低すぎる場合には積分動作期間を短縮しているが、積分回路に含まれるキャパシタの充電量又は放電量をクロック信号の周波数に応じて調整する限り、本発明がこれに限定されるものではない。したがって、クロック信号の周波数が高すぎる場合にはバイアス電流を増大させ、クロック信号の周波数が低すぎる場合にはバイアス電流を減少させることによってキャパシタの充電量又は放電量を調整しても構わない。また、クロック信号の周波数が高すぎる場合には積分動作期間を延長し、クロック信号の周波数が低すぎる場合には積分動作期間を短縮することによってキャパシタの充電量又は放電量を調整しても構わない。

30

【0054】

また、上記実施形態においては、クロック信号の周波数が高すぎる場合及びクロック信号の周波数が低すぎる場合の両方の場合に放電量の調整を行っているが、クロック信号の周波数が高すぎる場合及びクロック信号の周波数が低すぎる場合のいずれか一方の場合にのみ、キャパシタの充電量又は放電量の調整を行っても構わない。

40

【0055】

また、上記実施形態においては、周波数の判定を、第1の周波数から第2の周波数までの範囲、第1の周波数以上、第2の周波数以下の3段階としているが、周波数の判定を2段階或いは4段階以上としても構わない。

【0056】

また、上記実施形態においては、2つのレプリカ積分回路を使用することによって周波数の検出を行っているが、本発明がこれに限定されるものではなく、1つのレプリカ積分回路を使用することによって周波数の検出を行っても構わないし、レプリカ積分回路を使用することなく周波数の検出を行っても構わない。1つのレプリカ積分回路を使用するこ

50

とによって周波数の検出を行う方法としては、例えば、上記実施形態において用いた第1のレプリカ積分回路161を排除し、その機能を積分回路110に代替させる方法が考えられる。また、レプリカ積分回路を使用することなく周波数の検出を行う方法としては、例えば、上記実施形態において用いた第1のレプリカ積分回路161及び第2のレプリカ積分回路162を排除し、積分回路110に流れるバイアス電流を種々に変化させるか、或いは、積分動作期間を種々に変化させ、これにより得られるDB信号及び/又はVREF信号のレベルに基づいて周波数の検出を行う方法が考えられる。

【0057】

また、上記実施形態においては、信号線S1に2つのキャパシタC1, C2が接続され、信号線S2にも2つのキャパシタC3, C4が接続されているが、キャパシタC1, C3又はキャパシタC2, C4を削除しても構わない。キャパシタC1, C3を削除した場合には、積分動作期間におけるキャパシタC2, C4の充電量によってデューティ誤差が検出され、キャパシタC2, C4を削除した場合には、積分動作期間におけるキャパシタC1, C3の放電量によってデューティ誤差が検出されることになる。

【図面の簡単な説明】

【0058】

【図1】本発明の実施の形態に係るデューティ検出回路100の構成を概略的に示すブロック図である。

【図2】積分回路110の構成を詳細に示す回路図である。

【図3】クロック信号のデューティ比が50%よりも大きい場合における積分回路110の動作波形図である。

【図4】クロック信号のデューティ比が50%よりも小さい場合における積分回路110の動作波形図である。

【図5】クロック信号の周波数が高すぎる場合におけるDBR1信号及びDBR2信号の波形図である。

【図6】クロック信号の周波数が低すぎる場合におけるDBR1信号及びDBR2信号の波形図である。

【図7】クロック信号の周波数が適切である場合におけるDBR1信号及びDBR2信号の波形図である。

【図8】従来のデューティ検出回路200の構成を概略的に示すブロック図である。

【図9】クロック信号の周波数が適切である場合におけるデューティ検出回路200の動作波形図である。

【図10】図9のクロック信号の周波数が高すぎる場合におけるデューティ検出回路200の動作波形図である。

【図11】図9のクロック信号の周波数が低すぎる場合におけるデューティ検出回路200の動作波形図である。

【符号の説明】

【0059】

100	デューティ検出回路	
110	積分回路	40
120	アンプ	
130	ラッチ回路	
140	コントロール回路	
150	バイアス回路	
160	周波数モニター回路部	
161	第1のレプリカ積分回路	
162	アンプ	
163	ラッチ回路	
164	第2のレプリカ積分回路	
165	アンプ	50

10

20

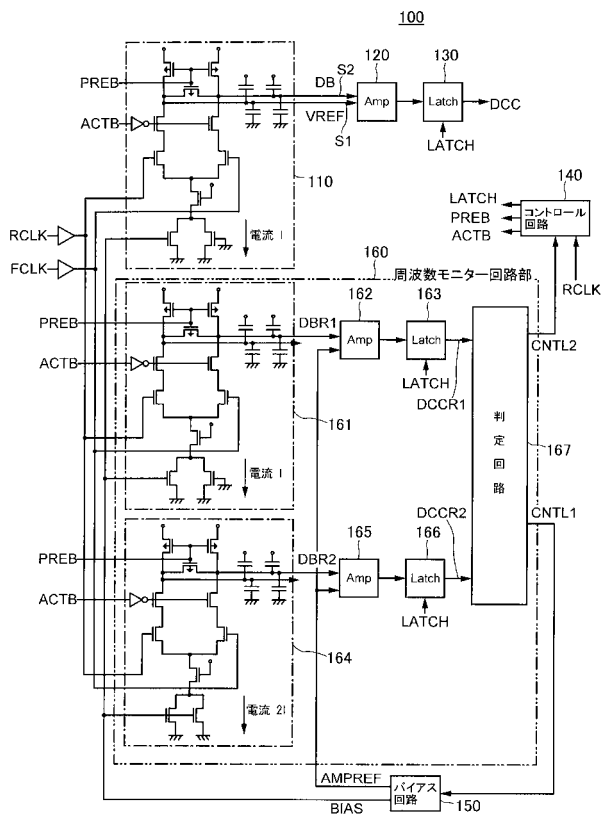
30

40

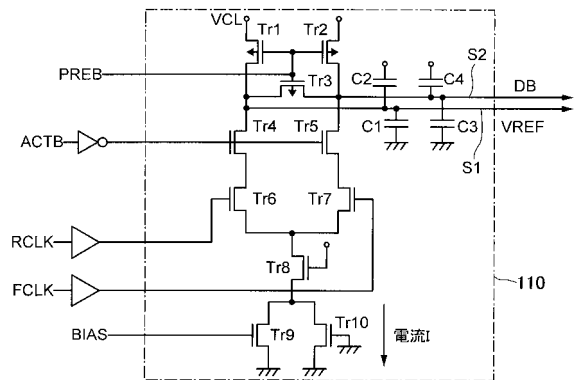
50

- 1 6 6 ラッチ回路
- 1 6 7 判定回路
- C1 ~ C4 キャパシタ
- Tr1 ~ Tr3 プリチャージトランジスタ
- Tr4 , Tr5 活性化トランジスタ
- Tr6 , Tr7 積分トランジスタ
- Tr8 ~ Tr10 バイアストランジスタ

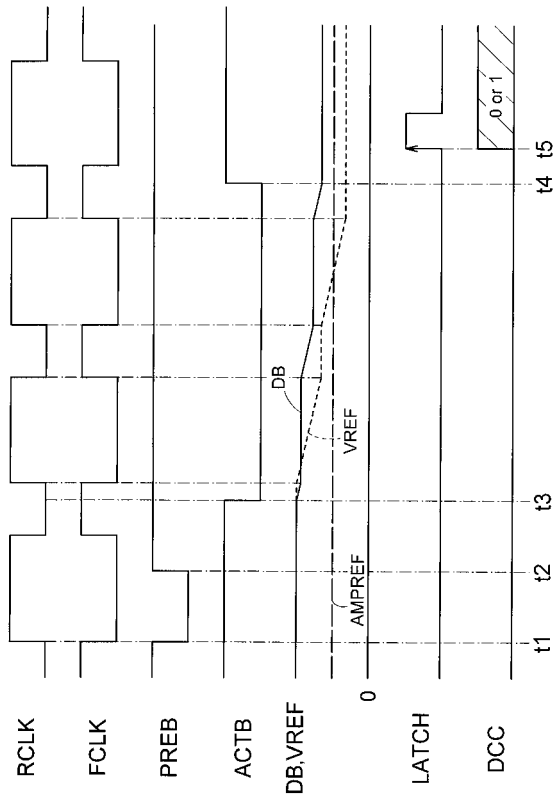
【 図 1 】



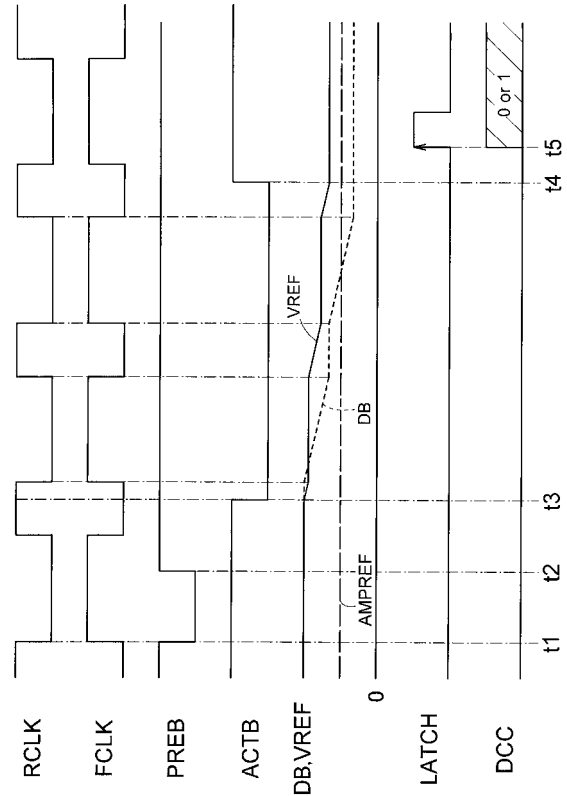
【 図 2 】



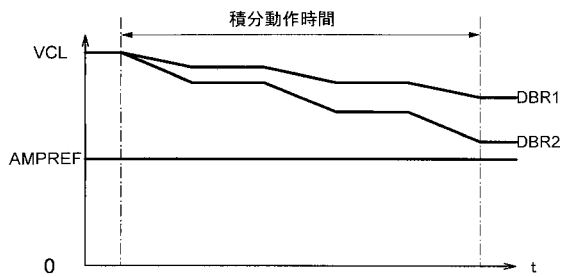
【 図 3 】



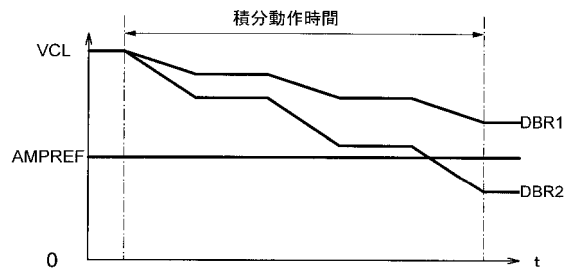
【 図 4 】



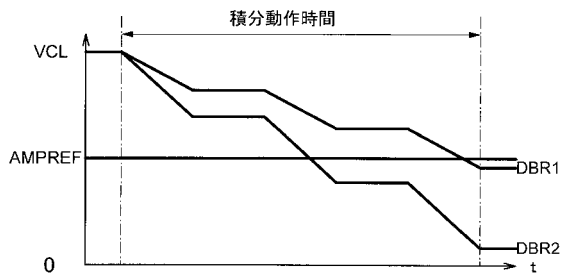
【 図 5 】



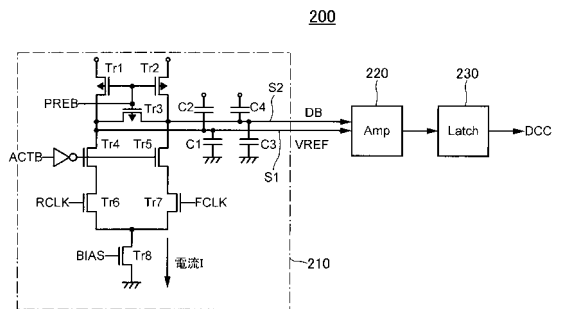
【 図 7 】



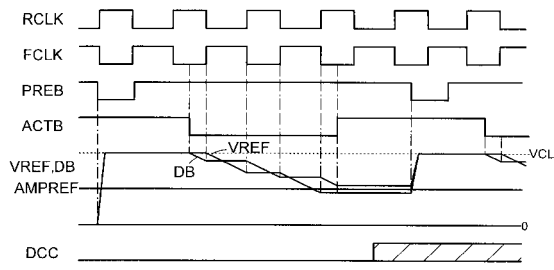
【 図 6 】



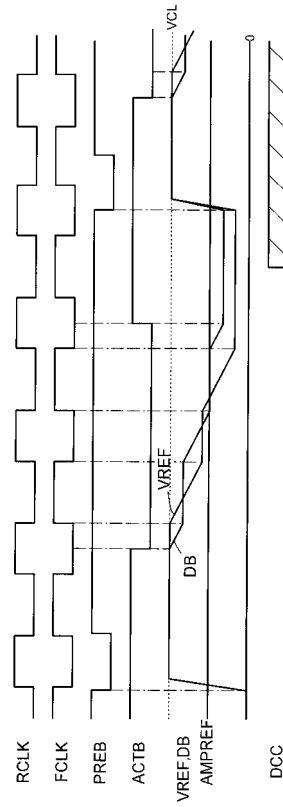
【 図 8 】



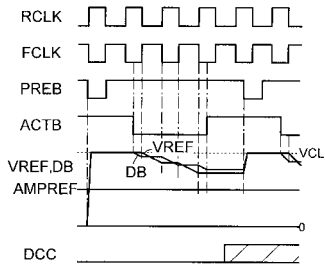
【図 9】



【図 11】



【図 10】



フロントページの続き

- (56)参考文献 特開平 1 1 - 1 2 7 1 4 2 (J P , A)
特開 2 0 0 3 - 1 1 0 4 1 1 (J P , A)
特開昭 6 1 - 7 1 7 1 5 (J P , A)
特開 2 0 0 1 - 1 4 4 5 9 0 (J P , A)
特開 2 0 0 2 - 1 3 5 1 0 5 (J P , A)
特開 2 0 0 3 - 3 1 8 7 0 5 (J P , A)
特開 2 0 0 4 - 8 8 6 7 9 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 3 K 5 / 1 9