



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 09 12 77  
(21) (PV 8261—77)

(40) Zveřejněno 29 08 80  
(45) Vydáno 31 07 84

205 334  
(11) (B1)

(51) Int. Cl.<sup>3</sup>  
G 06 F 3/06

(75)  
**Autor vynálezu** HAMATA VLADIMÍR ing., Praha

## (54) Spojovací zařízení s konverzí struktury přenášené informace

1

Vynález se týká spojovacího zařízení s konverzí struktury přenášené informace v diskrétním tvaru mezi zařízeními, která pracují s různými strukturami a délkami dat.

Dosud užívaná spojovací zařízení umožňují kromě přenosu informace i vyrovnávání různých rychlostí spolupracujících zařízení pomocí vyrovnávací paměti. Spojovaná zařízení však musí splňovat podmínku stejné struktury zpracovávané informace, neboť ta se během přenosu nemění. Není-li uvedený požadavek stejné struktury zpracovávané informace splněn, je nutné provádět úpravy případně i překonstruování vstupní resp. výstupní strany jednoho ze spojovacích zařízení.

Uvedené nedostatky odstraňuje spojovací zařízení s konverzí struktury přenášené informace, sestávající z vyrovnávací paměti, na jejíž výstup je napojen demultiplexer, opatřený výstupní svorkou, podle vynálezu, jehož podstata spočívá v tom, že na vstup vyrovnávací paměti je napojen první výstup adaptivního obvodu, opatřeného vstupní svorkou, jehož druhý výstup je spojen se vstupem predekodéru. První výstup predekodéru je napojen na první vstup řídicího obvodu paměti a druhý výstup predekodéru je spojen s prvním řídicím vstupem nulovacího obvodu, jehož výstup je spojen s dru-

2

hým vstupem řídicího obvodu paměti. První výstup řídicího obvodu paměti je napojen na vstup bloku pro řízení kanálu O, jehož první řídicí výstup je spojen s řídicím vstupem demultiplexeru, druhý řídicí výstup je napojen na druhý řídicí vstup nulovacího obvodu a třetí řídicí výstup je spojen s prvním řídicím vstupem bloku pro řízení kanálu I. Výstup bloku pro řízení kanálu I je napojen na vstup generátoru řídicích impulsů, jehož první synchronizační výstup je spojen se synchronizačním vstupem řídicího obvodu paměti a druhý synchronizační výstup je spojen se synchronizačním vstupem nulovacího obvodu. Druhý výstup řídicího obvodu paměti je napojen na řídicí vstup vyrovnávací paměti a třetí výstup řídicího obvodu paměti je napojen na druhý řídicí vstup bloku pro řízení kanálu I. Blok pro řízení kanálu I je opatřen vstupem a výstupem pro řízení přenosu informace kanálem I a blok pro řízení kanálu O je opatřen vstupem a výstupem pro řízení přenosu informace kanálem O.

Spojovací zařízení podle vynálezu umožňuje provést během přenosu dat i změnu jejich struktury a tím dovoluje spojit zařízení pracující s různými datovými strukturami.

Uvedené spojovací zařízení lze realizovat

s minimální prostorovou zástavbou z běžných logických integrovaných obvodů. Lze je používat všude tam, kde jsou provozní podmínky pro elektronická zařízení tohoto druhu. Vysoká spolehlivost a životnost zařízení je určena použitými konstrukčními prvky.

Vynález je blíže objasněn na příkladu provedení pomocí připojeného výkresu, na němž je znázorněno blokové schéma spojovacího zařízení podle vynálezu.

Spojovací zařízení podle vynálezu je tvořeno vyrovnávací pamětí 7, na jejíž výstup je napojen demultiplexer 9, na jehož výstupní svorku je napojen kanál 0 vstupního zařízení 11.

Vstup vyrovnávací paměti 7 je napojen na první výstup adaptivního obvodu 2, na jehož vstupní svorku je napojen kanál I výstupního zařízení 1. Druhý výstup adaptivního obvodu 2 je spojen se vstupem predekodéru 4, jehož první výstup je napojen na první vstup řídicího obvodu 8 paměti a jehož druhý výstup je spojen s prvním řídicím vstupem nulovacího obvodu 6. Výstup nulovacího obvodu 6 je spojen s druhým vstupem řídicího obvodu 8 paměti, jehož první výstup je napojen na vstup bloku 10 pro řízení kanálu 0, jehož první řídicí výstup je spojen s řídicím vstupem demultiplexeru 9, druhý řídicí výstup je napojen na druhý řídicí vstup nulovacího obvodu 6 a třetí řídicí výstup je spojen s prvním řídicím vstupem bloku 3 pro řízení kanálu I. Výstup bloku 3 pro řízení kanálu I je napojen na vstup generátoru 5 řídicích impulsů, jehož první synchronizační výstup je spojen se synchronizačním vstupem řídicího obvodu 8 paměti a druhý synchronizační výstup je spojen se synchronizačním vstupem nulovacího obvodu 6. Druhý výstup řídicího obvodu 8 paměti je napojen na řídicí vstup vyrovnávací paměti 7 a třetí výstup řídicího obvodu 8 paměti je napojen na druhý řídicí vstup bloku 3 pro řízení kanálu I. Blok 3 pro řízení kanálu I je napojen svým vstupem a výstupem pro řízení přenosu informace kanálem I na výstupní zařízení 1 a blok 10 pro řízení kanálu 0 je svým vstupem a výstupem pro řízení přenosu informace kanálem 0 napojen na vstupní zařízení 11.

Adaptivní obvod 2 upravuje vstupní data přicházející kanálem I z výstupního zařízení 1 tak, aby svými úrovněmi a tvarem byly kompatibilní s použitými konstrukčními prvky spojovacího zařízení. Blok 3 pro řízení kanálu I zajišťuje výměnu řídicích signálů s výstupním zařízením 1. Signál z řídicího vstupu výstupního zařízení 1 oznamuje přítomnost dat na kanálu I a signálem na řídicí výstup výstupního zařízení 1 z bloku 3 pro řízení kanálu I je žádáno připravení dalších dat k přenosu. Podobným způsobem je řízen i kanál 0 vstupního zařízení 11. Blok 10 pro řízení kanálu 0 oznamuje vstupnímu zařízení 11 přítomnost dat na kanálu 0 a přijímá žádost o vyslání dalších dat. Signál z bloku 3 pro řízení kanálu I inicializuje činnost generátoru 5 řídicích impulsů, který synchronizuje činnost nulovacího obvodu 6 a řídicího obvodu 8 paměti. Nulovací obvod 6 zajišťuje prostřednictvím signálu z predekodéru 4 a signálu z bloku 10 pro řízení kanálu 0 správné nastavení řídicího obvodu 8 paměti. Řídicí obvod 8 paměti generuje na řídicí vstup vyrovnávací paměti 7 zápisové pulsy, které provádí uložení dat z adaptivního obvodu 2 do příslušné části vyrovnávací paměti 7. Po skončení zápisu do vyrovnávací paměti 7 předává řídicí obvod 8 paměti řízení buď bloku 10 pro řízení kanálu 0 nebo bloku 3 pro řízení kanálu I. Celý obsah vyrovnávací paměti 7 se přenáší do multiplexeru 9, který konvertuje strukturu uložené informace a provádí ukládání výstupních dat do částí, které podle řídicího signálu z bloku 10 pro řízení kanálu 0 odesílá do vstupního zařízení 11. Kapacita vyrovnávací paměti 7 je postačující pro uložení více než jedné ucelené informace, která je přenášena mezi výstupním zařízením 1 a vstupním zařízením 11, což umožňuje přenos celých informačních bloků a omezuje závislost zahájení přenosu kanálem 0 na dokončení zápisu do vyrovnávací paměti 7. Predekodér 4 umožňuje podle předběžné analýzy dat přicházejících z adaptivního obvodu 2 takové nastavení řídicího obvodu 8 paměti, že se provede přepis jen na určité části informace uložení ve vyrovnávací paměti 7 a následuje odeslání takto vytvořené nové informace vstupnímu zařízení 11.

Bloková struktura spojovacího zařízení podle vynálezu může být pro některé aplikace upravena například změnou počtu řídicích signálů mezi jednotlivými bloky nebo i vynecháním některého bloku, například predekodéru 4. Počet řídicích signálů obou kanálů a struktura bloků 3 a 10 pro řízení kanálů I a 0 jsou závislé na vlastnostech zařízení připojených v konkrétní aplikaci. Obvod demultiplexeru 9 může být doplněn o adaptační obvod upravující úroveň i tvar výstupních dat do formy kompatibilní se vstupním zařízením 11. Funkce spojovacího zařízení podle vynálezu může být realizována programově s využitím mikroprocesoru.

## Předmět vynálezu

Spojovací zařízení s konverzí struktury přenášené informace, sestávající z vyrovnávací paměti, na jejíž výstup je napojen demultiplexer, opatřený výstupní svorkou, vyznačující se tím, že na vstup vyrovnávací paměti (7) je napojen první výstup adaptivního obvodu (2), opatřeného vstupní svorkou, jehož druhý výstup je spojen se vstupem predekodéru (4), jehož první výstup je napojen na první vstup řídicího obvodu (8) paměti a jehož druhý výstup je spojen s prvním řídicím vstupem nulovacího obvodu (6), jehož výstup je spojen s druhým vstupem řídicího obvodu (8) paměti a první výstup řídicího obvodu (8) paměti je napojen na vstup bloku (10) pro řízení kanálu 0, jehož první řídicí výstup je spojen s řídicím vstupem demultiplexeru (9), druhý řídicí výstup je napojen na druhý řídicí vstup nu-

lovacího obvodu (6) a třetí řídicí výstup je spojen s prvním řídicím vstupem bloku (3) pro řízení kanálu I, jehož výstup je napojen na vstup generátoru (5) řídicích impulsů, jehož první synchronizační výstup je spojen se synchronizačním vstupem řídicího obvodu (8) paměti a druhý synchronizační výstup je spojen se synchronizačním vstupem nulovacího obvodu (6), zatímco druhý výstup řídicího obvodu (8) paměti je napojen na řídicí vstup vyrovnávací paměti (7) a třetí výstup řídicího obvodu (8) paměti je napojen na druhý řídicí vstup bloku (3) pro řízení kanálu I, přičemž blok (3) pro řízení kanálu I je opatřen vstupem a výstupem pro řízení přenosu informace kanálem I a blok (10) pro řízení kanálu 0 je opatřen vstupem a výstupem pro řízení přenosu informace kanálem 0.

