

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成21年4月23日(2009.4.23)

【公表番号】特表2009-503727(P2009-503727A)

【公表日】平成21年1月29日(2009.1.29)

【年通号数】公開・登録公報2009-004

【出願番号】特願2008-524992(P2008-524992)

【国際特許分類】

G 0 6 F 13/42 (2006.01)

G 0 6 F 1/12 (2006.01)

H 0 4 L 7/00 (2006.01)

【F I】

G 0 6 F 13/42 3 5 0 A

G 0 6 F 1/04 3 4 0 D

H 0 4 L 7/00 Z

【手続補正書】

【提出日】平成21年3月6日(2009.3.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のデータ・ビットと、該複数のデータ・ビットに付随する順ストローブとを送信するように構成可能な少なくとも 1 つのコンポーネントと、

複数の信号を受信するように構成可能な少なくとも 1 つのコンポーネントと、
を備えており、前記受信するように構成可能な少なくとも 1 つのコンポーネントが、
順ストローブ・サンプリング・クロックを位置合わせして、サンプリング精度を高めるように構成可能な順ストローブ・クロック再現回路と、

サンプリング精度を高めるようにデータ・ビット・サンプリング・クロックを位置合わせし、前記受信するように構成可能な少なくとも 1 つのコンポーネントの動作中に、前記データ・ビット・サンプリング・クロックが前記順ストローブ・サンプリング・クロックに追従するようにさせる、前記順ストローブ・クロック再現回路からの信号を受け取るように構成可能な少なくとも 1 つのデータ・ビット・クロック再現回路と、
を備えている、システム。

【請求項 2】

請求項 1 記載のシステムにおいて、前記順ストローブ・クロック再現回路から受け取る前記信号は、順ストローブ・クロック・オフセットを備えており、前記順ストローブ・クロック・オフセットを中間データ・ビット・クロック・オフセットと結合して、データ・ビット・クロック・オフセットを発生する、システム。

【請求項 3】

請求項 1 記載のシステムにおいて、前記少なくとも 1 つのデータ・ビット・クロック再現回路がアクティブである間の訓練段階において、データ・ビット・クロック・オフセットを発生することにより、前記データ・ビット・サンプリング・クロックを位置合わせし、前記データ・ビット・クロック・オフセットは、前記順ストローブ・クロック再現回路からの前記信号と結合した中間データ・ビット・クロック・オフセットを含み、前記信号は順ストローブ・クロック・オフセットを備えている、システム。

【請求項 4】

請求項 3 記載のシステムにおいて、前記受信するように構成可能な少なくとも 1 つのコンポーネントの動作中、前記少なくとも 1 つのデータ・ビット・クロック再現回路はインアクティブであり、前記中間データ・ビット・クロック・オフセットは固定されており、前記データ・ビット・クロック・オフセットは前記順ストローブ・クロック・オフセットと共に変動する、システム。

【請求項 5】

請求項 1 記載のシステムにおいて、

前記順ストローブ・クロック再現回路は、順ストローブ・クロック・オフセットの発生を含む、順ストローブ訓練段階の間に、前記順ストローブ・サンプリング・クロックを位置合わせし、

前記少なくとも 1 つのデータ・ビット・クロック再現回路は、前記順ストローブ・クロック再現回路がインアクティブになっているデータ・ビット訓練段階の間に、前記データ・ビット・サンプリング・クロックを位置合わせし、前記順ストローブ・クロックから受け取る前記信号は前記順ストローブ・オフセットであり、中間データ・クロック・オフセットと結合して、データ・ビット・クロック・オフセットを発生する、システム。

【請求項 6】

請求項 1 記載のシステムにおいて、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、前記複数のデータ・ビットの各々について 1 つのデータ・ビット・クロック再現回路を備えている、システム。

【請求項 7】

請求項 6 記載のシステムにおいて、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、それぞれのデータ・ビットおよび再現したデータ・クロック信号を受け取り、位相差を表す早 / 遅指示を出力する位相検出器を含む、システム。

【請求項 8】

請求項 7 記載のシステムにおいて、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記早 / 遅指示を受け取り、中間データ・ビット・クロック・オフセットを出力する位相カウンタを含む、システム。

【請求項 9】

請求項 8 記載のシステムにおいて、前記位相カウンタが前記早 / 遅指示を受け取る前に、該早 / 遅指示を所定数で分割する、システム。

【請求項 10】

請求項 8 記載のシステムにおいて、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記中間データ・ビット・クロック・オフセットを、前記順ストローブ・クロック再現回路から受け取った前記信号と加算する加算器を含み、前記信号は順ストローブ・クロック・オフセットを備えている、システム。

【請求項 11】

請求項 10 記載のシステムにおいて、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記加算器の出力を受け取り、前記再現データ・クロック信号を発生するクロック位相遅延回路を含む、システム。

【請求項 12】

命令を格納したコンピュータ読み取り可能媒体であって、前記命令をシステムにおいて実行すると、該システムにデータ転送方法を実施させ、該方法が、

サンプリング精度を高めるために用いられる順ストローブ・サンプリング・クロック・オフセットを決定するために、順ストローブ・クロック再現回路を訓練するステップと、

サンプリング精度を高めるために用いられるデータ・ビット・サンプリング・クロック・オフセットを決定するために、少なくとも 1 つのデータ・ビット・クロック再現回路を訓練するステップであって、前記データ・ビット・サンプリング・クロック・オフセットが、前記順ストローブ・サンプリング・クロック・オフセットと、中間データ・ビット・サンプリング・クロック・オフセットとを含む、ステップと、

を備えている、コンピュータ読み取り可能媒体。

【請求項 13】

請求項 12 記載の媒体において、前記システムによって実施する方法は、更に、前記順ストロープ・クロック再現回路を訓練している間、前記順ストロープ・クロック再現回路をイネーブルし、前記データ・クロック再現回路をディスエーブルするステップを含む、媒体。

【請求項 14】

請求項 12 記載の媒体において、前記システムによって実施する方法は、更に、前記データ・クロック再現回路を訓練している間、前記順ストロープ・クロック再現回路をディスエーブルし、前記データ・クロック再現回路をイネーブルするステップを備えている、媒体。

【請求項 15】

請求項 12 記載の媒体において、前記システムによって実施する方法は、更に、前記データ・ビット・サンプリング・クロック・オフセットが、前記順ストロープ・サンプリング・クロック・オフセットを追従するように、システム動作の間、前記順ストロープ・クロック再現回路をイネーブルし、前記データ・クロック再現回路をディスエーブルするステップを備えている、媒体。

【請求項 16】

請求項 12 記載の媒体において、前記システムによって実施する方法は、更に、前記システムの動作の間、少なくとも 1 つのクロック再現イベントを検出するステップと、
少なくとも 1 つのデータ・ビット・クロック再現回路の訓練を繰り返すステップと、
を備えている、媒体。

【請求項 17】

請求項 16 記載の媒体において、前記少なくとも 1 つのクロック再現イベントは、前記少なくとも 1 つのデータ・クロック再現回路の最後の訓練以来、所定の時間量が経過することと、
前記少なくとも 1 つのデータ・クロック再現回路を含むシステム・コンポーネントのアイドル状態と、
前記少なくとも 1 つのデータ・クロック再現回路を含むシステム・コンポーネントの低電力状態と、
を含む、媒体。

【請求項 18】

システムにおけるデータ転送方法であって、
サンプリング精度を高めるために用いられる順ストロープ・サンプリング・クロック・オフセットを決定するために、順ストロープ・クロック再現回路を訓練するステップと、
サンプリング精度を高めるために用いられるデータ・ビット・サンプリング・クロック・オフセットを決定するために、少なくとも 1 つのデータ・ビット・クロック再現回路を訓練するステップであって、前記データ・ビット・サンプリング・クロック・オフセットが、前記順ストロープ・サンプリング・クロック・オフセットと、中間データ・ビット・サンプリング・クロック・オフセットとを含む、ステップと、
を備えている、方法。

【請求項 19】

請求項 18 記載の方法であって、更に、前記順ストロープ・クロック再現回路を訓練している間、前記順ストロープ・クロック再現回路をイネーブルし、前記データ・クロック再現回路をディスエーブルするステップを含む、方法。

【請求項 20】

請求項 18 記載の方法であって、更に、前記データ・クロック再現回路を訓練している間、前記順ストロープ・クロック再現回路をディスエーブルし、前記データ・クロック再現回路をイネーブルするステップを備えている、方法。

【請求項 2 1】

請求項 1 8 記載の方法であって、更に、前記データ・ビット・サンプリング・クロック・オフセットが、前記順ストロブ・サンプリング・クロック・オフセットに追従するように、システム動作の間、前記順ストロブ・クロック再現回路をイネーブルし、前記データ・クロック再現回路をディスエーブルするステップを備えている、方法。

【請求項 2 2】

請求項 1 8 記載の方法であって、更に、

前記システムの動作の間、少なくとも 1 つのクロック再現イベントを検出するステップと、

少なくとも 1 つのデータ・ビット・クロック再現回路の訓練を繰り返すステップと、を備えている、方法。

【請求項 2 3】

請求項 2 2 記載の方法において、前記少なくとも 1 つのクロック再現イベントは、

前記少なくとも 1 つのデータ・クロック再現回路の最後の訓練以来、所定の時間量が経過することと、

前記少なくとも 1 つのデータ・クロック再現回路を含むシステム・コンポーネントのアイドル状態と、

前記少なくとも 1 つのデータ・クロック再現回路の低電力状態と、を含む、方法。

【請求項 2 4】

データ送信装置であって、

伝送媒体上でストロブ信号を送信するストロブ信号送信機と、

伝送媒体上で少なくとも 1 つのデータ信号を送信する少なくとも 1 つのデータ送信機であって、前記ストロブ信号をサンプリングするために、受信機ストロブ・サンプリング・クロックを位置合わせし、前記位置合わせした受信機ストロブ・サンプリング・クロックに追従するように、少なくとも 1 つの受信機データ・サンプリング・クロックを位置合わせする、少なくとも 1 つのデータ送信機と、を備えている、データ送信装置。

【請求項 2 5】

請求項 2 4 記載の装置において、前記伝送媒体上で前記ストロブ信号を連続的に送信する、装置。

【請求項 2 6】

請求項 2 5 記載の装置において、前記連続的に送信されるストロブ信号を論理高値と論理低値との間で切り換える、装置。

【請求項 2 7】

データ送信方法であって、

伝送媒体上でストロブ信号を送信するステップと、

伝送媒体上で少なくとも 1 つのデータ信号を送信するステップであって、前記送信されたストロブ信号をサンプリングするストロブ・サンプリング・クロックを、前記ストロブ・サンプリング・クロックを位置合わせするために用いる調節値によって調節し、前記少なくとも 1 つのデータ信号をサンプリングする少なくとも 1 つのデータ・サンプリング・クロックを位置合わせするために、前記調節値を更に用いる、ステップと、を備えている、データ送信方法。

【請求項 2 8】

請求項 2 7 記載の方法において、前記ストロブ信号を送信するステップは、前記伝送媒体上で前記ストロブ信号を連続的に送信するステップを含む、方法。

【請求項 2 9】

請求項 2 8 記載の方法において、前記ストロブ信号を連続的に送信するステップは、前記連続的に送信されるストロブ信号を論理高値と論理低値との間で切り換えるステップを含む、方法。

【請求項 30】

データを受信する受信機であって、

順ストローク・サンプリング・クロックを位置合わせするように構成可能な順ストローク・クロック再現回路と、

データ・ビット・サンプリング・クロックを位置合わせし、前記順ストローク・クロック再現回路から信号を受け取るように構成可能な少なくとも1つのデータ・ビット・クロック再現回路であって、動作の間、前記順ストローク・サンプリング・クロックを追従するように前記データ・ビット・サンプリング・クロックを構成する、少なくとも1つのデータ・ビット再現回路と、

を備えている、受信機。

【請求項 31】

請求項 30 記載の受信機において、前記順ストローク・クロック再現回路から受け取る前記信号は、順ストローク・クロック・オフセットを備えており、前記順ストローク・クロック・オフセットを中間データ・ビット・クロック・オフセットと結合して、データ・ビット・クロック・オフセットを発生する、受信機。

【請求項 32】

請求項 30 記載の受信機において、前記少なくとも1つのデータ・ビット・クロック再現回路がアクティブである間の訓練段階において、データ・ビット・クロック・オフセットを発生することにより、前記データ・ビット・サンプリング・クロックを位置合わせし、前記データ・ビット・クロック・オフセットは、前記順ストローク・クロック再現回路からの前記信号と結合した中間データ・ビット・クロック・オフセットを含み、前記信号は順ストローク・クロック・オフセットを備えている、受信機。

【請求項 33】

請求項 32 記載の受信機において、前記受信するように構成可能な少なくとも1つのコンポーネントの動作中、前記少なくとも1つのデータ・ビット・クロック再現回路はインアクティブであり、前記中間データ・ビット・クロック・オフセットは固定されており、前記データ・ビット・クロック・オフセットは前記順ストローク・クロック・オフセットと共に変動する、受信機。

【請求項 34】

請求項 30 記載の受信機において、

前記順ストローク・クロック再現回路は、順ストローク・クロック・オフセットの発生を含む、順ストローク訓練段階の間に、前記順ストローク・サンプリング・クロックを位置合わせし、

前記少なくとも1つのデータ・ビット・クロック再現回路は、前記順ストローク・クロック再現回路がインアクティブになっているデータ・ビット訓練段階の間に、前記データ・ビット・サンプリング・クロックを位置合わせし、前記順ストローク・クロックから受け取る前記信号は前記順ストローク・オフセットであり、中間データ・クロック・オフセットと結合して、データ・ビット・クロック・オフセットを発生する、受信機。

【請求項 35】

請求項 30 記載の受信機において、前記少なくとも1つのデータ・ビット・クロック再現回路は、前記複数のデータ・ビットの各々について1つのデータ・ビット・クロック再現回路を備えている、受信機。

【請求項 36】

請求項 35 記載の受信機において、前記少なくとも1つのデータ・ビット・クロック再現回路は、それぞれのデータ・ビットおよび再現したデータ・クロック信号を受け取り、位相差を表す早／遅指示を出力する位相検出器を含む、受信機。

【請求項 37】

請求項 36 記載の受信機において、前記少なくとも1つのデータ・ビット・クロック再現回路は、更に、前記早／遅指示を受け取り、中間データ・ビット・クロック・オフセットを出力する位相カウンタを含む、受信機。

【請求項 38】

請求項 37 記載の受信機において、前記位相カウンタが前記早 / 遅指示を受け取る前に、該早 / 遅指示を所定数で分割する、受信機。

【請求項 39】

請求項 37 記載の受信機において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記中間データ・ビット・クロック・オフセットを、前記順ストローク・クロック再現回路から受け取った前記信号と加算する加算器を含み、前記信号は順ストローク・クロック・オフセットを備えている、受信機。

【請求項 40】

請求項 39 記載の受信機において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記加算器の出力を受け取り、前記再現データ・クロック信号を発生するクロック位相遅延回路を含む、受信機。

【請求項 41】

データの受信方法であって、

順ストロークの受信に応答して、順ストローク・クロック再現回路が順ストローク・サンプリング・クロックを位置合わせするステップと、

動作の間、前記順ストローク・サンプリング・クロックを追従するようにデータ・ビット・サンプリング・クロックを位置合わせするステップと、
を備えている、方法。

【請求項 42】

請求項 41 記載の方法において、前記順ストローク・クロック再現回路から受け取る前記信号は、順ストローク・クロック・オフセットを備えており、前記順ストローク・クロック・オフセットを中間データ・ビット・クロック・オフセットと結合して、データ・ビット・クロック・オフセットを発生する、方法。

【請求項 43】

請求項 41 記載の方法において、前記少なくとも 1 つのデータ・ビット・クロック再現回路がアクティブである間の訓練段階において、データ・ビット・クロック・オフセットを発生することにより、前記データ・ビット・サンプリング・クロックを位置合わせし、前記データ・ビット・クロック・オフセットは、前記順ストローク・クロック再現回路からの前記信号と結合した中間データ・ビット・クロック・オフセットを含み、前記信号は順ストローク・クロック・オフセットを備えている、方法。

【請求項 44】

請求項 43 記載の方法において、前記受信するように構成可能な少なくとも 1 つのコンポーネントの動作中、前記少なくとも 1 つのデータ・ビット・クロック再現回路はインアクティブであり、前記中間データ・ビット・クロック・オフセットは固定されており、前記データ・ビット・クロック・オフセットは前記順ストローク・クロック・オフセットと共に変動する、方法。

【請求項 45】

請求項 41 記載の方法において、

前記順ストローク・クロック再現回路は、順ストローク・クロック・オフセットの発生を含む、順ストローク訓練段階の間に、前記順ストローク・サンプリング・クロックを位置合わせし、

前記少なくとも 1 つのデータ・ビット・クロック再現回路は、前記順ストローク・クロック再現回路がインアクティブになっているデータ・ビット訓練段階の間に、前記データ・ビット・サンプリング・クロックを位置合わせし、前記順ストローク・クロックから受け取る前記信号は前記順ストローク・オフセットであり、中間データ・クロック・オフセットと結合して、データ・ビット・クロック・オフセットを発生する、方法。

【請求項 46】

請求項 41 記載の方法において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、前記複数のデータ・ビットの各々について 1 つのデータ・ビット・クロック再現

回路を備えている、方法。

【請求項 47】

請求項 46 記載の方法において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、それぞれのデータ・ビットおよび再現したデータ・クロック信号を受け取り、位相差を表す早 / 遅指示を出力する位相検出器を含む、方法。

【請求項 48】

請求項 47 記載の方法において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記早 / 遅指示を受け取り、中間データ・ビット・クロック・オフセットを出力する位相カウンタを含む、方法。

【請求項 49】

請求項 48 記載の方法において、前記位相カウンタが前記早 / 遅指示を受け取る前に、該早 / 遅指示を所定数で分割する、方法。

【請求項 50】

請求項 48 記載の方法において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記中間データ・ビット・クロック・オフセットを、前記順ストローク・クロック再現回路から受け取った前記信号と加算する加算器を含み、前記信号は順ストローク・クロック・オフセットを備えている、方法。

【請求項 51】

請求項 50 記載の方法において、前記少なくとも 1 つのデータ・ビット・クロック再現回路は、更に、前記加算器の出力を受け取り、前記再現データ・クロック信号を発生するクロック位相遅延回路を含む、方法。