

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G11C 11/407 (2006.01)

G11C 11/407 (2006.01)

(11) 공개번호

10-2006-0044526

(43) 공개일자

2006년05월16일

(21) 출원번호 10-2005-0023518

(22) 출원일자 2005년03월22일

(30) 우선권주장 JP-P-2004-00092268 2004년03월26일 일본(JP)

(71) 출원인 닛본 덴끼 가부시끼가이샤  
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고

(72) 발명자 아오키 무츠미  
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 닛본 덴끼가부시끼가이샤  
내

(74) 대리인 최달용

심사청구 : 있음

(54) 메모리 인터페이스 제어 회로와 메모리 인터페이스 제어방법

요약

일 실시예에 따르면, 하나의 가변 지연 회로는 지연될 데이터 스트로브 신호를 조정하고, 제어 회로는 보조 신호를 생성하며, 다른 가변 지연 회로는 지연될 보조 신호를 조정하고, 마스크 생성 회로는 지연된 데이터 스트로브 신호와 지연된 보조 신호에 기초하여 마스크 신호를 생성하며, AND 회로는 마스크 신호를 지연된 데이터 스트로브 신호에 적용하여, 글리치가 없는 데이터 스트로브 신호를 생성한다. 기록 어드레스 신호 생성 회로는 글리치가 없는 데이터 스트로브 신호에 기초하여 플립플롭 그룹을 제어하는 제어 신호를 생성하고, 플립플롭 그룹은 제어 신호에 따라 판독 데이터를 저장한다. 선택기는 판독 어드레스 신호에 따라 플립플롭 그룹에 저장된 데이터의 일부로부터 데이터를 선택한다.

대표도

도 6

색인어

DDR-SDRAM, DDR2-SDRAM, 메모리 인터페이스

명세서

도면의 간단한 설명

도 1은 DDR-SDRAM용 데이터와 데이터 스트로브 신호 사이의 상대적인 타이밍 관계를 나타내는 도면.

도 2는 DDR-SDRAM의 데이터 스트로브 신호의 파형을 나타내는 타이밍도.

도 3은 DDR-SDRAM의 데이터 스트로브 신호의 파형을 나타내는 다른 타이밍도.

도 4는 DDR-SDRAM으로부터 데이터를 판독하기 위한 종래의 방법을 설명하는 타이밍도.

도 5는 DDR2-SDRAM으로부터 데이터를 판독하기 위한 종래의 방법을 설명하는 타이밍도.

도 6은 본 발명의 실시예에 따른 메모리 인터페이스 제어 회로의 구성을 나타내는 블록도.

도 7은 본 발명의 실시예에 따른 메모리 인터페이스 제어 회로의 구성을 나타내는 회로도.

도 8은 본 발명의 실시예에 따른 메모리 인터페이스 제어 회로의 구성을 나타내는 회로도.

도 9는 LSI로부터 멀리 떨어진 위치에 DDR2-SDRAM을 위치시킨 예를 나타내는 도면.

도 10은 LSI의 근단에 정렬된 DDR2-SDRAM으로부터 데이터를 판독하는 본 발명의 실시예에 따른 방법을 설명하는 타이밍도.

도 10은 LSI의 원단에 정렬된 DDR2-SDRAM으로부터 데이터를 판독하는 본 발명의 실시예에 따른 방법을 설명하는 타이밍도.

♣도면의 주요 부분에 대한 부호의 설명♣

1, 2 : 버퍼 3, 4 : 가변 지연 회로

5 : 마스크 생성 회로 6 : 논리 AND 회로

7 : 기록 어드레스 신호 생성 회로 8, 12 : 플립플롭 회로

9 : 플립플롭 회로 그룹 10 : 선택기

11 : FIFO 회로 13 : 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 메모리로부터 데이터를 판독하기 위한 메모리 인터페이스 제어 회로와 메모리 인터페이스 제어 방법에 관한 것이다. 구체적으로는, 본 방법은 DDR2-SDRAM(double data rate 2-synchronous random access memory)으로부터 데이터를 판독하기 위한 메모리 인터페이스 제어 회로와 메모리 인터페이스 제어 방법에 관한 것이다.

종래 기술

지난 수년 동안 DDR-SDRAM은 크게 발전해왔다. DDR-SDRAM은 "double data rate(DDR) 모드"로 칭해지는 고속 데이터 전송 기능을 갖는 동기 DRAM 또는 SDRAM이다. DDR 모드에 있어서, 컴퓨터의 각 회로를 동기화시키기 위해 제공된 클럭 신호의 상승 및 하강에서 데이터가 판독되고 기록될 수 있다.

DDR-SDRAM은 외부 클록의 주파수보다 두 배의 주파수로 데이터를 입출력하기 때문에, SDR SDRAM(single data rate SDRAM) 보다도 확정 데이터(definitely set data)의 폭이 더 작다. 만약 메모리(DDR SDRAM)에서 컨트롤러까지의 배선 길이가 상이하다면, 데이터가 수신기까지 도달하는데 필요한 시간(플라이트 타임)도 역시 달라지고, 그 결과 수신기가 데이터를 받아들이는 타이밍을 결정하기가 어렵다. 수신기에 데이터 전송 타이밍을 통지하기 위해 DDR-SDRAM은 데이터 스트로브 신호(DQS)를 채용한다. DQS는 양방향 스트로브 신호이며 판독 및 기록의 두 동작에 있어서 데이터 입출력 동작 기준 클록으로서 기능한다.

도 1에 도시된 바와 같이, 판독 동작에 있어서, DQS의 에지는 판독 데이터의 에지와 일치한다. 기록 동작에 있어서, DQS의 에지는 기록 데이터의 중심에 위치된다. 만약 컨트롤러가 DDR-SDRAM으로부터 판독 데이터를 수신하면, 수신된 DQS는 지연되어 DDR-SDRAM 내에서 판독 데이터의 중심으로 이동된다.

이하, 판독 사이클에서의 DQS를 설명한다.

판독 사이클에 있어서, DDR-SDRAM은 클록(CLK)과 동기된 DQS를 제어한다. 수신기는 DQS에 기초하여 데이터(DQ)를 받아들인다. DQS는 판독 사이클에서 다음과 같이 동작한다.

- (1) 데이터(DQ)가 출력되지 않는 상태에서, DQS는 고임피던스 상태에 있다(도 3의 201).
- (2) 판독 커맨드(READ)가 입력된 후, DQS는 데이터(DQ)가 출력되기 약 한 클록 전에 로우 레벨로 된다(도 3의 202).
- (3) 메모리로부터 유효 데이터가 출력되기 시작하면, DQS는 CLK와 동일한 주파수로 토글을 시작하고 버스트 판독(burst read)이 종료될 때까지 토글을 계속한다(도 3의 203). 도 3의 예에 있어서는, 두 타임 슬롯(Q0 및 Q1)에 대응하는 버스트 데이터 형태의 유효 데이터가 존재하고, 그에 따라 DQS는 두 번 토글한다.
- (4) 버스트 판독이 종료되면, DQS는 고임피던스 상태로 되돌아간다.

도 2에 도시된 바와 같이, 판독 동작에서의 데이터 스트로브 패턴은 프리앰블(preamble) 상태, 토글 상태 및 포스트앰블(postamble) 상태로 구성된다.

DDR-SDRAM은 बैं크 액티브 상태에서 판독 커맨드(READ)를 수신하고, DQS는 고임피던스 상태에서 로우 레벨로 변경된다. 이 로우 레벨은 판독 프리앰블 상태에 대응한다. 판독 프리앰블 상태는 제 1의 데이터가 출력되기 약 한 클록 이전에 나타난다. 판독 프리앰블 상태에 후속하여, m 데이터가 데이터 입출력 단자(DQ) 상에 유효 데이터를 갖는 동안 DQS는 클록(CLK)과 동일한 주파수로 토글한다. 최종 데이터가 전송된 이후, 판독 포스트앰블 상태에 대응하는 로우 레벨 기간이 시작한다. 판독 포스트앰블 상태는 마지막 데이터의 에지가 나타난 이후 약 1/2 클록의 시간동안 지속된다.

DQS는 고임피던스 상태에서 프리앰블 상태로 전환하고, 포스트앰블 상태에서 고임피던스 상태로 전환한다. 포스트앰블 상태에서 고임피던스 상태로의 전환 기간에 있어서, 신호 반사에 의한 글리치 노이즈(glitch noise)가 발생한다.

종래의 DDR-SDRAM 인터페이스의 동작이 도 4를 참조로 설명될 것이다. 종래의 DDR-SDRAM에 있어서, 글리치 노이즈는 출력 버퍼로서 기능하는 FIFO(first-in first-out; 선입선출) 버퍼에서 데이터를 파괴시킨다. 그러나, 전송 주파수가 LSI-측 클록(CLK)보다 낮기 때문에, 동기화는 여전히 확립될 수 있다.

본 발명에 관한 종래 기술의 문헌으로는 이하의 것이 있다: 일본 특개 2001-189078호 공보, 일본 특개 2003-050739호 공보, 일본 특개 2003-059267호 공보 및 일본 특개 2003-173290호 공보.

DDR-SDRAM에 대한 차세대 메모리로서, DDR2-SDRAM(double data rate 2-synchronous random access memory)가 출현하였다.

DDR2-SDRAM은 이하의 관점에서 DDR-SDRAM과는 상이하다. DDR2-SDRAM의 패키지는 FBGA이지만, DDR-SDRAM의 패키지는 TSOP이다. DDR2-SDRAM의 전원전압은 1.8볼트이지만, DDR-SDRAM의 전원전압은 2.5볼트이다. DDR2-SDRAM의 최대 용량은 2기가바이트(Gbyte)이지만, DDR-SDRAM의 최대 용량은 1Gbyte이다. DDR2-

SDRAM의 내부 뱅크의 수는 4 또는 8이지만, DDR-SDRAM의 내부 뱅크의 수는 4이다. DDR2-SDRAM의 동작 속도는 DDR-SDRAM의 동작 속도의 두 배이다. DDR-SDRAM의 신호 종단(signal terminating end)은 칩이지만, DDR-SDRAM의 신호 종단은 메인보드이다.

DDR2-SDRAM의 전송 주파수가 DDR-SDRAM의 것보다 두 배 더 높기 때문에, 도 5에 도시된 바와 같이 데이터를 처리하지 않고는 동기화가 확립될 수 없다. 따라서, 데이터에 글리치 노이즈가 중첩되는 경우에도 데이터가 만족스럽게 전송될 수 있도록 각각의 배선 길이가 설정되고, 따라서 다수의 RAM의 배치는 제한된다. DQS에 글리치 노이즈가 중첩되는 것을 방지하기 위해 특정 타이밍에서 마스크가 설치되더라도, 다수의 RAM의 배치는 여전히 제한된다.

종래에 사용되던 DDR-SDRAM은 전송 주파수가 낮다. 이 때문에, 도 4에 도시된 바와 같이, 데이터가 고임피던스 상태로 변경되는 동안 데이터에 글리치 노이즈가 중첩되더라도, 데이터를 수용하기 위한 윈도우는 여전히 존재한다. 그러나, DDR2-SDRAM의 전송 주파수가 DDR-SDRAM의 전송 주파수의 두 배이기 때문에, 도 5에 도시된 바와 같이, 데이터를 동기화하기 위한 윈도우는 존재하지 않는다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 RAM 배치 제한을 완화하고 글리치 노이즈에 대한 높은 내성을 보장할 수 있는 메모리 인터페이스 제어 회로와 메모리 인터페이스 제어 방법을 제공하는 것이다.

### 발명의 구성 및 작용

본 발명의 일 양상에 따르면, 메모리로부터 버스트 데이터에 속하는 각 타임 슬롯의 데이터를 판독하기 위한 메모리 인터페이스 제어 회로가 제공되는데, 상기 메모리는 판독 커맨드를 입력한 시점부터 소정 지연 시간이 경과한 후에 상기 버스트 데이터를 출력하고, 상기 메모리는 데이터 스트로브 신호를 또한 출력하고, 상기 메모리가 상기 판독 커맨드를 입력한 후 시작하여 상기 메모리가 상기 버스트 데이터의 출력을 시작하기 직전에 종료하는 기간에서 상기 데이터 스트로브 신호는 프리앰블 상태로 되고, 상기 메모리가 상기 버스트 데이터를 출력하는 출력 기간에 상기 데이터 스트로브 신호는 토클 상태로 되고, 상기 데이터 스트로브 신호는 상기 출력 기간에서 모든 타임 슬롯을 토클하며, 상기 데이터 스트로브 신호는 상기 출력 기간 직후에 포스트앰블 상태로 되며, 상기 메모리 인터페이스 제어 회로는: 상기 데이터 스트로브 신호에 기초하여, 상기 버스트 데이터에 속하는 각 타임 슬롯의 상기 데이터가 안정할 때 토클하며, 빨라도, 버퍼 회로에 일시적으로 저장된 모든 타임 슬롯의 데이터 판독이 완료되는 시간까지 토클 종료시의 레벨을 유지하는 2차 데이터 스트로브 신호를 생성하는 2차 데이터 스트로브 신호 생성 회로; 및 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하는 상기 버퍼 회로를 포함한다.

상기 메모리 인터페이스 제어 회로에 있어서, 상기 2차 데이터 스트로브 신호 생성 회로는: 상기 데이터 스트로브 신호를 지연시키는 지연 회로와; 상기 지연된 데이터 스트로브 신호에 기초하여 마스크 신호를 생성하는 마스크 회로; 및 상기 마스크 신호를 상기 지연된 데이터 스트로브 신호에 적용함으로써 상기 2차 데이터 스트로브 신호를 생성하는 논리 회로를 포함한다.

상기 메모리 인터페이스 제어 회로는 보조 신호를 생성하는 보조 신호 생성 회로를 더 포함하고, 상기 보조 신호는, 상기 지연된 데이터 스트로브 신호의 프리앰블 기간이 시작한 순간부터 상기 지연된 데이터 스트로브 신호의 토클 기간이 시작하는 순간까지의 기간에 상기 마스크 신호가 디스에이블 레벨에서 인에이블 레벨로 전환하도록 하며, 또한, 상기 보조 신호는 상기 마스크 신호가 상기 인에이블 레벨로 유지되는 기간을 제한하며, 상기 마스크 회로는 상기 지연된 데이터 스트로브 신호뿐만 아니라 상기 보조 신호에도 기초하여 상기 마스크 신호를 생성한다.

메모리 인터페이스 제어 회로에 있어서, 상기 마스크 회로는 제 1의 D형 플립플롭 회로와, 제 2의 D형 플립플롭 회로와, 논리 AND 게이트 및 논리 OR 게이트를 포함하고, 상기 제 1의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 반전 신호를 사용하고, 입력 신호로서 자신의 반전된 출력 신호를 사용하며, 상기 제 2의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 상기 반전된 신호를 사용하고, 입력 신호로서 상기 논리 AND 게이트의 출력 신호를 사용하며, 상기 논리 AND 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 1의 D형 플립플롭 회로의 상기 반전된 출력 신호를 사용하며, 상기 논리 OR 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 2의 D형 플립플롭 회로의 비반전 출력 신호를 사용하며, 상기 논리 OR 회로의 출력 신호는 상기 마스크 신호로 사용된다.

메모리 인터페이스 제어 회로는 캘리브레이션 패턴을 사용하여 상기 지연 회로의 지연 시간을 조정하는 제어 회로를 더 포함한다.

메모리 인터페이스 제어 회로는: 상기 2차 데이터 스트로브 신호의 상승 에지를 사용함으로써 상기 2차 데이터 스트로브 신호의 제 1의 분주 신호(a first frequency-divided signal)를 생성하는 제 1의 분주기(frequency divider); 및

상기 2차 데이터 스트로브 신호의 하강 에지를 사용함으로써 상기 2차 데이터 스트로브 신호의 제 2의 분주 신호를 생성하는 제 2의 분주기를 더 포함하고, 상기 버퍼 회로는, 클록 인에이블 신호로서 상기 제 1 및 제 2의 분주 신호를 사용하고, 클록 신호로서 상기 2차 데이터 스트로브 신호를 사용하며, 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하는 D형 플립플롭 그룹을 포함한다.

본 발명의 제 2의 양상에 따르면, 메모리로부터 버스트 데이터에 속하는 각 타임 슬롯의 데이터를 판독하기 위한 메모리 인터페이스 제어 방법이 제공되는데, 상기 메모리는 판독 커맨드를 입력한 시점부터 소정 지연 시간이 경과한 후에 상기 버스트 데이터를 출력하고, 상기 메모리는 데이터 스트로브 신호를 또한 출력하고, 상기 메모리가 상기 판독 커맨드를 입력한 후 시작하여 상기 메모리가 상기 버스트 데이터의 출력을 시작하기 직전에 종료하는 기간에서 상기 데이터 스트로브 신호는 프리앰블 상태로 되고, 상기 메모리가 상기 버스트 데이터를 출력하는 출력 기간에 상기 데이터 스트로브 신호는 토글 상태로 되고, 상기 데이터 스트로브 신호는 상기 출력 기간에서 모든 타임 슬롯을 토글하며, 상기 데이터 스트로브 신호는 상기 출력 기간 직후에 포스트앰블 상태로 되며, 상기 메모리 인터페이스 제어 방법은: 상기 데이터 스트로브 신호에 기초하여, 상기 버스트 데이터에 속하는 각 타임 슬롯의 상기 데이터가 안정할 때 토글하며, 빨라도, 버퍼 회로에 일시적으로 저장된 모든 타임 슬롯의 데이터 판독이 완료되는 시간까지 토글 종료시의 레벨을 유지하는 2차 데이터 스트로브 신호를 2차 데이터 스트로브 신호 생성 회로가 생성하도록 하는 단계; 및 상기 버퍼 회로가 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하도록 하는 단계를 포함한다.

상기 메모리 인터페이스 제어 방법에 있어서, 상기 2차 데이터 스트로브 신호 생성 회로가 상기 2차 데이터 스트로브 신호를 생성하도록 하는 상기 단계는: 지연 회로가 상기 데이터 스트로브 신호를 지연시키도록 하는 단계와; 상기 지연된 데이터 스트로브 신호에 기초하여 마스크 회로가 마스크 신호를 생성하도록 하는 단계; 및 상기 마스크 신호를 상기 지연된 데이터 스트로브 신호에 적용함으로써 논리 회로가 상기 2차 데이터 스트로브 신호를 생성하도록 하는 단계를 포함한다.

상기 메모리 인터페이스 제어 방법은 보조 신호 생성 회로가 보조 신호를 생성하도록 하는 단계를 더 포함하고, 상기 보조 신호는, 상기 지연된 데이터 스트로브 신호의 프리앰블 기간이 시작한 순간부터 상기 지연된 데이터 스트로브 신호의 토글 기간이 시작하는 순간까지의 기간에 상기 마스크 신호가 디스에이블 레벨에서 인에이블 레벨로 전환하도록 하며, 또한, 상기 보조 신호는 상기 마스크 신호가 상기 인에이블 레벨로 유지되는 기간을 제한하며, 상기 마스크 회로는 상기 지연된 데이터 스트로브 신호뿐만 아니라 상기 보조 신호에도 기초하여 상기 마스크 신호를 생성한다.

상기 메모리 인터페이스 제어 방법에 있어서, 상기 마스크 회로는 제 1의 D형 플립플롭 회로와, 제 2의 D형 플립플롭 회로와, 논리 AND 게이트 및 논리 OR 게이트를 포함하며, 상기 제 1의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 반전 신호를 사용하고, 입력 신호로서 자신의 반전된 출력 신호를 사용하며, 상기 제 2의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 상기 반전된 신호를 사용하고, 입력 신호로서 상기 논리 AND 게이트의 출력 신호를 사용하며, 상기 논리 AND 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 1의 D형 플립플롭 회로의 상기 반전된 출력 신호를 사용하며, 상기 논리 OR 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 2의 D형 플립플롭 회로의 비반전 출력 신호를 사용하며, 상기 논리 OR 회로의 출력 신호는 상기 마스크 신호로 사용된다.

상기 메모리 인터페이스 제어 방법은 캘리브레이션 패턴을 사용하여 제어 회로가 상기 지연 회로의 지연 시간을 조정하도록 하는 단계를 더 포함한다.

상기 메모리 인터페이스 제어 방법은: 상기 2차 데이터 스트로브 신호의 상승 에지를 사용함으로써 제 1의 분주기(frequency divider)가 상기 2차 데이터 스트로브 신호의 제 1의 분주 신호(a first frequency-divided signal)를 생성하도록 하는 단계; 및 상기 2차 데이터 스트로브 신호의 하강 에지를 사용함으로써 제 2의 분주기가 상기 2차 데이터 스트로브 신호의 제 2의 분주 신호를 생성하도록 하는 단계를 더 포함하고, 상기 버퍼 회로는, 클록 인에이블 신호로서 상기 제 1 및 제 2의 분주 신호를 사용하고, 클록 신호로서 상기 2차 데이터 스트로브 신호를 사용하며, 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하는 D형 플립플롭 그룹을 포함한다.

## 양호한 실시예의 설명

본 발명의 양호한 실시예가 첨부된 도면을 참조로 상세히 설명될 것이다.

본 발명은 메모리(특히, DDR2-SDRAM)와 LSI 사이의 데이터 전송에 있어서 데이터 스트로브 신호(DQS)의 글리치 노이즈 내성이 향상될 수 있고, 메모리가 데이터 전송을 수행하는 LSI에 관한 물리적인 배치 제한이 완화될 수 있다는 점을 특징으로 한다.

도 6은 본 발명의 실시예에 따른 메모리 인터페이스 제어 회로의 구성을 나타내는 블록도이다. 도 6에 있어서, I/O 버퍼(1)는 DDR2-SDRAM으로부터 판독된 데이터를 수신하는 입력 버퍼이다. I/O 버퍼(2)는 DDR2-SDRAM으로부터 판독된 데이터 스트로브 신호(DQS)를 수신하는 입력 버퍼이다. 데이터 스트로브 신호(DQS)는 DDR2-SDRAM에서 밸런스 입/출력이다. I/O 버퍼(1 및 2)가 원래는 양방향 버퍼일지라도, 본 실시예가 메모리 인터페이스 제어 회로의 입력측에 관련되기 때문에 이들은 입력 버퍼로서 도시된다. 가변 지연 회로(3)는 제어 회로(13)로부터 출력되는 기본 마스크 신호(SDE)의 변화 타이밍을 제어 회로(13)로부터 출력된 지연 제어 신호에 의해 최적의 값으로 조정한다. 데이터 스트로브 신호(DQS)는 데이터 신호(DQ)의 위상과 동일한 위상을 가지고 DDR2-SDRAM으로부터 출력된다. 이 때문에, 데이터 스트로브 신호(DQS)가 처리되지 않고 출력되면, 데이터를 수신하는 타이밍을 결정하는 것이 어렵다(데이터를 수신하기 위한 윈도우가 존재하지 않는다). 이 문제점을 해결하기 위해서, 가변 지연 회로(4)가 마련되어 데이터 스트로브 신호(DQS)의 위상을 클럭(CLK)의 1/2 사이클만큼 천이하는 제어를 수행한다. 마스크 생성 회로(5)는 가변 지연 회로(3)에 의해 지연될 기본 마스크 신호(SDE)를 조정함으로써 얻어지는 기본 마스크 신호(SDF)와 가변 지연 회로(4)에 의해 지연될 데이터 스트로브 신호(DQS)를 조정함으로써 얻어지는 데이터 스트로브 신호(DQSL)로부터 마스크 신호(DQE)를 생성한다. AND 회로(6)는 마스크 생성 회로(5)에 의해 생성된 마스크 신호(DQE)와 데이터 스트로브 신호(DQSL) 사이의 논리적 AND 연산을 수행하여, 데이터 스트로브 신호(DQSL)로부터 글리치 노이즈를 제거함으로써 얻어지는 데이터 스트로브 신호(DQSP)를 생성한다. 기록 어드레스 신호 생성 회로(7)는 데이터 스트로브 신호(DQSP)에 기초하여 플립플롭(F/F) 회로 그룹(9)에 데이터를 기록하는 순서를 제어하기 위한 기록 어드레스 신호를 생성한다. 기록 어드레스 신호 생성 회로(7), F/F 회로 그룹(9), 및 선택기(10)는 전체적으로 FIFO 회로(11)로서 기능한다. F/F(8)은 선택기(10)를 제어하기 위한 판독 어드레스 신호를 클럭(CLK)으로 동기화시킨다. F/F(12)은 FIFO(11)로부터 출력된 FIFO OUT 신호를 클럭(CLK)으로 동기화시킨다. 판독 어드레스 신호는 본 실시예에 따른 인터페이스 제어 회로가 탑재된 대규모 집적 회로(LSI)의 장치 논리 신호임을 주지해야 한다. 제어 회로(13)는 지연 조정을 받게 될 기본 마스크 신호인 기본 마스크 신호(SDE)를 생성하는 기능과, 가변 지연 회로(3)를 제어하는 기능, 및 가변 지연 회로(4)를 제어하는 기능을 포함한다. 또한, 제어 회로(13)는 DDR2-SDRAM에 적용될 캘리브레이션용 패턴을 생성하는 패턴 생성 기능을 포함한다. 장치가 초기화되면, 제어 회로(3)는 기대값으로 설정된 이 패턴으로 PASS/FAIL 판정을 행하고, 지연 회로(3 및 4) 사이의 캘리브레이션을 수행한다.

이와 같이, 본 실시예에 따르면, 데이터 스트로브 신호에 필요한 때 이외에는 마스크를 설치하고 있기 때문에, 데이터 스트로브 신호의 글리치 노이즈 내성이 향상될 수 있다. 또한, 가변 지연 회로(3 및 4)가 제공되기 때문에, DDR2-SDRAM이 데이터 전송을 수행하는 LSI에 대한 DDR2-SDRAM의 물리적인 배치에서의 차이로 인한 지연차를 흡수하는 글리치 노이즈 마스크 기능이 제공될 수 있다.

도 7은 본 발명의 일 실시예인 메모리 인터페이스 제어 회로의 구성을 나타내는 회로도이다. 도 7에 있어서, I/O 버퍼(1)는 DDR2-SDRAM으로부터 판독된 데이터(DQm)를 수신하는 입력 버퍼이다. I/O 버퍼(2)는 DDR2-SDRAM으로부터 판독된 데이터 스트로브 신호(DQS)를 수신하는 입력 버퍼이다. 데이터 스트로브 신호는 DDR2-SDRAM에서 밸런스 입/출력이다. I/O 버퍼(1 및 2)가 원래는 양방향 버퍼이지만, 본 실시예가 메모리 인터페이스 제어 회로의 입력측에 관련되기 때문에 이들은 입력 버퍼로서 도시된다. 가변 지연 회로(3)는 제어 회로(13)로부터 출력되는 기본 마스크 신호(SDE)의 변화 타이밍을 제어 회로(13)로부터 출력된 지연 제어 신호에 의해 최적의 값으로 조정한다. 기본 마스크 신호(SDE)는 판독 커맨드의 타이밍에 기초하여 생성된다. 데이터 스트로브 신호(DQS)는 데이터 신호(DQ)의 위상과 동일한 위상을 가지고 DDR2-SDRAM으로부터 출력된다. 이 때문에, 데이터 스트로브 신호(DQS)가 처리되지 않고 출력되면, 데이터를 수신하는 타이밍을 결정하는 것이 곤란하다(데이터를 수신하는 윈도우가 존재하지 않는다). 이 문제점을 해결하기 위해서, 가변 지연 회로(4)가 마련되어 데이터 스트로브 신호(DQS)의 위상을 클럭(CLK)의 1/2 사이클만큼 천이하는 제어를 수행한다. 마스크 생성 회로(5)는 가변 지연 회로(3)에 의해 지연될 기본 마스크 신호(SDE)를 조정함으로써 얻어지는 기본 마스크 신호(SDF)와 가변 지연 회로(4)에 의해 지연될 데이터 스트로브 신호(DQS)를 조정함으로써 얻어지는 데이터 스트로브 신호(DQSL)로부터 마스크 신호(DQE)를 생성한다. AND 회로(6)는 마스크 생성 회로(5)에 의해 생성된 마스크 신호(DQE)를 데이터 스트로브 신호(DQSL)에 적용하여, 데이터 스트로브 신호(DQSL)로부터 글리치 노이즈를 제거함으로써 얻어지는 데이터 스트로브 신호(DQSP)를 생성한다. 기록 어드레스 신호 생성 회로(7)는 데이터 스트로브 신호(DQSP)에 기초하여 플립플롭(F/F) 회로 그룹(9)에 데이터를 기록하는 순서를 제어하기 위한 네 개의 기록 어드레스 신호를 생성한다. 본 실시예에 있

어서, 기록 어드레스 신호 생성 회로(7), F/F 회로 그룹(9), 및 넷 중 하나를 선택하는 선택기(4-to-1 selector; 10)는 전체적으로 4단 FIFO 회로(11)로서 기능한다. F/F 회로 그룹(9)이 네 개의 F/F 회로를 포함하기 때문에, 넷 중 하나를 선택하는 선택기(10)를 제어하기 위한 2비트로 이루어진 판독 어드레스 신호가 사용되며, 판독 어드레스 신호의 두 비트는 각각 "RADR0"와 "RADR1"로 가정한다. 선택기(10)는 두 비트의 판독 어드레스 신호(RADR0 및 RADR1)를 수신한다. F/F(12)는 FIFO 회로(11)로부터 출력된 FIFO OUT 신호를 수신한다. 판독 어드레스 신호는 본 실시예에 따른 인터페이스 제어 회로가 탑재되는 LSI의 장치 논리 신호이다. 제어 회로(13)는 지연 조정을 받게 될 기본 마스크 신호이며 시간 조정된 기본 마스크 신호(SDF)에 대한 기초를 형성하는 기본 마스크 신호(SDE)를 생성하는 기능과, 가변 지연 회로(3)를 제어하는 기능, 및 가변 지연 회로(4)의 지연 시간을 제어하는 기능을 포함한다. 또한, 제어 회로(13)는 DDR2-SDRAM에 적용될 캘리브레이션용 패턴을 생성하는 패턴 생성 기능을 포함한다. 장치가 초기화되면, 제어 회로(3)는 기대값으로 설정된 이 패턴으로 PASS/FAIL 판정을 행하고, 지연 회로(3 및 4) 사이의 캘리브레이션을 수행한다.

지금까지, 본 실시예에 따른 메모리 인터페이스 제어 회로의 구성이 도 7을 참조로 상세히 설명되었다. 도 7에 도시된 가변 지연 회로(3 및 4)의 구성이 당업자에게 널리 공지되어 있으며 본 실시예에는 직접적으로 관련되지 않기 때문에, 가변 지연 회로(3 및 4)의 상세한 구성은 도 7에 도시되지 않았다.

또한, 제어 회로(13)에 있어서는, DDR2-SDRAM에 패턴을 적용하기 위한 캘리브레이션 생성 기능은 단지 특정 어드레스의 특정 비트에 특정 데이터를 기록할 것이다. 따라서, 기대값 캘리브레이션은 간단한 배타적 OR 회로에 의해 실현될 수 있다. 기본 마스크 신호(SDE)는 클록의 세 싸이클 기간에서만 논리값 "1"을 갖는 신호이며, 그 생성이 특별히 어렵지 않다. 이 때문에, 기본 마스크 신호(SDE)를 생성하기 위한 상세한 회로 구성은 도 7에서는 생략한다.

도 7에 도시된 마스크 생성 회로의 동작이 도 8에 도시된 타이밍도를 참조로 설명될 것이다. D형 F/F 회로(14 및 15) 각각의 비반전 출력(Q)과 반전 출력(/Q)은 리셋 신호(RESET)에 의해 각각 "0"과 "1"로 미리 설정된다. 지연 조정을 받게 될 기본 마스크 신호(SDE)는 클록(CLK)의 세 싸이클 기간에서 논리값 "1"을 갖는 신호이다. 기본 마스크 신호(SDF)는 데이터 스트로브 신호(DQSL)가 "0"으로 확정되는  $t_{PRE}$  기간(판독 프리앰블 기간)에서 상승하도록 가변 지연 회로(3)에서 지연 조정된 신호인데, 데이터 스트로브 신호(DQSL)는 위상에서 데이터 스트로브 신호(DQS)로부터 클록(CLK)의 약 1/2 싸이클 만큼 천이된 것이다. 신호(WCBX)는 신호(WCB)와 지연 조정된 기본 마스크 신호(SDF)를 AND 회로(16)에 의해 논리적 AND 연산을 수행함으로써 생성된다. 신호(WCB)는 D형 F/F 회로(14)에 의해 신호(DQSN)의 주파수를 나눔으로써 얻어지는 신호에 대한 반대 위상의 신호이다. 신호(DQSN)는 마스크 신호(DQE)가 "1"이라는 가정하에 데이터 스트로브 신호(DQSL)에 대한 반대 위상의 신호이다. 신호(DQER)는 D형 F/F(15)에 의해 신호(WCBX)를 신호(DQSN)로 동기화시킴으로써 얻어진다. 또한, 마스크 신호(DQE)는 신호(DQER)와 지연 조정된 기본 신호(SDF)를 OR 회로(17)에 의해 논리적 OR 연산을 수행함으로써 생성된다. 이렇게 하여, 마스크 생성 회로(5)는 마스크 신호(DQE)를 생성한다. 마스크 신호(DQE)는 DQE가 논리값 "0"을 가질 때 데이터를 마스크하고 DQE가 논리값 "1"을 가질 때 데이터를 마스크 해제하도록(unmask) 기능한다. 이 마스크 신호(DQE)를 반전 출력 AND 회로(18)와 인버터(19)에서 지연 조정된 데이터 스트로브 신호(DQSL)에 적용하면, 글리치 노이즈가 없는 데이터 스트로브 신호(DQSP)가 생성된다. 가변 지연 회로(4)에 의해 조정된 지연 시간은 데이터 신호(DQn)가 I/O 버퍼(1)에 입력되는 순간과 데이터 신호(DQn)가 F/F 회로 그룹(9)에 데이터로서 입력되는 순간 사이의 지연 시간, 및 데이터 스트로브 신호(DQS)가 I/O 버퍼(2)에 입력되는 순간과 데이터 스트로브 신호(DQS)가 F/F 회로 그룹(9)에 데이터로서 입력되는 순간 사이의 지연 시간의 관점에서 최적의 값으로 설정된다. 전자의 지연 시간은 전송 라인 지연 시간과 게이트 지연 시간을 포함한다. 후자의 지연 시간은 전송 라인 지연 시간과 게이트 지연 시간뿐만 아니라 가변 지연 회로(4)의 지연 시간을 포함한다. 따라서, 가변 지연 회로(4)의 지연 시간을 조정함으로써, 전자와 후자의 상대적인 관계는 조정될 수 있다.

실제로 그리고 일반적으로, 다수의 메모리(DDR2-SDRAM)는 LSI에 탑재된다. 즉, 도 9에 도시된 바와 같이, DDR2-SDRAM(4)은 메모리 인터페이스 제어 회로(2 및 3)가 탑재된 LSI(1) 근처에 정렬되지만, DDR2-SDRAM(5)은 LSI(1)로부터 멀리 떨어져 정렬된다. DDR2-SDRAM(4 및 5)에 대한 본 실시예에 따른 메모리 인터페이스 제어 회로(2 및 3)의 동작은, 각각, 도 10 및 도 11의 타이밍도를 참조로 설명될 것이다. 글리치 노이즈가 없는 데이터 스트로브 신호(DQSP)가 생성될 때까지의 동작이 상기 상술된 것과 동일하기 때문에, 여기서는 설명되지 않을 것이다. 기록 어드레스 신호(SLA, SLB, SLC 및 SLD)는 D형 플립플롭(20, 21)에서 DQSP를 나눔으로써 생성된다. 이들 기록 어드레스 신호(SLA, SLB, SLC, 및 SLD)는 유지 기능을 갖는 F/F 회로 그룹(9)(D형 플립플롭(F/F) 회로(22, 23, 24, 및 25))용의 유지 신호로서 사용된다. 유지 신호는 논리값 "1"을 가질 때 "스루(through)", 논리값 "0"을 가질 때 "유지"로서 기능한다. 따라서, D형 F/F 회로(22)는 데이터 D0를 저장하고, D형 F/F 회로(23)는 데이터 D1을 저장하고, D형 F/F 회로(24)는 데이터 D2를 저장하며, D형 F/F 회로(25)는 데이터 D3를 저장한다. 판독 어드레스 신호(RADR0 및 RADR1)를 사용하여 이들 데이터 조각을 순차적으로 판독함으로써, 신호(FIFO OUT)는 타이밍도에 도시된 데이터 형태를 갖는다.

판독 커맨드가 발행되는 순간과 RAM으로부터 출력된 판독 데이터가 LSI에 도달하는 순간 사이의 시간은, 도 10 및 도 11에 도시된 바와 같이 DDR2-SDRAM이 LSI의 근단에 위치한 경우와 원단에 위치한 경우에 있어서 서로 상이하다. 그러나, 본 실시예에 따른 메모리 인터페이스 제어 회로를 활용함으로써, RAM이 LSI의 근처에 있는지 아니면 멀리 떨어져 있는지간에 어떠한 문제도 유발하지 않으면서 데이터가 수용될 수 있다.

그러나, 근단과 원단 사이의 지연 차이는 판독 프리앰블 시간( $t_{RPRE}$ )보다 더 작아야 한다. 이 제한은 데이터 스트로브 신호(DQSL)가 "0"으로 확정되는 기간에서 마스크 신호(SDF)가 상승할 필요가 있다는 사실로부터 유도된다.

도 7에 있어서, 데이터 신호(DQ)의 수가 연결된 RAM의 비트 수에 따라 임의적으로 설정될 수 있기 때문에, 데이터 신호(DQ)의 수는 "n"으로 표기된다. 그러나, 수치값인 "n"은 통상적으로 4비트, 8비트 또는 16비트임을 주지해야 한다. 가변 지연 회로(4)는 데이터 스트로브 신호(DQS)의 위상을 조정하기 위해 활용된다. 다르게는, 수신측 LSI의 FIFO 회로가 신호(DQn)를 정확하게 샘플링할 수 있다면 가변 지연 회로(4) 대신 고정 지연 회로가 활용될 수도 있다. 역으로, 지연 조정을 엄격하게 하기 위해서 지연 동기 루프(delay locked loop; DLL) 회로 등이 활용될 수도 있다. 마찬가지로, 가변 지연 회로(3)는 마스크 신호(SDE)를 조정하기 위해 활용된다. 글리치 노이즈가 마스크될 수 있다면, 가변 지연 회로(3) 대신 고정 지연 회로가 활용될 수 있다. 본 발명의 본 실시예에서는 FIFO 회로의 갯수가 네 개이지만, 아무런 문제없이 데이터가 전송될 수 있다면 FIFO 회로의 갯수는 2개일 수도 있다. 만약 2개라면, 기록 어드레스 신호 생성 회로(7)의 구성을 변경하고, 그에 따라 판독 어드레스 신호의 비트 수도 변경해야 한다.

본 실시예에서 FIFO 회로(11)는, 도 7에 도시된 바와 같이, 기록 어드레스 생성 회로(7), F/F 회로 그룹(9), 및 선택기(10)를 포함한다. 다르게는, FIFO 회로(11)는, 다른 FIFO 회로(1)가 동일한 기능을 포함하기만 하면, 도 7에 도시된 것과는 상이하게 구성될 수도 있다(예를 들면, 카운터를 사용). 마스크 생성 회로는 도 7의 도면 부호 5로 도시된 회로 구성으로 구성된다. 다르게는, 마스크 생성 회로는, 마스크 생성 회로가 동일한 기능을 포함하기만 하면 도 7에 도시된 것과는 상이하게 구성될 수도 있다. 또한, 도 7에 있어서, FIFO OUT 신호를 수신하는 F/F 회로(12)가 마련된다. 그러나, FIFO OUT 신호 자체가 LSI측 클럭(CLK)과 이미 동기되어 있기 때문에 F/F 회로(12)는 생략될 수도 있다. 즉, 판독 어드레스 신호가 F/F 회로 그룹(8)과 넷 중 하나를 선택하는 선택기(10)를 통해 내부 논리에 도달할 때까지 필요한 지연 시간이 충분히 길기만 하면 F/F 회로(12)는 생략될 수도 있다.

지금까지 설명한 바와 같이, 본 발명은 DDR2-SDRAM으로부터 데이터를 판독하기 위해 활용될 수 있다.

### 발명의 효과

본 발명에 의하면, 데이터 스트로브 신호(DQS)의 글리치 노이즈 내성이 향상될 수 있고, 메모리가 데이터 전송을 수행하는 LSI에 관한 물리적인 배치 제한이 완화될 수 있다.

### (57) 청구의 범위

#### 청구항 1.

메모리로부터 버스트 데이터에 속하는 각 타임 슬롯의 데이터를 판독하기 위한 메모리 인터페이스 제어 회로로서, 상기 메모리는 판독 커맨드를 입력한 시점부터 소정 지연 시간이 경과한 후에 상기 버스트 데이터를 출력하고, 상기 메모리는 데이터 스트로브 신호를 또한 출력하고, 상기 메모리가 상기 판독 커맨드를 입력한 후 시작하여 상기 메모리가 상기 버스트 데이터의 출력을 시작하기 직전에 종료하는 기간에서 상기 데이터 스트로브 신호는 프리앰블 상태로 되고, 상기 메모리가 상기 버스트 데이터를 출력하는 출력 기간에 상기 데이터 스트로브 신호는 토글 상태로 되고, 상기 데이터 스트로브 신호는 상기 출력 기간에서 모든 타임 슬롯을 토글하며, 상기 데이터 스트로브 신호는 상기 출력 기간 직후에 포스트앰블 상태로 되는, 상기 메모리 인터페이스 제어 회로에 있어서,

상기 데이터 스트로브 신호에 기초하여, 상기 버스트 데이터에 속하는 각 타임 슬롯의 상기 데이터가 안정할 때 토글하며, 빨라도, 버퍼 회로에 일시적으로 저장된 모든 타임 슬롯의 데이터 판독이 완료되는 시간까지 토글 종료시의 레벨을 유지하는 2차 데이터 스트로브 신호를 생성하는 2차 데이터 스트로브 신호 생성 회로를 포함하며,



상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하는 상기 버퍼 회로를 포함하는 것을 특징으로 하는 메모리 인터페이스 제어 회로.

## 청구항 2.

제 1항에 있어서,

상기 2차 데이터 스트로브 신호 생성 회로는:

상기 데이터 스트로브 신호를 지연시키는 지연 회로와;

상기 지연된 데이터 스트로브 신호에 기초하여 마스크 신호를 생성하는 마스크 회로; 및

상기 마스크 신호를 상기 지연된 데이터 스트로브 신호에 적용함으로써 상기 2차 데이터 스트로브 신호를 생성하는 논리 회로를 포함하는 것을 특징으로 하는 메모리 인터페이스 제어 회로.

## 청구항 3.

제 2항에 있어서,

보조 신호를 생성하는 보조 신호 생성 회로를 더 포함하고,

상기 보조 신호는, 상기 지연된 데이터 스트로브 신호의 프리앰블 기간이 시작한 순간부터 상기 지연된 데이터 스트로브 신호의 토글 기간이 시작하는 순간까지의 기간에 상기 마스크 신호가 디스에이블 레벨에서 인에이블 레벨로 전환하도록 하며, 또한, 상기 보조 신호는 상기 마스크 신호가 상기 인에이블 레벨로 유지되는 기간을 제한하며,

상기 마스크 회로는 상기 지연된 데이터 스트로브 신호뿐만 아니라 상기 보조 신호에도 기초하여 상기 마스크 신호를 생성하는 것을 특징으로 하는 메모리 인터페이스 제어 회로.

## 청구항 4.

제 3항에 있어서,

상기 마스크 회로는 제 1의 D형 플립플롭 회로와, 제 2의 D형 플립플롭 회로와, 논리 AND 게이트 및 논리 OR 게이트를 포함하며,

상기 제 1의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 반전 신호를 사용하고, 입력 신호로서 자신의 반전된 출력 신호를 사용하며,

상기 제 2의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 상기 반전된 신호를 사용하고, 입력 신호로서 상기 논리 AND 게이트의 출력 신호를 사용하며,

상기 논리 AND 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 1의 D형 플립플롭 회로의 상기 반전된 출력 신호를 사용하며,

상기 논리 OR 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 2의 D형 플립플롭 회로의 비반전 출력 신호를 사용하며,

상기 논리 OR 회로의 출력 신호는 상기 마스크 신호로 사용되는 것을 특징으로 하는 메모리 인터페이스 제어 회로.

### 청구항 5.

제 2항에 있어서,

캘리브레이션 패턴을 사용하여 상기 지연 회로의 지연 시간을 조정하는 제어 회로를 더 포함하는 것을 특징으로 하는 메모리 인터페이스 제어 회로.

### 청구항 6.

제 1항에 있어서,

상기 2차 데이터 스트로브 신호의 상승 에지를 사용함으로써 상기 2차 데이터 스트로브 신호의 제 1의 분주 신호(a first frequency-divided signal)를 생성하는 제 1의 분주기(frequency divider); 및

상기 2차 데이터 스트로브 신호의 하강 에지를 사용함으로써 상기 2차 데이터 스트로브 신호의 제 2의 분주 신호를 생성하는 제 2의 분주기를 더 포함하고,

상기 버퍼 회로는, 클록 인에이블 신호로서 상기 제 1 및 제 2의 분주 신호를 사용하고, 클록 신호로서 상기 2차 데이터 스트로브 신호를 사용하며, 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하는 D형 플립플롭 그룹을 포함하는 특징으로 하는 메모리 인터페이스 제어 회로.

### 청구항 7.

메모리로부터 버스트 데이터에 속하는 각 타임 슬롯의 데이터를 판독하기 위한 메모리 인터페이스 제어 방법으로서, 상기 메모리는 판독 커맨드를 입력한 시점부터 소정 지연 시간이 경과한 후에 상기 버스트 데이터를 출력하고, 상기 메모리는 데이터 스트로브 신호를 또한 출력하고, 상기 메모리가 상기 판독 커맨드를 입력한 후 시작하여 상기 메모리가 상기 버스트 데이터의 출력을 시작하기 직전에 종료하는 기간에서 상기 데이터 스트로브 신호는 프리앰블 상태로 되고, 상기 메모리가 상기 버스트 데이터를 출력하는 출력 기간에 상기 데이터 스트로브 신호는 토글 상태로 되고, 상기 데이터 스트로브 신호는 상기 출력 기간에서 모든 타임 슬롯을 토글하며, 상기 데이터 스트로브 신호는 상기 출력 기간 직후에 포스트앰블 상태로 되는, 상기 메모리 인터페이스 제어 방법에 있어서,

상기 데이터 스트로브 신호에 기초하여, 상기 버스트 데이터에 속하는 각 타임 슬롯의 상기 데이터가 안정할 때 토글하며, 빨라도, 버퍼 회로에 일시적으로 저장된 모든 타임 슬롯의 데이터 판독이 완료되는 시간까지 토글 종료시의 레벨을 유지하는 2차 데이터 스트로브 신호를 2차 데이터 스트로브 신호 생성 회로가 생성하도록 하는 단계; 및

상기 버퍼 회로가 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하도록 하는 단계를 포함하는 것을 특징으로 하는 메모리 인터페이스 제어 방법.

### 청구항 8.

제 7항에 있어서,

상기 2차 데이터 스트로브 신호 생성 회로가 상기 2차 데이터 스트로브 신호를 생성하도록 하는 상기 단계는:

지연 회로가 상기 데이터 스트로브 신호를 지연시키도록 하는 단계와;

상기 지연된 데이터 스트로브 신호에 기초하여 마스크 회로가 마스크 신호를 생성하도록 하는 단계; 및

상기 마스크 신호를 상기 지연된 데이터 스트로브 신호에 적용함으로써 논리 회로가 상기 2차 데이터 스트로브 신호를 생성하도록 하는 단계를 포함하는 것을 특징으로 하는 메모리 인터페이스 제어 방법.

### 청구항 9.

제 8항에 있어서,

보조 신호 생성 회로가 보조 신호를 생성하도록 하는 단계를 더 포함하고, 상기 보조 신호는, 상기 지연된 데이터 스트로브 신호의 프리앰블 기간이 시작한 순간부터 상기 지연된 데이터 스트로브 신호의 토글 기간이 시작하는 순간까지의 기간에 상기 마스크 신호가 디스에이블 레벨에서 인에이블 레벨로 전환하도록 하며, 또한, 상기 보조 신호는 상기 마스크 신호가 상기 인에이블 레벨로 유지되는 기간을 제한하며,

상기 마스크 회로는 상기 지연된 데이터 스트로브 신호뿐만 아니라 상기 보조 신호에도 기초하여 상기 마스크 신호를 생성하는 것을 특징으로 하는 메모리 인터페이스 제어 방법.

### 청구항 10.

제 9항에 있어서,

상기 마스크 회로는 제 1의 D형 플립플롭 회로와, 제 2의 D형 플립플롭 회로와, 논리 AND 게이트 및 논리 OR 게이트를 포함하며,

상기 제 1의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 반전 신호를 사용하고, 입력 신호로서 자신의 반전된 출력 신호를 사용하며,

상기 제 2의 D형 플립플롭 회로는 클록 신호로서 상기 2차 데이터 스트로브 신호의 상기 반전된 신호를 사용하고, 입력 신호로서 상기 논리 AND 게이트의 출력 신호를 사용하며,

상기 논리 AND 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 1의 D형 플립플롭 회로의 상기 반전된 출력 신호를 사용하며,

상기 논리 OR 게이트는 제 1의 입력 신호로서 상기 보조 신호를 사용하고, 제 2의 입력 신호로서 상기 제 2의 D형 플립플롭 회로의 비반전 출력 신호를 사용하며,

상기 논리 OR 회로의 출력 신호는 상기 마스크 신호로 사용되는 것을 특징으로 하는 메모리 인터페이스 제어 방법.

### 청구항 11.

제 8항에 있어서,

캘리브레이션 패턴을 사용하여 제어 회로가 상기 지연 회로의 지연 시간을 조정하도록 하는 단계를 더 포함하는 것을 특징으로 하는 메모리 인터페이스 제어 방법.

### 청구항 12.

제 7항에 있어서,

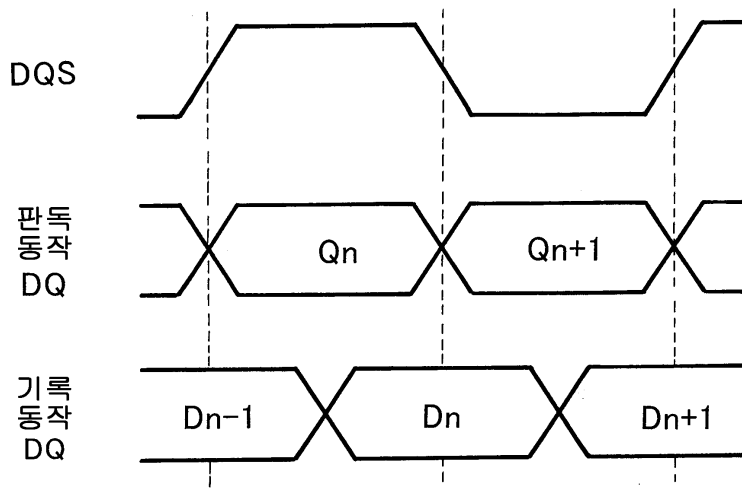
상기 2차 데이터 스트로브 신호의 상승 에지를 사용함으로써 제 1의 분주기(frequency divider)가 상기 2차 데이터 스트로브 신호의 제 1의 분주 신호(a first frequency-divided signal)를 생성하도록 하는 단계; 및

상기 2차 데이터 스트로브 신호의 하강 에지를 사용함으로써 제 2의 분주기가 상기 2차 데이터 스트로브 신호의 제 2의 분주 신호를 생성하도록 하는 단계를 더 포함하고,

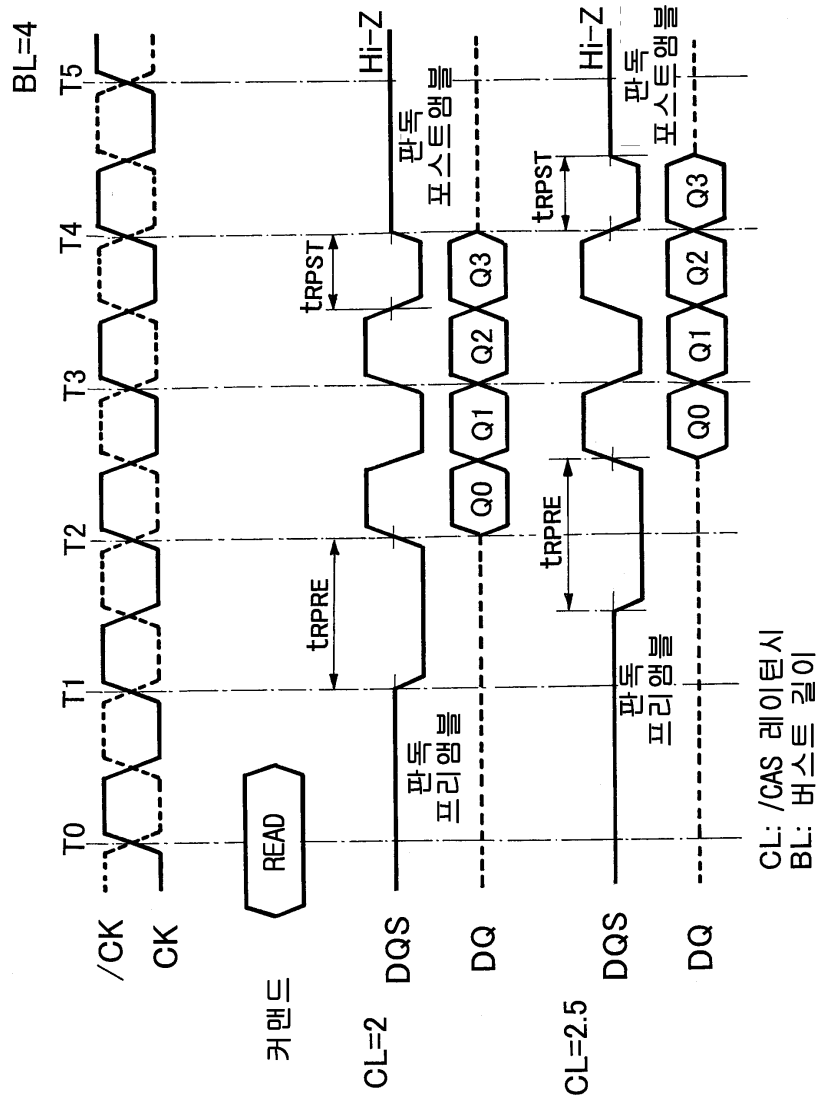
상기 버퍼 회로는, 클럭 인에이블 신호로서 상기 제 1 및 제 2의 분주 신호를 사용하고, 클럭 신호로서 상기 2차 데이터 스트로브 신호를 사용하며, 상기 버스트 데이터에 속하는 모든 타임 슬롯의 데이터를 일시적으로 저장하는 D형 플립플롭 그룹을 포함하는 특징으로 하는 메모리 인터페이스 제어 방법.

도면

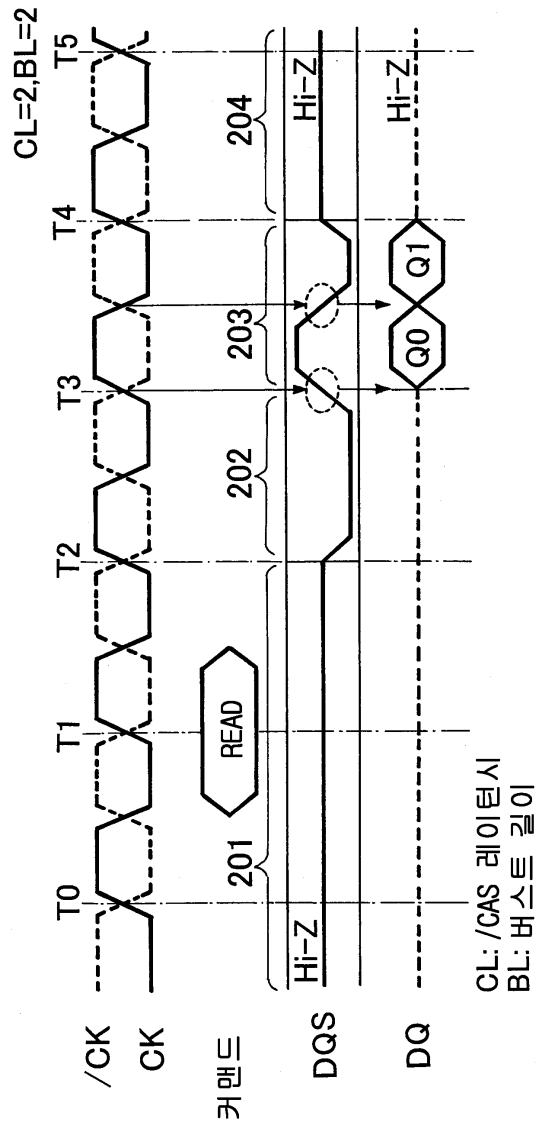
도면1



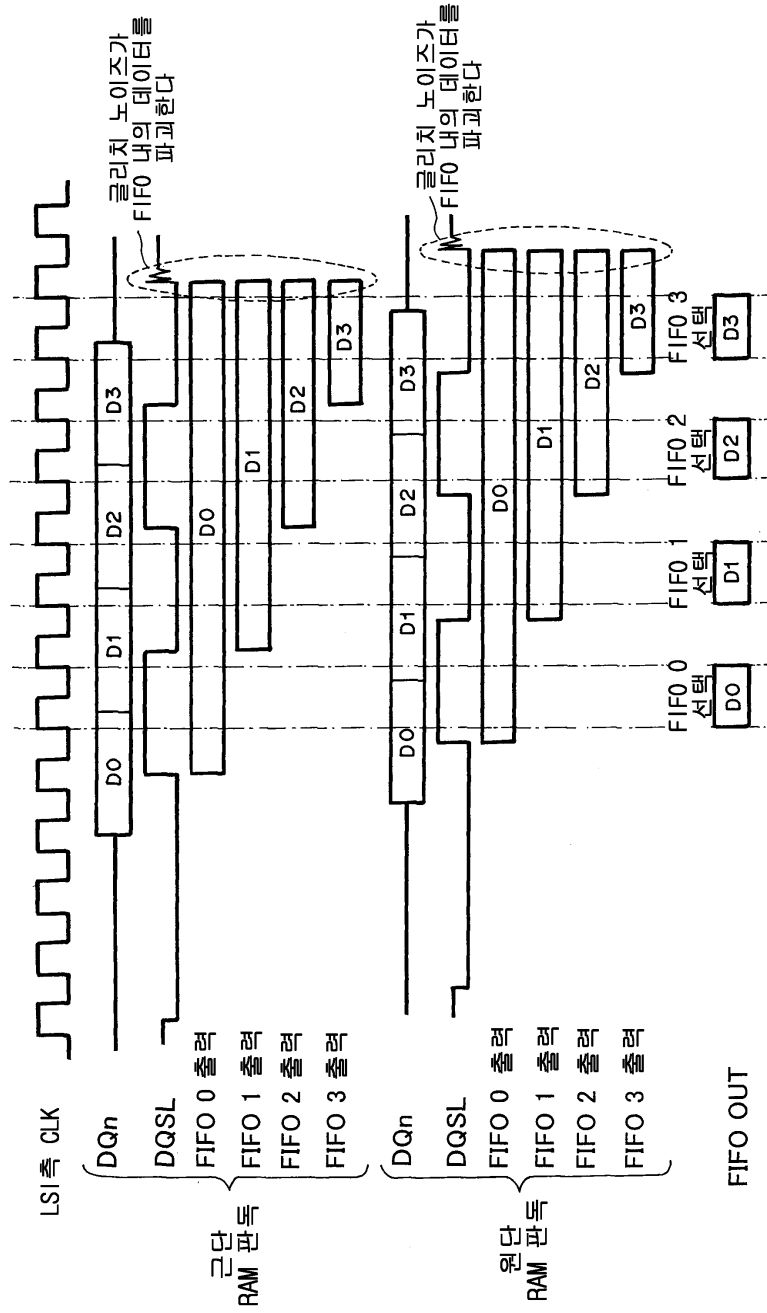
도면2



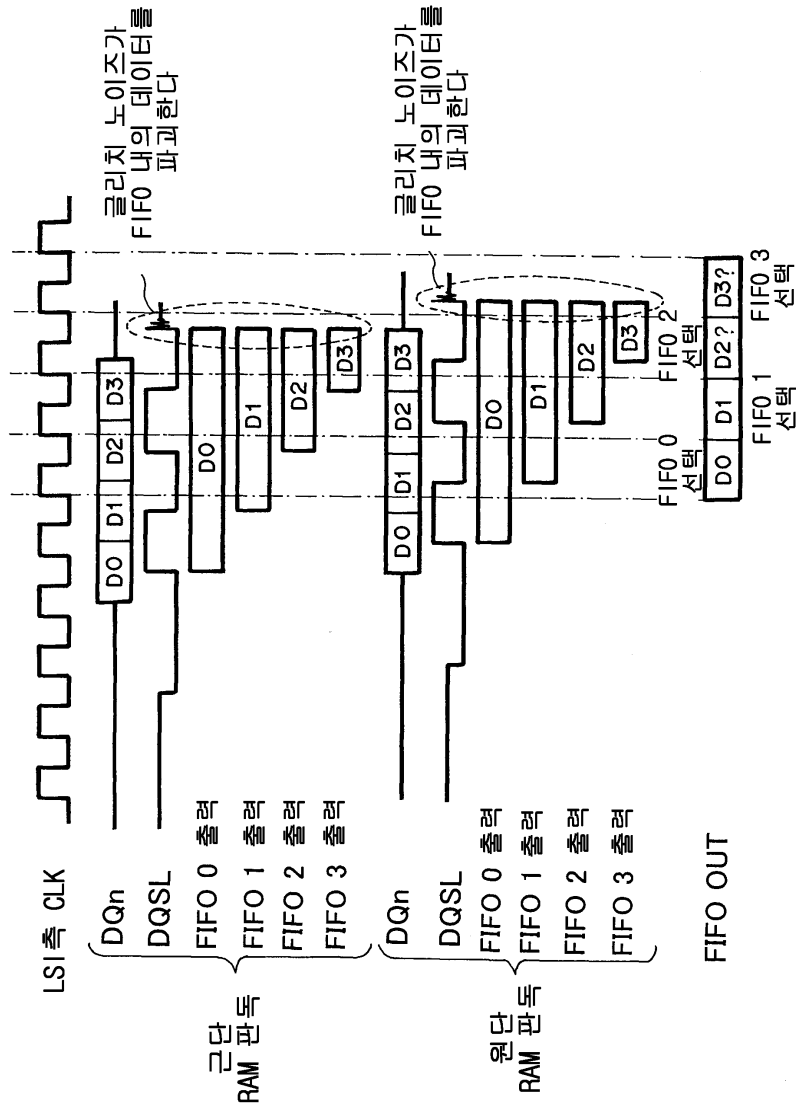
도면3



도면4



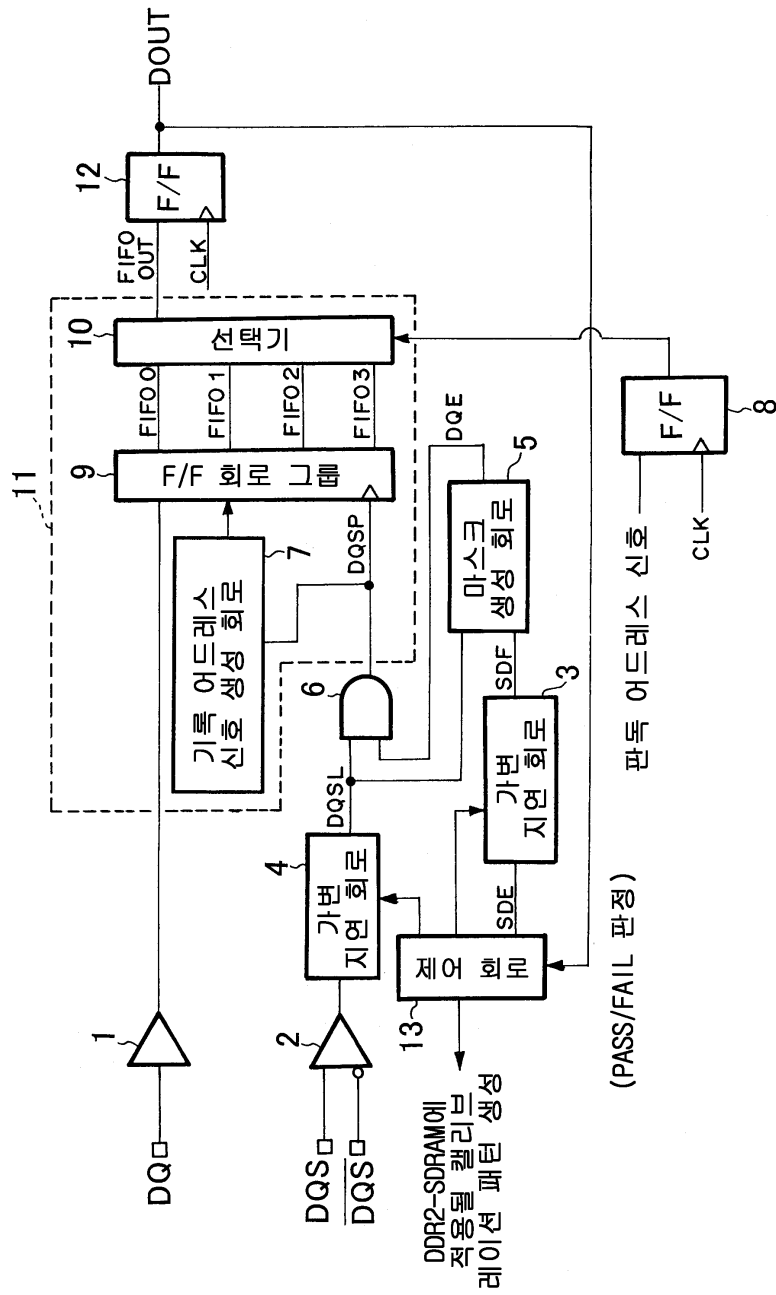
도면5



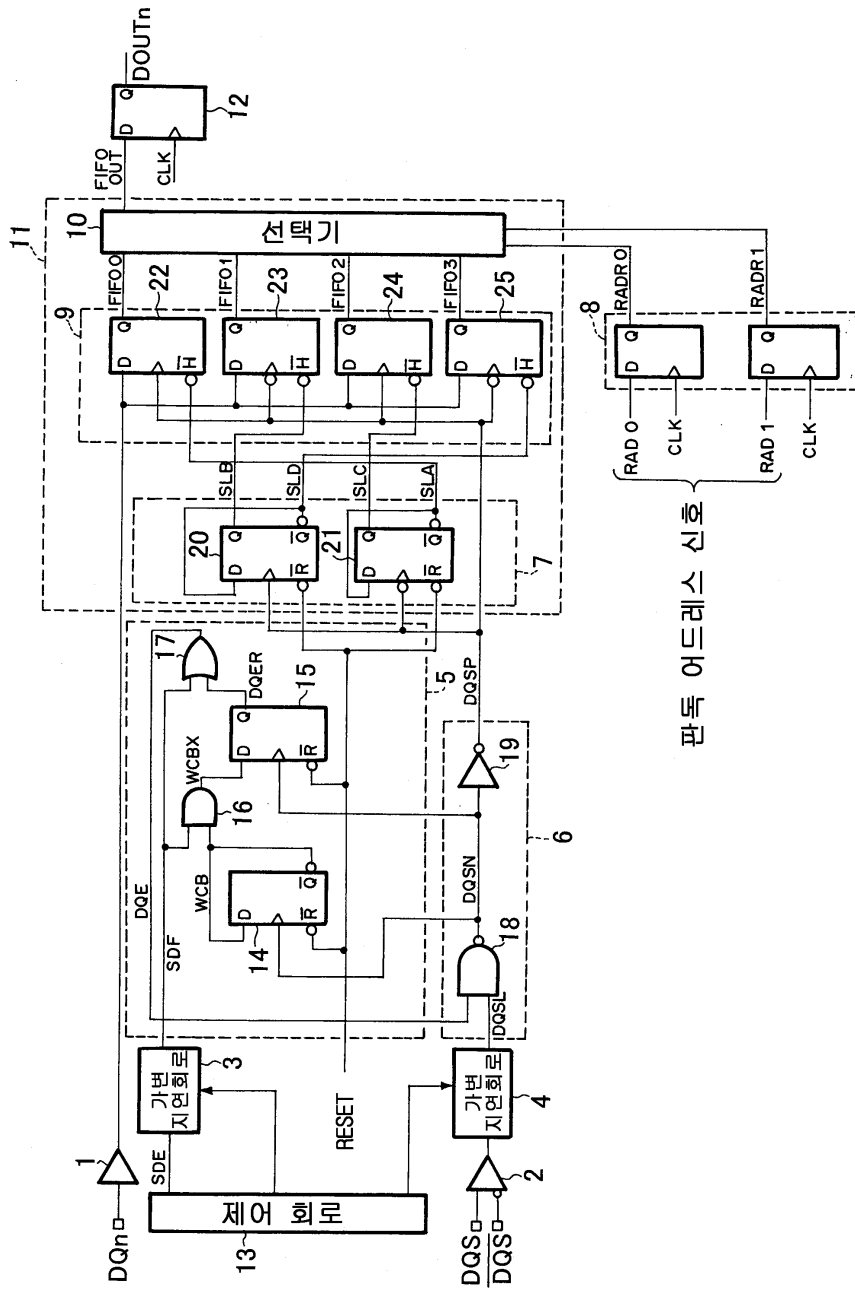
\* D2와 D3는 동기화될 수 없다



도면6

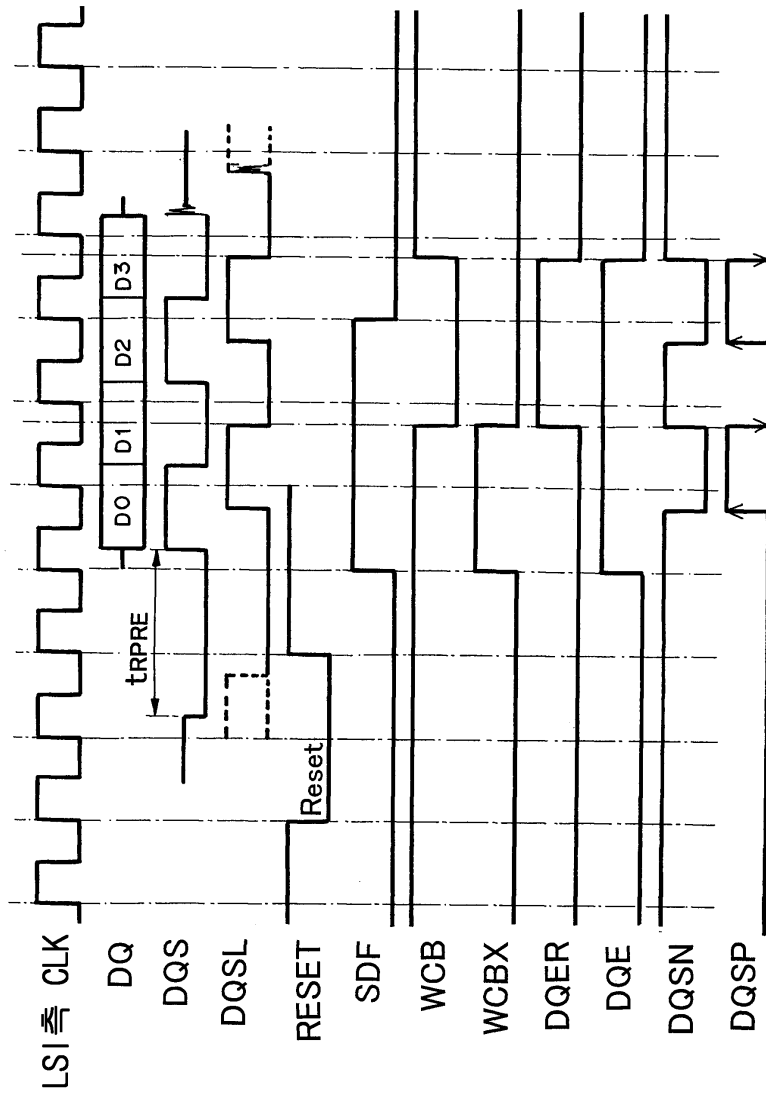


도면7

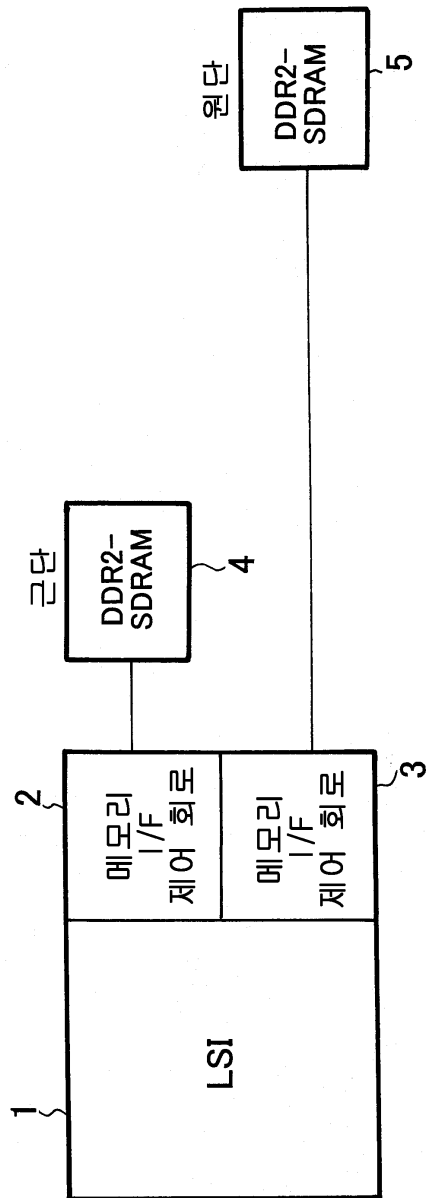


판독 어드레스 신호

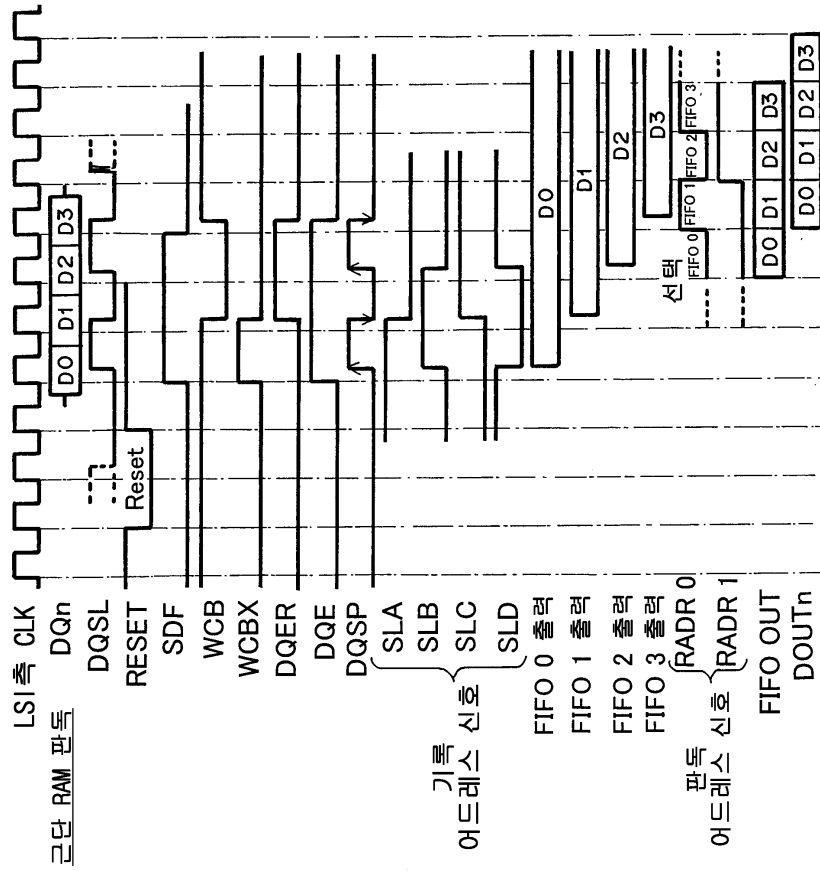
도면8



도면9



도면10



도면11

