

公告本

申請日期	87 年 7 月 8 日
案 號	87111072
類 別	Heil-2/80

A4
C4

463361

(以上各欄由本局填註)

發明專利說明書

一、發明 新 型	中 文	半導體積體電路之設計方法及半導體積體電路
	英 文	
二、發明 創 作 人	姓 名	(1) 柴田隆嗣 (2) 島田茂
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都東大和市新堀二-一四九三-八
	住、居所	(2) 日本國東京都保谷市雀丘四-四-一五
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井務

裝

訂

線

463361

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ☐ 有 ☐ 無主張優先權

日本	1997 年 8 月 21 日	9-224560	☒ 有主張優先權
日本	1997 年 12 月 9 日	9-338337	☒ 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

〔發明之所屬技術領域〕

本發明係關於半導體積體電路之設計手法，更且將特性互異之複數的電路準備為單體庫（cell library），使用者由其中選擇所希望者以設計半導體積體電路時很適用之技術，例如關於利用於ASIC（Application Specific Integrated Circuit）之設計有效之技術。

〔習知之技術〕

在以MOSFET（Metal-Oxide-Semiconduction Field Effect Transistor）之類的場效電晶體為主體之半導體邏輯積體電路中，被知悉者為：MOSFET之臨界值電壓愈低，愈可以高速動作，但是另一方面，臨界值低時，在OFF狀態之遺漏電流變大，消耗電力會增加。又，MOSFET之特性上有：使源極與基體（基板或井領域）間之逆偏壓電壓愈大時，臨界值電壓變高之所謂的基板偏壓效果。而且，關於抑制備用電流之技術，例如被記載於特開平7-235608。

〔發明欲解決之課題〕

如圖20（A）、圖20（B）所示之基體（n井、p井）之電位以被固定於電源電壓 V_{cc} 、基準電壓 V_{ss} （ $V_{cc} > V_{ss}$ ）之變換電路INV代替，如圖21（A）、圖21（B）所示般地，使用使基體（n井、p井）之電位可以切換為電源電壓 V_{cc} 、基準電壓 V_{ss} 與基體偏壓電壓 V_{bp} （ $V_{bp} > V_{cc}$ ）、

（請先閱讀背面之注意事項再填寫本頁）

本

訂

線

五、發明說明(2)

Vbn ($V_{bn} < V_{cc}$) 之變換電路 INV 之技術,例如被記載於 ISSCC Dig.of Tech. Papers, pp.166-167, 437, Feb.1996, 或 IEEE CICC, pp.53-56, May 1996。

在此技術中,於電路之動作時(active 時),在基體(n 井、p 井)施加電源. 電壓 V_{cc} 、 V_{ss} ,在基體間施以低的逆偏壓電壓,使 MOSFET 為低臨界值高速動作之。另一方面,在電路之非動作時(備用時)在基體(n 井、p 井)施加基板偏壓 V_{bp} 、 V_{bn} ,於源極. 基體(井)間施以高的逆偏壓電壓,提高 MOSFET 之臨界值,減少遺漏電流以使之降低消耗電力。本發明者檢討使用於上述基板偏壓可以切換之 MOSFET 半導體積體電路裝置之結果,很清楚具有以下之問題。

在利用如上述之基板偏壓效果以控制 MOSFET 之臨界值,以實現所希望特性之 IC 之情形,於各 MOSFET 基板之井領域,為了提供偏壓電壓用之配線需要變多(V_{cc} 線、 V_{bp} / V_{cc} 線、 V_{ss} 線、 V_{bn} / V_{ss} 線),會有電路之佔有面積乃至 IC 之晶片尺寸增大之不適情形。

又,於 ASIC 等之開發,使用者會有:即使動作速度慢,但期望低消耗電力或晶片尺寸小之 IC 之情形,及消耗電力即使多些,但是可以高速動作之 IC 之情形。以上述源極. 基體(井)間之逆偏壓電壓之高低,欲實現如上述之特性不同之 IC 時,製造者必須各別設計適合各別之 IC 之基板電位固定型之電路單體與基板電位可變型之

(請先閱讀背面之注意事項再填寫本頁)

訂

的

五、發明說明()

電路單體，準備各別之單體庫。因此，設計負擔變大之同時，使用這些之電路單體在設計評價使用者晶片之際所必須之電路單體之延遲時間等之特性抽出或規格書（數據表或數據手冊）之敘述等之功夫也變多，即對於各各之單體庫準備各各之規格書之負擔變大。

本發明之目的在於提供：不使製造者之設計負擔增加，可以實現單體形式不同之 I C 之設計技術。

本發明之其他之目的在於提供：可以容易實現晶片尺寸及消耗電力以及動作速度被最適合化之半導體積體電路之設計技術。

本發明之上述及其他之目的與新的特徵，由本詳細說明書之敘述及所附圖面可以變得很清楚。

說明本申請專利案之發明中之代表性者之概要時，有如下述者。

即將具有希望機能之電路單體之設計資訊以目的別地作為物件（object）記述之，只以規定之物件之資訊的消除或追加，以也可以構成基板電位固定型單體與基板電位可變型單體之其中任一種之單體資訊之形態，作為設計資源，做成登錄於構成 A S I C 等用之複數之電路單體被登錄之單體庫者。又，此單體庫例如被記憶於磁碟、光碟、印刷物等之記憶媒體。

上述電路電體之代表性者，例如有由構成屬於電路之最小單位之類之 C M O S 反相器之 1 對之 p 通道 MOSFET 與 n 通道 M O S F E T 所形成之單體。又，被登錄於上述

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (4)

單體庫之電路單體，其他尚包含：於邏輯 L S I 頻繁被使用之正反器 (flip-flop) 或 N O R 閘、N A N D 閘之類之基本電路，作為控制電路之 C P U 核心或作為記憶電路之隨機存取記憶體，計時器電路或串列通信介面電路等之

C P U 週邊電路模組，作為信號處理電路之 A / D 變換電路，D / A 變換電路之微單體。

依據上述手段，對於製造者而言，關於相同機能之電路，只設計 1 種之單體即可之故，減輕設計之負擔及設計單體之電壓依存性或溫度依存性，延遲時間等之特性抽出，規格書之記述等之功夫，可以謀求成本降低。

又，在 1 個之半導體晶片上，經由因應單體被使用之電路部份之機能等，將基板電位固定型單體與基板電位可變型單體分開使用混合存在，可以容易實現晶片尺寸及消耗電力以及動作速度被最適合化之半導體積體電路。

[圖面之簡單說明]

圖 1 係顯示適用本發明之 C M O S 反相器之共通單體布局之一例之平面部局圖案。

圖 2 係顯示沿著圖 1 之 I I - I I 線之剖面構成例之剖面圖。

圖 3 係顯示物件 A 之平面布局圖案，圖 3 (b) 係顯示物件 B 之平面布局圖案。

圖 4 (A)，圖 4 (B) 係顯示使用各各之 C M O S 反相器之共通單體布局構成之基板電位固定型之 C M O S

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

反相器，及基板電位可變型 C M O S 反相器之布局圖案之平面圖。

圖 5 (A) 係顯示使用基板電位可變型之 C M O S 反相器單體之情形之基板偏壓控制電路之構成例之電路圖。

圖 5 (B) 係顯示基板電位可變型之邏輯單體之布局圖案之平面圖。圖 5 (C) 係顯示基板電位固定型之邏輯單體之布局圖案之平面圖。

圖 6 (A) 係顯示使用基板電位可變型 C M O S 反相器單體之情形之基板偏壓控制電路之其他例之電路圖。圖 6 (B) 係顯示基板電位固定型之邏輯單體列之布局圖案之平面圖。

圖 7 (A) 係顯示 C M O S 反相器之共通單體布局之其他例之平面布局圖案，圖 7 (B) 係顯示物件 B ' 之平面布局圖案。

圖 8 係顯示適用本發明之記憶體陣列之一例之平面布局圖。

圖 9 係顯示具有適用本發明之記憶體單體給電部之記憶體墊之一例之平面布局圖。

圖 1 0 ^{(A)~(C)} 係顯示記憶體單體給電部之共通單體布局之實施例之平面布局圖案圖以及剖面圖。

圖 1 1 ^{(A)~(D)} 係顯示記憶體單體給電部之物件構成例之平面布局圖案圖。

圖 1 2 ^{(A)~(C)} 係顯示記憶體單體之單體布局之實施例之平面布局圖案圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

油

五、發明說明 (6)

圖 1 3 係顯示記憶體單體之一實施例之電路圖。

圖 1 4 係顯示登錄單體之信息庫之製作順序之流程圖。

圖 1 5 係顯示在圖 1 3 之流程圖之步驟 S 3 被準備之反相器單體之零件之一部份之說明圖。

圖 1 6 係顯示使用本發明之共通單體布局而構成之半導體積體電路之一例之 A S I C 之構成例之方塊圖。

圖 1 7 係顯示使用本發明之共通單體布局使設計成為可能之 L S I 之其他實施例之方塊圖。

圖 1 8 係顯示適用本發明之 L S I 之變形例之概念圖。

圖 1 9 係顯示本發明之其他實施例之并分離構成之 L S I 之構造之剖面圖以及顯示物件構成例之平面布局圖案圖。

圖 2 0 (A) 係顯示基板電位固定型 C M O S 反相器之等價電路之電路圖，圖 2 0 (B) 係顯示圖 2 0 (A) 之構造之剖面圖。

圖 2 1 (A) 係顯示基板電位可變型 C M O S 反相器之等價電路之電路圖，圖 2 1 (B) 係顯示圖 2 1 (A) 之構造之剖面圖。

主要元件對照

1 0 0 p - 型單結晶基板

1 0 0 i 元件分離部

(請先閱讀背面之注意事項再填寫本頁)

訂

始

五、發明說明()

1 0 1	n 井領域
1 0 2	p 井領域
1 0 7 , 1 0 8	活性領域
1 0 9	閘電極
1 1 0	共通汲極電極
1 1 1 ~ 1 1 4	接觸領域
T H 1 、 T H 2	通孔
2 0 0	高電壓電路領域
3 0 0	低電壓電路領域

〔發明之實施形態〕

以下佐以圖面說明本發明之合適之實施例。

首先，開始以 C M O S (Complementary MOS) 反相器單體 I N V 為例，說明共通單體布局之思考方法。

圖 1 及圖 2 係顯示由 1 對之 p 通道 MISFET (Metal Insulator Semiconductor FET) Q_p 與 n 通道 MOSFET Q_n 所形成之 C M O S 反相器 I N V 之共通單體布局之一例。其中圖 1 係顯示電路單體之平面布局圖案例，又圖 2 係顯示沿著圖 1 之 I I - I I 線之剖面構成例。

於圖 1、圖 2 中，1 0 0 例如為基體之 p - 型單結晶矽基板，1 0 0 1 為元件分離部，1 0 1、1 0 2 為互相接觸並聯而設置之比較低濃度之 n 型半導體領域及 p 型半導體領域之 n 井領域 (1 0 1 a、1 0 1 b) 及 p 井領域 (1 0 2 a、1 0 2 b)，1 0 3、1 0 4 為沿著上述 n

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

井領域 101 及 p 井領域 102 之上邊以及下邊，分別被配置之作爲電源配線層之 Vcc 線與 Vss 線，105、106 爲在上述 Vcc 線 103 及 Vss 線 104 之更外側，與這些之配線層平行被配置之作爲基板電位供給配線層之 VBP 線與 VBN 線。這些之電源供給線 (103 ~ 106) 例如係經由第 1 層之金屬 (鋁) 層被構成。電源供給線 (103 ~ 106) 係在單體列方向延伸存在地被構成之。

又，107 爲 p 通道 MISFETQp 被形成之活性領域，108 爲 n 通道 MISFETQn 被形成之活性領域，活性領域 107、108 係經由元件分離部 100I 被規定。

107a 及 107b 爲被設於上述 n 井領域 101 而且爲活性領域 107 之比較低濃度之 p - 型半導體領域及比較高濃度之 p + 型半導體領域，作用爲 p 通道 MISFETQp 之源極、汲極領域。108a、108b 爲被設於上述 p 井領域 102 而且爲活性領域 108 之比較低濃度之 n - 型半導體領域及比較高濃度之 n + 型半導體領域，作用爲 n 通道 MISFETQn 之源極、汲極領域。109 爲由跨上述 p 井領域 101 與 n 井領域 102，被配置於延伸存在於與上述電源線 103、104 正交方向之多晶矽膜等所形成之閘電極，閘電極 109 與 p 通道 MISFETQp 之閘電極 109p 及 n 通道 MISFETQn 之閘電極 109n 一體地被構成之。

閘電極 109n、109p 係經由閘絕緣膜 109I 被形成於井 101、102 上。又，p 通道 MISFETQp 之通

(請先閱讀背面之注意事項再填寫本頁)

第

訂

線

五、發明說明(9)

道形成領域與 n 井領域 101 被一體地形成，n 通道 MISFETQ_n 之通道形成領域與 p 井領域 102 被一體地形成。

再者，110 係跨上述 n 井領域 101 及 p 井領域 102，被配置於與上述電源線 103、104 正交方向，例如由第 1 層之金屬（鋁）層等形成之共通汲極電極。此共通汲極電極 110 被設計為在兩端經由接觸孔 CH1、CH2 電氣地與分別作為源極。汲極領域之上述 p 型半導體領域 107a、107b 及 n 型半導體領域 108a、108b 連接。

又，CH3 係為了將上述 V_{cc} 線 103 與上述 n 井領域 101 電氣地連接之接觸孔，CH4 係為了將上述 V_{ss} 線與上述 p 井領域 102 電氣地連接之接觸孔，CH5 係為了將上述 V_{BP} 線 105 與上述 n 井領域 101 分別連接之接觸孔，CH6 係為了將上述 V_{bn} 線 106 與上述 p 井領域 102 電氣地連接之接觸孔，CH7 係為了將上述 V_{cc} 線 103 與作為 p 通道 MISFETQ_p 之源極。汲極領域之上述 p 型半導體領域 107a、107b 電氣地連接之接觸孔，CH8 係為了將上述 V_{ss} 線 104 與作為 n 通道 MISFETQ_n 之源極。汲極領域之上述 n 型半導體領域 108a、108b 電氣地連接之接觸孔。而且，在這些接觸孔之中，對應對井領域給予電位用之接觸孔 CH3～CH6 之基板表面位置，被設有減少接觸電阻用之由高濃度半導體領域形成之接觸

（請先閱讀背面之注意事項再填寫本頁）

※

訂

終

五、發明說明 (10)

孔領域 1 1 1 ~ 1 1 4。

又，接觸孔領域 1 1 1、1 1 3 為 n + 型半導體領域，例如與半導體領域 1 0 8 在同一工程被形成。接觸孔領域 1 1 1 ~ 1 1 4 及活性領域 1 0 7、1 0 8 係經由元件分離部 1 0 0 I 被規定。元件分離部 1 0 0 I 以在被形成於基體 1 0 0 之溝被埋入絕緣膜之構造而被構成。

又，於圖 1、2 中，T H 1 係將上述閘電極 1 0 9 與較其更上方之由鋁層等形成之第 1 金屬層（上層配線）

1 1 0' 連接用之作爲輸入端子之通孔，T H 2 係將上述汲極電極 1 1 0 與較其更上方之由鋁層等形成之第 1 金屬層（上層配線）1 1 0'' 連接用之作爲輸出端子之通孔。

C H 1 ~ C H 9、T H 1 係被形成爲同一高低。

於圖 2 中，被形成於源極、汲極領域 1 0 7 a、1 0 7 b、1 0 8 a、1 0 8 b 以及接觸領域 1 1 1 ~ 1 1 4 之表面之導電層 1 2 0 係低電阻化用之金屬矽化物層（CoSi、TiSi 等），也被形成於多晶矽閘電極 1 0 9 之表面。在上述導電層 1 2 0 與電源供給現 1 0 3 ~ 1 0 6 之間，以層間絕緣膜 1 2 1 被分離，經由被填充於形成在此層間絕緣膜 1 2 2 1 之接觸孔 C H 1、C H 2、C H 3、C H 4、C H 5 ~ C H 8 之鎢等之導電體形成之連接體 1 2 2，被電氣地連接著。

於此實施例中，構成上述 C M O S 反相器 I N V 之設計資料被分割爲以下之物件 A、B、C P、C N、D W、D T H、E、F、G、H，即上述 V B P 線 1 0 5 及

（請先閱讀背面之注意事項再填寫本頁）

第

訂

線

五、發明說明(11)

VBN線106與將其分別連接於上述n井領域101及p井領域102用之接觸孔CH5、CH6、接觸領域113、114以及上述VBP線105及VBN線106之正下方之井領域101、102之一部份n井101a、p井102a各各構成設計資料，這些之設計資料被準備為一個之有彙整之物件A（圖3（a））。同樣地將上述Vcc線103及Vss線104連接於上述n井領域101及p井領域102用之接觸孔CH3、CH4、接觸領域111、112以及上述Vcc線103及Vss線104之接觸用之突出部103a、104a各各構成設計資料，這些設計資料被準備為一個之有彙整之物件B（圖3（b））。

構成反相器單體之p通道MISFETQp，活性領域107、p型半導體領域107a、107b與閘電極109p構成設計資料，這些設計資料被準備為一個有彙整之物件CP（圖3（c））。構成反相器單體之n通道MISFETQn，活性領域108、n型半導體領域108a、108b與閘電極109n構成設計資料，這些設計資料被準備為一個有彙整之物件CN（圖3（d））。

如圖3（c）～圖3（k）所示般地，其他物件也同樣地作為設計資料之彙整被構成，即具有：將第1層金屬層之汲極電極110（物件DW）與汲極電極110連接於上層之配線層（信號線）用之通孔TH2與輸出接觸構造（物件DTH）、由將閘極電極連接於上層之配線層（

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(12)

信號線)用之通孔 T H 1 與緩衝用導電層 B F M 所形成之輸入接觸構造(物件 E)、由將電源線 1 0 3、1 0 4 或汲極電極 1 1 0 等之導電層連接於擴散層 1 0 7 a、1 0 7 b、1 0 8 a、1 0 8 b 用之接觸孔 C H 1、C H 2、C H 7、C H 8 與高濃度之接觸領域 1 0 7'、1 0 8' 形成之接觸構造(物件 F)、構成電源線 1 0 3、1 0 4 之導電層圖案(物件 G)、提供井領域 1 0 1 b、1 0 2 b 之井構造(物件 H)。

又，接觸領域 1 0 7'、1 0 8' 實質上與各各 p 型半導體領域 1 0 7 a、1 0 7 b、n 型半導體領域 1 0 8 a、1 0 8 b 係在同一工程中被形成，而且被一體形成之故，圖 2 之圖示，爲了容易看圖之故省略。又，圖 3 之物件 A、B、F、G 之一點虛線以及二點虛線爲顯示單體外形之輪廓線，非構成物件之要素。

上述物件 A ~ H 之設計資料被展開於對應在各別製造製程中被使用之單幕之複數之被稱爲階層資料之層，例如所謂去除物件 A 者係稱去除構成物件 A 之層之資訊。經由由被分割爲物件 A ~ H 所形成之同一資料(階層資料)之合成，被製成在製程中使用之單幕。例如，物件 C P 之閘電極 1 0 9 p 與物件 C N 之閘電極 1 0 9 n 爲相同之層(階層資料)，經由合成這些之階層資料被製成形成多晶矽閘電極 1 0 9 用之單幕圖案。

又，物件 D W 之配線 1 1 0、物件 G 之 V c c 線 1 0 3、V s s 線 1 0 4、物件 A 之 V b p 線 1 0 5、

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (13)

V b n 線 1 0 6 為同一階層資料，經由適當合成這些階層資料，被製成形成第 1 層金屬層用之單幕圖案。如此，形成同一單幕圖案用之設計資料構成同一階層資料。關於本實施例之反相器單體，在物件 A、B 之外之物件，也可以在不同之物件要素使對應相同之層。

使用由形成圖 1 之 C M I S 反相器單體之單體設計資料去除上述物件 A 之設計資料之資料（即使用物件 B ~ H 之設計資料），如圖 4（A）所示般地，被構成在上述 n 井領域 1 0 1 及 p 井領域 1 0 2 分別連接 V c c 線 1 0 3 及 V s s 線 1 0 4 之如圖 2 0（A）所示之電路構成之基板電位固定型之 C M I S 反相器 I N V。另一方面，使用由形成圖 1 之 C M I S 反相器單體之單體設計資料去除上述物件 B 之設計資料之資料（即使用物件 A、C N、C P ~ H 之設計資料），如圖 4（B）所示般地，被構成在上述 n 井領域 1 0 1 及 p 井領域 1 0 2 分別連接 V B P 線 1 0 5 及 V B N 線 1 0 6 之如圖 2 1（A）所示之電路構成之基板電位可變型之 C M I S 反相器 I N V。

即準備具有物件 A ~ H 之設計資料以作為共通之單體布局，經由由此共通之單體布局去除物件 A 或物件 B，可以形成基板電位固定型單體之信息庫，或基板電位可變型單體之信息庫。如此，所謂共通單體布局意指以一個之共通單體圖案構成二個之單體庫之方法及手法等。

即將一個之共通單體圖案考慮為物件之集合體，經由由該共通單體圖案追加規定之物件，可以形成二個之單體

（請先閱讀背面之注意事項再填寫本頁）

訂

總

五、發明說明(4)

庫。

又，與反相器相同地，N I R 閘電路、N A N D 閘電路、開關電路 S W 1、S W 2、R A M 等也可以經由適當地形成物件 C P、C N、D W、D T W、E、F、H，可以構成 N O R 閘電路、N A N D 閘電路、開關電路 S W 1、W 2、R A M 等之邏輯電路單體之共通佈局。

由此共通單體圖案形成基板電位共通型單體庫者可以與上述 C M O S 反相器 I N V 之情形相同地形成。

又，此邏輯電路單體之共通佈局圖案包含：與上述反相器 C M O S 反相器 I N V 之共通佈局圖案具有同樣之單體高 H a、H b 之物件 A、G。經由如此，如圖 5 (A)、圖 5 (B)、圖 5 (C) 所示般地，將使用基板電位可變型單體庫之邏輯電路單體 C E L L 配置於單體列方向之情形，對立之電源供給線 (103 ~ 106) 分別被一體形成，而且在單體方向延伸存在地構成之。

即由邏輯電路單體之共通佈局圖案做成基板電位共通庫以及基板電位可變型單體庫，經由打開其中一方之信息庫配置連線邏輯電路 C E L L，可以構成所希望之邏輯電路。此情形，邏輯電路 C E L L 被配置於鄰接單體列方向，電源供給線 (103 ~ 106) 如圖 5 (A)、圖 5 (B)、圖 5 (C) 所示般地，在單體方向被一體形成。同樣地，使用基板電位固定型單體庫將邏輯單體 C E L L 配置於單體列方向之情形，邏輯電路 C E L L 被鄰接配置於單體列方向，電源供給線 (103、104) 如圖 5 (C)

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明 (45)

)、圖 5 (B) 所示般地，在單體方向被一體形成。

此基板電位可變型之 C M O S 反相等之 C E L L 被選擇之情形，將在圖 5 (A) 被顯示之偏壓電壓產生電路 B V G 產生之偏壓電壓 V_{bp} 、 V_{bn} 或電源電壓 V_{cc} 、 V_{ss} 供給於反相器單體 I N V 用之基板偏壓控制電路 B V C 被設於半導體晶片之任意位置，因應控制信號 s_{tb1} 、 s_{tb2} ，例如被顯示於表 1 般地，在動作時代替備用時之基體電位 V_{bp} ($= 3.3V$)、 V_{bn} ($= -1.5V$)，將 M I S F E T 之源極，基板間之逆偏壓電壓比其小之偏壓電壓 V_{bp} ($= 1.8V$)、 V_{bn} ($= 0V$) 通過 V B P 線 105、V B N 線 106 對於各井領域施加地控制之。如圖 6 (A) 所示般地，基板電路單體 C E L L 方向係使用第 1 層金屬層及第 2 層金屬層之配線而被接線，構成所希望之邏輯電路。

又，於上述實施例中，物件 A、B 也可以作為更小之物件彙整而準備之。又，與上述反相器單體相同地，也可以將 N A N D 閘電路或 N O R 閘電路等之基板邏輯電路之單體分別設計為可以構成基板電位固定型電路或基板電位可變型電路之其中任一種，登錄於信息庫，或於 R A M 等之記憶體中，設計可以構成基板電位固定型電路或基板電位可變型電路之其中任一種之單體，登錄於信息庫。更且上述偏壓電壓產生電路 B V G 以及基板偏壓控制電路 B V C 之設計資訊也可以分別作為一個之電路單體登錄於單體庫。代替將偏壓電壓產生電路 B V G 搭載於半導體晶

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (6)

片上，也可以由外部給予偏壓電壓 V_{bp} 、 V_{bn} 。

由圖 4 (A) 與圖 4 (B) 之比較，或圖 5 (B) 與圖 5 (C) 之比較，可以很清楚地，圖 4 (A) 之基體電位固定型之 CMIS 反相器單體比圖 4 (B) 之基板電位可變型之 CMIS 反相器單體面積小 V_{BP} 線 105 即 V_{BN} 線 106 之部份。因此，在要構成需要高速動作之電路之情形，經由選擇基板電位固定型之 CMIS 反相器單體，可以優先晶片尺寸之降低。

即圖 4 (A) 之單體高度 H_a 比圖 4 (B) 之單體高度小之故，如圖 5 (C) 所示般地，組合圖 4 (A) 之基板電位固定型之單體 CELL 以形成邏輯之情形，可以將 V_{BP} 線 105、 V_{BN} 線 106 之領域作為配線領域使用之故，可以謀求晶片尺寸降低及高積體化、高機能化。即於圖 5 (C) 及圖 6 (B) 中，可以縮小垂直於單體列方向之方向的單體列間之間隔，可以謀求晶片尺寸降低及高積體化。又，單體 CELL 之電源供給線 (103、104) 間之間隔與基板電位固定型單體及基板電位可變型單體相同。

接著，使用圖 5 (A) 以及表 1 說明基板偏壓控制電路 BVN 之構成與動作。

此實施例之基板偏壓控制電路 BVC 係經由：由經由被設於作為基板電位供給線之圖 1 之實施例之 V_{BP} 線 105 與偏壓電壓產生電路 BVG 之間的控制信號 s_{tb1} 被控制之 p 通道 MISFET Q_{p1} 以及經由被

(請先閱讀背面之注意事項再填寫本頁)

訂

姓

五、發明說明 (17)

設於作為基板電位供給線之 V B N 線 1 0 6 與偏壓電壓產生電路 B V G 之間的控制信號 s t b 2 被控制之 n 通道 MISFETQ_{n1} 所形成之第 1 開關電路 S W 1，及由經由被設於 V c c 線 1 0 3 與 V B P 線 1 0 5 之間的控制信號 s t b 1 被控制之 p 通道 M I S F E T Q_{p2} 以及經由被設於 V s s 線 1 0 4 與 V B N 線 1 0 6 之間的控制信號 / s t b 2 被控制之 n 通道 M I S F E T Q_{n2} 所形成之第 2 開關電路 S W 2 所形成。

上述第 2 開關電路 S W 2 於每一個規定數之基板電路單體 (反相器單體或 N O R 或 N A N D 等之邏輯電路 (開)) C E L L 各設一個，即一個之單體列 C R 設置複數個，第 1 開關電路 S W 1 對於複數之第 2 開關電路 S W 2 被設置為當成共通電路。因此，構成第 1 開關電路 S W 1 之 M I S F E T Q_{p1}、Q_{n1} 之元件尺寸被設計為比構成第 2 開關電路 S W 2 之 M I S F E T Q_{p2}、Q_{n2} 之元件尺寸還大。第 2 開關電路 S W 2 之配置節距因應 L S I 之動作頻率數或電源線 V c c 線 1 0 3、V s s 線 1 0 4 之配線電阻，動作頻率數愈高或電壓降愈大，使第 2 開關電路 S W 2 之配置節距小，期望使被設於一個之單體列 C R 之第 2 開關電路 S W 2 之數目多。經由如此，抑制伴隨電路動作之基板電位之變動，可以防止因雜訊所致之電路之動作。

如此，配置基板電路單體 C E L L，經由將基板電路單體 C E L L 間使用第 1 層金屬層 1 1 0 及第 2 層金屬

(請先閱讀背面之注意事項再填寫本頁)

訂

紙

五、發明說明 (18)

層 1 1 0 ' 之配線接線之，構成所希望之邏輯電路。又，邏輯電路如圖 6 (A) 所示般地，也可以配置複數之單體列 C R 構成之。此情形下，第 1 開關電路 S W 1 可以設於每一單體列 C R，如圖 6 (A) 所示般地，也可以於邏輯電路設置一個。又，如圖 6 (A)、圖 6 (B) 所示般地，單體列 C R 間被作為配線領域使用，使用第 1 層及第 2 層金屬層 1 1 0 '、1 1 0 ' 之配線，被進行單體列間或單體內之接線。

又，上述基體偏壓控制電路 B V C 在動作時，如表 1 所示般地，控制信號 s t b 1 為 $V_{ss} (= 0 V)$ ， $\nearrow s t b 1$ 為 $V_{bp} (= 3.3 V)$ ，s t b 2 為 $V_{bn} (= -1.5 V)$ ， $\nearrow s t b 2$ 為 $V_{cc} (= 1.8 V)$ 。經由如此，開關電路 S W 1 之 MISFET Q_{p1} 、 Q_{n1} 為 O F F，S W 2 之 MISFET Q_{p2} 、 Q_{n2} 為 O N 狀態，在被連接於反相器 I N V 之 V B P 線 1 0 5 及 V B N 線 1 0 6 被供給電源電壓 V_{cc} 、 V_{ss} ，反相器 I N V 之 MISFET 在源極。基體間接受低的逆偏壓電壓，臨界值變低，高速動作。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

〔表 1〕

		Active	Standby
Power Source	Vcc 電壓	1.8V	
	Vss 電壓	0.0V	
	Vbp 電壓	-	3.3V
	Vbn 電壓	-	-1.5V
Control Signal	stb1	L (0.0)	H (3.3)
	/stb1	H (3.3)	L (0.0)
	stb2	L (-1.5)	H (1.8)
	/stb2	H (1.8)	L (-1.5)
Controlled Power	VBP 線	Vcc (1.8)	Vbp (3.3)
	VBN 線	Vss (0.0)	Vbn (-1.5)

(請先閱讀背面之注意事項再填寫本頁)

訂

總

另一方面，在電路之非動作時（備用時），如表 1 所示般地，控制信號 stb1 為 Vbp (= 3.3V)，
 /stb1 為 Vss (= 0V)，stb2 為 Vcc (= 1.8V)，
 /stb2 為 Vbn (= -1.5V)。經由如此，開關電路 SW1 之 MISFET Qp1、Qn1 為 ON、
 SW2 之 MISFET Qp2、Qn2 為 OFF，在被連接於反相器 INV 之 VBP 線 105 以及 VBN 線 106 被供給在偏壓電壓產生電路 BVG 被產生之偏壓電壓 Vbp、
 Vbn，反相器單體 INV 之 MISFET 在源極・基體間被給予高逆偏壓電壓，使 MISFET 之臨界值高，經由如此遺漏電流被減少。又，表 1 係顯示由外部被供給之電源電壓

五、發明說明 (20)

V_{cc} 為 1.8 V 之情形之偏壓電壓之一例，電源電壓改變時，偏壓電壓 V_{bp} ($V_{bp} > V_{cc}$)、 V_{bn} ($V_{bn} < V_{ss}$) 也因應其適當地被變更。

又， V_{bn} 電位及 V_{bp} 電位係供電於井領域 101、102 之電位之故，電流變動少，如圖 4 (A)、圖 4 (B) 所示般地， V_{BP} 線 105 及 V_{BN} 線 106 之配線寬比 V_{cc} 線 103 及 V_{ss} 線 104 之配線寬還細地構成。如此，經由設置 V_{BP} 線 105 及 V_{BN} 線 106，可以降低 CELL 尺寸之增大。

又，在上述實施例中，雖然係： V_{BP} 線 105 及 V_{BN} 線 106 與將其分別連接於 n 井領域 101 及 p 井領域 102 用之接觸孔 CH5、CH6，接觸領域 113、114 以及構成上述 V_{BP} 線 105 及 V_{BN} 線 106 之正下方之井領域 101、102 之一部份之設計資料作為一個之有彙整之物件 A；又，將 V_{cc} 線 103 及 V_{ss} 線 104 連接於 n 井領域 101 及 p 井領域 102 用之接觸孔 CH3、CH4，接觸領域 111、113 以及構成上述 V_{cc} 線 103 及 V_{ss} 線 104 之接觸用突出部 103a、104a 之設計資料作為一個之有彙整之物件 B 加以說明之，但是也可以將上述 2 個之物件 A、B 設為 1 個之物件 A'，有別於此物件 A'，如圖 7 (A) 剖面線所示般地，將 V_{cc} 線 103 及 V_{ss} 線 104 與 V_{BP} 線 105 及 V_{BN} 線 106 之間隙以相同導電體層 (第 1 層金屬 (鋁) 層) 埋住之圖案 FP1、FP2 之設

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明(21)

計資訊，作為其他之物件 B' 準備之，由是否置入此間隙埋設用之物件 B' 可以形成基板電位固定型單體或基板電位可變型單體之其中一個。

又，也可以將物件 A' 與物件 B' 當成 1 個之物件 A''，將物件 B' 由物件 A'' 消除，或留下，以形成基板電位固定型單體或基板電位可變型單體之其中一個。

但是，在如此之情形，其中任一個之單體皆成為同一形狀（外形）之故，即使選擇基板電位固定型單體，無法獲得單體面積降低之效果，代之伴隨電源線之線寬增加之電阻之降低，可以獲得因電源電位之安定化及接觸數之增加所致之井電位之安定化之所謂的邏輯電路之信賴性、性能提升之其他的效果。

再者，在上述實施例中，雖然將 Vcc 線 103 及 Vss 線 104 與 VBP 線 105 及 VBN 線 106 連接於分別對應之井領域 101、102 用之接觸孔 CH3 ~ CH6 之資訊置入與各別之電源線之資訊相同之物件而說明之，但是也可以：接觸孔之資訊由有置入電源線之資訊之物件分離，基體接觸孔經由佈局編輯程式，使產生於各電源線下之空白領域。即構成邏輯單體之共通佈局圖案之物件並不限於上述者，在不變更本發明之主旨範圍，不用說有變更可能。

接著說明使構成內藏於 LSI 之 RAM 之記憶體單體之基板電位為固定或可變之情形之共通單體布局。此實施例為記憶體單體相同，構成記憶體單體之 p 通道 MISFET 與

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (22)

n 通道 M I S F E T 對於分別形成之井領域之給電部，以共通單體布局構成者。

圖 8 (A) 顯示記憶體陣列全體之構成。此實施例之記憶體陣列係：各各 $32 \times n$ 個之記憶體單體 M C 成矩陣狀被配置而形成之記憶體墊 M A T 夾住 X 解碼器電路 X - D E C 而被配置於其兩側所形成。鄰接 X 解碼器電路 X - D E C，在其兩側被配置有將字元線驅動為選擇準位之字元驅動器 W - D R V。又，如斜線領域所顯示般地，在字元線方向（圖 8 (A) 之橫方向）之記憶體墊間，被形成有分別以適當節距結合 2 層字元線以防止準位下降用之字元分流領域 W - S N T。又，於資料線方向（圖 8 (B) 之縱方向），於記憶體墊之一端部，被配置預先充電電路 P C 及欄開關列 Y S W，再者，被配置鄰接充電電路 P C 及欄開關列 Y S W 以放大資料線之信號之讀出放大器 S - A M P 及寫入放大器 W - A M P。

圖 9 顯示省略字元線狀態之記憶體墊 M A T 之一例。如圖 9 所示般地，於記憶體墊內沿著資料線方向（圖 9 之縱方向），n 井領域 n - W E L L 及 p 井領域 p - W E L L 被交互配置。而且，在此實施例中，於上述字元分流領域 W S 沿著與字元線垂直方向（資料縱方向）延伸存在地，被配置有電源線 V D L、V S L 及供給基板電位 V b p、V b n 之線 V B P、V B N。又，於資料縱方向中，於上述字元分流領域 W - S N T 之兩端部被配置分別相當於上述之開關電路 S W 2 之電路。又，在上述字元分

（請先閱讀背面之注意事項再填寫本頁）

訂

n

五、發明說明 (23)

流領域 $W-SNT$ 被設有對於字元線方向之記憶體單體之共通井領域進行給電之給電部，此給電部以共通單體布局構成。即在給電部之上述字元分流領域 $W-SNT$ 被配置如圖 8 (B) 所示之記憶體給電用單體之 VBB 帶狀單體，上述記憶體給電用單體以共通單體布局構成之。

圖 10 (A) 顯示被配置於對上述記憶體單體之給電部之 VBB 帶狀單體之共通單體布局之實施例。圖 10 (A) 之實施例係與反相器單體之圖 1 之實施例為相同之思想而被設計之共通單體布局，為被配置於上述字元分流領域 WS 之記憶體給電用單體。圖 10 係顯示在記憶體給電用單體之兩側分別配置 1 個之記憶體單體 MC 。

於圖 10 (A) 中，301 具有與記憶體墊內之記憶體單體之 p 井領域 $p-WELL$ 相同之寬度 W_p ，而且於字元線方向 p 井領域與 $p-WELL$ 一體被構成地而被配置之 p 井領域，302 具有與記憶體單體之 n 井領域 $n-WELL$ 相同之寬度，而且於字元線方向與 n 井領域 $n-WELL$ 一體被構成地被配置之 n 井領域，303 係供給被配置於與井領域 301、302 交叉方向（為圖之縱方向之資料線方向）之電源電壓 V_{cc} 用之電源線（ V_{cc} 線），304 係供給被配置於與井領域 301、302 交叉之資料縱方向之基準電壓 V_{ss} 用之電源線（ V_{ss} 線）。305 係在上述電源線 303、304 之外側與其並行被配置，作為供給基體電位 V_{bp} 之基體電位供給線之 VBP 線，306 係在上述電源線 303、304 之外

（請先閱讀背面之注意事項再填寫本頁）

訂

總

五、發明說明 (24)

側與其並行被配置，作為供給基體電位 V_{bn} 之基體電位供給線之 VBN 線。雖然無特別限制，但是上述電源線 303、304 以及基體電位供給線 305、306 係經由鋁等導電層形成之第 2 層金屬層所構成。又，第 1 層金屬層被使用於之後敘述之記憶體單體內之元件 (MISFET) 間之連接。

又，於圖 10 (A) 中， $CH3'$ 、 $CH4'$ 係將上述電源線 303、304 分別電氣地連接於上述 p 井領域 301、n 井領域 302 用之接觸孔，311 係對應上述接觸孔 $CH3'$ 減少被形成於 p 井領域 301 之接觸電阻用之由 p + 半導體領域形成之 p 型接觸領域，312 係對應上述接觸孔 $CH4'$ 減少被形成於 n 井領域 302 之接觸電阻用之由 n + 半導體領域形成之 n 型接觸領域， $CH5'$ 、 $CH6'$ 係將上述基體電位供給線 305、306 分別與上述 n 井領域 301、p 井領域 302 接觸用之接觸孔，313 係對應上述接觸孔 $CH5'$ 由被形成於 p 井領域 301 之 p + 型半導體領域所形成之接觸領域，314 係對應上述接觸孔 $CH6'$ 由被形成於 n 井領域 302 之 n + 型半導體領域所形成之接觸領域。

經由對應這些之 $CH3'$ 、 $CH4'$ 、 $CH5'$ 、 $CH6'$ 之各各之接觸部之 $CH3''$ 、 $CH4''$ 、 $CH5''$ 、 $CH6''$ 之各各之 Via (接觸孔)，與由上層之第 2 層金屬層形成之電源線以及基體電位供給線 (303 ~ 306) 電氣地連接。311a、312a、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (25)

3 1 3 a、3 1 4 a 被形成爲由半導體領域 3 1 1，

3 1 2、3 1 3、3 1 4 抽出於由第 2 層金屬層形成之電源線以及基板電位供給線 3 0 3 ~ 3 0 6 用之緩衝用導電層。即緩衝用導電層 3 1 1 a、3 1 2 a、3 1 3 a、

3 1 4 a 以第 1 層金屬層構成。

圖 1 0 (C) 爲在圖 1 0 (A) 之 C - C' 線位置切開之剖面圖，爲電源線。

V B N 線 3 0 6 經由接觸孔 C H 5' 被電氣地連接於緩衝用導電層 3 1 3 a，緩衝用導電層 3 1 3 a 經由接觸孔 c H 5' 被電氣地連接於 P + 型半導體領域 3 1 3。同樣地，V B S 線 3 0 1 經由接觸孔 C H 3' 被電氣地連接於緩衝用導電層 3 1 1 a，緩衝用導電層 3 1 1 a 經由接觸孔 c h 3' 被電氣地連接於 P + 型半導體領域 3 1 1。

V c c 線 3 0 3 也同樣爲之，經由接觸孔 C h 4'、C H 4' 以及緩衝用導電層 3 1 2 a 被電氣地連接於 n + 型半導體領域 3 1 2，V B P 線 3 0 5 經由接觸孔 C H 6'、C H 6' 以及緩衝用導電層 3 1 4 a 被電氣地連接於 n + 型半導體領域 3 1 4。

再者，3 2 1 被配置於與上述電源線 3 0 3、3 0 4、3 0 5、3 0 6 交叉之方向（圖中橫方向之字元線方向），而且在與記憶體單體內之字元線一體地被形成之同時，爲由被連接之多晶矽層等所形成之字元線。3 2 2 係在此字元線 3 2 1 之上方，經由絕緣膜被配置，被施加與字元線 3 2 1 相同之電壓波形之字元分流線，3 2 3、

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(26)

3 2 4 為與上述字元線 3 2 1 並行配置，對記憶體單體供給電源電壓 V_{cc} 、 V_{ss} 用之橫方向電源線。雖無特別限制，但是在此實施例中，上述字元分流線 3 2 2 以及電源線 3 2 3、3 2 4 係以鋁等導電層形成之第 3 層金屬層所構成。

TH 1 1 係將上述 V_{cc} 線 3 0 3 電氣地連接於上述橫方向 V_{cc} 線 3 2 3 用之通孔，TH 1 2 係將上述 V_{ss} 線 3 0 4 電氣地連接於上述橫方向 V_{ss} 線 3 2 4 用之通孔，TH 1 3、TH 1 4、TH 1 5 係將上述字元分流線 3 2 2 連接於上述字元線 3 2 1 用之通孔，字元分流線 3 2 2 以第 3 層金屬層被構成之故，直接與字元線 3 2 1 接觸有其困難之故，在其間形成由第 1 層金屬層形成之緩衝用導電層 3 2 5、3 2 5'，經由此緩衝用導電層 3 2 5、3 2 5' 與通孔 TH 1 3、TH 1 4、TH 1 5，上述字元分流線 3 2 2 與上述字元線 3 2 1 電氣地被連接。即字元分流線 3 2 2 經由通孔 TH 1 5 被電氣地連接於緩衝用導電層 3 2 5'，緩衝用 3 2 5' 經由通孔 TH 1 4 被電氣地連接於緩衝用導電層 3 2 5，緩衝用導電層 3 2 5 經由通孔 TH 1 3 被電氣地連接於字元線 3 2 1。

在此實施例中，如圖 1 1 (B) 所示般地，上述接觸孔 CH 3'、CH 4'、接觸領域 3 1 1、3 1 2 以及 V i a 領域 CH 3''、CH 4''、由第 1 層金屬領域層形成之 3 1 1 a、3 1 2 a 之各各構成設計資料，這些之設

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明 (27)

計資料構成爲1個之物件A M，如圖11(A)所示般地，上述接觸孔C H 5'、C H 6'、Via領域C H 5'、C H 6'以及接觸領域313、314以及由第1層之金屬層形成之緩衝用導電層構成其他之物件B M。

如圖11(C)所示般地，p井領域301、n井領域302、V c c線303、V s s線304、V B P線305、V B N線306之各各構成設計資料，這些之設計資料構成一個有彙整之物件C M。而且，在爲共通之布局圖案之物件C M中，經由選擇性地追加這些物件A M、B M中之其中一方，構成基板電位固定型單體或基板電位可變型單體。即選擇物件A M以及C M時，該給電部表現爲基板電位固定型單體(記憶體給電用單體)。V c c線303被電氣地連接於n井領域n - W E L L、302，在記憶體單體M C之n井領域n - W E L L、302被經常供給電源電壓V c c，在記憶體單體M C之p井領域p - W E L L、301被供給電源電壓V s s。

另一方面，選擇物件B M以及C M時，該給電部表現爲基板電位可變型單體(記憶體給電用單體)。即V B P線305被電氣地連接於井領域n - W E L L、302，V B N線306被電氣地連接於p井領域p - W E L L、301。而且，因應上述之切換控制信號s t b 1、s t b 2，通過V B P線305對於記憶體單體之n井領域n - W E L L、302在動作時被供給電源電壓V c c，又在備用時被供給3.3V之類的偏壓電壓V b p。另

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (28)

一方面，通過 V B N 線 3 0 6，動作時，於 p 井領域 p - W E L L、3 0 1 供給電源電壓 V s s (0 V)，備用時被供給 - 1 . 5 V 之類之偏壓電壓 V b n。

又，經由將基板電位固定型單體或基板電位可變型單體於圖 8 (A) 所示之字元分流領域 W - S N T 配置於資料線方向，於資料線方向中，被配置於記憶體墊 M A T 之兩端之開關電路 S W 2 間以 V s s 線、V B N 線、V B P 線電氣地被連接。

圖 1 0 (B) 顯示上述給電部之共通單體布局之其他實施例。此實施例係與反向器單體之圖 7 之實施例為以同樣思想被設計之共通單體布局，與圖 1 0 (A) 被賦予相同標號之部份係顯示相同部位。

此實施例係：將圖 1 0 (A) 之實施例之 2 個物件 B M、C M 作為 1 個之物件 D M，有別於此物件 D M，準備如圖 1 0 (B) 中以剖面線所示般地，將 V c c 線 3 0 3 以及 V s s 線 3 0 4 與 V B P 線 3 0 5 以及 V B N 線 3 0 6 之間隙以相同之導電體層（由鋁層形成之第 2 層金屬層）覆蓋之圖案 F P 1'、F P 2' 之設計資訊（設計資料）當成其他之物件 E M（參考圖 1 1 (D)），由是否將此間隙埋設用之物件 E M 置於物件 D M，可以形成基板電位固定型給電單體或基板電位可變型給電單體之其中一種。又，在將上述物件 E M 加於物件 D M 之單體中，V B P 線 3 0 5、V B N 線 3 0 6 分別與 V c c 線 3 0 3、V s s 線 3 0 4 一體地被形成，成為供給電源電壓

（請先閱讀背面之注意事項再填寫本頁）

訂

結

五、發明說明 (29)

V c c、V s s 線之機能。

又，進而其他實施例，不用說也可以不使用圖案 F P 1'、F P 2'，以圖 8 以及圖 9 所示之記憶體墊外之 V b b 開關單體 (S W 2) 之外部將 V b p 與 V d d、V b n 與 V s s 以相同之導電層 (鋁層) 連接之。

圖 1 2 顯示構成 R A M (隨機存取記憶體) 之靜態記憶體單體 (S R A M) 之單體布局之一例，又圖 1 3 顯示該記憶體單體之電路構成。如圖 1 3 所示般地，此實施例之記憶體單體具有 6 個之 M I S F E T，其中 M p 1、M p 2 以 P 通道 M I S F E T 與 N 通道 M I S F E T M n 1、M n 2 一齊地構成 C M O S 閘鎖電路，閘端子被連接於字元線 W L 之傳送用 M 通道 M I S F E T M t 1、M t 2 被連接在此閘鎖電路之輸入輸出節點與資料線 D L 1、/ D L 之間。

圖 1 2 (A) 顯示成為構成記憶體單體之 6 個之 M I S F E T 之源極。汲極領域之半導體領域 4 0 1 (n+)、4 0 2 (n+)、4 0 3 (p+)、4 0 4 (p+) 與由多晶矽膜形成之閘電極 3 2 1、3 2 1'、3 2 1'' 以及接觸孔 C H' 及連接閘電極 3 2 1'、3 2 1'' 與半導體領域 4 0 2、4 0 3 之直接接觸部 C H' d 之圖案以及佈局。圖 1 2 (B) 顯示由連接各 M I S F E T 之源極。汲極間以及電源線間之第 1 層金屬層所形成之連接配線 4 3 1 ~ 4 3 6 之圖案以及接觸孔 C H'' 之佈局。又，圖 1 2 (C) 顯示由第 3 層金屬層 (橫方向) 形成之字元分流線 4 2 2、V s s 線 4 2 3、V c c 線 4 2 4 以及由第 2 層

(請先閱讀背面之注意事項再填寫本頁)

訂

終

五、發明說明 (30)

金屬層（縱方向）形成之資料線 4 2 5、4 2 6（圖 1 3 之 DL、/DL）之圖案與通孔 CH'' 之佈局。

圖 1 2（B）之 4 3 1、4 3 2 係將由第 3 層金屬層形成之上述 V s s 線 4 2 3 電氣地連接於成為 M 通道 MISFET Mn1、Mn2 之源極領域之 n 型半導體領域 4 0 1、4 0 2 用之由第 1 層金屬層形成之緩衝用導電層。圖 1 2（C）之 4 4 1、4 4 2 係將由第 3 層金屬層形成之上述 V s s 線 4 2 3 電氣地連接於成為 M 通道 MISFET Mn1、Mn2 之源極領域之 n 型半導體領域 4 0 1、4 0 2 用之由第 2 層金屬層形成之緩衝用導電層。圖 1 2（B）之 4 3 7、4 3 8 係將由第 2 層金屬層形成之上述資料線 4 2 5 DL、4 2 6 DL 電氣地連接於成為 M 通道 MISFET Mt1、Mt2 之源極領域之 n 型半導體領域 4 0 1、4 0 2 用之由第 1 層金屬層形成之緩衝用導電層。

如圖 1 2（B）、圖 1 2（C）所示般地，V c c 線 4 2 4 經由由第 2 層金屬層形成之緩衝用導電膜 4 2 7、4 2 8 以及由第 1 層金屬層形成之緩衝用導電層 4 3 5、4 3 6 被電氣地連接於成為 P 通道 MISFET Mp1、Mp2 之源極領域之 p 型半導體領域。又，第 3 層金屬層與第 2 層金屬層經由通孔 CH'' 被電氣地連接，第 2 層金屬層與第 1 層金屬層經由接觸孔 CH'' 被電氣地連接，第 1 層金屬層與半導體領域經由接觸孔 CH'' 被電氣地連接。

圖 1 2（A）之字元線 3 2 1 與圖 1 0（A）之字元線 3 2 1，圖 1 2（C）之字元分流線 4 2 2、V s s 線

（請先閱讀背面之注意事項再填寫本頁）

訂

結

五、發明說明 (31)

4 2 3、V c c 線 4 2 4 與圖 1 0 (A) 之字元分流線
3 2 2、V s s 線 3 2 3、V c c 線 3 2 4 分別一體被構
成地被設計之。

接著，使用圖 1 4 簡單說明登錄包含上述實施例之反
相器單體以及記憶體給電用單體之複數之單體資訊之信息
庫之製作順序。

信息庫之製作，首先提供哪種之 L S I ? 電源電壓設
定在哪種程度等，決定設計之大綱 (步驟 S 1)。接著，
決定構成反相器單體或 N A N D 閘等之邏輯閘單體、
R A M 等之記憶體單體等，準備哪種單體以作為構成
L S I 之單體，以決定各單體之規格 (步驟 S 2)。

接著，準備 M O S F E T 或電阻、電容、接觸部、通
孔等，構成單體之構件，同時選擇構成設計對象之各單體
構件，決定顯示那些構件之連接關係之網路清單以及設置
接觸部或通孔之位置等 (步驟 S 3)。又，此時例如將同
一目的之構件匯集以構成物件之同時，決定各構件或物件
之各要素與層，即製程終使用之單幕之對應關係。

又，圖 1 5 顯示在此步驟 S 3 被準備之構件之中代表
性之例，與反相器單體關連之構件之一部份。於圖 1 5 中
，P 1 係由活性領域源極、汲極之半導體領域與閘極電極
之多晶矽層之組合以形成之電路構成元件構件 (MISFET)
，P 2 係由導電層與通孔之組合以形成之導電層間連接用
構件，P 3 係由擴散層與接觸孔組合以形成之基板 - 導電
層間連接用構件。經由選擇配置這些構件，構成圖 1 所示

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (32)

之單體。

接著，依據上述網路清單佈局構成單體之構件以及物件以製作單體圖案（步驟 S 4）。本發明在此單體圖案製作之際，如上述般地，係可以使用基板電位固定型電路與基板電位可變型電路之任一種地，製作共通單體布局者。

接著，將被設計之上述各單體之資訊（設計資料）登錄於單體庫（步驟 S 5）。此時在單體庫登錄由上述共通單體布局被製成之基板電位固定型電路單體與基板電位可變型電路單體之兩方。

依據經由上述 S 5、S 6 被設計之單體資訊以製成被提供給使用者之邏輯模擬用之 C A E 庫（步驟 S 8）。邏輯模擬用之 C A E 庫例如寄望係經由 Synopsys Verilog 或 Mentor 等之複數之邏輯模擬工具以製作登錄分別以可以實行之語言記述者。在 S 5 被登錄之單體資料，例如提供使用者在 Aquarius、cell 協調之 Place&Route 工具上動作之信息庫。將這些邏輯與佈局之信息庫以設計成套工具方式提供使用者（步驟 S 9）。

依據本發明時，基板電位固定型電路與基板電位可變型電路被設計為共通單體布局之故，各單體之特性抽出，規格文書之製作等之功夫可被減輕。

圖 1 6 顯示使用本發明之共通單體布局構成之 A S I C 之一例之定製的微電腦之構成例。

於途 1 6 中，1 0 為作為控制電路之 C P U，1 1 為作為記憶電路之隨機存取記憶體，1 2 為計時器電路或串

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (33)

列通信介面電路等之CPU週邊電路模組，13為使用反相器、正反器、NOR閘、NAND閘之類之基本電路，以構成使用者設計之邏輯之定製邏輯電路部，14為輸入輸出電路部。在此實施例中，上述定製邏輯電路部13以及輸入輸出電路部14係使用上述作為共通單體被登錄於單體庫之電路單體而被構成。基體偏壓電壓 V_{bp} 、 V_{bn} 以及切換控制信號 $stb1$ 、 $stb2$ 通過外部端子 $T1$ 、 $T2$ ，由外部被供給之。

又圖16之定製邏輯電路部13具有經由基板電位固定型單體以構成之部份與經由基板電位可變型單體以構成之部份，分別賦予標號13a、13b。經由基板電位固定型單體被構成之部份13a如圖5(C)、圖6(B)所示般地被構成，雖然無法成為低消耗電力，但是可以高速動作而且所佔面積小。另一方面，經由基板電位可變型單體被構成之部份13b如圖5(A)、圖5(B)、圖6(A)所示般地被構成，雖然佔有面積多少大一些，但在動作時可以高速動作，備用時可以達成低消耗電力。如此將不需要低消耗電力之部份13a經由基板電位固定型單體構成，將需要低消耗電力之部份13b以基板電位可變型單體構成，可以達成晶片尺寸小，高速動作而且低消耗電力。

再者於上述實施例中，也可以：使用基板電位固定型單體或基板電位可變型單體構成之作為定製邏輯電路13之構成元件之MISFET，使其閘絕緣膜薄薄地形成，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (34)

以作為低耐壓、高速動作元件，又構成輸入輸出電路14之元件之MISFET，使其閘絕緣膜厚地形成，以作為高臨界值、高耐壓元件地分別形成之。在此情形，雖然有必要將絕緣膜之厚度不同之電路單體之資訊登錄於另外之信息庫，但是單體圖案與構成定製邏輯電路部用之電路單體可以做成相同之故，設計負擔並不會增加太多。

圖17顯示由閘絕緣膜厚之高耐壓MISFET構成之電路與閘絕緣膜薄之低耐壓MISFET構成之電路形成，使用共通之單體布局使本發明之基板電位固定型電路與基板電位可變型電路設計上成為可能之LSI之實施例。

於圖17中，200為以閘絕緣膜厚之高耐壓MISFET構成之高電壓電路領域，300為以閘絕緣膜薄之低耐壓MISFET構成之低電壓電路領域。在上述高電壓電路領域200形成：與外部裝置之間進行信號之輸入輸出之輸入輸出緩衝電路I/O、鎖相環路電路PLL、實時控制電路RTC、時鐘實衝產生器CPG以及切換供給對於基板電位可變型電路之基體電壓之開關電路SW1等。而且，在上述高電壓電路領域200被供給電源電壓之3.3V之類的比較高之電壓，在低電壓電路領域300被供給電源電壓之1.8V之比較低之電壓。

上述高電壓電路領域200上之電路中，輸入輸出緩衝I/O使之在與外部裝置之介面形成必要準位之信號之故，使具有：經由閘絕緣膜厚之高耐壓MISFET構成

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (35)

，以 3 . 3 V 之類之電源電壓被動作，將 3 . 3 V 之振幅之信號轉換成適用於低電壓電路領域之記憶體或使用者邏輯電路等之 1 . 8 V 之振幅之信號之準位轉換機能地構成之。

又，上述鎖相環路電路 P L L、實時控制電路 R T C 以及時鐘脈衝產生器 C P G，在電路之機能上有必要使電路之動作裕度大之故，為以 3 . 3 V 之類之電源電壓動作之電路被形成於高電壓電路領域 2 0 0 內。再者，開關電路 S W 1 被供給控制電壓 - 0 . 8 ~ 3 . 3 V 之電壓於閘之故，由需要高耐壓之 M O S F E T 被構成之必要性，被形成於高電壓電路領域 2 0 0。

在低電壓電路領域 3 0 0 被形成隨機存取記憶體 R A M 與唯讀記憶體及作為使用者邏輯電路之邏輯閘電路部 L G C 1、L G C 2、L G C 3、L G C 4。這些之電路皆可以構成基板電位可變型電路與基板電位固定型電路之任一種地，準備單體庫，可以做成只成為任一種之其中一方形式之電路，同時也可以使其混合存在以設置之。而且在作為基板電位可變型電路被構成之情形，鄰接各電路分別被設置基板電位切換用之開關電路 S W 2。這些之電路由於做成可以謀求低消耗電力，而且可以進行高速動作之故，以 1 . 8 V 之電源電壓被動作。又因應此，以閘絕緣膜薄之低耐壓 M I S F E T 被構成之。

又於上述實施例中，雖以輸入輸出緩衝 I / O 具有 3 . 3 V 之振幅之介面說明之，今後外部裝置 (L S I)

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (36)

可以預見以 2 . 5 V 或 1 . 8 V 之電源電壓動作之 L S I 會變多之故，具有將 2 . 5 V 振幅之輸入信號轉換成 1 . 8 V 振幅之信號以供給內部電路，或把內部之 1 . 8 V 振幅之信號轉換成 2 . 5 V 振幅之信號以輸出之準位轉換機能之輸入輸出緩衝器，或將 1 . 8 V 振幅之輸入信號原樣地供給於內部電路之輸入輸出緩衝器，可以別於上述實施例之 3 . 3 V 系統之輸入輸出緩衝單體另外準備，使用者自由地選擇以設計所希望電壓系統之 L S I，使上述複數之輸入輸出緩衝單體混合存在以設計可以對應複數振幅之介面之 L S I。再者，也可以在上述實施例之 3 . 3 V 系統之 L S I 中，一般被使用之 L V C M O S 輸入輸出緩衝器或 L V T T L 輸入輸出緩衝器以外，準備 G T L 或 H S T L、P C I 等之高速傳輸用之輸入輸出緩衝單體，以使使用者可以適當選擇之。再者電源電壓不用說可以低至 1 . 5 V、1 . 2 V、0 . 9 V。

於圖 1 6 以及圖 1 7 之實施例之 L S I 中，雖然由 L S I 之外部基板偏壓電壓 V_{bp} 、 V_{bn} 與控制信號 $stb1$ 、 $stb2$ 被輸入地構成之，但是代替將這些電壓以及信號由外部供給，如圖 1 8 (A) 所示般地，也可以在 L S I 晶片內設置基板電位產生電路。又，於同一晶片上設計微處理器之 L S I 等當中，也可以將基板電位切換控制信號 $stb1$ 、 $stb2$ 形成於內部電路以構成之。

再者，在上述實施例中，雖然以基板電位可變型電路

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (37)

構成使用者邏輯電路或記憶體等之 L S I 內部之一部份之電路（使用者邏輯電路）之情形說明之，但是也可以基板電位可變型電路構成 L S I 內之 C P U 或記憶體、週邊電路等複數之電路方塊。在該情形，如圖 1 8（B）所示般地，可以由共通開關電路 S W 1 對於複數之電路方塊供給基板電位 V_{bp} 、 V_{bn} 與切換控制信號 s_{tb} 地構成之。又在該情形也如圖 1 8（C）所示般地，在 L S I 晶片內設置基板電位產生電路 B V G。

接著，如圖 1 8（A）所示般地，以基板電位可變型電路構成 L S I 內之一部份之電路之情形，說明可以實現其之元件構成。以基板電位可變型電路構成 L S I 內之一部份之電路之情形，成為基板電位可變型電路之基體的井領域之電位在動作時與備用時被切換。

因此，基板電位固定型電路與基板電位可變型電路被形成之井領域被形成於相同之領域時，非所希望之基體電位產生變化。在此情形，L S I 整體以單一電源被動作，而且在晶片全體成為備用模式之 L S I 中，雖然並無任何妨礙，但如圖 1 7 所示般地，在 L S I 內部有不同電源電壓動作之電路，分別以基板電位固定型電路與基板電位可變型電路以構成之情形，井領域被共通化時，對於基體電位不想要變動之基板電位固定型電路而言，會有非所期望之結果。

於此在基板電位固定型電路與基板電位可變型電路混合存在之 L S I 中，如圖 1 9（A）所示般地，將各別之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (38)

電路形成於不同埋入井領域 131、132、Niso 上，以期井電位之分離。n 型埋入井領域 131、132 比通常之 n 井領域 101 或 p 井領域 102 之形成之際，可以較高能量將環狀之不純物深深地離子植入基體以形成之。但是埋入井領域 131、132 之不純物濃度可以與通常之 n 井領域 101 或 p 井領域 102 之濃度相同之程度（例如 $1 \times 10^{13} / \text{cm}^3$ ）。

在圖 19 (A) 之實施例中，使用 p 型半導體基板之故，埋入井領域 131、132 之導電型被設為 n 型，其中在基板電位固定型電路被形成之埋入井領域 131 上之 p-MIS 之 n 井領域 101 被施加 1.8 V（在高電壓電路領域中為 3.3 V），又，在 n-MIS 之 p 井領域 102 被施加 0 V 地以被構成之。另一方面，在基板電位可變型電路被形成之埋入井領域 132 上之 p-MIS 之 n 井領域 101，在動作時與備用時，分別被施加 V_{bp} （1.8 V 或 3.3 V），又在 n-MIS 之 p 井領域 102 於動作時與備用時，分別被施加 V_{bn} （0 V 或 -1.5 V）。在構成開關電路 SW1 之 MOSFET Qp1、Qp2 被形成之 n 井領域與 p 井領域，動作時、備用時也分別被施加 3.3 V 與 -1.5 V。

又如上述般地，經由進行井領域之分離，可以遮斷由以高電源電壓動作之輸入輸出緩衝電路 I/O 或 PLL 電路對於以低電源電壓動作之基板電位可變型電路（使用者邏輯電路），經過井傳達而至之雜訊。於此在圖 19 之實

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (39)

施例中，在以相同之 3.3 V 之類的電源電壓動作之電路間，進一步更分離井領域，例如被下功夫於遮斷由輸入輸出緩衝電路 I/O 傳至 PLL 電路之雜訊以防止電路之誤動作。

又，埋入井領域 Niso 作為設計資料，例如加於圖 3 (j) 所示之物件 H，製成如圖 19 (B) 所示之物件 H'，經由代替物件 H 使用物件 H'，可以導入共通佈局圖案。又將埋入井領域 Niso 加於圖 11 (C) 之物件，做成圖 19 (C) 所示之物件 CM'，當然可以使用此物件 CM' 導入共通佈局圖案。

此處在使本發明之設計方法適用於基板電位固定型電路與基板電位可變型電路混合存在之 LSI 之情形，應該注意有比要在基板電位可變型電路之共通單體布局附加關於上述埋入井領域之資訊，將有埋入井領域之單體與沒有之單體分別登錄於信息庫。

如以上說明過地，上述實施例係將具有所希望之機能之電路單體之設計資訊以目的別記述之，只以規定物件之資訊之消除或追加，將可以構成基板電位固定型單體與基板電位可變型單體之其中一個之單體資訊，登錄於構成 ASIC 等用之複數之電路單體被登錄之單體庫之故，對於製造者而言，關於同一機能之電路，只設計 1 種之單體即可之故，設計之負擔及設計之電路單體之延遲時間等之特性抽出，對規格文件之記述等之時間也被減輕，乃至可以有謀取降低成本之效果。

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明(40)

再者設計人員使用被登錄於單體庫之電路單體以進行設計之際，在邏輯模擬完了後，產生須使備用電流抑制在規定值以下之必要性，經由邏輯模擬，在備用電流很清楚會成為預測值以上之情形下，經由將基板電位固定型單體更換為基板電位可變型單體，可以很容易地對應之。

以上係將經由本發明而完成之發明，依據實施例具體地說明之，但是本發明並不限定於上述實施例，不用說在不脫離其要旨之範圍內有種種變形之可能。例如於上述實施例之共通單體布局中，也可以使對基板之接觸領域之設計資訊保持於單體資訊中，選擇是否形成接觸孔，以指定是否形成基板電位固定型單體與基板電位可變型單體之其中一方。而且此情形，特別定義記述遮蔽對基板之接觸孔用之資料之層，以該層之資料使用之有無，可以使對應基板電位固定型單體與基板電位可變型單體之選擇。

又在上述實施例中，雖然由共通單體布局消除或追加規定之物件，以使可以為基板電位固定型單體與基板電位可變型單體之選擇，使圖4(A)所示之基板電位固定型單體為共通單體，在此單體使用記述語言以附加基板電位供給線之VBP線以及VBN線，以形成如圖4(B)所示之基板電位可變型單體。再者在上述實施例中，雖就適用CMOS反相器單體之情形說明之，但是也可以適用正反器電路單體其他之電路單體。

再者於上述實施例中，雖就備用時於源極・基體間施以高之逆偏壓電壓，以提高MOSFET之臨界值，減少

(請先閱讀背面之注意事項再填寫本頁)

第

訂

線

五、發明說明(41)

遺漏電流謀求低消耗電力化之LSI說明之，但是也可以實現只在測試之際由外部供給基板偏壓電壓以量測遺漏電流，以便檢查出流過規定值以上之電流之LSI之可以測試之LSI。

在以上之說明中，主要是將經由本發明者完成之發明適用於成為其背景之利用領域之ASIC之情形以說明之，但是本發明並不限定於此，也可以廣泛利用於開陳列其他之半導體積體電路。

在本申請專利案中公開揭露之發明中，簡單說明經由代表性者所獲得之效果時，有如下述者。

即於半導體積體電路中，關於相同機能之電路，只設計1種之電路單體即可之故，設計之負擔及設計之電路單體之延遲時間等之特性抽出、規格文件之記述等之功夫可被減輕，可達成成本之降低。又，經由在1個之半導體晶片上，因應電路單體被使用之電路部份之機能等，分別使用基板電位固定型單體與基板電位可變型單體使之混合存在，可以容易實現晶片尺寸以及消耗電力乃至動作速度被最適合化之半導體積體電路。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要 (發明之名稱： 半導體積體電路之設計方法及半導體積體電路)

本發明係關於半導體積體電路之設計手法，更且將特性互異之複數的電路準備為單體庫 (cell library)，使用者由其中選擇所希望者以設計半導體積體電路時很適用之技術，例如關於利用於 ASIC (Application Specific Integrated Circuit) 之設計有效之技術。本發明之解決手段為：將具有希望機能之電路單體之設計資訊以目的別地作為物件 (object) 記述之，只以規定之物件之資訊的消除或追加，作為也可以構成基板電位固定型單體與基板電位可變型單體之其中任一種之單體資訊，登錄於單體庫。更且提供使用者在基板電位固定型單體與基板電位可變型單體共通之數據表，使用者可以配合目的以選擇之。在半導體晶片上，因應使用單體之電路部份之機能等，使基板電位固定型單體與基板電位可變型單體分別使用混合存在。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：)

修正
補充
87年9月8日

六、申請專利範圍

第 87111072 號專利申請案

中文申請專利範圍修正本

民國 89 年 9 月修正

1. 一種半導體積體電路之設計方法，其特徵為：將具有所希望機能之電路格之設計資訊依目的別構成物件，以複數之物件構成共通格資訊，對於共通格資訊經由規定物件之追加或消除，以構成基板電位固定型格與基板電位可變型格。

2. 如申請專利範圍第 1 項記載之半導體積體電路之設計方法，其中上述共通格資訊包含電源配線之設計資料，上述規定物件包含基板電位供給配線之設計資料。

3. 如申請專利範圍第 1 項記載之半導體積體電路之設計方法，其中上述共通格資訊包含電源配線以及基板電位供給配線之設計資料，

上述規定物件包含連接上述電源配線與基板電位供給配線之配線圖案之設計資料。

4. 如申請專利範圍第 1 項記載之半導體積體電路之設計方法，其中上述共通格資訊包含電源配線以及基板電位供給配線之設計資料，

上述規定物件係分別構成：包含電氣地連接上述電源配線與上述井領域之接觸孔之物件，及電氣地連接上述基板電位供給配線與上述井領域之接觸孔之物件。

5. 如申請專利範圍第 1 至 3 項中任一項記載之半導

(請先閱讀背面之注意事項再填寫本頁)

訂線

六、申請專利範圍

體積體電路之設計方法，其中上述共通格資訊包含井領域之設計資料，

上述電源配線或上述基板電位供給配線被連接於上述井領域。

6．一種半導體積體電路裝置，其特徵為：在半導體晶片上搭載基板電位固定型格，及基板電位可變型格，以及將規定之偏壓電壓選擇性地供給於上述基板電位可變型格之基板偏壓控制電路。

7．如申請專利範圍第6項記載之半導體積體電路裝置，其中搭載產生在上述基板電位可變型格選擇性地供給之上述偏壓電壓之基板電位產生電路。

8．如申請專利範圍第6或第7項記載之半導體積體電路裝置，其中控制上述基板偏壓控制電路之信號係由外部被輸入地構成之。

9．如申請專利範圍第6項記載之半導體積體電路裝置，其中基板偏壓控制電路包含第2開關電路，

第2開關電路被設於每一規定數目之基板電位可變型格，而且，在1個之格列被複數設置著。

10．如申請專利範圍第9項記載之半導體積體電路裝置，其中基本偏壓控制電路更包含第1開關電路，

上述第1開關電路對於複數之第2開關電路被設置作為共通電路，而且將在偏壓產生電路產生之偏壓電壓作用為對基體電位可變型格供給時之開關。

11．如申請專利範圍第6、9或第10項記載之半

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

導體積體電路裝置，其中上述基板電位固定型格之格高比上述基板電位可變型格之格高度小。

1 2 . 如申請專利範圍第 6 、 9 或第 1 0 項記載之半導體積體電路裝置，其中上述基板電位固定型格以及上述基板電位可變型格包含電源配線，上述格內之電源配線間之間隔於上述基板電位固定型格及上述基板電位可變型格為相同。

1 3 . 一種半導體積體電路裝置，其特徵為：在半導體晶片上，基板電位固定型格與基板電位可變型格被構成，上述基板電位固定型格之格高比上述基板電位可變型格之格高小。

1 4 . 如申請專利範圍第 1 3 項記載之半導體積體電路裝置，其中上述基板電位固定型格以及上述基板電位可變型格包含電源配線，上述格內之電源配線間之間隔於上述基板電位固定型格及上述基板電位可變型格為相同。

1 5 . 一種半導體積體電路之設計方法，其特徵為：將具有所希望機能之電路格之設計資訊依目的別構成物件，以規定之物件之資訊的消除或追加，也可以構成基板電位固定型格與基板電位可變型格之其中之一之格資訊之形態，與其他之格資訊一同地作為設計資源登錄於格庫，由該格庫之中選擇所希望之電路格之資訊以設計半導體積體電路。

1 6 . 如申請專利範圍第 1 5 項記載之半導體積體電路之設計方法，其中包含：p 通道型場效電晶體以及 n 通

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

道型場效電晶體被形成之井領域之設計資訊，以及 p 通道型場效電晶體以及 n 通道型場效電晶體之源極、汲極領域之設計資訊，以及 p 通道型場效電晶體以及 n 通道型場效電晶體之閘電極之設計資訊，以及電源配線層與基板電位供給配線層之設計資訊，以及對上述源極、汲極領域連接上層配線用之通孔之設計資訊，至少將上述電源配線層之設計資訊與上述基板電位供給配線層之設計資訊當成另外之物件記述之格資訊登錄於上述格庫。

17. 如申請專利範圍第 15 或第 16 項記載之半導體積體電路之設計方法，其中上述格資訊具有：將電源配線層連接於分別對應之井領域用之接觸孔之設計資訊以及將基板電位供給配線層連接於分別對應之上述井領域用之接觸孔之設計資訊，將上述電源配線層連接於分別對應之上述井領域用之接觸孔之設計資訊，設為與上述電源配線層之設計資訊為同一物件，又將上述基板電位供給配線層連接於分別對應之上述井領域用之接觸孔之設計資訊，設為與上述基板電位供給配線層之設計資訊為同一物件，被記述於上述格資訊。

18. 如申請專利範圍第 16 項記載之半導體積體電路之設計方法，其中被形成於上述 p 通道型場效電晶體以及 n 通道型場效電晶體之井領域之下方之埋入井領域之設計資訊被包含於上述反相器之格資訊。

19. 如申請專利範圍第 15 項記載之半導體積體電路之設計方法，其中包含：對應記憶體格之井領域之井領

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

六、申請專利範圍

域之設計資訊，以及對上述井領域供給電源電壓或基體電壓用之電源配線層以及基體電位供給配線層之設計資訊，以及對上述井領域將上述電源配線層以及基體電位供給配線層分別連接用之接觸孔之設計資訊，至少將上述電源配線層之接觸孔之設計資訊與上述基體電位供給配線層之接觸孔之設計資訊當成另外之物件記述之記憶體格給電部之格資訊，登錄於上述格庫。

20．一種記憶體媒體，其特徵為一複數之電路格之設計資訊被登錄之格庫，包含：p通道型場效電晶體以及n通道型場效電晶體之井領域之設計資訊，以及p通道型場效電晶體以及n通道型場效電晶體之源極、汲極領域之設計資訊，以及p通道型場效電晶體以及n通道型場效電晶體之閘電極之設計資訊，以及電源配線層與基板電位供給配線層之設計資訊，以及對上述源極、汲極領域連接上層配線用之通孔之設計資訊，至少將上述電源配線層之設計資訊與上述基板電位供給配線層之設計資訊當成另外之物件被記述之格資訊，當成格資訊之一被登錄之上述格庫被記憶著。

21．如申請專利範圍第6、9、或10項記載之半導體積體電路裝置，其中上述基板電位固定型格之格高與上述基板電位可變型格之格高幾乎相同，上述基板電位固定型格之電源配線之線寬比上述基板電位可變型格之電源配線之線寬還粗。

22．一種半導體積體電路裝置，其特徵為：在半導

(請先閱讀背面之注意事項再填寫本頁)

衣
訂
線

六、申請專利範圍

體晶片上，基板電位固定型格與基板電位可變型格被構成，上述基板電位固定型格之格高與上述基板電位可變型格之格高幾乎相同，上述基板電位固定型格之電源配線之線寬比上述基板電位可變型格之電源配線之線寬還粗。

2 3 . 一種半導體積體電路裝置，其特徵為：

在半導體基板之第 1 領域構成基板電位固定型格，

在上述基板之第 2 領域構成基板電位可變型格，

在上述第 2 領域構成選擇性供給電源電壓或偏壓的基板偏壓控制電路。

2 4 . 如申請專利範圍第 2 3 項之半導體積體電路裝置，其中

上述基板電位可變型格之高度大於上述基板電位固定型格之高度。

2 5 . 如申請專利範圍第 2 3 項之半導體積體電路裝置，其中

上述基板電位可變型格及基板偏壓控制電路之格之高度大於基板電位固定型格之高度。

2 6 . 如申請專利範圍第 2 3 項之半導體積體電路裝置，其中

上述基板電位可變型格之高度大略相等於上述基板偏壓控制電路之格之高度。

2 7 . 如申請專利範圍第 2 3 、 2 4 、 2 5 、 2 6 項中任一項之半導體積體電路裝置，其中

上述基板電位可變型格係多數配置於第 1 方向，

六、申請專利範圍

對上述基板電位可變型格供給電源電壓之電源配線係在上述第1方向延伸配置，

對上述基板供給電源電壓或偏壓之基板電位供給配線係在上述第1方向延伸配置，

上述基板偏壓控制電路包含設於上述基板電位供給配線與電源配線間之M I S F E T。

28．如申請專利範圍第27項之半導體積體電路裝置，其中

上述基板電位供給配線，依沿上述每一基板電位可變型格連接上述基板。

29．如申請專利範圍第23、24、25、26項中任一項之半導體積體電路裝置，其中

上述偏壓，係令構成上述基板電位可變型格之M I S F E T之臨界值，較上述電源電壓之場合為高。

30．如申請專利範圍第23、24、25、26項中任一項之半導體積體電路裝置，其中

上述基板電位固定型格構成第1邏輯電路，

上述基板電位可變型格構成第2邏輯電路。

31．一種半導體積體電路裝置，其特徵為：

在半導體基板之第1井領域形成構成基板電位可變型格之M I S F E T，

上述第1井領域與上述基板為相同導電型，

上述第1井領域，其周圍被和上述第1井領域為相反導電型之第1半導體領域包圍，且與上述基板為分離。

六、申請專利範圍

3 2 . 如申請專利範圍第 3 1 項之半導體積體電路裝置，其中

構成第 2 電路之 M I S F E T 係形成於第 2 井領域，

上述第 2 井領域與上述基板為相同導電型，

上述第 2 井領域，其周圍被和上述第 2 井領域為相反導電型之第 2 半導體領域包圍，且和上述基板為分離，

上述第 1 半導體領域與第 2 半導體領域係分離形成。

3 3 . 如申請專利範圍第 3 1 或 3 2 項之半導體積體電路裝置，其中

構成上述第 2 電路之 M I S F E T 之閘極絕緣膜之膜厚，係大於構成上述基板電位可變型格之 M I S F E T 之閘極絕緣膜之膜厚。

3 4 . 如申請專利範圍第 3 3 項之半導體積體電路裝置，其中

以上述基板電位可變型格構成邏輯電路，

上述第 2 電路為鎖相迴路 (P L L) 或輸出入緩衝電路。

3 5 . 如申請專利範圍第 3 1 或 3 2 項之半導體積體電路裝置，其中

在上述第 1 井領域形成對上述基板選擇性供給電源電壓或偏壓之基板偏壓控制電路，

上述偏壓，係令構成上述基板電位可變型格之 M I S F E T 之臨界值，較上述電源電壓之場合為高。

3 6 . 一種半導體積體電路裝置，其特徵為：

六、申請專利範圍

形有包圍半導體基板之第1井領域的第1半導體領域

形成有包圍上述半導體基板之第2井領域的第2半導體領域，

上述第1及第2井領域與上述基板為相同導電型，

上述第1及第2半導體領域與上述基板為相反導電型

上述第1半導體領域與第2半導體領域為分離形成，

於上述第1井領域及第1半導體領域形成以基板電位可變型格構成之第1電路，

在上述第2井領域及第2半導體領域形成第2電路。

37. 如申請專利範圍第36項之半導體積體電路裝置，其中

構成上述第2電路之MISFET，係以較構成上述第1電路之MISFET為高之電源電壓動作。

38. 如申請專利範圍第36或37項之半導體積體電路裝置，其中

以上述基板電位可變型格構成邏輯電路，

上述第2電路為輸出入緩衝電路或鎖相迴路。

39. 如申請專利範圍第36或37項之半導體積體電路裝置，其中

在上述第1井領域及第1半導體領域形成對上述第1井領域及第1半導體領域選擇性供給電源電壓或偏壓之基板偏壓控制電路，

六、申請專利範圍

上述偏壓，係令構成上述基板電位可變型格之 M I S F E T 之臨界值，較上述電源電壓之場合為高。

40．如申請專利範圍第36或37項之半導體積體電路裝置，其中，

構成上述第2電路之 M I S F E T 之間極絕緣膜之膜厚，係較構成上述基板電位可變型格之 M I S F E T 之間極絕緣膜為厚。

41．如申請專利範圍第36或37項之半導體積體電路裝置，其中

形成有包圍上述半導體基板之第3井領域的第3半導體領域，

上述第3井領域與上述基板為相同導電型，

上述第3半導體領域與上述基板為相反導電型，

上述第3半導體領域係與第1及第2半導體領域分離形成，

於上述第3井領域及第3半導體領域形成第3電路。

42．如申請專利範圍第41項之半導體積體電路裝置，其中，

以上述基板電位可變型格構成邏輯電位，

上述第2電路為輸出入緩衝電路，

上述第3電路為鎖相迴路。

43．一種半導體積體電路裝置，其特徵為：

在半導體基板之第1井領域形成構成基板電位可變型格之 M I S F E T ，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

在上述半導體基板之第2井領域形成構成第2電路之MISFET，

構成上述第2電路之MISFET，係以較構成上述第1電路之MISFET為高之電源電壓動作，

上述第1及第2井領域與上述基板為相同導電型，

上述第1井領域，其周圍被和上述第1井領域為相反導電型之第2半導體領域包圍，與上述基板為分離，

上述第1半導體領域與第2半導體領域為分離形成。

44．如申請專利範圍第43項之半導體積體電路裝置，其中，

以上述基板電位可變型格構成邏輯電路，

上述第2電路為輸出入緩衝電路或鎖相迴路。

45．如申請專利範圍第43或44項之半導體積體電路裝置，其中，

在上述第1井領域形成對上述第1井領域選擇性供給電源電壓或偏壓的基板偏壓控制電路，

上述偏壓，係令構成上述基板電位可變型格之MISFET之臨界值，較上述電源電壓之場合為高。

46．如申請專利範圍第43或44項之半導體積體電路裝置，其中，

構成上述第2電路之MISFET之間極絕緣膜之膜厚，係較構成上述基本電位可變型格之MISFET之間極絕緣膜為厚。

47．如申請專利範圍第43或44項之半導體積體

六、申請專利範圍

電路裝置，其中，

形成包圍上述半導體基板之第3井領域的第3半導體領域，

上述第3井領域與上述基板為相同導電型，

上述第3半導體領域與上述基板為相反導電型，

上述第3半導體領域，係與第1及第半導體領域分離形成，

在上述第3井領域形成構成第3電路之MISFET。

48．如申請專利範圍第47項之半導體積體電路裝置，其中，

上述第2電路為輸出入緩衝電路，

上述第3電路為鎖相迴路。

49．一種半導體積體電路裝置，其特徵為，

在半導基板上形成記憶體電路及邏輯電路，

上述記憶體電路及邏輯電路係包含對上述基板選擇性供給電源電壓或偏壓的基板偏壓控制電路，

上述記憶體電路具備包含有記憶格、字元線，及在與上述字元線正交之方向延伸之資料線的記憶區塊，

上述基板偏壓控制，在上述資料線之延伸方向，配置於上述記憶區塊之端部，

在上述邏輯電路，配置多數基板電位可變型格以構成格列，

上述基板偏壓控制電路，係多數設於上述格列。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

六、申請專利範圍

50. 如申請專利範圍第49項之半導體積體電路裝置，其中待機時，上述偏壓施加於上述基板，

上述偏壓，係令構成上述基板電位可變型格之MISFET及構成記憶格之MISFET之臨界值，較上述電源電壓之場合為高。

51. 如申請專利範圍第49或50項之半導體積體電路裝置，其中

在上述記憶體電路，上述基板偏壓控制電路，係配置於字元分流領域之兩端部。

52. 如申請專利範圍第49或50項之半導體積體電路裝置，其中，

對上述基板供給電源電壓或偏壓之基板電位供給配線，係延伸於上述資料線之延伸方向配置，

上述基板電位供給配線，係在字元分流領域連接上述基板，

以較上述基板電位供給配線更上層之配線層構成字元分流線，

上述字元分流線，與上述字元線係在字元分流領域連接。

53. 一種半導體積體電路裝置，其特徵為，

在半導基板上形成記憶體電路，

上述記憶體電路係包含對上述記憶區塊及基板選擇性供給電源電壓或偏壓的基板偏壓控制電路，

上述記憶區塊係包含有記憶格、字元線，及在與上述

六、申請專利範圍

字元線正交之方向延伸之資料線，

對上述基板供給電源電壓或偏壓之基板電位供給配線，係在上述資料線延伸方向延伸配置，

上述基板電位供給配線，係在字元分流領域連接上述基板，

以較上述基板電位供給配線更上層之配線層構成字元分流線，

上述字元分流線及字元線係在字元分流領域連接。

54．如申請專利範圍第53項之半導體積體電路裝置，其中，

上述資料線，係以和上述基板電位供給配線層同層之配線層構成。

55．如申請專利範圍第54項之半導體積體電路裝置，其中，

上述字元線係以較上述基板電位供給配線更下層之配線層構成。

56．如申請專利範圍第53或54項之半導體積體電路裝置，其中，

上述基板偏壓控制電路，在上述資料線延伸方向，係配置於上述記憶區塊之端部。

57．如申請專利範圍第53或54項之半導體積體電路裝置，其中，

在上述記憶體電路中，上述基板偏壓控制電路係配置於字元分流領域之兩端部。

(請先閱讀背面之注意事項再填寫本頁)

衣
訂
線

六、申請專利範圍

58. 如申請專利範圍第53或54項之半導體積體電路裝置，其中，

包含以基板偏壓控制電路及基板電位可變型格構成之邏輯電路。

59. 一種半導體積體電路裝置，其特徵為：

在半導體基板上，構成包含有記憶區塊，及對上述基板選擇性供給電源電壓或偏壓之基板偏壓控制電路的記憶體電路，

對上述基板供給電源電壓或偏壓之基板電位供給配線，係在字元分流領域連接上述基板，

以較上述基板電位供給配線更上層之配線層構成之字元分流線，及上述記憶區塊之字元線，係於上述字元分流領域連接。

60. 如申請專利範圍第59項之半導體積體電路裝置，其中，

上述資料線，係以和上述基板電位供給配線同層之配線層構成，

上述字元線，係以較上述基板電位供給配線更下層之配線層構成。

61. 如申請專利範圍第59或60項之半導體積體電路裝置，其中，

上述基板偏壓控制電路，在上述資料線之延伸方向，係配置於上述記憶區塊之端部。

62. 一種半導體積體電路裝置，其特徵為：

六、申請專利範圍

在半導體基板之井領域形成第 1 電路及第 2 電路，

上述第 1 電路包含基板電位可變型格，及對上述井領域選擇性供給電源電壓或偏壓之基板偏壓控制電路，

上述第 2 電路，係以大於上述電源電壓之電源電壓動作，

形成上述第 1 電路之井領域，及形成上述第 2 電路之井領域係分離形成。

6 3 . 如申請專利範圍第 6 2 項之半導體積體電路裝置，其中，

構成上述第 2 電路之 M I S F E T 之閘極絕緣膜之膜厚，係大於構成上述基板電位可變型格之 M I S F E T 之閘極絕緣膜之膜厚。

6 4 . 如申請專利範圍第 6 2 或 6 3 項之半導體積體電路裝置，其中，

上述第 2 電路為輸出入緩衝電路或鎖相迴路。

6 5 . 如申請專利範圍第 6 2 或 6 3 項之半導體積體電路裝置，其中，

形成第 3 電路之井領域，和形成第 1 及第 2 電路之井領域係分離形成，

上述第 2 電路為輸出入緩衝電路，

上述第 3 電路為鎖相迴路。

6 6 . 如申請專利範圍第 6 2 或 6 3 項之半導體積體電路裝置，其中，

上述基板電位可變型格之多數配置而構成格列，

(請先閱讀背面之注意事項再填寫本頁)

衣
訂
線

六、申請專利範圍

上述基板偏壓控制電路，係多數設於上述格列，

67．一種半導體積體電路裝置，其特徵為：

在半導體基板之第1井領域形成MISFET，在上述第1井領域形成對上述基板選擇供給電源電壓或偏壓之基板偏壓控制電路，

上述第1井領域和上述基板為相同導電型，

上述第1井領域，其周圍以和上述第1井領域為相反導電型之第1半導體領域包圍，和上述基板為分離。

68．如申請專利範圍第67項之半導體積體電路裝置，其中，

以上述MISFET構成基板電位可變型格，

上述基板電位可變型格以多數配置構成格列，

上述基板偏壓控制電路，係多數設於上述格列。

69．如申請專利範圍第68項之半導體積體電路裝置，其中，

以上述MISFET構成邏輯電路。

70．如申請專利範圍第67、68或69項中任一項半導體積體電路裝置，其中，

上述偏壓，係令上述MISFET之臨界值設為較上述電源電壓之場合為高。

71．一種半導體積體電路裝置，其特徵為具有：

於主面具第1區域及第2區域之半導體基板；

形成於上述第1區域之第1導電型第1半導體區域；

形成於上述第1半導體區域內，具第2導電型源、汲

六、申請專利範圍

極區域的第 1 M I S F E T ；

位於上述第 1 半導體區域上，供給第 1 電位的第 1 電源配線，及供給第 2 電位的第 2 電源配線；

形成於上述第 2 區域的第 1 導電型第 2 半導體區域；

形成於上述第 2 半導體區域內，具第 2 導電型源、汲極區域的第 2 M I S F E T ；及

位於上述第 2 半導體區域上，供給第 3 電位的第 3 電源配線；

上述第 1 M I S F E T 之源極區域，係連接上述第 1 電源配線；

上述第 1 半導體區域，係連接上述第 2 半導體區域；

上述第 2 M I S F E T 之源極區域及上述第 2 半導體區域，係連接上述第 3 電源配線。

7 2 . 如申請專利範圍第 7 1 項之半導體積體電路裝置，其中另具有：

連接於上述第 1 與第 2 電源配線間的第 1 開關電路；

對上述第 2 電源配線供給上述第 2 電位的電位供給裝置；及

連接於上述第 2 電源配線與上述電位供給裝置間的第 2 開關電路。

7 3 . 如申請專利範圍第 7 2 項之半導體積體電路裝置，其中

上述第 2 電位，係由上述半導體基板外部供給。

7 4 . 如申請專利範圍第 7 2 項之半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

訂

後

六、申請專利範圍

置，其中

上述電位供給裝置，係偏壓產生電路。

75．如申請專利範圍第72項之半導體積體電路裝置，其中

上述第1 MISFET動作時，上述第1開關電路為導通狀態，上述第2開關電路為非導通狀態，上述第1 MISFET非動作時，上述第1開關電路為非導通狀態，上述第2開關電路為導通狀態。

76．如申請專利範圍第75項之半導體積體電路裝置，其中

上述第1 MISFET非動作時，上述第1 MISFET之源極區域與第1半導體區域間之逆偏壓，係大於上述第1 MISFET動作時，上述第1 MISFET之源極區域與第1半導體區域間之逆偏壓。

77．如申請專利範圍第71項之半導體積體電路裝置，其中

上述第1電位與第3電位係相等。

78．如申請專利範圍第77項之半導體積體電路裝置，其中

上述第1電源配線之寬度係相等於上述第3電源配線之寬度。

79．如申請專利範圍第71項之半導體積體電路裝置，其中

上述第1及第2電源配線，係互為平行配置。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

80 . 如申請專利範圍第79項之半導體積體電路裝置，其中

上述第1電源配線之寬度，係大於上述第2電源配線之寬度。

81 . 如申請專利範圍第71項之半導體積體電路裝置，其中

上述半導體基板具第1導電型，

為使上述第1半導體區域與上述半導體基板作電氣分離，具有包圍上述第1半導體區域之第2導電型之第3半導體區域。

82 . 如申請專利範圍第81項之半導體積體電路裝置，其中

上述第1電位與上述第3電位係不同。

83 . 如申請專利範圍第82項之半導體積體電路裝置，其中

上述第1MISFET，係於上述源極與汲極區域具第1閘極絕緣膜及第1閘極，

上述第2MISFET，係於上述源極與汲極區域具第2閘極絕緣膜及第2閘極，

上述第1閘極絕緣膜之膜厚，係小於上述第2閘極絕緣膜之膜厚。

84 . 如申請專利範圍第71項之半導體積體電路裝置，其中

上述半導體基板具第1導電型，

訂

線

六、申請專利範圍

為使上述第 2 半導體區域與上述半導體基板作電氣分離，具包圍上述第 2 半導體區域之第 2 導電型第 3 半導體區域。

85. 如申請專利範圍第 84 項之半導體積體電路裝置，其中

上述第 1 電位與第 3 電位係不同。

86. 一種半導體積體電路裝置，其特徵為具有：

於主面具第 1 區域及第 2 區域的半導體基板；

形成於上述第 1 區域的 N 型第 1 井區域；

於上述第 1 區域，鄰接上述第 1 井區域形成的 P 型第 2 井區域；

形成於上述第 1 井區域內，具 P 型源、汲極區域的第 1 MISFET；

形成於上述第 2 井區域內，具 N 型源、汲極區域的第 2 MISFET；

位於上述第 1 井區域內，供給第 1 電位的第 1 電源配線，及供給第 2 電位的第 2 電源配線；

位於上述第 2 井區域內，供給第 3 電位的第 3 電源配線，及供給第 4 電位的第 4 電源配線；

形成於上述第 2 區域的 N 型第 3 井區域；

於上述第 2 區域，鄰接上述第 3 井區域形成的 P 型第 4 井區域；

形成於上述第 3 井區域內，具 P 型源、汲極區域的第 3 MISFET；

(請先閱讀背面之注意事項再填寫本頁)

訂

後

六、申請專利範圍

形成於上述第 4 井區域內，具 N 型源、汲極區域的第 4 M I S F E T ；

位於上述第 3 井區域上，具供給第 5 電位的第 5 電源配線；

位於上述第 4 井區域上，具供給第 6 電位的第 6 電源配線；

上述第 1 M I S F E T 之源極區域，係連接上述第 1 電源配線；

上述第 1 井區域，係連接上述第 2 電源配線；

上述第 2 M I S F E T 之源極區域，係連接上述第 3 電源配線；

上述第 2 井區域，係連接上述第 4 電源配線；

上述第 3 M I S F E T 之源極區域及第 3 井區域，係連接上述第 5 電源配線；

上述第 4 M I S F E T 之源極區域及第 4 井區域，係連接上述第 6 電源配線。

8 7 . 如申請專利範圍第 8 6 項之半導體積體電路裝置，其中另具有：

連接於上述第 1 與第 2 電源配線間的第 1 開關電路；

對上述第 2 電源配線供給上述第 2 電位的第 1 電位供給裝置；

連接於上述第 2 電源配線與上述第 1 電位供給裝置間的第 2 開關電路；

連接於上述第 3 與第 4 電源配線間的第 3 開關電路；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

對上述第4電源配線供給上述第4電位的第2電位供給裝置；及

連接於上述第4電源配線與上述第2電位供給裝置間的第4開關電路。

88．如申請專利範圍第87項之半導體積體電路裝置，其中

上述第1及第2電位供給裝置，係偏壓產生電路。

89．如申請專利範圍第87項之半導體積體電路裝置，其中

上述第1及第2MISFET動作時，上述第1及第3開關電路為導通狀態，上述第2及第4開關電路為非導通狀態，上述第1及第2MISFET非動作時，上述第1及第3開關電路為非導通狀態，上述第2及第4開關電路為導通狀態。

90．如申請專利範圍第87項之半導體積體電路裝置，其中

上述第1MISFET非動作時，上述第1MISFET之源極區域與第1井區域間之逆偏壓，係大於上述第1MISFET動作時，上述第1MISFET之源極區域與第1井區域間之逆偏壓。

91．如申請專利範圍第86項之半導體積體電路裝置，其中

上述第1及第3電源配線，係互為平行配置，上述第5及第6電源配線係互為平行配置。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

9 2 . 如申請專利範圍第 9 1 項之半導體積體電路裝置，其中

上述第 1 及第 5 電源配線之配線寬度相等，上述第 3 及第 6 電源配線之配線寬度相等。

9 3 . 如申請專利範圍第 9 2 項之半導體積體電路裝置，其中

上述第 1 電位與上述第 5 電位係相等。

9 4 . 如申請專利範圍第 9 2 項之半導體積體電路裝置，其中

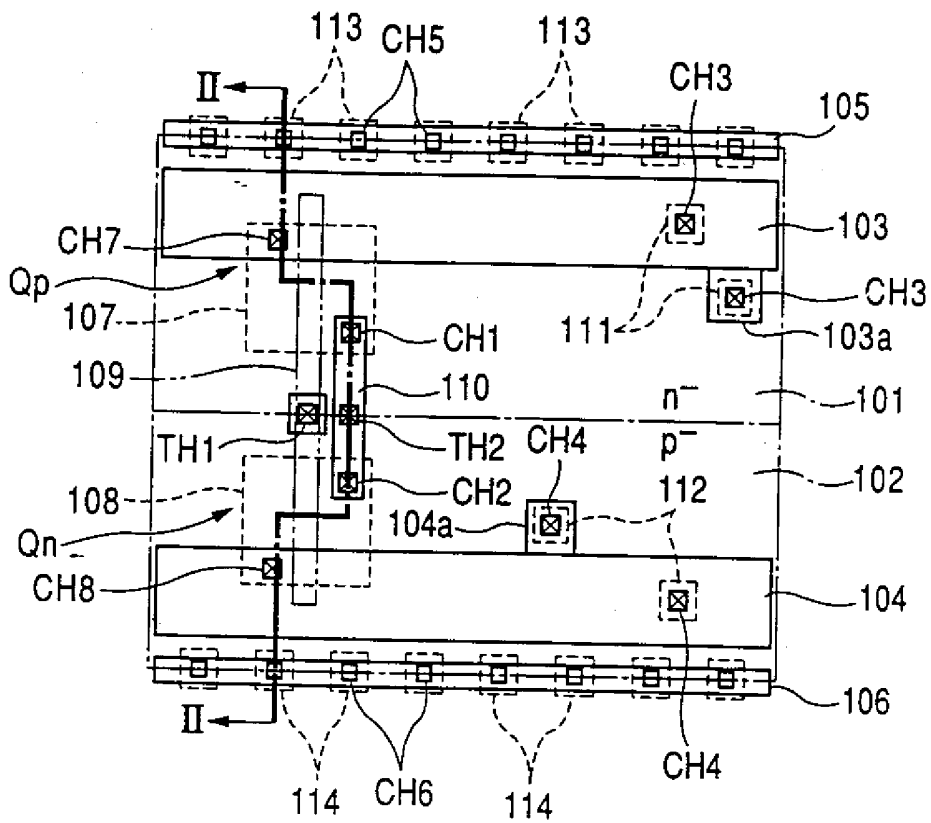
上述第 2 電源配線之寬度，係小於上述第 1 電源配線之寬度，

上述第 4 電源配線之寬度，係小於上述第 4 電源配線之寬度。

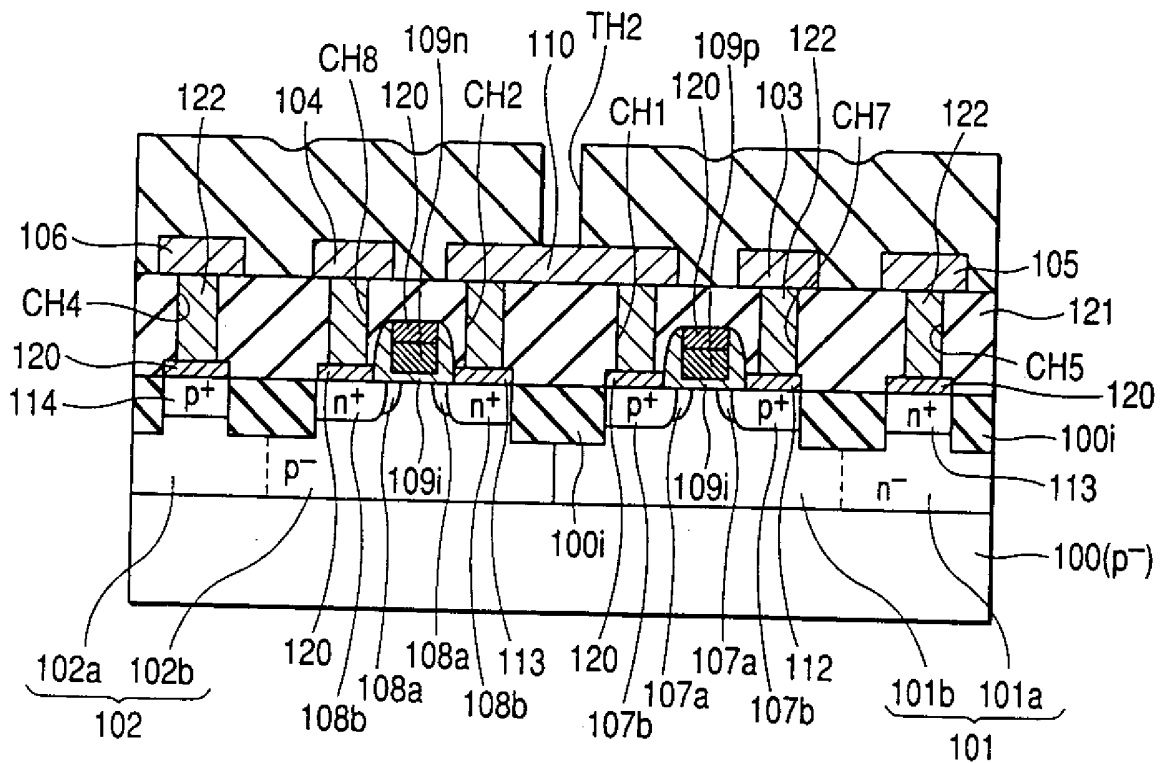
(請先閱讀背面之注意事項再填寫本頁)

訂

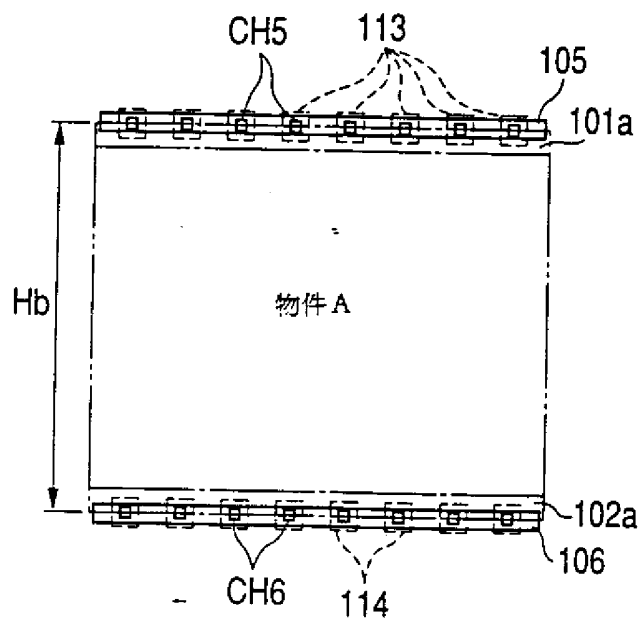
線



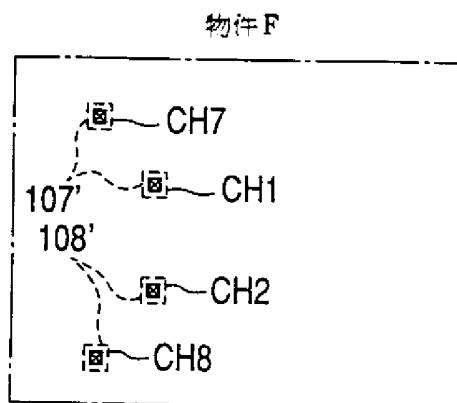
第 1 圖



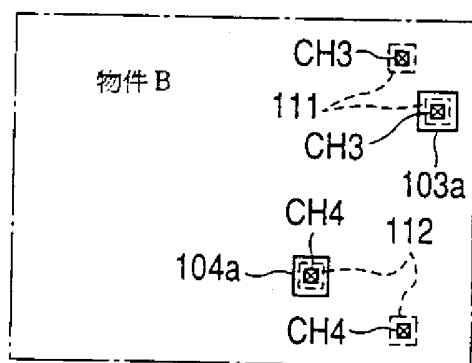
第 2 圖



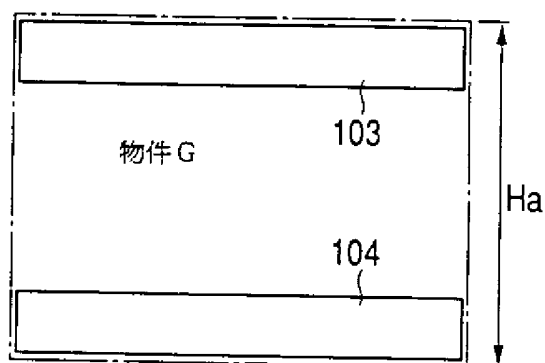
第 3 圖(A)



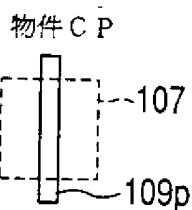
第 3 圖(H)



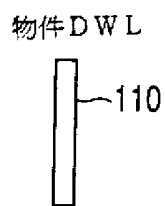
第 3 圖(B)



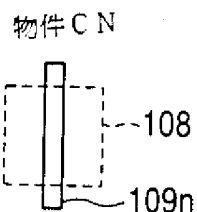
第 3 圖(I)



第 3 圖(C)



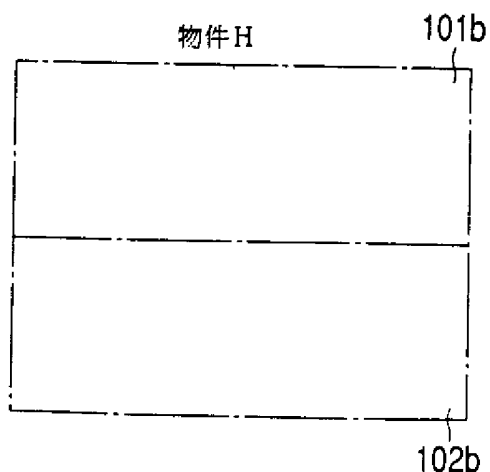
第 3 圖(E)



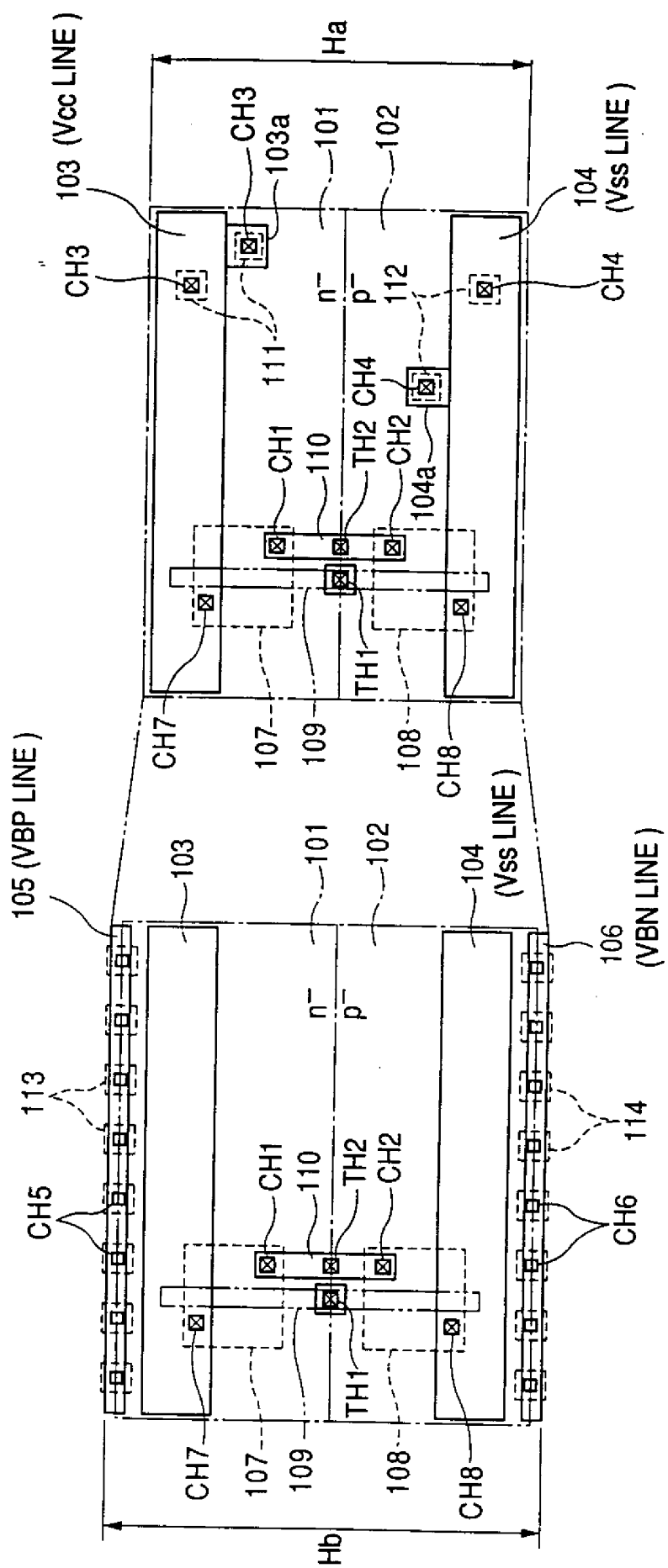
第 3 圖(D)



第 3 圖(G)

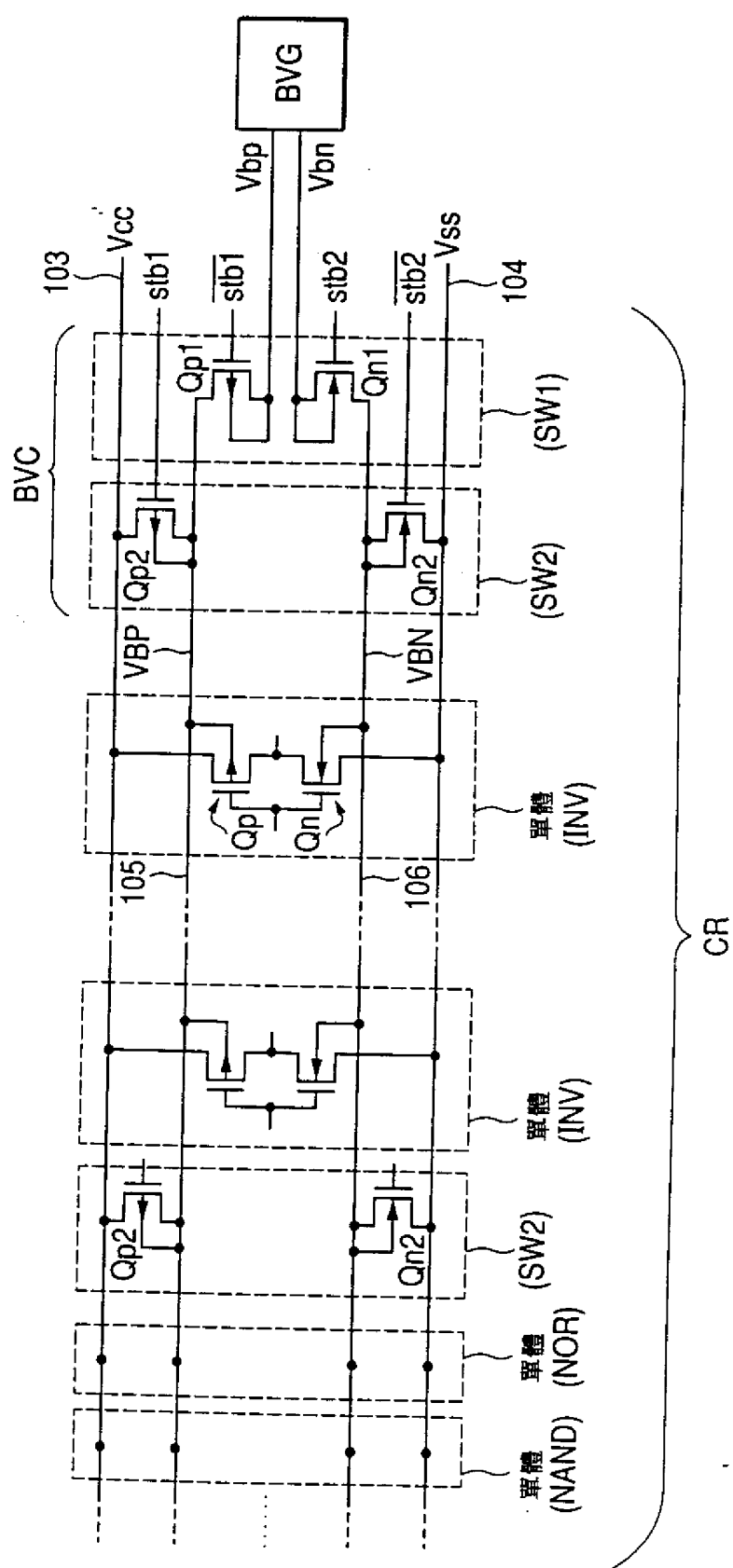


第 3 圖(J)

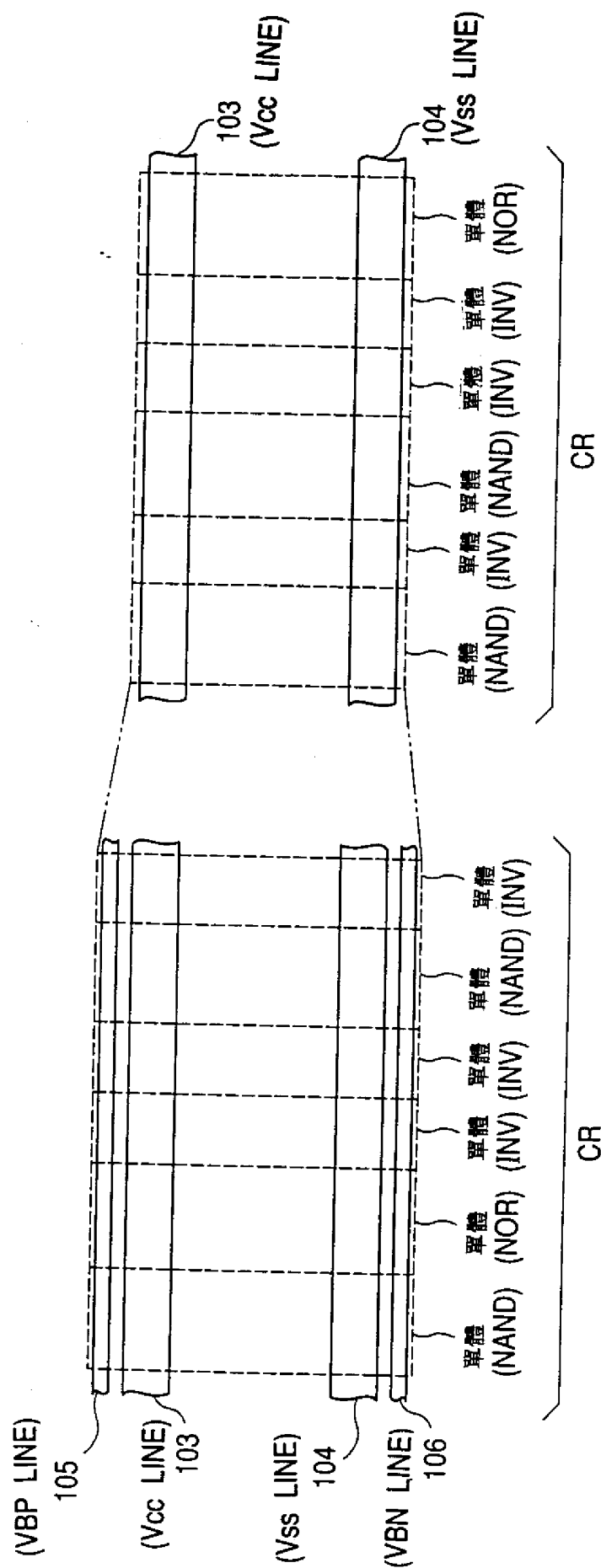


第 4 圖(A)

第 4 圖(B)

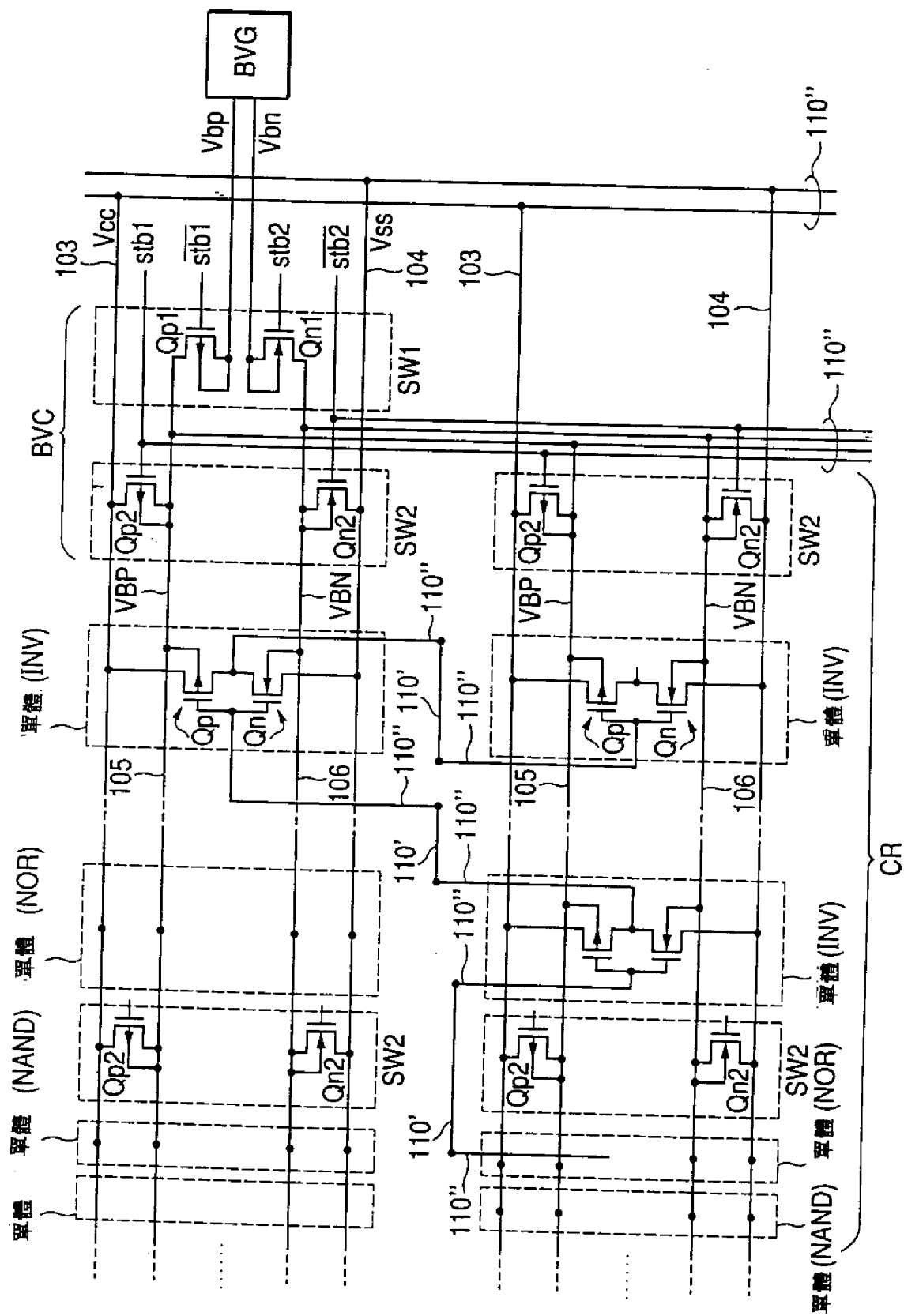


第 5 圖 (A)

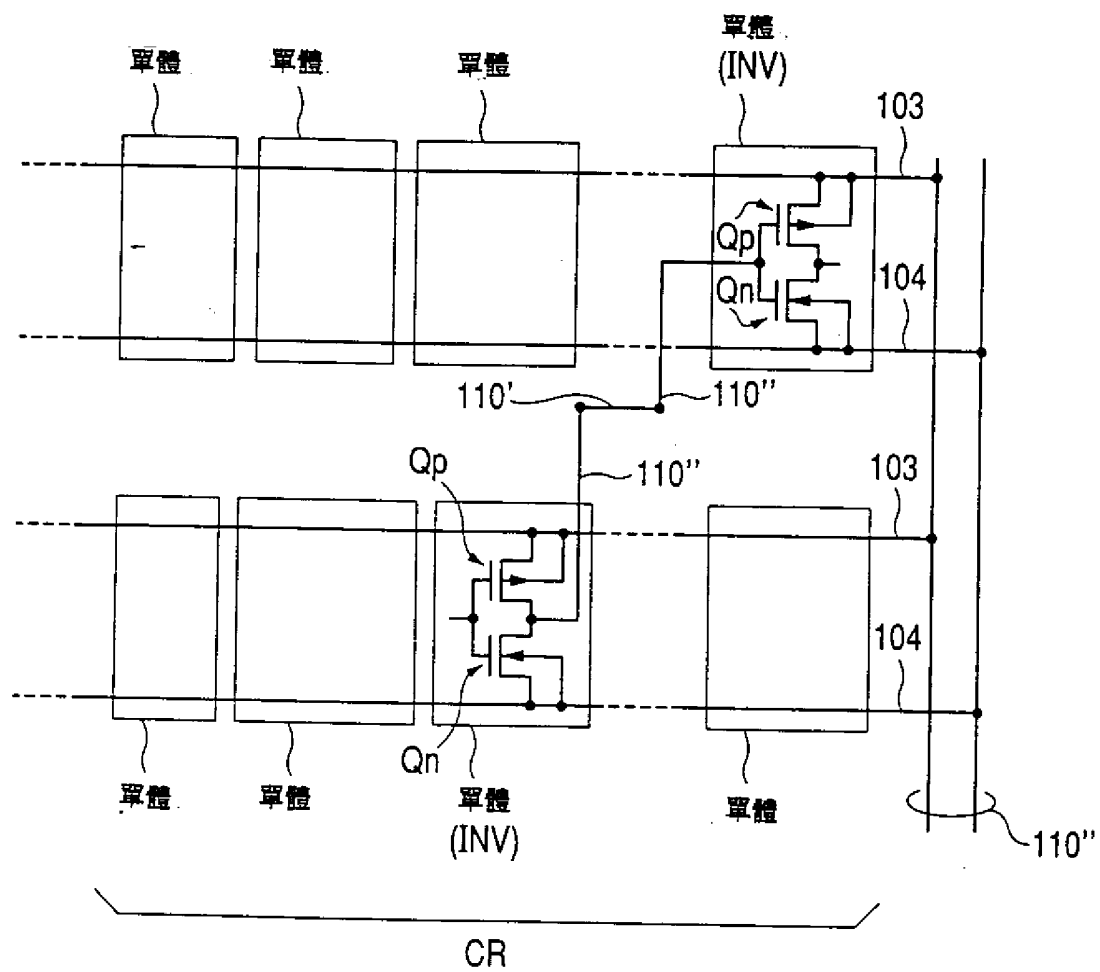


第 5 圖(B)

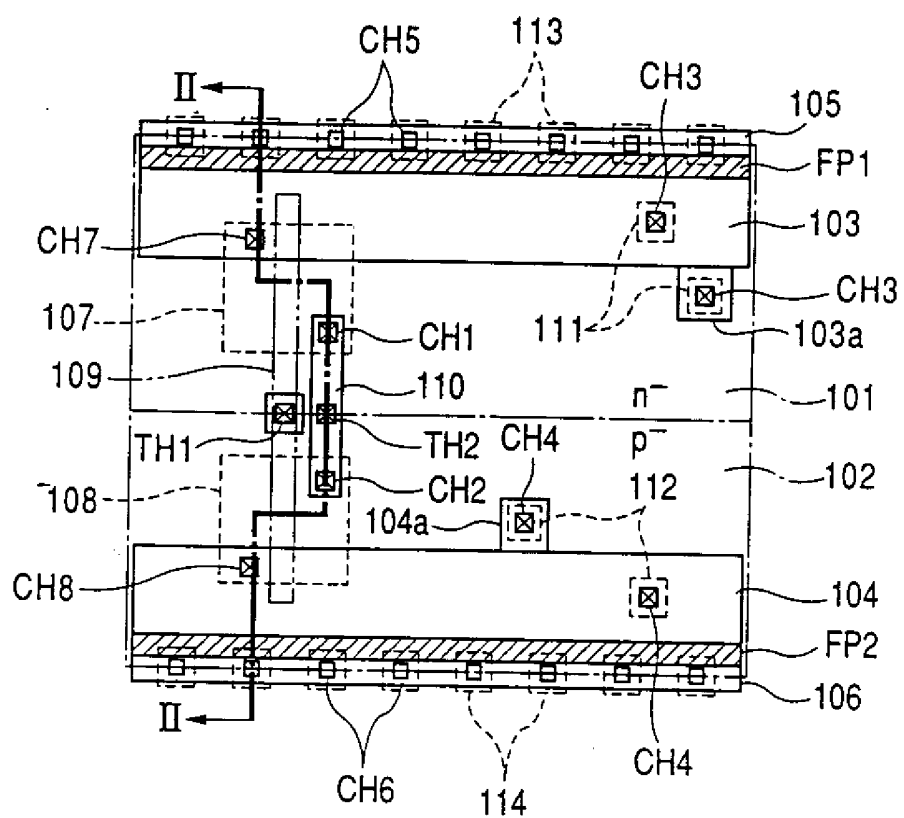
第 5 圖(C)



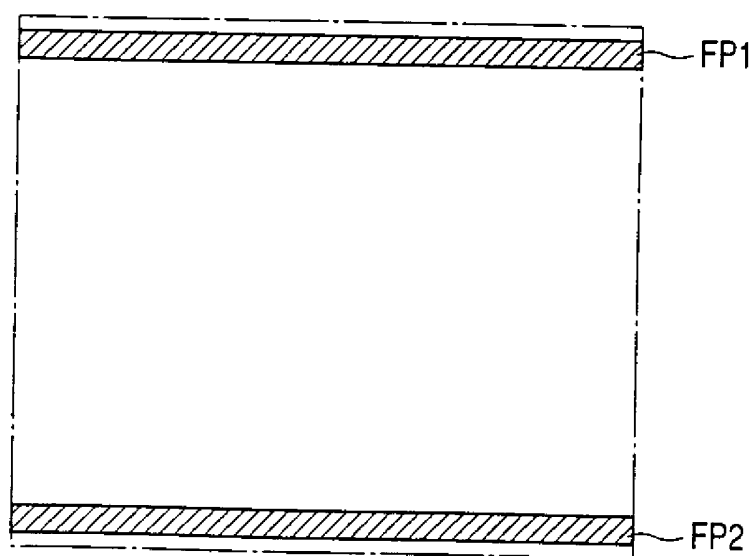
第 6 圖 (A)



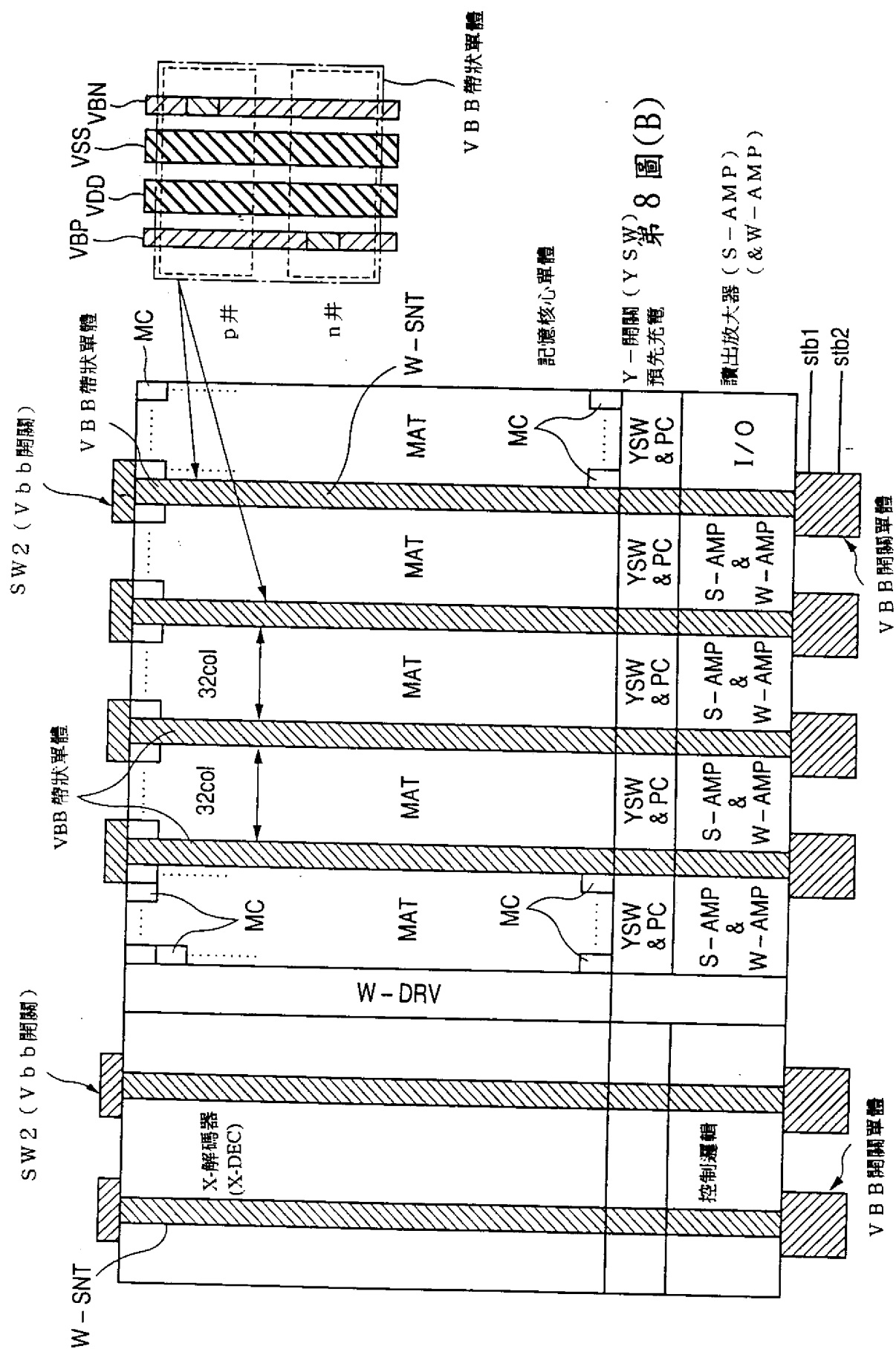
第 6 圖(B)

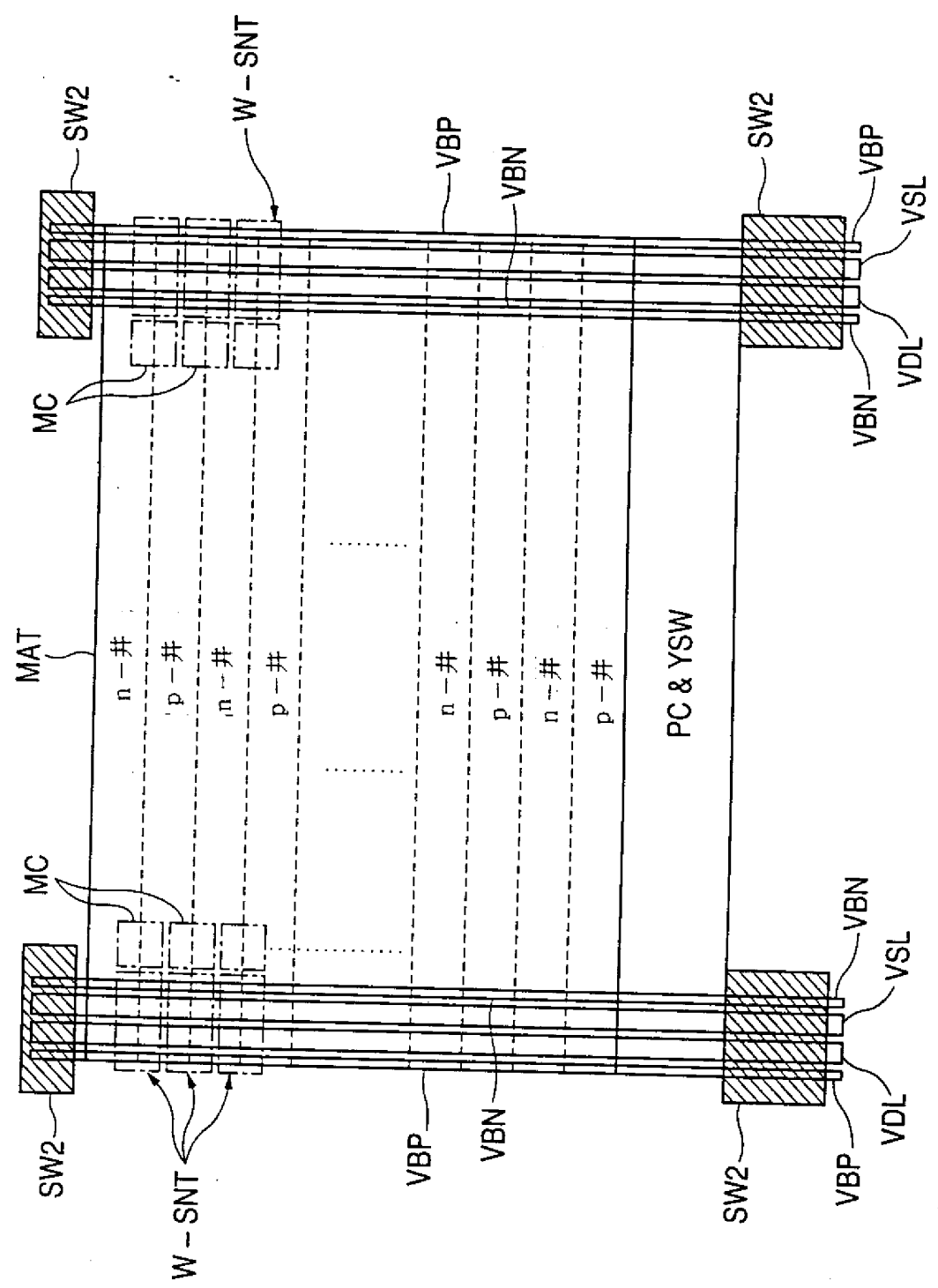


第 7 圖(A)

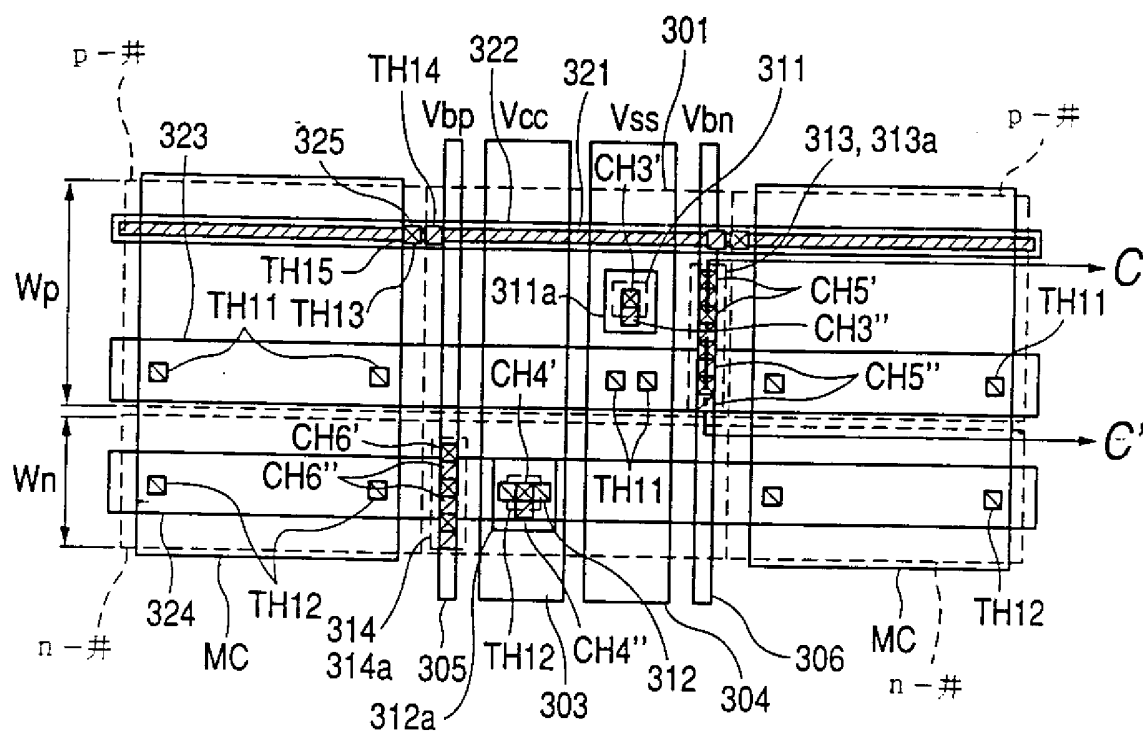


第 7 圖(B)

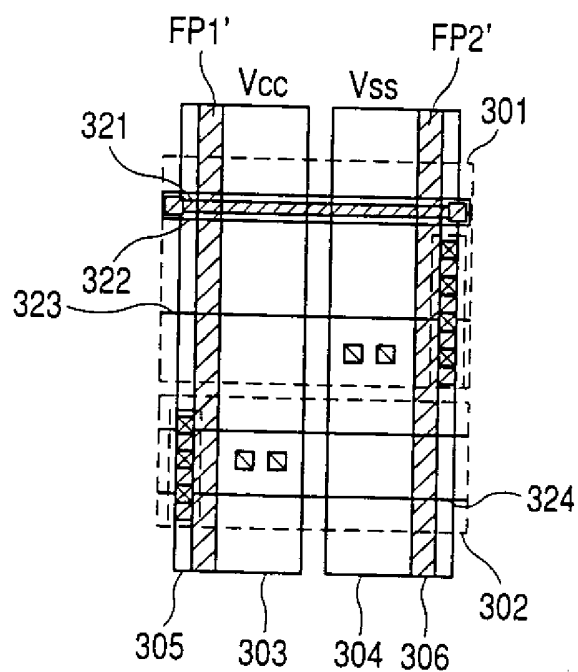




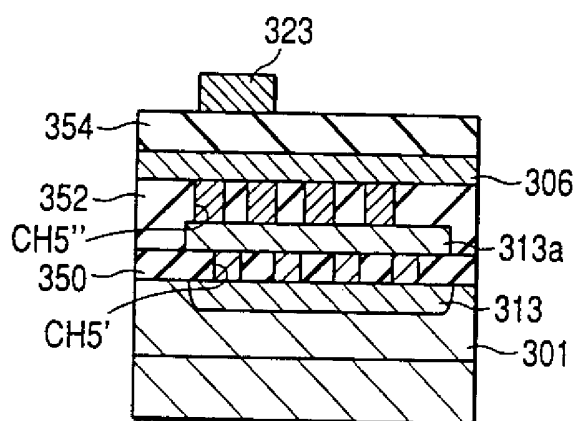
第 9 圖



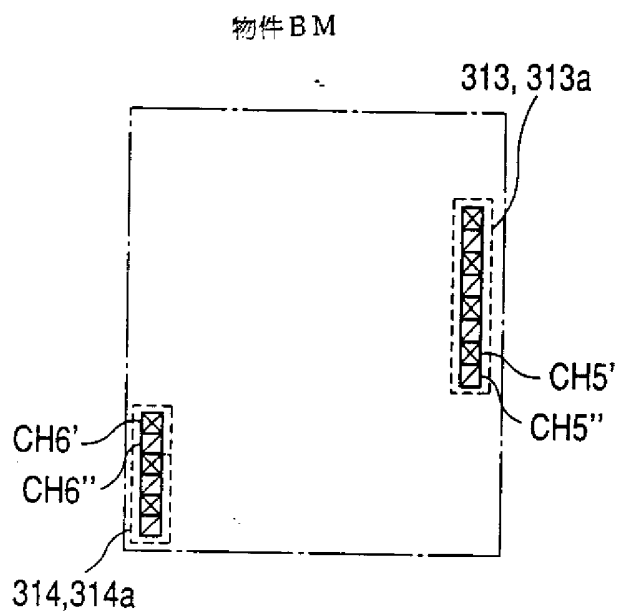
第 10 圖(A)



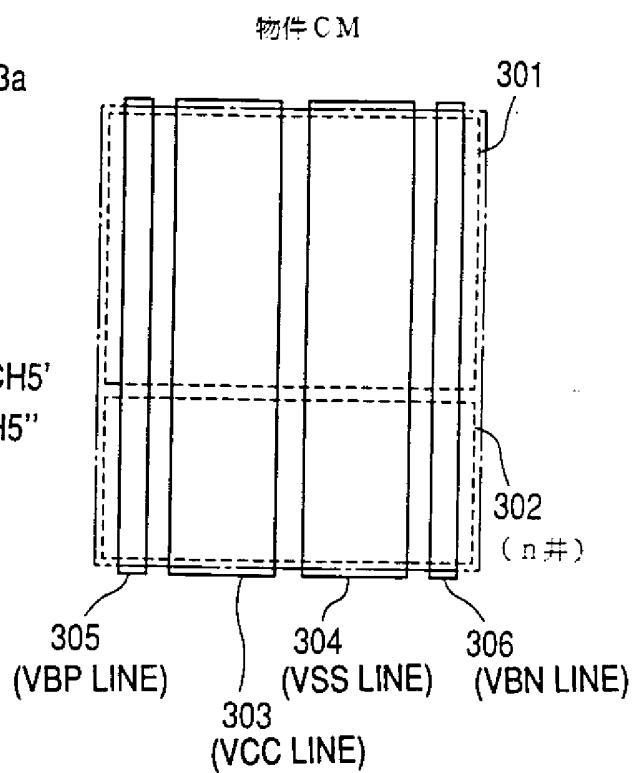
第 10 圖(B)



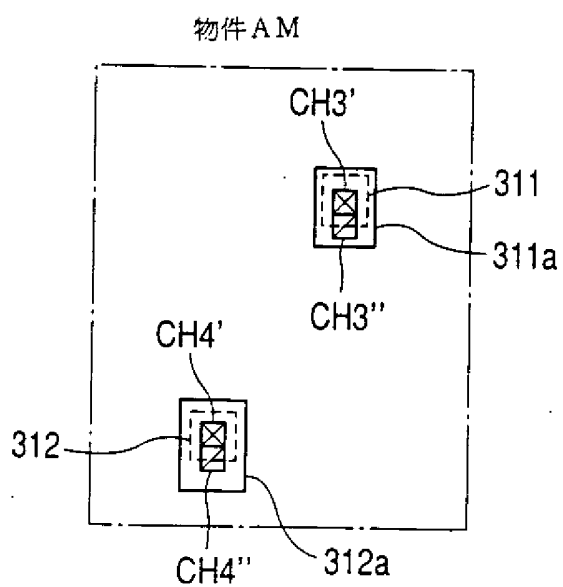
第 10 圖(C)



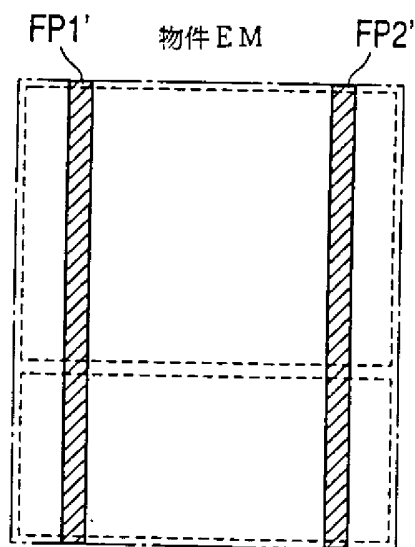
第 11 圖 (A)



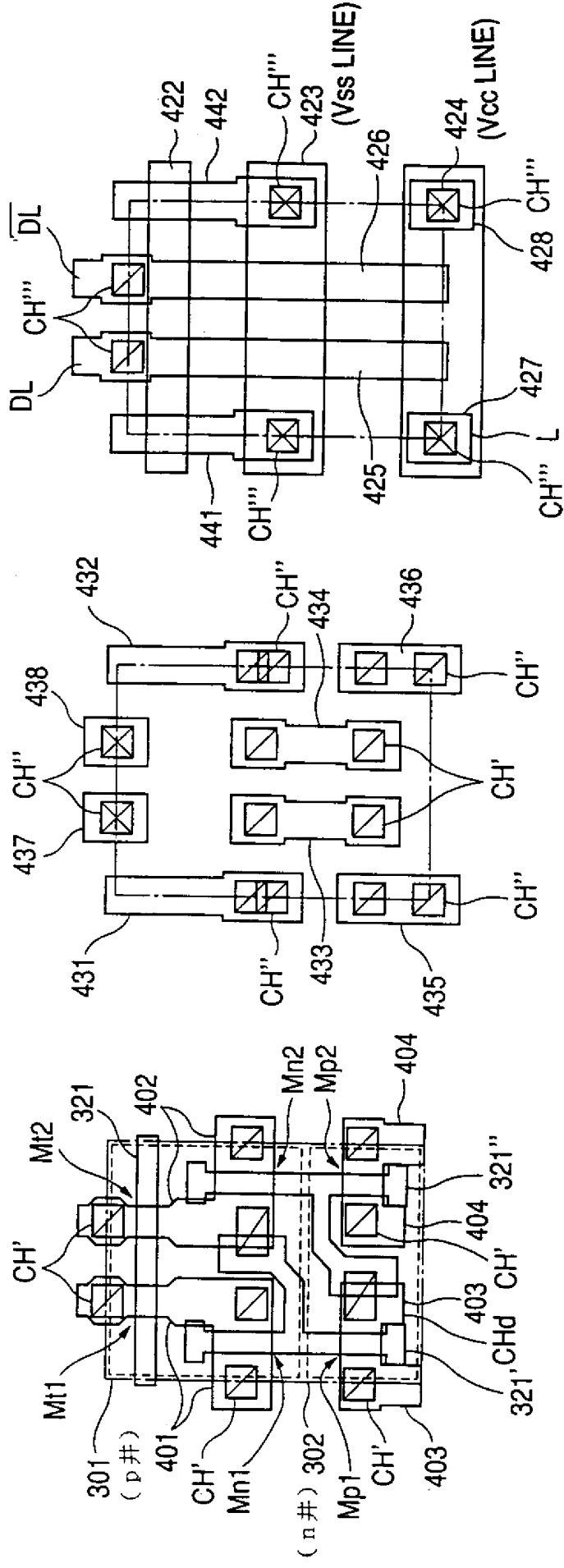
第 11 圖 (C)



第 11 圖 (B)



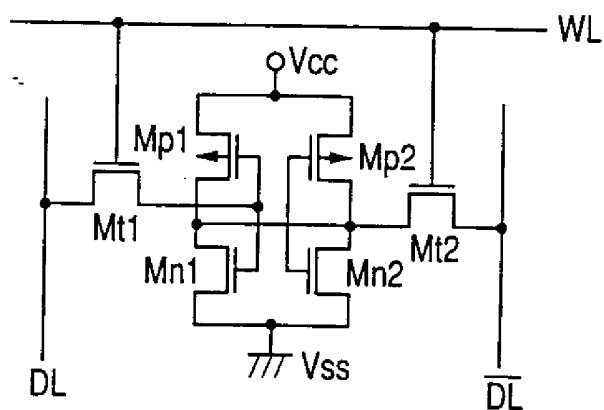
第 11 圖 (D)



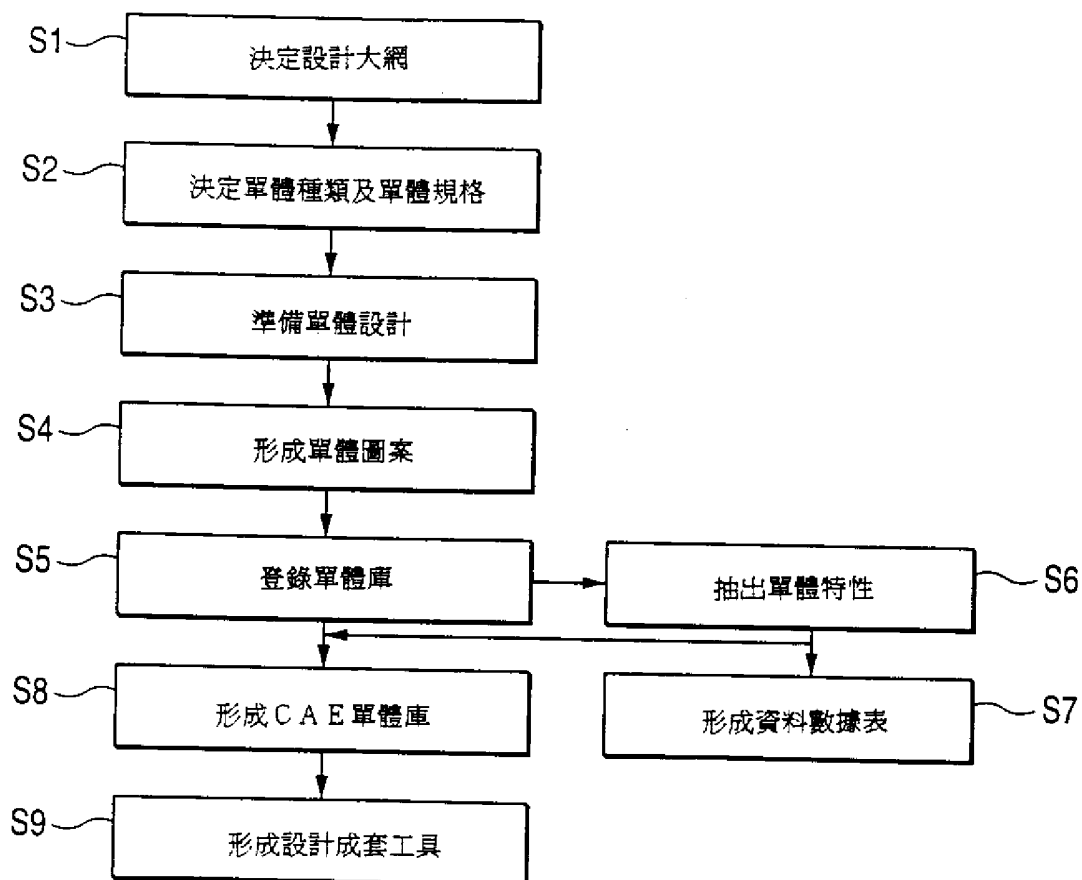
第 12 圖(A)

第 12 圖(B)

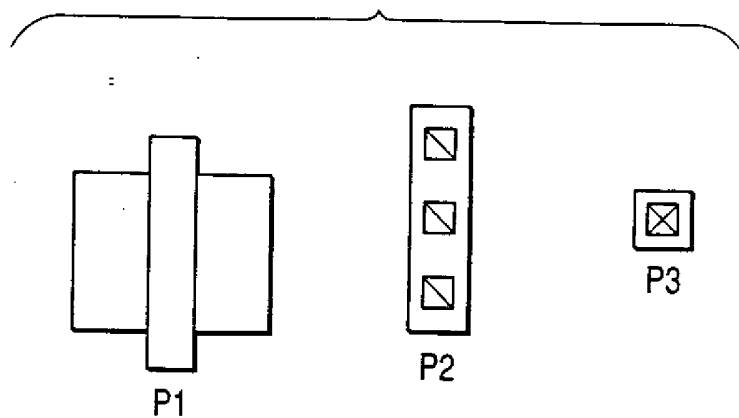
第 12 圖(C)



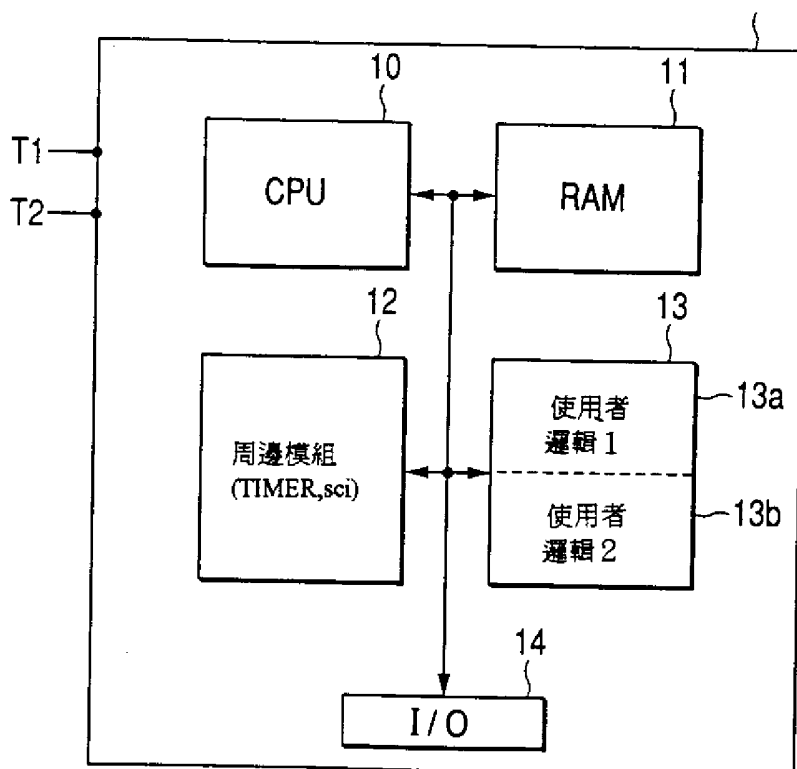
第 13 圖



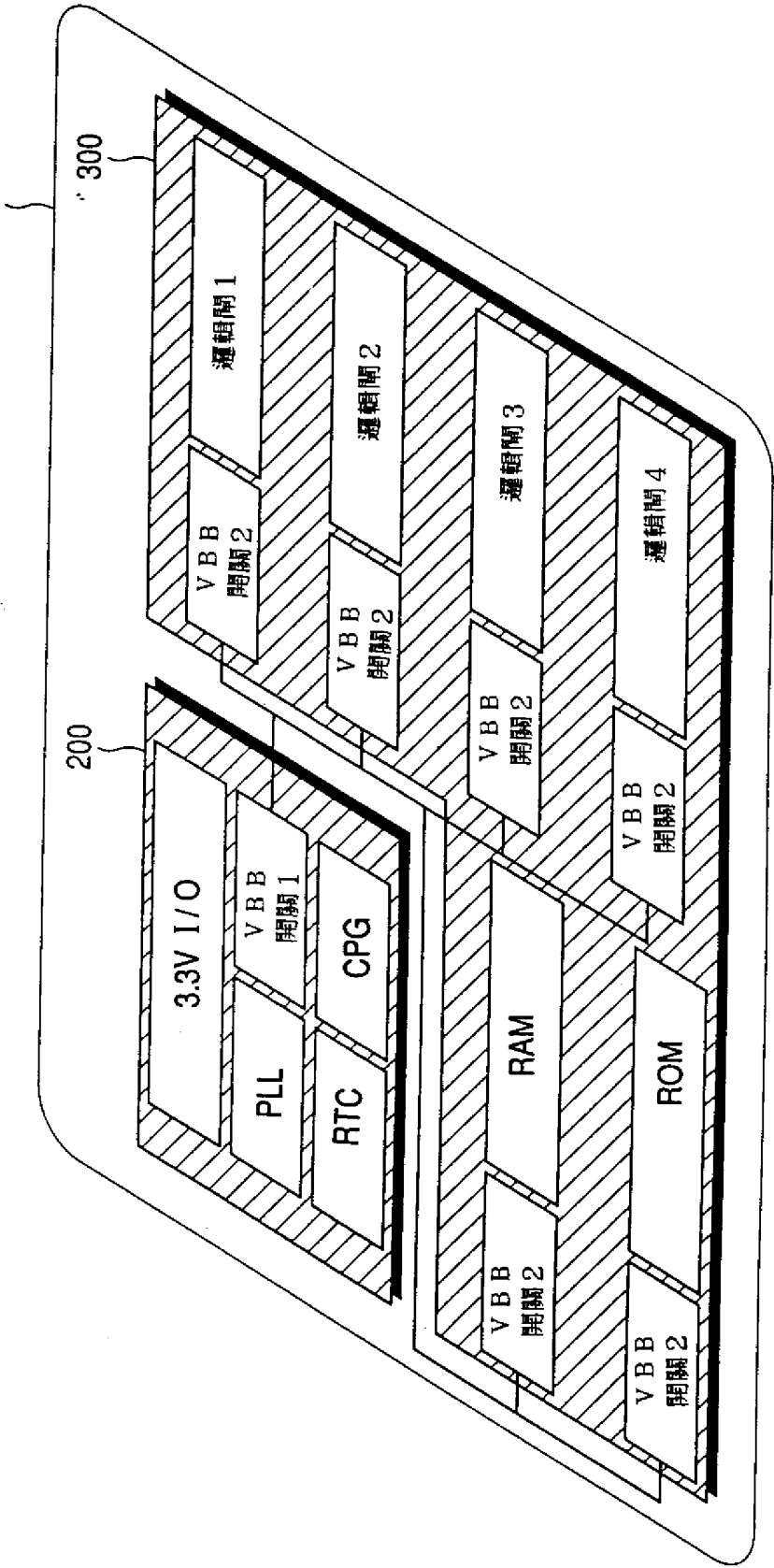
第 14 圖



第 15 圖

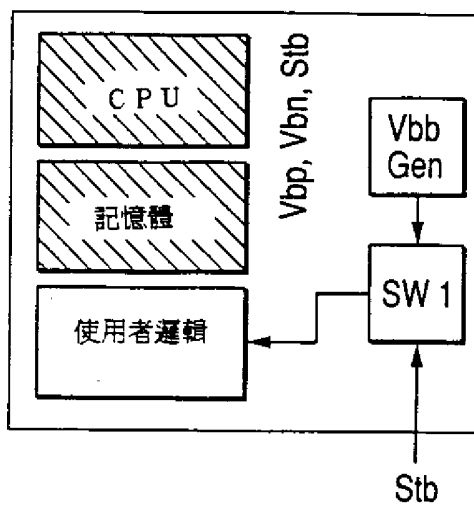


第 16 圖

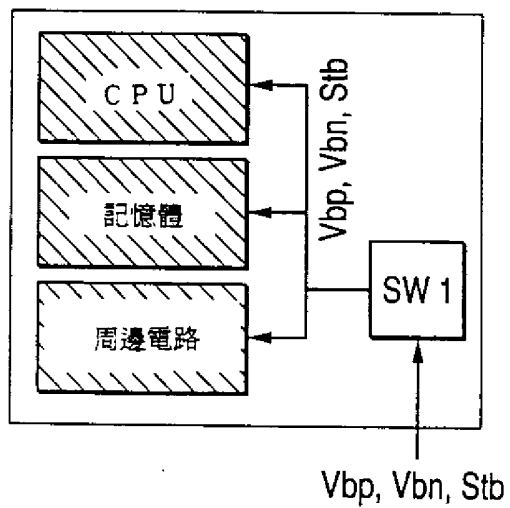


第 17 圖

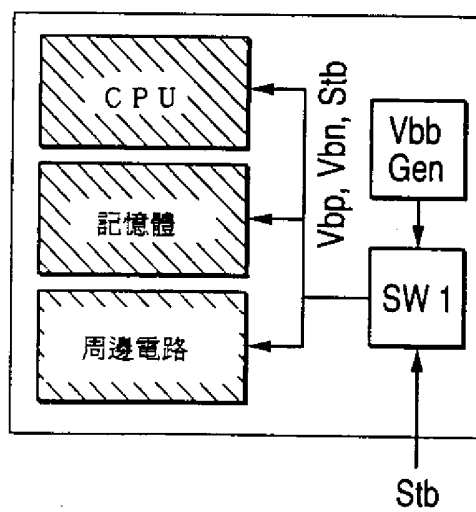
第 18 圖(A)

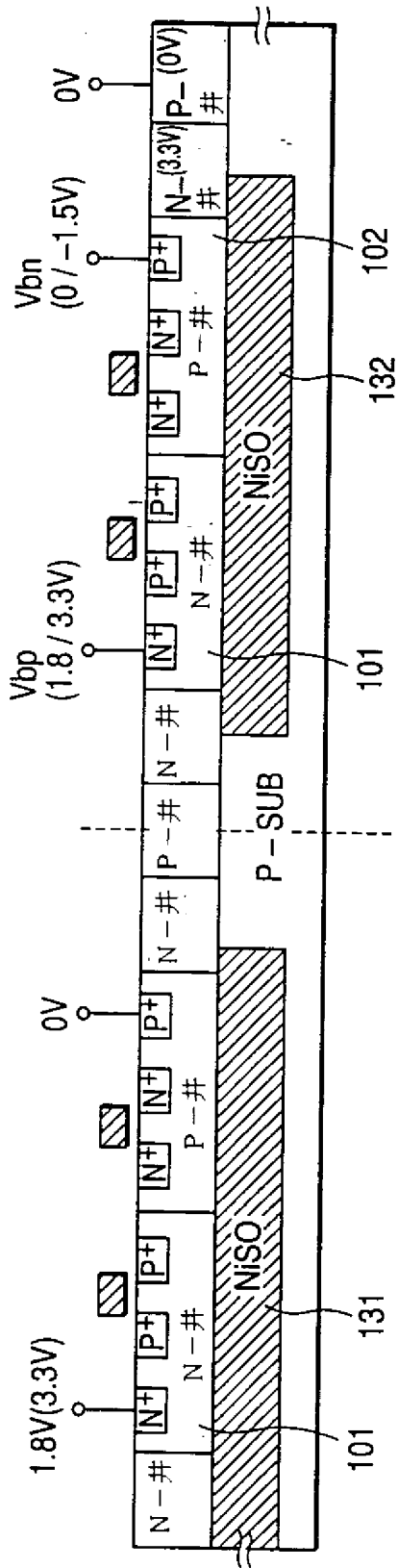


第 18 圖(B)

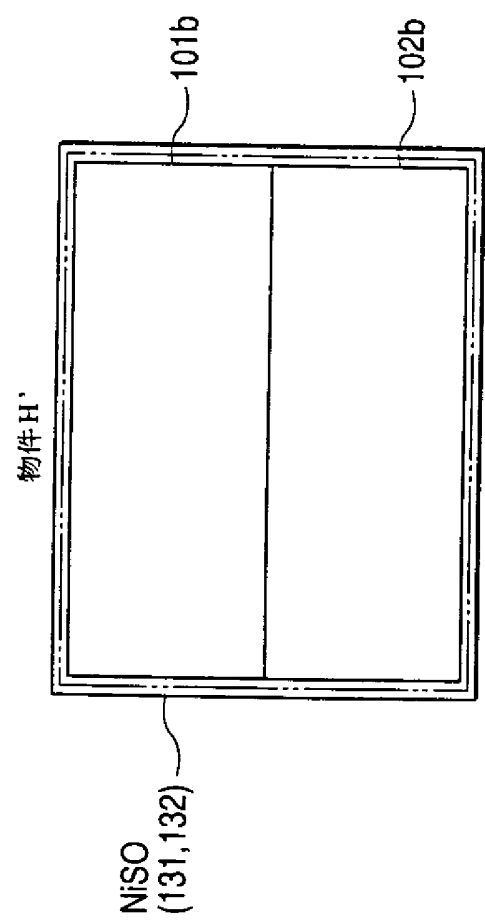


第 18 圖(C)

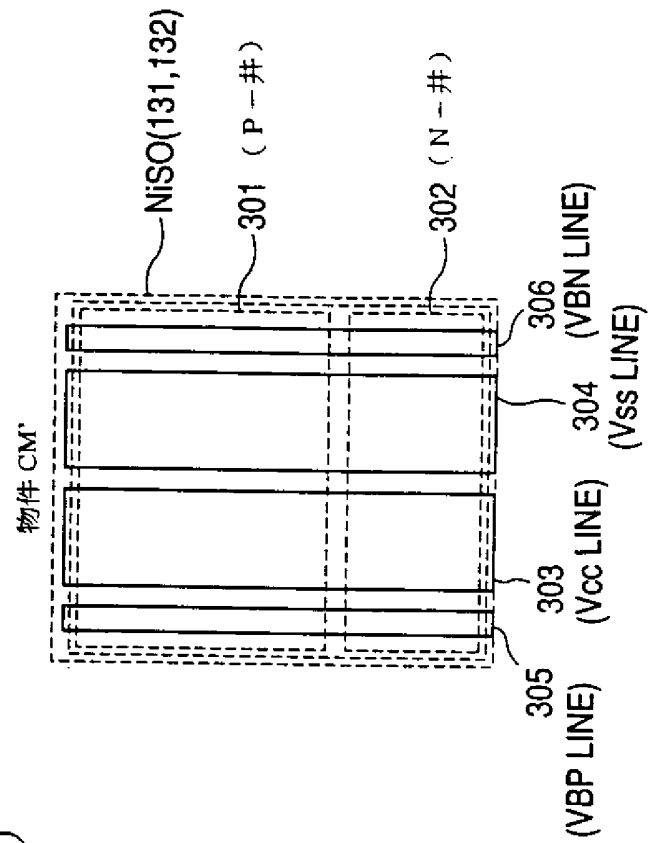




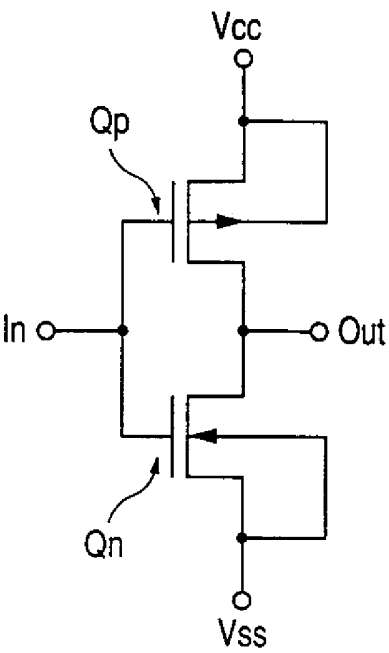
第 19 圖 (A)



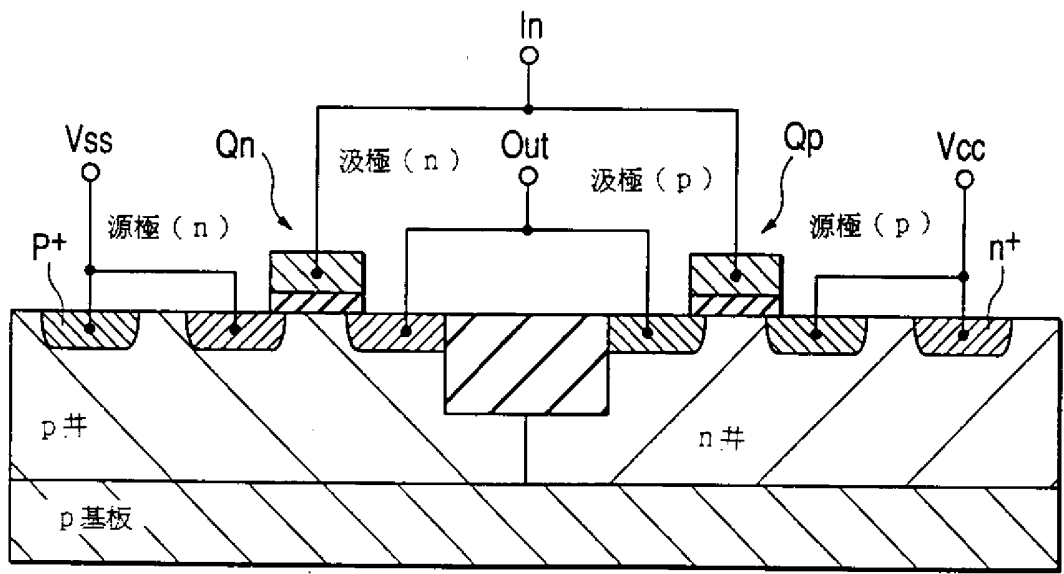
第 19 圖 (B)



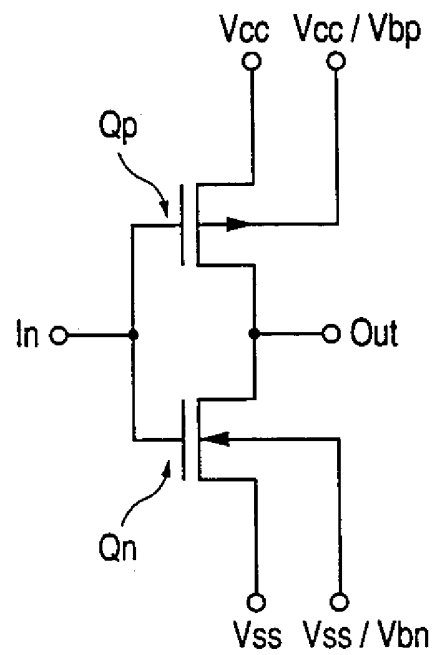
第 19 圖 (C)



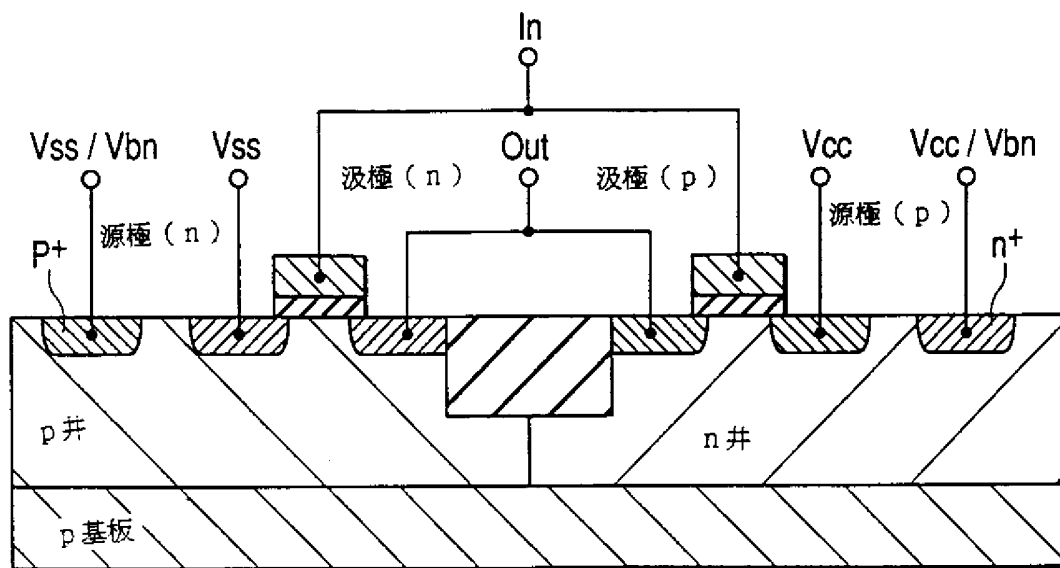
第 20 圖(A)



第 20 圖(B)



第 21 圖(A)



第 21 圖(B)

修正
補充
87年9月8日

六、申請專利範圍

第 87111072 號專利申請案

中文申請專利範圍修正本

民國 89 年 9 月修正

1. 一種半導體積體電路之設計方法，其特徵為：將具有所希望機能之電路格之設計資訊依目的別構成物件，以複數之物件構成共通格資訊，對於共通格資訊經由規定物件之追加或消除，以構成基板電位固定型格與基板電位可變型格。

2. 如申請專利範圍第 1 項記載之半導體積體電路之設計方法，其中上述共通格資訊包含電源配線之設計資料，上述規定物件包含基板電位供給配線之設計資料。

3. 如申請專利範圍第 1 項記載之半導體積體電路之設計方法，其中上述共通格資訊包含電源配線以及基板電位供給配線之設計資料，

上述規定物件包含連接上述電源配線與基板電位供給配線之配線圖案之設計資料。

4. 如申請專利範圍第 1 項記載之半導體積體電路之設計方法，其中上述共通格資訊包含電源配線以及基板電位供給配線之設計資料，

上述規定物件係分別構成：包含電氣地連接上述電源配線與上述井領域之接觸孔之物件，及電氣地連接上述基板電位供給配線與上述井領域之接觸孔之物件。

5. 如申請專利範圍第 1 至 3 項中任一項記載之半導

(請先閱讀背面之注意事項再填寫本頁)

訂線