

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年9月11日(11.09.2015)



(10) 国際公開番号

WO 2015/133323 A1

- (51) 国際特許分類:
H04N 5/376 (2011.01) H04N 5/353 (2011.01)
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
H04N 5/341 (2011.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2015/055140
- (22) 国際出願日: 2015年2月24日(24.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-044036 2014年3月6日(06.03.2014) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 河津 直樹 (KAWAZU Naoki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 鈴木 敦史 (SUZUKI Atsushi); 〒1080075 東京都港区港南1丁目7番1号 ソ

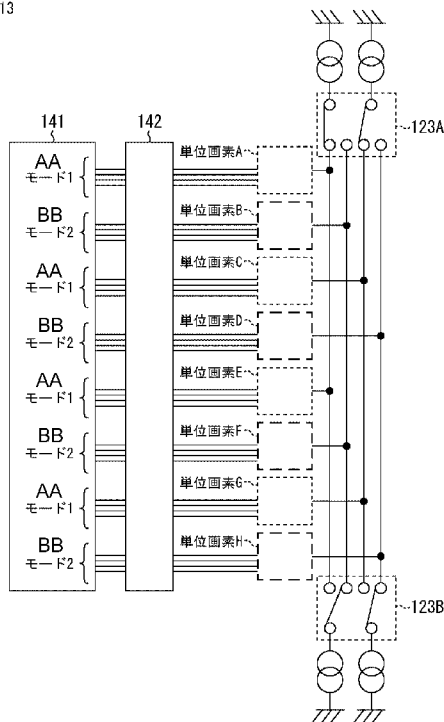
ニー株式会社内 Tokyo (JP). 庄司 貴史 (SHOJI Takashi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 赤松 正志 (AKAMATSU Masashi); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 嶋村 延幸 (SHIM-AMURA Nobutaka); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 若林 準人 (WAKABAYASHI Hayato); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 山形 優輝 (YAMAGATA Yuuki); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 二改 教広 (NIKAI Norihiro); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 木川田 亘 (KIKAWADA Tohru); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 岡巧 (OKA Takumi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 貝沼

[続葉有]

(54) Title: IMAGING ELEMENT, CONTROL METHOD, AND IMAGING DEVICE

(54) 発明の名称: 撮像素子、制御方法、並びに、撮像装置

図13



A, B, C, D, E, F, G, H Unit pixel
AA Mode 1
BB Mode 2

(57) Abstract: The present technology relates to an imaging element, a control method, and an imaging device that enable easier and more versatile data output. According to an aspect of the present technology, a plurality of signal lines for transmitting pixel signals read from pixels are allocated to each column. To each of the plurality of signal lines for each column, a different mode of reading the pixel signals is allocated. With respect to each column of a pixel array to which the pixels corresponding to the mode are connected, the pixel signals are read, in that mode, from the pixels connected to the signal line corresponding to the pixel signal reading mode, and the pixel signals that have been read are transmitted via the signal line. The present technology may be applied to an imaging element or an imaging device.

(57) 要約: 本技術は、より容易に、より多様なデータ出力を実現することができるようにする撮像素子、制御方法、並びに、撮像装置に関する。本技術の一側面においては、画素から読み出される画素信号を送信する信号線が各カラムに対して複数割り当てられ、各カラムの複数の信号線のそれぞれに、画素信号の読み出しの互いに異なるモードが割り当てられ、そのモードに対応する画素が接続される画素アレイの各カラムについて、画素信号の読み出しのモードに対応する信号線に接続される画素から画素信号がそのモードで読み出され、読み出された画素信号が信号線を介して伝送される。本技術は、例えば、撮像素子や撮像装置に適用することができる。

WO 2015/133323 A1



世樹(KAINUMA Toshiki); 〒1080075 東京都港区
港南1丁目7番1号 ソニー株式会社内 Tokyo
(JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番
25号 西新宿木村屋ビルディング9階 Tokyo
(JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG,

PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

明 細 書

発明の名称：撮像素子、制御方法、並びに、撮像装置

技術分野

[0001] 本技術は、撮像素子、制御方法、並びに、撮像装置に関し、特に、より容易に、より多様なデータ出力を実現することができるようにした撮像素子、制御方法、並びに、撮像装置に関する。

背景技術

[0002] 従来、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等の撮像素子において、列毎に画素が接続される各出力線に対して、それぞれ複数のA/D変換器 (ADC (Analog Digital Converter)) が接続され、その複数のADCを用いることにより高速なデータ読み出しを実現するものがあった (例えば、特許文献1 参照)。

[0003] また、各出力線に対し複数の比較器とカウンタを搭載し、D/A変換器 (DAC (Digital Analog Converter)) の電圧を任意の値だけずらし、高ビット精度の信号を高速に読み出すものもあった (例えば、特許文献2 参照)。

[0004] さらに、読み出し信号に対して2回のA/D変換を実施することで低ノイズ化やダイナミックレンジ向上を実現するものあった (例えば、特許文献3および特許文献4 参照)。

先行技術文献

特許文献

- [0005] 特許文献1：特開2005-347932号公報
特許文献2：特開2010-252140号公報
特許文献3：特開2009-296423号公報
特許文献4：特開2008-012482号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1に記載の方法の場合、高速な読み出しが可能で

あるのみであり、例えばダイナミックレンジの拡張やノイズの低減等、高機能性への展開を図ることは困難であった。

[0007] また、特許文献2に記載の方法の場合、ADCが複数設けられてはいるものの、その構成は分解能の向上のみに利用されており、例えばノイズの低減や、低消費電力化等を実現することは困難であった。

[0008] さらに、特許文献3や特許文献4に記載の方法の場合、処理時間が増大しており、高速な読み出しを行うことが困難であった。

[0009] 近年、情報処理技術の向上により、画像処理や撮像装置もより多機能化および高機能化の一途を辿っている。これに伴い、撮像素子から出力される画像データに要求される出力形式も、より多様化している。しかしなら、従来の方法では、上述したように、多様なデータ出力形式に対応することが困難であった。

[0010] 本開示は、このような状況に鑑みてなされたものであり、より容易に、より多様なデータ出力を実現することを目的とする。

課題を解決するための手段

[0011] 本技術の一側面は、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイと、前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御部とを備える撮像素子である。

[0012] 前記制御部は、前記画素からの画素信号の読み出しを、前記画素に対応する前記モードのフレームレートで行うように制御することができる。

[0013] 前記制御部は、さらに、各カラムのメインシャッタ動作およびプリシャッタ動作を前記モードのフレームレートで行うように制御することができる。

[0014] 各カラムにおいて、各信号線に割り当てられる画素数が互いに異なるよう

にすることができる。

[0015] 各カラムにおいて、画素信号の読み出しのモードに対応する信号線を、前記複数の信号線の中から選択する選択部をさらに備え、前記制御部は、各カラムについて、前記選択部にいずれかの前記信号線を選択させ、前記選択部により選択された信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記選択部により選択された信号線を介して伝送させるように制御することができる。

[0016] 前記制御部は、前記選択部に、選択する信号線を順次切り替えさせ、複数モードの画素信号の読み出しを時分割で行うように制御することができる。

[0017] 前記画素アレイの各カラムの複数の前記信号線のそれぞれに、前記信号線に対応する前記モードに対応するダミー画素がさらに接続され、前記制御部は、前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続されるダミー画素から画素信号を前記モードで読み出すように制御することができる。

[0018] 前記制御部は、さらに、前記ダミー画素のシャッタ動作を前記モードで行うように制御することができる。

[0019] 前記画素アレイの各カラムにおいて、前記信号線を介して伝送される前記画素信号をA/D変換するA/D変換部をさらに備えることができる。

[0020] 前記画素アレイの各カラムにおいて、画素信号の読み出しのモードに対応する信号線を、前記複数の信号線の中から選択する選択部をさらに備え、前記A/D変換部は、前記選択部により選択された前記信号線に接続される画素から読み出された前記画素信号をA/D変換することができる。

[0021] 前記画素アレイの各カラムに対して、前記A/D変換部が複数備えられ、前記選択部は、画素信号のA/D変換に用いる前記A/D変換部をさらに選択することができる。

[0022] 前記制御部は、前記画素アレイの各カラムについて、前記選択部に複数の信号線と複数のA/D変換部を選択させ、前記画素アレイの各カラムについて、前記選択部により選択された各信号線に接続される画素からの前記モードで

の画素信号の読み出しを、前記信号線間で互いに並列に行うように制御することができる。

[0023] 各画素の露光時間は、前記画素が接続される信号線に対応するモード毎に設定されるようにすることができる。

[0024] 本技術の一側面は、また、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出させ、読み出させた前記画素信号を前記信号線を介して伝送させる制御方法である。

[0025] 本技術の一側面は、さらに、被写体を撮像する撮像部と、前記撮像部による撮像により得られた画像データを画像処理する画像処理部とを備え、前記撮像部は、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイと、前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御部とを備える撮像装置である。

[0026] 本技術の他の側面は、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイと、前記画素アレイの各カラムの互いに異なる信号線を介して伝送される画素信号をA/D変換する複数のA/D変換部と、互いに異なる前記A/D変換部によりA/D変換された前記画素信号を圧縮する複数の圧縮部と前記画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出し、前記複数ラインの画素から読み出された複数ラインの画素信

号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送し、前記複数の信号線を用いて伝送された前記複数ラインの画素信号を前記複数のA/D変換部を用いて並列にA/D変換し、互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号を前記複数の圧縮部を用いて並列に圧縮するように制御する制御部とを備える撮像素子である。

[0027] 前記複数の圧縮部は、前記複数ラインの画素信号の圧縮後のデータサイズが1単位期間内に伝送可能なサイズ以下になるように、各ラインの画素信号を圧縮することができる。

[0028] 前記制御部は、2ラインずつ画像信号を読み出させ、前記複数の圧縮部は、各ラインの画素信号を、データサイズが半分になるように圧縮することができる。

[0029] 前記圧縮部は、前記画素信号を、所定のビットレートで圧縮することができる。

[0030] 互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号に対して、所定の信号処理を並列に行う複数の信号処理部をさらに備え、前記複数の圧縮部は、互いに異なる前記信号処理部により前記信号処理が行われた互いに異なるラインの画素信号を並列に圧縮することができる。

[0031] 本技術の他の側面は、また、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出させ、前記複数ラインの画素から読み出させた前記複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送させ、前記複数の信号線を用いて伝送させた前記複数ラインの画素信号を並列にA/D変換させ、A/D変換させた互いに異なるラインの画素信号を並列に圧縮させる制御方法である。

[0032] 本技術の他の側面は、さらに、被写体を撮像する撮像部と、前記撮像部による撮像により得られた画像データを画像処理する画像処理部とを備え、前

記撮像部は、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイと、前記画素アレイの各カラムの互いに異なる信号線を介して伝送される画素信号をA/D変換する複数のA/D変換部と、互いに異なる前記A/D変換部によりA/D変換された前記画素信号を圧縮する複数の圧縮部と、前記画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出し、前記複数ラインの画素から読み出された複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送し、前記複数の信号線を用いて伝送された前記複数ラインの画素信号を前記複数のA/D変換部を用いて並列にA/D変換し、互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号を前記複数の圧縮部を用いて並列に圧縮するように制御する制御部とを備える撮像装置である。

[0033] 本技術のさらに他の側面は、画素アレイと、前記画素アレイの各カラムに対して割り当てられ、それぞれが前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、各A/D変換部に対して複数個ずつ割り当てられ、それぞれが前記A/D変換部によりA/D変換された前記画素信号を記憶する複数のラッチと、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記A/D変換部を用いてA/D変換し、前記A/D変換部によりA/D変換された前記画素信号を、前記画素信号の読み出しのモードに応じて、前記A/D変換部に対応する複数のラッチのうちのいずれか若しくは全部に記憶し、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部とを備える撮像素子である。

[0034] 前記複数のラッチから読み出された前記画素信号同士を加算若しくは減算する演算部をさらに備え、前記制御部は、前記モードに応じて、前記複数のラッチから読み出された前記画素信号同士を、前記演算部を用いて加算若し

くは減算するように制御することができる。

[0035] 本技術のさらに他の側面は、また、画素アレイの各カラムについて、前記カラムの処理対象のラインの画素から画素信号を読み出させ、前記画素から読み出させた前記画素信号をA/D変換させ、A/D変換させた前記画素信号を、前記画素信号の読み出しのモードに応じて、複数のラッチのうちのいずれか若しくは全部に記憶させ、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶させている前記画素信号を読み出させる制御方法である。

[0036] 本技術のさらに他の側面は、さらに、被写体を撮像する撮像部と、前記撮像部による撮像により得られた画像データを画像処理する画像処理部とを備え、前記撮像部は、画素アレイと、前記画素アレイの各カラムに対して割り当てられ、それぞれが前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、各A/D変換部に対して複数個ずつ割り当てられ、それぞれが前記A/D変換部によりA/D変換された前記画素信号を記憶する複数のラッチと、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記A/D変換部を用いてA/D変換し、前記A/D変換部によりA/D変換された前記画素信号を、前記画素信号の読み出しのモードに応じて、前記A/D変換部に対応する複数のラッチのうちのいずれか若しくは全部に記憶し、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部とを備える撮像装置である。

[0037] 本技術の他の側面は、画素アレイと、前記画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、各A/D変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記

複数のA/D変換部を用いてA/D変換するように制御する制御部とを備える撮像素子である。

[0038] 前記制御部は、前記ランプ信号の傾きの大きさに応じて、各A/D変換部のランプ信号のオフセットを設定することができる。

[0039] 前記制御部は、前記ランプ信号の傾きが大きい場合、各A/D変換部のランプ信号のオフセットの差が小さくなるように設定し、前記ランプ信号の傾きが小さい場合、各A/D変換部のランプ信号のオフセットの差が大きくなるように設定することができる。

[0040] 本技術の他の側面は、また、画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部のそれぞれのランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出させ、前記画素から読み出させた前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部にA/D変換させる制御方法である。

[0041] 本技術の他の側面は、さらに、被写体を撮像する撮像部と、前記撮像部による撮像により得られた画像データを画像処理する画像処理部とを備え、前記撮像部は、画素アレイと、前記画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、各A/D変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部を用いてA/D変換するように制御する制御部とを備える撮像装置である。

[0042] 本技術の一側面においては、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の信号線のそれぞれに、画素信号の読み出しの互いに異なるモードが割り当てられ、そのモードに対応する画素が接続される画素アレイの各カラムについて、画素信号

の読み出しのモードに対応する信号線に接続される画素から画素信号がそのモードで読み出され、読み出された画素信号が信号線を介して伝送される。

[0043] 本技術の他の側面においては、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、カラムに割り当てられた複数の信号線のいずれかに接続される画素アレイの各カラムの、互いに異なる信号線に割り当てられた複数ラインの画素から画素信号が並列に読み出され、複数ラインの画素から読み出された複数ラインの画素信号が、それぞれ、画素に対応する信号線を用いて並列に伝送され、複数の信号線を用いて伝送された複数ラインの画素信号が並列にA/D変換され、A/D変換された互いに異なるラインの画素信号が並列に圧縮される。

[0044] 本技術のさらに他の側面においては、画素アレイの各カラムについて、カラムの処理対象のラインの画素から画素信号が読み出され、画素から読み出された画素信号がA/D変換され、A/D変換された画素信号が、画素信号の読み出しのモードに応じて、複数のラッチのうちのいずれか若しくは全部に記憶され、モードに応じて、複数のラッチのうちのいずれか若しくは全部に記憶されている画素信号が読み出される。

[0045] 本技術の他の側面においては、画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部のそれぞれのランプ信号のオフセットを互いに異なる値に設定され、画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号が読み出され、画素から読み出された画素信号が、カラムに割り当てられた複数のA/D変換部にA/D変換される。

発明の効果

[0046] 本技術によれば、被写体を撮像することができる。特に、より容易に、より多様なデータ出力を実現することができる。

図面の簡単な説明

[0047] [図1]本技術を適用したイメージセンサの主な構成例を示すブロック図である。

[図2]カラム画素部の主な構成例を示す図である。

[図3]単位画素の主な構成例を示す図である。

[図4]単位画素の他の構成例を示す図である。

[図5]選択部の主な構成例を示す図である。

[図6]カラムA/D変換部の主な構成例を示す図である。

[図7]アドレスデコーダの主な構成例を示す図である。

[図8]画素駆動部の主な構成例を示す図である。

[図9]画素読み出しの様子を説明するタイミングチャートである。

[図10]アドレスデコーダの駆動の様子を説明するタイミングチャートである。

[図11]単位画素動作制御の様子を説明するタイミングチャートである。

[図12]A/D変換部の駆動の様子を説明するタイミングチャートである。

[図13]2ストリーム読み出しの様子を示す図である。

[図14]読み出し処理の流れの例を説明するフローチャートである。

[図15]2ストリームアクセスの様子を示す図である。

[図16]2ストリームアクセスの様子他の例を示す図である。

[図17]2ストリームアクセスの様子他の例を示す図である。

[図18]2ストリームアクセスの様子他の例を示す図である。

[図19]2ストリームアクセスの様子他の例を示す図である。

[図20]2ストリームアクセスの様子他の例を示す図である。

[図21]2ストリームアクセスの様子他の例を示す図である。

[図22]時分割の2ストリームアクセスの様子を示す図である。

[図23]ダミーアドレス適用の例を示す図である。

[図24]ダミーアドレス適用の例を示す図である。

[図25]倍速読み出しの例を示す図である。

[図26]倍速読み出しの他の例を示す図である。

[図27]倍速読み出しの例を示す図である。

[図28]高S/N読み出しの例を示す図である。

[図29]本技術を適用したイメージセンサの他の構成例を示すブロック図である。

[図30]圧縮の様子 of 例を示す図である。

[図31]水平処理部の例を示す図である。

[図32]圧縮部の例を示す図である。

[図33]本技術を適用したイメージセンサの他の構成例を示すブロック図である。

[図34]A/D変換部の主な構成例を示すブロック図である。

[図35]読み出し処理の流れの例を説明するフローチャートである。

[図36]画素信号読み出しに関する構成の例を示す図である。

[図37]画素信号読み出しに関する構成の他の例を示す図である。

[図38]画素信号読み出しに関する構成のさらに他の例を示す図である。

[図39]ランプ信号のオフセットのずらし量の保護の他の例を示す図である。

[図40]オフセットのずらし量の保護の例を示す図である。

[図41]オフセットのずらし量の保護の他の例を示す図である。

[図42]ランプ信号制御処理の流れの例を説明するフローチャートである。

[図43]撮像素子の主な構成例を示す図である。

[図44]撮像装置の主な構成例を示す図である。

発明を実施するための形態

[0048] 以下、本開示を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（CMOSイメージセンサ）
2. 第2の実施の形態（CMOSイメージセンサ）
3. 第3の実施の形態（CMOSイメージセンサ）
4. 第4の実施の形態（CMOSイメージセンサ）
5. 第5の実施の形態（CMOSイメージセンサ）
6. 第6の実施の形態（撮像装置）

[0049] <1. 第1の実施の形態>

＜CMOSイメージセンサ＞

図1は、本技術を適用した撮像素子の一実施の形態であるCMOS（Complementary Metal Oxide Semiconductor）イメージセンサの一部の構成例を示すブロック図である。図1に示されるCMOSイメージセンサ100は、被写体を撮像し、撮像画像のデジタルデータを得る撮像素子である。なお、本明細書においては、CMOSイメージセンサを例に説明するが、本技術は、例えば、CCD（Charge Coupled Device）イメージセンサ等の、CMOSイメージセンサ以外の撮像素子にも適用することができる。

[0050] 図1に示されるように、CMOSイメージセンサ100は、画素アレイ部111、読み出し部112A、読み出し部112B、およびD/A変換部113を有する。

[0051] 画素アレイ部111は、フォトダイオード等の光電変換素子を有する画素構成（単位画素）が平面状または曲面状に配置される画素領域である。画素アレイ部111の各単位画素は、被写体からの光を受光し、その入射光を光電変換して電荷を蓄積し、所定のタイミングにおいて、その電荷を画素信号として出力する。

[0052] 画素アレイ部111において、単位画素は、例えば行列（アレイ）状に配置される。各単位画素には、画素信号を転送する信号線（垂直信号線）が単位画素のカラム（列）毎に割り当てられる。また、画素信号の読み出しに関する動作は、単位画素のライン（行）毎に制御される。

[0053] なお、この画素アレイは、各単位画素を互いに異なる2方向に分類（グループ化）することができる構成であればどのようなものであってもよく、互いに直交する2直線方向に並べられるNxMの典型的な行列構成でなくてもよい。つまり、例えばハニカム構造のように、単位画素のライン（行）やカラム（列）が直線でなくてもよい。すなわち、各ラインや各カラムの単位画素が直線状に並べられていなくてもよいし、単位画素のラインとカラムが直交していなくてもよい。

[0054] つまり、画素アレイ部111は、単位画素の1カラム（列）分の構成であ

るカラム画素部 1 2 1 を、画素アレイのカラム数の数だけ有する。図 1 には 1 カラム（列）分の構成のみ示しているが、例えば、画素アレイ部 1 1 1 が P（P は自然数）列の単位画素を有する場合、画素アレイ部 1 1 1 は、P 個のカラム画素部 1 2 1 を有する。カラム画素部 1 2 1 の詳細については後述するが、カラム画素部 1 2 1 は、当該カラムの単位画素から読み出された画素信号を伝送する信号線（垂直信号線）を複数（例えば N 本（N は 2 以上の自然数））有する。つまり、カラム画素部 1 2 1 からは複数（例えば N 個）の画素信号を並列に読み出すことができる。

[0055] 読み出し部 1 1 2 A は、画素アレイ部 1 1 1 から画素信号を読み出し、A/D 変換等の信号処理を行って出力する。読み出し部 1 1 2 A は、画素アレイ部 1 1 1 の各カラム（各カラム画素部 1 2 1）に対して、選択部 1 2 2 A およびカラム A/D 変換部 1 2 3 A を有する。つまり、図 1 には 1 カラム（列）分の構成のみ示しているが、例えば、画素アレイ部 1 1 1 が P 列の単位画素を有する場合、読み出し部 1 1 2 A は、P 個の選択部 1 2 2 A とカラム A/D 変換部 1 2 3 A を有する。

[0056] 選択部 1 2 2 A は、自身が対応するカラム画素部 1 2 1 の複数（例えば N 本）の垂直信号線の中から、画素信号をカラム A/D 変換部 1 2 3 A に供給する信号線を選択する。すなわち、選択部 1 2 2 A は、カラム画素部 1 2 1 の垂直信号線（その垂直信号線に接続される単位画素）とカラム A/D 変換部 1 2 3 A との接続を制御する。

[0057] カラム A/D 変換部 1 2 3 A は、自身が対応する選択部 1 2 2 A を介してカラム画素部 1 2 1 から伝送される画素信号（アナログデータ）を A/D 変換する。カラム A/D 変換部 1 2 3 A は、複数（例えば M 個（M は 2 以上の自然数。ただし $M \leq N$ ））の A/D 変換部を有し、選択部 1 2 2 A を介して伝送される複数（例えば M 個）の画素信号を並列に A/D 変換することができる。つまり、選択部 1 2 2 A は、例えば、N 本の中から M 本の垂直信号線を選択し、カラム A/D 変換部 1 2 3 A に接続させることができる。

[0058] カラム A/D 変換部 1 2 3 A は、D/A 変換部 1 1 3 から供給されるランプ信号

を用いて画素信号をA/D変換する。詳細については後述する。

[0059] 読み出し部 1 1 2 A は、さらに水平転送部 1 2 4 A を有する。水平転送部 1 2 4 A は、各カラムA/D変換部 1 2 3 A から出力される画素信号（デジタルデータ）、すなわち、画素アレイ部 1 1 1 の各カラムの画素信号を順次出力する。例えば、例えば、画素アレイ部 1 1 1 が P 列の単位画素を有し、各カラムA/D変換部 1 2 3 A が M 個のA/D変換部を有する場合、水平転送部 1 2 4 A には、 $P \times M$ 個の画素信号が並列に供給される。水平転送部 1 2 4 A は、その $P \times M$ の画素信号を順次伝送する。水平転送部 1 2 4 A から出力される画素信号は、例えば、信号処理部等の後段の処理部（図示せず）に供給される。この後段の処理部は、CMOSイメージセンサ 1 0 0 の内部に設けられるようにしてもよいし、外部に設けられるようにしてもよい。

[0060] 読み出し部 1 1 2 B は、読み出し部 1 1 2 A と同様の処理部であり、読み出し部 1 1 2 A と同様の構成を有し、読み出し部 1 1 2 A と同様の処理を行う。すなわち、読み出し部 1 1 2 B は、画素アレイ部 1 1 1 の単位画素のカラム毎に選択部 1 2 2 B およびカラムA/D変換部 1 2 3 B を有し、さらに水平転送部 1 2 4 B を有する。選択部 1 2 2 B は、選択部 1 2 2 A と同様の処理部であり、選択部 1 2 2 A と同様の構成を有し、選択部 1 2 2 A と同様の処理を行う。カラムA/D変換部 1 2 3 B は、カラムA/D変換部 1 2 3 A と同様の処理部であり、カラムA/D変換部 1 2 3 A と同様の構成を有し、カラムA/D変換部 1 2 3 A と同様の処理を行う。水平転送部 1 2 4 B は、水平転送部 1 2 4 A と同様の処理部であり、水平転送部 1 2 4 A と同様の構成を有し、水平転送部 1 2 4 A と同様の処理を行う。

[0061] 以下において、読み出し部 1 1 2 A および読み出し部 1 1 2 B を互いに区別して説明する必要がある場合、単に読み出し部 1 1 2 と称する。同様に、選択部 1 2 2 A および選択部 1 2 2 B を互いに区別して説明する必要がある場合、単に選択部 1 2 2 と称する。同様に、カラムA/D変換部 1 2 3 A およびカラムA/D変換部 1 2 3 B を互いに区別して説明する必要がある場合、単にカラムA/D変換部 1 2 3 と称する。同様に、水平転送部 1 2 4 A および水平転送

部 1 2 4 B を互いに区別して説明する必要が無い場合、単に水平転送部 1 2 4 と称する。

[0062] D/A変換部 1 1 3 は、各カラムA/D変換部 1 2 3 に所定のランプ信号を供給する。

[0063] 以上のように図 1 の例の場合、CMOSイメージセンサ 1 0 0 は、画素アレイ部 1 1 1 から画素信号を読み出す経路を 2 系統有する。つまり、図 1 の例の場合、読み出し部 1 1 2 が読み出し部 1 1 2 A と読み出し部 1 1 2 B の 2 つの構成とされている。ただし、この経路の数は任意であり、1 系統であってもよいし、3 系統以上であってもよい。つまり、読み出し部 1 1 2 A と読み出し部 1 1 2 B を 1 つの読み出し部 1 1 2 として構成するようにしてもよいし、例えば、読み出し部 1 1 2 A、読み出し部 1 1 2 B、読み出し部 1 1 2 C（図示せず）、・・・のように、読み出し部 1 1 2 を 3 つ以上の構成としてもよい。

[0064] CMOSイメージセンサ 1 0 0 は、さらに、センサコントローラ 1 3 1、垂直走査部 1 3 2、および水平走査部 1 3 3 を有する。

[0065] センサコントローラ 1 3 1 は、CMOSイメージセンサ 1 0 0 の各処理部の動作を制御する。例えば、センサコントローラ 1 3 1 は、垂直走査部 1 3 2 や水平走査部 1 3 3 を制御して、画素アレイ部 1 1 1 からの画素信号の読み出しを制御する。

[0066] 垂直走査部 1 3 2 は、センサコントローラ 1 3 1 に制御されて、画素アレイ部 1 1 1 の各カラムの各単位画素をライン毎に駆動させ、画素信号を読み出させる。垂直走査部 1 3 2 は、アドレスデコーダ 1 4 1 および画素駆動部 1 4 2 を有する。アドレスデコーダ 1 4 1 は、センサコントローラ 1 3 1 から供給されるアドレス指定情報をデコードし、画素駆動部 1 4 2 の指定されたアドレスに対応する構成に制御信号を供給する。画素駆動部 1 4 2 は、センサコントローラ 1 3 1 に制御されて、画素アレイ部 1 1 1 の各単位画素に対して駆動させる制御信号を供給する。画素駆動部 1 4 2 は、制御信号を供給する構成を画素アレイのライン毎に有する。画素駆動部 1 4 2 は、アドレ

ステコーダ 1 4 1 により指定された構成を用いて、センサコントローラ 1 3 1 から指定された制御内容に対応する制御信号を、画素アレイ部 1 1 1（すなわち、センサコントローラ 1 3 1 により指定されたラインの各単位画素）に供給する。

[0067] 水平走査部 1 3 3 は、読み出し部 1 1 2 の動作を制御し、画素アレイ部 1 1 1 から供給される各カラムの画素信号を順次後段に伝送させる。

[0068] <カラム画素部>

カラム画素部 1 2 1 の主な構成の例を図 2 に示す。上述したように、カラム画素部 1 2 1 には、複数（例えば N 本（N は 2 以上の自然数））の垂直信号線が割り当てられている。カラム画素部 1 2 1 の各単位画素（すなわち画素アレイの当該カラムの各単位画素）は、この複数の垂直信号線のいずれかに接続される。また、カラム画素部 1 2 1 が有する単位画素の数は任意である。

[0069] 図 2 の例の場合、4 本の垂直信号線（VSL0、VSL1、VSL2、VSL3）が割り当てられており、4 つの単位画素（単位画素 1 5 1 A、単位画素 1 5 1 B、単位画素 1 5 1 C、単位画素 1 5 1 D）が示され、単位画素 1 5 1 A は垂直信号線 VSL0 に接続され、単位画素 1 5 1 B は垂直信号線 VSL1 に接続され、単位画素 1 5 1 C は垂直信号線 VSL2 に接続され、単位画素 1 5 1 D は垂直信号線 VSL3 に接続されている。カラム画素部 1 2 1 が 5 つ以上単位画素を有する場合、その他の単位画素も同様に、4 本の垂直信号線（VSL0、VSL1、VSL2、VSL3）のいずれかに接続される。

[0070] なお、以下において、単位画素を互いに区別して説明する必要が無い場合、単に、単位画素 1 5 1 と称する。また、垂直信号線を互いに区別して説明する必要が無い場合、単に、垂直信号線 VSL と称する。

[0071] <単位画素>

単位画素 1 5 1 の主な構成の例を図 3 に示す。図 3 に示されるように、単位画素 1 5 1 は、フォトダイオード 1 6 1、読み出しトランジスタ 1 6 2、リセットトランジスタ 1 6 3、増幅トランジスタ 1 6 4、およびセレクトト

ランジスタ 165 を有する。

[0072] フォトダイオード (PD) 161 は、受光した光をその光量に応じた電荷量の光電荷 (ここでは、光電子) に光電変換してその光電荷を蓄積する。フォトダイオード 161 のアノード電極は画素領域のグラウンド (画素グラウンド) に接続され、カソード電極は読み出しトランジスタ 162 を介してフローティングディフュージョン (FD) に接続される。

[0073] 読み出しトランジスタ 162 は、フォトダイオード 161 からの光電荷の読み出しを制御する。読み出しトランジスタ 162 は、ドレイン電極がフローティングディフュージョンに接続され、ソース電極がフォトダイオード 161 のカソード電極に接続される。また、読み出しトランジスタ 162 のゲート電極には、画素駆動部 142 から制御信号 TRG が供給される。制御信号 TRG (すなわち、読み出しトランジスタ 162 のゲート電位) がオフ状態のとき、フォトダイオード 161 からの光電荷の読み出しが行われない (フォトダイオード 161 において光電荷が蓄積される)。制御信号 TRG (すなわち、読み出しトランジスタ 162 のゲート電位) がオン状態のとき、フォトダイオード 161 に蓄積された光電荷が読み出され、フローティングディフュージョン (FD) に供給される。

[0074] リセットトランジスタ 163 は、フローティングディフュージョン (FD) の電位をリセットする。リセットトランジスタ 163 は、ドレイン電極が電源電位に接続され、ソース電極がフローティングディフュージョン (FD) に接続される。また、リセットトランジスタ 163 のゲート電極には、画素駆動部 142 から制御信号 RST が供給される。制御信号 RST (すなわち、リセットトランジスタ 163 のゲート電位) がオフ状態のとき、フローティングディフュージョン (FD) は電源電位と切り離されている。制御信号 RST (すなわち、リセットトランジスタ 163 のゲート電位) がオン状態のとき、フローティングディフュージョン (FD) の電荷が電源電位に捨てられ、フローティングディフュージョン (FD) がリセットされる。

[0075] 増幅トランジスタ 164 は、フローティングディフュージョン (FD) の電

位変化を増幅し、電気信号（アナログ信号）として出力する。増幅トランジスタ164は、ゲート電極がフローティングディフュージョン（FD）に接続され、ドレイン電極が電源電位に接続され、ソース電極がセレクトトランジスタ165のドレイン電極に接続されている。例えば、増幅トランジスタ164は、リセットトランジスタ163によってリセットされたフローティングディフュージョン（FD）の電位をリセット信号（リセットレベル）としてセレクトトランジスタ165に出力する。また、増幅トランジスタ164は、読み出しトランジスタ162によって光電荷が転送されたフローティングディフュージョン（FD）の電位を光蓄積信号（信号レベル）としてセレクトトランジスタ165に出力する。

[0076] セレクトトランジスタ165は、増幅トランジスタ164から供給される電気信号の垂直信号線VSLへの出力を制御する。セレクトトランジスタ165は、ドレイン電極が増幅トランジスタ164のソース電極に接続され、ソース電極が垂直信号線VSLに接続されている。また、セレクトトランジスタ165のゲート電極には、画素駆動部142から制御信号SELが供給される。制御信号SEL（すなわち、セレクトトランジスタ165のゲート電位）がオフ状態のとき、増幅トランジスタ164と垂直信号線VSLは電氣的に切り離されている。したがって、この状態のとき、当該単位画素から画素信号が出力されない。制御信号SEL（すなわち、セレクトトランジスタ165のゲート電位）がオン状態のとき、当該単位画素が選択状態となる。つまり、増幅トランジスタ164と垂直信号線VSLが電氣的に接続され、増幅トランジスタ164から出力される信号が、当該単位画素の画素信号として、垂直信号線VSLに供給される。すなわち、当該単位画素から画素信号が読み出される。

[0077] <単位画素の他の例>

単位画素151の構成は任意であり、図3の例に限定されない。例えば、読み出しトランジスタ162が省略されていてもよい。また、1単位画素当たりの画素数は任意であり、図3の例のように1画素であってもよいし、複数画素であってもよい。

[0078] 複数画素を有する場合の単位画素の構成例を図4に示す。図4の例の場合、単位画素151は、フォトダイオード161を4つ有する（フォトダイオード161-0、フォトダイオード161-1、フォトダイオード161-2、フォトダイオード161-3）。つまり、この場合、単位画素151は、4画素により構成される。各フォトダイオード161は、互いに同一の特性を有するようにしてもよいが、互いに異なる特性を有するようにしてもよい。例えば、これらのフォトダイオード161のうち、一部若しくは全部が、他と異なる波長帯域の入射光を光電変換するようにしてもよい。例えば、フォトダイオード161-0乃至フォトダイオード161-3を2行2列に配列し、左上のフォトダイオード161-0が主に赤（R）の帯域を光電変換し、右上のフォトダイオード161-1が主に緑（GR）の帯域を光電変換し、左下のフォトダイオード161-2が主に緑（GB）の帯域を光電変換し、右下のフォトダイオード161-3が主に青（B）の帯域を光電変換するようにしてもよい。このようにすることにより、単位画素151がベイヤ配列の1単位を構成するようにすることができる。

[0079] また、図4の例の場合、単位画素151は、読み出しトランジスタ162を4つ有する（読み出しトランジスタ162-0、読み出しトランジスタ162-1、読み出しトランジスタ162-2、読み出しトランジスタ162-3）。読み出しトランジスタ162-0は、画素駆動部142から供給される制御信号TRG（TR0）に基づいて、フォトダイオード161-0からの光電荷の読み出しを制御する。読み出しトランジスタ162-1は、画素駆動部142から供給される制御信号TRG（TR1）に基づいて、フォトダイオード161-1からの光電荷の読み出しを制御する。読み出しトランジスタ162-2は、画素駆動部142から供給される制御信号TRG（TR2）に基づいて、フォトダイオード161-2からの光電荷の読み出しを制御する。読み出しトランジスタ162-3は、画素駆動部142から供給される制御信号TRG（TR3）に基づいて、フォトダイオード161-3からの光電荷の読み出しを制御する。

[0080] 図4の例の場合、フローティングディフュージョン (FD)、リセットトランジスタ163、増幅トランジスタ164、およびセレクトトランジスタ165等の構成は、単位画素内で共有される。そして、各画素（フォトダイオード161-0、フォトダイオード161-1、フォトダイオード161-2、フォトダイオード161-3）の画素信号は、互いに同一垂直信号線VSLを介して伝送される。

[0081] 以下においては、単位画素151の構成として図4の例を用いて説明する。

[0082] <選択部>

図5は、選択部122の主な構成の例を示す図である。図5のAに選択部122Aの構成例を示す。図5のBに選択部122Bの構成例を示す。選択部122は、カラム画素部121毎に設けられ、カラム画素部121のN本の垂直信号線とカラムA/D変換部123のM系統のA/D変換部（M本の垂直信号線）との接続を制御する。図5のAの例の場合、選択部122Aは、自身に対応するカラム画素部121の4本の垂直信号線（VSL0乃至VSL3）の中のいずれか2本を選択し、カラムA/D変換部123Aの2本の垂直信号線（VSLA0、VSLA1）に接続する。

[0083] 選択部122Bは、選択部122Aと基本的に同様の構成を有する。すなわち、図5のBの例の場合、選択部122Bは、自身に対応するカラム画素部121の4本の垂直信号線（VSL0乃至VSL3）の中のいずれか2本を選択し、カラムA/D変換部123Bの2本の垂直信号線（VSLB0、VSLB1）に接続する。

[0084] つまり、選択部122は、各カラムにおいて、画素信号の読み出しのモードに対応する垂直信号線VSLを、そのカラムに割り当てられた複数の垂直信号線VSLの中から選択する。その際、センサコントローラ131は、各カラムについて、選択部122にいずれかの垂直信号線VSLを選択させ、その選択部122により選択された垂直信号線VSLに接続される画素から画素信号をそのモードで読み出し、読み出した画素信号を選択部122により選択された信号

線を介して伝送させるように制御する。なお、この選択部 1 2 2 は、省略するようにしてもよい。例えば、カラム A/D 変換部 1 2 3 が並列に動作する N 系統の A/D 変換部を有する場合、選択部 1 2 2 は不要になる。

[0085] <カラム A/D 変換部>

カラム A/D 変換部 1 2 3 B の主な構成の例を図 6 に示す。カラム A/D 変換部 1 2 3 は、上述したように M 系統の A/D 変換部を有する。図 6 の例の場合、2 系統 (VSLB0, VSLB1) の A/D 変換部を有する。そして、カラム A/D 変換部 1 2 3 B は、垂直信号線 VSLB0 の系統の A/D 変換部として、電流源 1 8 1-0、比較器 1 8 2-0、およびカウンタ 1 8 3-0 を有する。電流源 1 8 1-0 は、垂直信号線 VSLB0 に接続される周辺回路の負荷を表している。電流源 1 8 1-0 は、垂直信号線 VSLB0 とグランドとに接続される。

[0086] D/A 変換部 1 1 3 は、カラム A/D 変換部 1 2 3 B の各系統に対してランプ信号を供給する。図 6 の例の場合、カラム A/D 変換部 1 2 3 B は、D/A 変換部 1 1 3 は、垂直信号線 VSLB0 の系統の A/D 変換部にランプ信号を供給する D/A 変換部 1 1 3-0 と、垂直信号線 VSLB1 の系統の A/D 変換部にランプ信号を供給する D/A 変換部 1 1 3-1 とを有する。

[0087] 比較部 1 8 2-0 は、画素アレイ部 1 1 1 の単位画素 1 5 1 から垂直信号線 VSL、選択部 1 2 2 B、および垂直信号線 VSLB0 を介して伝送される画素信号を、D/A 変換部 1 1 3-0 から供給されるランプ信号と比較し、比較結果 (どちらの値が大きいかを示す情報) をカウンタ 1 8 3-0 に供給する。

[0088] カウンタ 1 8 3-0 は、カウント開始からその比較結果の値が変化するまでの期間をカウントし、比較結果の値が変化した時点でそのカウント値を画素信号のデジタルデータとして水平転送部 1 2 4 B に出力する。

[0089] カラム A/D 変換部 1 2 3 B は、垂直信号線 VSLB1 の系統の A/D 変換部として、電流源 1 8 1-1、比較器 1 8 2-1、およびカウンタ 1 8 3-1 を有する。電流源 1 8 1-1 は、電流源 1 8 1-0 と同様の構成である。すなわち、電流源 1 8 1-1 は、垂直信号線 VSLB1 に接続される周辺回路の負荷を表している。電流源 1 8 1-1 は、垂直信号線 VSLB1 とグランドとに接続される。

[0090] 比較部 1 8 2 - 1 は、比較部 1 8 2 - 0 と同様の構成を有し、比較部 1 8 2 - 0 と同様の処理を行う。つまり、比較部 1 8 2 - 1 は、画素アレイ部 1 1 1 の単位画素 1 5 1 から垂直信号線 VSL、選択部 1 2 2 B、および垂直信号線 VSLB1 を介して伝送される画素信号を、D/A 変換部 1 1 3 - 1 から供給されるランプ信号と比較し、比較結果（どちらの値が大きいかを示す情報）をカウンタ 1 8 3 - 1 に供給する。

[0091] カウンタ 1 8 3 - 1 は、カウンタ 1 8 3 - 0 と同様の構成を有し、同様の処理を行う。すなわち、カウンタ 1 8 3 - 1 は、カウント開始からその比較結果の値が変化するまでの期間をカウントし、比較結果の値が変化した時点でそのカウント値を画素信号のデジタルデータとして水平転送部 1 2 4 B に出力する。

[0092] カラム A/D 変換部 1 2 3 A もカラム A/D 変換部 1 2 3 B と同様の構成を有し、同様の処理を行う。つまり、カラム A/D 変換部 1 2 3 が、いくつかの構成とされる場合であっても、各カラム A/D 変換部 1 2 3 は、図 6 の例と同様の構成を有し、同様の処理を行う。

[0093] なお、カラム A/D 変換部 1 2 3 が、有する A/D 変換部の系統数は任意であり、1 系統であってもよいし、3 系統以上であってもよい。系統数がいくつであっても、D/A 変換部 1 1 3 は、各系統に互いに独立にランプ信号を供給する。すなわち、例えば、カラム A/D 変換部 1 2 3 が、M 系統の A/D 変換部を有する場合、D/A 変換部 1 1 3 が、M 個の独立した D/A 変換部を有するようにしてもよい。

[0094] <アドレスデコーダ>

図 7 にアドレスデコーダ 1 4 1 の主な構成の例を示す。アドレスデコーダ 1 4 1 は、画素アレイの各ラインに対して、図 7 に示されるような構成の論理回路を有する。そして、アドレスデコーダ 1 4 1 には、画素を選択するためのアドレス (ADD_X)、読み出しラッチリセット (RLRST)、読みだしラッチセット (RLSET_X)、電子シャッタラッチリセット (SLRST)、および電子シャッタラッチセット (SLSET_X) 等の、アドレスを指定する制御信号が、セ

ンサコントローラ 131 から入力される。アドレスデコーダ 141 は、センサコントローラ 131 により指定されるラインの論理回路において、これら入力信号を基に、読み出しラッチ (RLQ) または電子シャッタラッチ (SLQ) として値 "H (ハイ)" を画素駆動部 142 に出力する。NOT_読み出しラッチ (XRLQ) や NOT_電子シャッタラッチ (XSLQ) はそれらの制御信号を負論理にしたパルスである。

[0095] <画素駆動部>

画素駆動部 142 の主な構成例を図 8 に示す。画素駆動部 142 は、画素アレイの各ラインに対して、図 8 に示されるような構成の論理回路を有する。

[0096] 図 8 に画素駆動タイミング駆動回路の等価回路図とタイミングチャートを示す。アドレスデコーダ 141 から供給される読み出しラッチ出力パルス RLQ や電子シャッタラッチ SLQ、センサコントローラ 131 から供給される読み出し時転送パルス RTR、電子シャッタ時転送パルス STR、電子シャッタ時リセットパルス SRST、読み出し時リセットパルス RRST、および読み出し時選択パルス RSEL 等の各種制御信号の値に従って、当該ラインの各単位画素 151 の各トランジスタに対して制御信号 TRG、制御信号 SEL、および制御信号 RST を供給する。

[0097] <タイミングチャート>

図 9 に、このような CMOS イメージセンサ 100 を駆動するための各種制御信号のタイミングチャートの例を示す。センサコントローラ 131 は、図 9 に示されるように、画素を選択するためのアドレス (ADD)、アドレスデコーダ 141 の読み出しラッチリセット (RLRST)、読み出しラッチセット (RLSET)、電子シャッタラッチリセット (SLRST)、および電子シャッタラッチセット (RLSET) 等の制御信号をアドレスデコーダ 141 に入力することにより、任意のアドレスを駆動させることができる。

[0098] また、センサコントローラ 131 は、読み出し時転送パルス (RTR)、読み出し時リセットパルス (RRST)、読み出し時選択パルス (RSEL)、電子シャ

ッタ時転送パルス（STR）、および電子シャッタ時リセットパルス（SRST）等の制御信号を画素駆動部 142 に入力することにより、アドレスデコーダ 141 にセットした任意のアドレスを任意の期間のみ駆動させることができる。

[0099] これらの制御信号に対するアドレスデコーダ 141 が出力する各種制御信号のタイミングチャートの例を図 10 に示す。また、画素駆動部 142 が出力する各種制御信号のタイミングチャートの例を図 11 に示す。

[0100] これらの制御信号に基づいて、画素アレイの各单位画素から画素信号が読み出される。読み出された画素信号は、各カラム A/D 変換部 123 において、図 12 に示されるタイミングチャートのように A/D 変換される。

[0101] <読み出しモードと垂直信号線の振り分け>

以上のような CMOS イメージセンサ 100 の場合、各カラムの複数の垂直信号線や複数の A/D 変換部を用いて、多様な読み出し方法（読み出しモード）で画素信号を読み出すことができる。例えば、2 系統のデータの同時出力を実現する 2 ストリーム読み出しや、より高速に読み出すために縦列カラムを全数使用する並列読み出し、またダイナミックレンジ向上を実現するためのマルチサンプリング等の読み出しモードを実現することができる。

[0102] しかしながら、各垂直信号線と単位画素とが不規則に接続されている場合、画素信号の読み出し制御が煩雑になる恐れがあった。例えば、駆動させる単位画素のラインを切り替える度に（水平同期毎に）、画素信号に利用する垂直信号線を指定しなければならなかった。特に複数の読み出しモードを併用する場合、モード毎に指定する垂直信号線を変えなければならず、制御がより複雑になった。

[0103] そこで、単位画素と垂直信号線 VSL とを読み出しモードに応じて接続するようにする。つまり、画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の信号線のそれぞれに、画素信号の読み出しの所定のモードが割り当てられ、画素アレイのそのカラムの、そのモードに対応する画素が接続されるようにし、画素アレイの各カラム

ムについて、画素信号の読み出しのモードに対応する信号線に接続される画素から画素信号をそのモードで読み出し、読み出した画素信号を信号線を介して伝送させるように制御するようにする。

[0104] 換言するに、各読み出しモードに垂直信号線VSLのいずれかを割り当て、その読み出しモードにおいて画素信号を読み出す単位画素をその垂直信号線VSLに接続するようにする。この読み出しモードに割り当てる垂直信号線VSLの数は任意であり、単数でも複数でもよい。また、垂直信号線の割り当てが読み出しモード間で重複するようにしてもよい。例えば、1本の垂直信号線VSLが複数の読み出しモードに割り当てられるようにしてもよい。

[0105] このようにすることにより、例えば、ある読み出しモードを選択する場合、最初に（翠帳同期毎に）、その読み出しモードに応じた垂直信号線を選択するだけで、その読み出しモードに対応する全ての単位画素から画素信号を読み出すことができるようになる。したがって、各水平同期においては、駆動させるラインを選択するだけで、容易に所望の読み出しモードを実現することができるようになる。複数の読み出しモードを併用する場合も、垂直同期において切り替え後のモードに対応する垂直信号線を選択するだけで、各水平同期の制御は、どのモードも同様に、その読み出しモードに応じたラインを選択するのみでよい。

[0106] 図13にその例を示す。図13の例の場合、読み出しモード1においては、単位画素A、単位画素C、単位画素E、および単位画素Gから画素信号が読み出され、読み出しモード2においては、単位画素B、単位画素D、単位画素F、および単位画素Hから画素信号が読み出される。そして図13に示されるように、単位画素A、単位画素C、単位画素E、および単位画素Gは、単位画素B、単位画素D、単位画素F、および単位画素Hと異なる垂直信号線に接続されている。

[0107] したがって、読み出しモード1で読み出す場合、選択部122は、垂直同期の最初に、単位画素A、単位画素C、単位画素E、および単位画素Gが接続される垂直信号線を選択すればよい。逆に、読み出しモード2で読み出す

場合、選択部122は、垂直同期の最初に、単位画素B、単位画素D、単位画素F、および単位画素Hが接続される垂直信号線を選択すればよい。水平同期毎にこの垂直信号線を選択を切り替える必要がない。

[0108] つまり、より容易により多様な読み出しモードを実現することができる。

[0109] 図14のフローチャートを参照して、センサコントローラ131による読み出し処理の流れの例を説明する。

[0110] 読み出し処理が開始されると、センサコントローラ131は、ステップS101において、水平走査部133を介して各カラムの選択部122を制御し、各カラムについて、読み出しモードに応じて垂直信号線を選択する。センサコントローラ131は、この処理を、読み出しを開始する際、若しくは、読み出しモードを切り替える際に、垂直同期の最初に行う。

[0111] ステップS102において、センサコントローラ131は、選択した垂直信号線に対応する単位画素から、その垂直信号線に対応する読み出しモードで画素信号の読み出しを行う。つまり、センサコントローラ131は、垂直走査部132のアドレスデコーダ141や画素駆動部142を制御して、各カラムの読み出しモードに対応する単位画素を選択し、その単位画素から、その読み出しモードで画素信号を読み出す。センサコントローラ131は、この処理を水平同期毎に行う。

[0112] 以上のように読み出し処理を行うことにより、センサコントローラ131は、より多様な読み出しモードの動作を実現させることができる。つまり、CMOSイメージセンサ100は、より容易に、より多様なデータ出力を実現することができる。

[0113] <読み出しモードの例>

以下に、以上のようなCMOSイメージセンサ100により実現可能な読み出しモードの例を説明する。

[0114] 図15に2ストリームアクセスの例(XVS単位)を示す。図15に示される例では、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。例えば、モード1がモニタリングモードの場合30fpsで動作して

、モード2がAFモードの場合240fpsで動作する。このように、画素からの画素信号の読み出しは、その画素に対応するモードのフレームレートで行うように制御されるようにしてもよい。

[0115] このとき、モード1には垂直信号線VSL1と垂直信号線VSL3とが割り当てられ、モード2には、垂直信号線VSL0と垂直信号線VSL2が割り当てられている。したがって、このようなフレームレートの異なる2つの読み出しモードで画素信号を読み出す場合においても、各読み出しモードに垂直信号線VSLを振り分けているため、各読み出しモードでの画素信号の読み出しにおいて、画素や垂直信号線VSLがぶつかることはない。そのため、CMOSイメージセンサ100は、画質に影響を及ぼすことなく、2つの読み出しモードでの読み出しをより容易に実現することができる。

[0116] また、各カラムのメインシャッタ動作およびプリシャッタ動作も、そのモードのフレームレートで行うように制御されるようにしてもよい。図16に2ストリームアクセスの例(XHS単位)を示す。この図16の例の場合も、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。図15の場合と同様に、モード1は30fpsのモニタリングモードであり、モード2は240fpsのAFモードである。図15の例と同様に、モード1には垂直信号線VSL1と垂直信号線VSL3とが割り当てられ、モード2には、垂直信号線VSL0と垂直信号線VSL2が割り当てられている。

[0117] この場合、図16の例のように、メインシャッタおよびリード、並びにプリシャッタの両方とも垂直信号線VSLの振り分けを実施することで、各読み出しモードでの画素信号の読み出しにおいて画素や垂直信号線VSLがぶつかることを抑制することができる。したがって、従来のCMOSイメージセンサと同等の良好な画質が2系統において得られることになる。

[0118] 図17に2/8間引き加算+2/8間引き加算の例を示す。この図17の例の場合も、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。図15の場合と同様に、モード1は30fpsのモニタリングモードであり、モード2は240fpsのAFモードである。図15の例と同様に、モード1

には垂直信号線VSL1と垂直信号線VSL3とが割り当てられ、モード2には、垂直信号線VSL0と垂直信号線VSL2が割り当てられている。

[0119] ただし、図17の例の場合、モード1（モニタリングモード）では、画素8ライン毎に2ラインを読み出して加算する2/8間引き加算が行われる。すなわち、モード1（モニタリングモード）では「2/8間引き加算 30fpsモード」での読み出しが行われる。また、モード2（AFモード）でも2/8間引き加算が行われる。すなわち、モード2（AFモード）では「2/8間引き加算240fpsモード」での読み出しが行われる。

[0120] 加算モードの場合、例えば、画素8ラインのうち2ライン（すなわち、R画素とGR画素が並ぶライン（R/GR）とGB画素とB画素が並ぶライン（GB/B））が2ラインずつ読み出され、その2ライン（R/GRのライン同士と、GB/Bのライン同士）が加算される。これにより、高感度な画像（加算画像）を得ることができる。画素信号の加算方法は、任意である。例えば、カウンタ加算、コンパレータの容量加算、ロジック内部での加算等の方法が考えられる。

[0121] このような2モードの読み出しの場合も、CMOSイメージセンサ100は、各読み出しモードに垂直信号線VSLの振り分けを実施することで、各読み出しモードでの画素信号の読み出しにおいて画素や垂直信号線VSLがぶつかることを抑制することができる。

[0122] 図18に4/16間引き+4/16間引きの例を示す。この図18の例の場合も、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。図15の場合と同様に、モード1は30fpsのモニタリングモードであり、モード2は240fpsのAFモードである。図15の例と同様に、モード1には垂直信号線VSL1と垂直信号線VSL3とが割り当てられ、モード2には、垂直信号線VSL0と垂直信号線VSL2が割り当てられている。

[0123] ただし、図18の例の場合、モード1（モニタリングモード）として、画素16ライン毎に4ラインを読み出す4/16間引きが行われる。すなわち、モード1（モニタリングモード）では「4/16間引き30fpsモード」での読み出しが行われる。また、モード2（AFモード）でも4/16間引きが行われる。すな

わち、モード2（AFモード）では、「4/16間引き240fpsモード」での読み出しが行われる。

[0124] 4/16間引きの場合、図17および図18に示されるように、2/8間引きとラインの読出しパターンが異なる。また、図18の例の場合、ライン同士の加算は行われない。

[0125] このような2モードの読み出しの場合も、CMOSイメージセンサ100は、各読み出しモードに垂直信号線VSLの振り分けを実施することで、各読み出しモードでの画素信号の読み出しにおいて画素や垂直信号線VSLがぶつかることを抑制することができる。

[0126] 図19に4/8間引き+4/8間引きの例を示す。この図19の例の場合も、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。モード1は30fpsのモニタリングモードであり、モード2は120fpsのAFモードである。図15の例と同様に、モード1には垂直信号線VSL1と垂直信号線VSL3とが割り当てられ、モード2には、垂直信号線VSL0と垂直信号線VSL2が割り当てられている。

[0127] ただし、図19の例の場合、モード1（モニタリングモード）として、画素8ライン毎に4ラインを読み出す4/8間引きが行われる。すなわち、モード1（モニタリングモード）では「4/8間引き30fpsモード」での読み出しが行われる。また、モード2（AFモード）でも4/8間引きが行われる。すなわち、モード2（AFモード）では、「4/8間引き120fpsモード」での読み出しが行われる。図19の例の場合、ライン同士の加算は行われない。

[0128] このような2モードの読み出しの場合も、CMOSイメージセンサ100は、各読み出しモードに垂直信号線VSLの振り分けを実施することで、各読み出しモードでの画素信号の読み出しにおいて画素や垂直信号線VSLがぶつかることを抑制することができる。

[0129] 図20に8/16間引き+8/16間引きの例を示す。この図20の例の場合も、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。図19の例と同様に、モード1は30fpsのモニタリングモードであり、モ

ード2は120fpsのAFモードである。図15の例と同様に、モード1には垂直信号線VSL1と垂直信号線VSL3とが割り当てられ、モード2には、垂直信号線VSL0と垂直信号線VSL2が割り当てられている。

[0130] ただし、図20の例の場合、モード1（モニタリングモード）として、画素16ライン毎に8ラインを読み出す8/16間引きが行われる。すなわち、モード1（モニタリングモード）では「8/16間引き30fpsモード」での読み出しが行われる。また、モード2（AFモード）でも8/16間引きが行われる。すなわち、モード2（AFモード）では、「8/16間引き120fpsモード」での読み出しが行われる。図20の例の場合、ライン同士の加算は行われない。

[0131] このような2モードの読み出しの場合も、CMOSイメージセンサ100は、各読み出しモードに垂直信号線VSLの振り分けを実施することで、各読み出しモードでの画素信号の読み出しにおいて画素や垂直信号線VSLがぶつかることを抑制することができる。

[0132] なお、各モードで読み出す画素のラインの比率は互いに同一でなくてもよい。つまり、各カラムにおいて、各信号線に割り当てられる画素数が互いに異なるようにしてもよい。例えば、モード1とモード2とで間引きの割合が互いに異なるようにしてもよい。また、各モードに割り当てる垂直信号線VSLの数が互いに異なるようにしてもよい。例えば、モード1に割り当てる垂直信号線VSLの本数と、モード2に割り当てる垂直信号線VSLの本数とが互いに異なるようにしてもよい。

[0133] 図21に4/16間引き+12/16間引きの例を示す。この図21の例の場合も、モード1とモード2の2つの読み出しモードで画素信号の読み出しが行われる。図15の場合と同様に、モード1は30fpsのモニタリングモードであり、モード2は90fpsのAFモードである。モード1には垂直信号線VSL3が割り当てられ、モード2には、垂直信号線VSL0、垂直信号線VSL1、および垂直信号線VSL2が割り当てられている。

[0134] 図21の例の場合、モード1（モニタリングモード）として、画素16ライン毎に4ラインを読み出す4/16間引きが行われる。すなわち、モード1（

モニタリングモード)では「4/16間引き30fpsモード」での読み出しが行われる。また、モード2(AFモード)として、画素16ライン毎に12ラインを読み出す12/16間引きが行われる。すなわち、モード2(AFモード)では、「12/16間引き90fpsモード」での読み出しが行われる。なお、図21の例の場合、ライン同士の加算は行われない。

[0135] このような画素信号の読み出し量が互いに異なる2モードの読み出しの場合も、CMOSイメージセンサ100は、各読み出しモードに垂直信号線VSLの振り分けを実施することで、各読み出しモードでの画素信号の読み出しにおいて画素や垂直信号線VSLがぶつかることを抑制することができる。

[0136] 以上のように、CMOSイメージセンサ100は、より容易に、より多様なデータ出力を実現することができる。もちろん、読み出しモードは任意であり、上述した例に限定されない。また、併用する読み出しモードの数や組み合わせパターンも任意であり、上述した例に限らない。例えば、2/8間引き加算+4/16間引き加算などのような、非加算モードと加算モードが混ざった場合であっても制御可能である。また、間引き率については垂直信号線VSLの本数の2N倍であれば任意に設定可能である。

[0137] <その他の読み出しモードの例>

読み出しモードの併用は、カラムA/D変換部123のA/D変換部の系統数によって行うようにしてもよいが、図22に示される例のように、時分割により実現するようにしてもよい。

[0138] 例えば、図22のパターン2のように各読み出しモードでの画素信号の読み出しを行うことにより、カラムA/D変換部123の2系統のA/D変換部を用いて2つの読み出しモードを実現することができる。これに対して、パターン1のように、各モードの読出しタイミングをずらすことにより、1系統のA/D変換部を時分割して2つの読み出しモードに用いることができる。すなわち、カラムA/D変換部123のA/D変換部の系統数以上の数の読み出しモードを実現することができる。その場合、例えば、センサコントローラ131が、選択部122に選択する信号線を順次切り替えさせ、複数モードの画素信

号の読み出しを時分割で行うように制御する。

[0139] つまり、1カラム当たりには1つのA/D変換部が設けられる場合であっても、上述したような複数の読み出しモードを実現することができる。なお、A/D変換部を共有する読み出しモードの数は任意である。例えば、3つ以上の読み出しモードが互いに同一のA/D変換部を使用するようにしてもよい。

[0140] このような制御を行う場合であっても、CMOSイメージセンサ100は、各読み出しモードに垂直信号線VSLの振り分けを実施することで、より容易に、より多様なデータ出力を実現することができる。

[0141] また、読み出しモードへの垂直信号線VSLの振り分けは、有効画素だけでなく、ダミー画素についても行われるようにしてもよい。つまり、ダミー画素が、その読み出しモードに対応する垂直信号線VSLに接続されるようにしてもよい。

[0142] 図23に、各読み出しモードにおけるダミーアドレスやダミーシャッタの動作の様子を示す。また、図24にダミーアドレスの配置例を示す。

[0143] CMOSイメージセンサ100は非有効期間、もしくはブランキング期間などであっても負荷を揃えるためにリードやシャッタ動作を実施する。この際に使用する画素はダミー画素である。例えば上述した2ストリームの場合、モード2のブランキング期間とモード1の有効期間が重なる時間帯があり、この際にダミーアドレスの垂直信号線VSLがぶつかっているとモード1の横筋などの画質劣化につながるおそれがある。

[0144] そこで、2ストリームの画質改善のため、ダミーアドレスも有効アドレスと同様に垂直信号線VSLを振り分けて制御するようにする。つまり、センサコントローラ131は、画素アレイ部111の各カラムについて、画素信号の読み出しのモードに対応する垂直信号線VSLに接続されるダミー画素からも画素信号を、そのモードで読み出すように制御する。これにより、CMOSイメージセンサ100は、モード1またはモード2のブランキング期間と重なった期間であっても良好な画質を得ることができる。つまり、CMOSイメージセンサ100は、より容易に、より多様なデータ出力を実現することができる。

- [0145] もちろん、センサコントローラ 131 が、さらに、そのダミー画素のシャッタ動作をそのモードで行うように制御するようにしてもよい。
- [0146] さらに、本技術は、通常の読み出し速度よりも高速に画素信号を読み出す読み出しモードに適用することができる。図 25 に通常の速度の読み出しの V アクセスイメージを示す。この読み出しモードの場合、1 水平同期期間 (1XHS) に 2 画素ずつ読み出しする。
- [0147] 図 26 に 2 倍速読み出しの V アクセスイメージを示す。VSL4 本を常時 A/D 変換するようにすることで、上述した通常の読み出し速度のモードの場合の 2 倍のフレームレートを実現することができる。また、プリシャッタも通常の読み出し速度の 2 倍とすることにより、この 2 倍速読み出しモードの場合も、通常の読み出し速度の場合と同等の良好な画質を得ることができる。
- [0148] 図 27 に 4 倍速読み出しの V アクセスイメージを示す。CMOS イメージセンサ 100 は一般的にシリコン (Si) 基板で作成され、そのバンドギャップから近赤外線 (例えば、1 μ m 以下の波長域) の光電変換も可能である。また、赤外線 (IR) カットフィルタを外した場合、1 μ m 付近で最も感度が高くなるのが R 画素であることに注目して R 画素のみを 4 倍速読み出しとすることで、近赤外に対応した CMOS イメージセンサ 100 を実現することが可能となる。また、1 カラムあたりに複数の A/D 変換部を設けることにより、CMOS イメージセンサ 100 は、通常の読み出し速度の場合の 2 倍のフレームレートを実現することができる。
- [0149] 図 28 に高 S/N 読み出しの制御方法を示す。上述した 2 ストリームの制御方法を応用することで、これまで提案されている高 S/N 読み出しが容易に実現可能となる。図 28 に示されるように、長時間蓄積と短時間蓄積でシャッタの系統を分割することで 2 ストリームと同等の制御方法で 2 行おきに長時間蓄積と短時間蓄積が実現できる。読み出しは、従来の CMOS イメージセンサと同様に 1 水平同期期間 (1XHS) 当たり 2 画素読み出しで問題ない。つまり、各画素の露光時間は、その画素が接続される信号線に対応するモード毎に設定されるようにしてもよい。

[0150] 以上のように、CMOSイメージセンサ100は、より容易に、より多様なデータ出力を実現することができる。

[0151] <2. 第2の実施の形態>

<高速読み出しモードにおける画素信号の転送>

一般的なCMOSイメージセンサの場合、1カラム当たり1つのA/D変換部が搭載されている。ライン単位で順次画素を走査しながらA/D変換が行われる。これをローリングシャッタ方式と称する。この走査方式のためにラインごとにA/D変換されるタイミングがずれる。そのため動体などを撮像した際に歪が発生してしまう。これをローリングシャッタ歪と称する。A/D変換速度はD/A変換部のセトリング時間に依存するため極端な高速化は難しい。そのためローリングシャッタ歪を低減することが困難であった。

[0152] そこで、第1の実施の形態において説明したように、1カラム当たり2つ以上のA/D変換部を設け、並列に2ライン分のA/D変換を行うことにより、ローリングシャッタ歪を低減させることができる。

[0153] しかしながら、このような構成にすると、今度は転送帯域の問題が発生する。後段のカメラ信号処理LSIの転送帯域に限界がある。そのため、2ライン同時にA/D変換された撮像データを単位時間内に転送しきれないおそれがあった。そのためイメージセンサ側にバッファとして膨大な数のラインメモリを搭載しなければならず、チップサイズや消費電力が増大してしまうおそれがあった。

[0154] そこで、上述したようにA/D変換部を1カラム当たり複数設け、複数ラインの画素信号を並列にA/D変換することができるようにし、ローリングシャッタ歪を低減させる。さらに、並列にA/D変換した2ライン分の画素信号を圧縮し、転送に必要な帯域を削減するようにする。これによってデータ転送を1H内に行うことができるようにする。このようにすることにより、大容量のバッファが不要にすることができ、コストや消費電力の増大を抑制することができる。

[0155] <CMOSイメージセンサ>

図 29 は、本技術を適用した撮像素子の一実施の形態である CMOS (Complementary Metal Oxide Semiconductor) イメージセンサの一部の構成例を示すブロック図である。図 29 に示される CMOS イメージセンサ 200 は、CMOS イメージセンサ 100 と同様に、被写体を撮像し、撮像画像のデジタルデータを得る撮像素子である。なお、以下においては、CMOS イメージセンサを例に説明するが、本実施の形態の場合も、第 1 の実施の形態の場合と同様に、本技術は、例えば、CCD (Charge Coupled Device) イメージセンサ等の、CMOS イメージセンサ以外の撮像素子にも適用することができる。

[0156] 図 29 に示されるように、CMOS イメージセンサ 200 は、CMOS イメージセンサ 100 と同様の構成を有する。CMOS イメージセンサ 200 は、カラム A/D 変換部 123A-0 (カラム A/D 変換部 123A-0-1 乃至カラム A/D 変換部 123A-0-P) およびカラム A/D 変換部 123B-0 (カラム A/D 変換部 123B-0-1 乃至カラム A/D 変換部 123B-0-P)、並びに、カラム A/D 変換部 123A-1 (カラム A/D 変換部 123A-1-1 乃至カラム A/D 変換部 123A-1-P) およびカラム A/D 変換部 123B-1 (カラム A/D 変換部 123B-1-1 乃至カラム A/D 変換部 123B-1-P) を有する。

[0157] 画素アレイ部 111 から読み出された画素信号は、これらのカラム A/D 変換部 123 により A/D 変換される。これらのカラム A/D 変換部 123 において A/D 変換された画素信号 (デジタルデータ) は、水平転送部 124 に供給される。

[0158] CMOS イメージセンサ 200 は、水平転送部 124A-0 および水平転送部 124B-0、並びに、水平転送部 124A-1 および水平転送部 124B-1 を有する。カラム A/D 変換部 123A-0 (カラム A/D 変換部 123A-0-1 乃至カラム A/D 変換部 123A-0-P) において A/D 変換された画素信号は、水平転送部 124A-0 に供給される。カラム A/D 変換部 123B-0 (カラム A/D 変換部 123B-0-1 乃至カラム A/D 変換部 123B-0-P) において A/D 変換された画素信号は、水平転送部 124B-0 に供給される。カラム A/D 変換部 123A-1 (カラム A/D 変換部 123A-1-1 乃至

カラムA/D変換部123A-1-P)においてA/D変換された画素信号は、水平転送部124A-1に供給される。カラムA/D変換部123B-1(カラムA/D変換部123B-1-1乃至カラムA/D変換部123B-1-P)においてA/D変換された画素信号は、水平転送部124B-1に供給される。

[0159] また、CMOSイメージセンサ200は、水平処理部221Aおよび水平処理部221Bを有する。互いに区別して説明する必要がある場合、単に水平処理部221と称する。水平転送部124A-0および水平転送部124B-0は、画素信号を水平処理部221Aに供給する。水平転送部124A-1および水平転送部124B-1は、画素信号を水平処理部221Bに供給する。

[0160] すなわち、水平転送部124は、画素信号を2系統として並列に水平処理部221に出力する。水平処理部221Aおよび水平処理部221Bは、それぞれの系統の画素信号に対して所定の信号処理を施す。なお、水平処理部221は、各系統の画素信号に対して互いに独立に信号処理を施す1つの処理部として構成されるようにしてもよい。また、水平処理部221は、省略するようにしてもよい。

[0161] CMOSイメージセンサ200は、さらに、圧縮部222Aおよび圧縮部222Bをさらに有する。圧縮部222Aと圧縮部222Bとを互いに区別して説明する必要がある場合、単に、圧縮部222と称する。

[0162] 水平処理部221Aは、信号処理した画素信号を圧縮部222Aに供給する。水平処理部221Bは、信号処理した画素信号を圧縮部222Bに供給する。圧縮部222Aおよび圧縮部222Bは、それぞれの系統の画素信号を圧縮する。その際、圧縮部222Aおよび圧縮部222Bは、画素信号を、そのデータ量が全ての系統の画素信号を所定の単位期間(例えば1水平同期期間)内に転送することができる程度になるまで圧縮する。

[0163] CMOSイメージセンサ200は、さらに出力部223を有する。圧縮部222Aおよび圧縮部222Bは、圧縮された画素信号を出力部222に供給する。出力部223は、供給された全ての系統の圧縮された画素信号をCMOSイ

メージセンサ 200 の外部に出力する。

[0164] なお、圧縮部 222 は、各系統の画素信号に対して互いに独立に圧縮処理を施す 1 つの処理部として構成されるようにしてもよい。

[0165] このようにすることにより、CMOS イメージセンサ 200 は、転送帯域を増大させずに複数系統の画素信号を出力することができる。なお、図 29 においては、画素信号が 2 系統として読み出されるように説明したが、この読出しの系統数は、複数であれば任意である。系統数がいくつであっても、圧縮部 222 をその系統数分用意するようにすればよい。ただし、系統数が増大するとその分、圧縮率を高くする必要がある。例えば、N 系統で読み出しを行う場合、圧縮部 222 を N 個用意し、各圧縮部において画素信号のデータサイズを N 分の 1 以下にするまで圧縮するようにすればよい。以下においては、画素信号が 2 系統として読み出される場合について説明する。

[0166] <タイミングチャート>

図 30 は、この CMOS イメージセンサ 200 のデータ出力の様子を説明するタイミングチャートである。図 30 の区間 231 のように画素信号の読み出しを行う場合、単位時間当たり、1 系統で 1 ラインの画素信号を出力することができる。これに対して、図 29 の例のように各系統の画素信号を圧縮して出力することにより、区間 232 のように、単位時間当たり、1 系統で 2 ライン分の画素信号を出力することができる。したがって、CMOS イメージセンサ 200 は、出力インターフェイスの帯域を超えずにフォーカルプレーン歪の小さい画像を出力することができる。

[0167] <水平処理部>

図 31 は、水平処理部 221 A および水平処理部 221 B の主な構成の例を示す図である。

[0168] 図 31 の例の場合、水平処理部 221 A は、インターフェイス (I/F) 241 A、水平並び替え部 242 A、クランプ量演算部 243 A、デジタルクランプ 244 A、水平加算部 245 A、ゲイン調整部 246 A、および黒レベル補正部 247 A を有する。

[0169] 同様に、水平処理部 2 2 1 B は、インターフェイス (I/F) 2 4 1 B、水平並び替え部 2 4 2 B、クランプ量演算部 2 4 3 B、デジタルクランプ 2 4 4 B、水平加算部 2 4 5 B、ゲイン調整部 2 4 6 B、および黒レベル補正部 2 4 7 B を有する。

[0170] インターフェイス (I/F) 2 4 1 A とインターフェイス (I/F) 2 4 1 B とを互いに区別して説明する必要がある場合、単に、インターフェイス (I/F) 2 4 1 と称する。水平並び替え部 2 4 2 A と水平並び替え部 2 4 2 B とを互いに区別して説明する必要がある場合、単に、水平並び替え部 2 4 2 と称する。クランプ量演算部 2 4 3 A とクランプ量演算部 2 4 3 B とを互いに区別して説明する必要がある場合、単に、クランプ量演算部 2 4 3 と称する。デジタルクランプ 2 4 4 A とデジタルクランプ 2 4 4 B とを互いに区別して説明する必要がある場合、単に、デジタルクランプ 2 4 4 と称する。水平加算部 2 4 5 A と水平加算部 2 4 5 B とを互いに区別して説明する必要がある場合、単に、水平加算部 2 4 5 と称する。ゲイン調整部 2 4 6 A とゲイン調整部 2 4 6 B とを互いに区別して説明する必要がある場合、単に、ゲイン調整部 2 4 6 と称する。黒レベル補正部 2 4 7 A と黒レベル補正部 2 4 7 B とを互いに区別して説明する必要がある場合、単に、黒レベル補正部 2 4 7 と称する。

[0171] 水平処理部 2 2 1 が行う信号処理は任意である。したがって、水平処理部 2 2 1 の構成は、図 3 1 の例に限定されない。

[0172] また、図 3 1 に示されるように、出力部 2 2 3 は、FIFO バッファ 2 5 1 および差動出力インターフェイス (I/F) 2 5 2 を有する。上述したように、圧縮部 2 2 2 が画素信号を十分に圧縮することにより、FIFO バッファ 2 5 1 のオーバフローの発生を抑制することができ、複数ラインの画素信号を 1 系統で単位時間内に出力させることができる。なお、出力部 2 2 3 の構成は任意であり、図 3 1 の例に限定されない。

[0173] <圧縮部>

なお、圧縮部 2 2 2 による画素信号の圧縮方法は任意である。ただし、圧

縮処理の処理時間の増大を抑制するために、圧縮方法や制御方法が簡易的な方法であるのが望ましい。例えば、固定ビットレート（CBR）の圧縮方式を採用するようにしてもよい。図32は、その場合の圧縮部222の主な構成の例を示す図である。もちろん、圧縮部222の構成は任意であり、図32の例に限定されない。

[0174] 以上のように、CMOSイメージセンサ200は、転送帯域を増大させずに複数系統の画素信号を出力することができるので、より容易に、より多様なデータ出力を実現することができる。

[0175] <3. 第3の実施の形態>

<データラッチ>

画素アレイの1カラムにつき1つのSingleSlope型A/D変換部が割り当てられるイメージセンサの場合、その1つのA/D変換部に対して、そのA/D変換部がカウントしたカウント値（A/D変換後の画素信号（デジタルデータ））を格納するデータラッチが1つ設けられていた。カウント値をデータラッチに格納することで、次の行の読み出しとA/D変換を行いつつ、カウント値をロジック部に転送することが可能になる。

[0176] このような1つのA/D変換部に対して1つのデータラッチを設ける構成の場合、他の行との加算や差分データを出力したいときに異なる行のデータを格納するラインメモリが必要になる。このようなラインメモリを実装すると、回路面積（すなわち製造コスト）や消費電力が増大するおそれがあった。

[0177] そこで、1つのSingleSlope型A/D変換部に対して、そのA/D変換部がカウントしたカウント値（A/D変換後の画素信号（デジタルデータ））を格納するデータラッチを複数設け、複数の画素信号（複数ラインの画素信号）を並列に（1単位時間内に）転送することができるようにする。

[0178] なお、以上のような複数のデータラッチから読み出された画素信号同士を加算若しくは減算する演算部をさらに備えるようにしてもよい。

[0179] 以上のようにすることにより、画像処理部にラインメモリを持つ場合よりも、回路規模（製造コスト）や消費電力の増大を抑制することができる。

[0180] <CMOSイメージセンサ>

図33は、その場合のCMOSイメージセンサの主な構成の例を示す図である。図33に示されるCMOSイメージセンサ300は、CMOSイメージセンサ100やCMOSイメージセンサ200と同様に、被写体を撮像し、撮像画像のデジタルデータを得る撮像素子である。なお、本明細書においては、CMOSイメージセンサを例に説明するが、本技術は、例えば、CCDイメージセンサ等の、CMOSイメージセンサ以外の撮像素子にも適用することができる。

[0181] 図33に示されるように、CMOSイメージセンサ300は、画素アレイ部311、A/D変換部312、水平転送路313、増幅部314、演算部315、および画像処理部316を有する。また、CMOSイメージセンサ300は、制御部331、垂直走査部332、および水平走査部333を有する。

[0182] 画素アレイ部311は、フォトダイオード等の光電変換素子を有する画素構成（単位画素）321が平面状または曲面状に配置される画素領域である。画素アレイ部111の各単位画素321は、垂直走査部332に制御されて、被写体からの光を受光し、その入射光を光電変換して電荷を蓄積し、所定のタイミングにおいて、その電荷を画素信号として出力する。

[0183] 各単位画素321から出力された画素信号は、カラム毎に、そのカラムに割り当てられた垂直信号線VSL（例えば、VSL0やVSL1等）によってA/D変換部312に伝送される。

[0184] A/D変換部312は、カラム毎に、そのカラムの画素信号をA/D変換するカラムA/D変換部を有する。A/D変換部312は、水平走査部333に制御されて、各カラムA/D変換部を用いて、画素アレイの各カラムの画素信号をA/D変換する。A/D変換部312においてA/D変換された画素信号（デジタルデータ）は、水平転送路313を介して増幅部314に供給され、増幅部314により増幅され、演算部315に供給される。

[0185] 演算部315は、制御部331の制御の下、必要に応じて、供給された複数ラインの画素信号に対して所定の演算（例えば、複数ラインの画素信号同士の加算や減算等）を行う。演算部315は、供給された画素信号若しくは

演算結果を画像処理部 3 1 6 に供給する。

[0186] 画像処理部 3 1 6 は、演算部 3 1 5 から供給される画素信号を用いて所定の画像処理や信号処理等を行う。

[0187] 制御部 3 3 1 は、CMOSイメージセンサ 3 0 0 の各処理部を制御する。例えば、制御部 3 3 1 は、垂直走査部 3 3 2 を制御して単位画素 3 2 1 の駆動を制御させる。また、例えば、制御部 3 3 1 は、A/D変換部 3 1 2 を制御して、画素アレイ部 3 1 1 から読み出された画素信号のA/D変換（より具体的には、A/D変換された画素信号のラッチ）を制御する。さらに、例えば、制御部 3 3 1 は、水平走査部 3 3 3 を制御してA/D変換された、各カラムのA/D変換部 3 1 2（より具体的にはデータラッチ）からの画素信号の読み出しや転送を制御させる。さらに、例えば、制御部 3 3 1 は、演算部 3 1 5 を制御して、画素信号を用いた演算処理を制御する。

[0188] 垂直走査部 3 3 2 は、制御部 3 3 1 に制御されて、画素アレイ部 3 1 1 の各単位画素 3 2 1 の駆動を制御し、単位画素 3 2 1 からの画素信号の読み出しを行わせる。水平走査部 3 3 3 は、制御部 3 3 1 に制御されて、A/D変換部 3 1 2 を制御し、画素アレイ部 3 1 1 から読み出された画素信号のA/D変換を行わせたり、A/D変換された画素信号を転送させたりする。

[0189] なお、増幅部 3 1 4、演算部 3 1 5、および画像処理部 3 1 6 は、省略するようにしてもよい。

[0190] <A/D変換部>

図 3 4 は、A/D変換部 3 1 2 の主な構成の例を示す図である。上述したように、A/D変換部 3 1 2 は、カラム毎にカラムA/D変換部を有する。図 3 4 に示されるように、A/D変換部 3 1 2 は、各カラムA/D変換部に対してランプ信号を供給するD/A変換部 3 5 1 を有する。

[0191] また、図 3 4 に示されるように、垂直信号線VSL0を介して供給される画素信号をA/D変換するカラムA/D変換部は、比較部 3 5 2-0、カウンタ 3 5 3-0、セクタ 3 5 4-0、データラッチ 3 5 5 A-0、およびデータラッチ 3 5 5 B-0 を有する。同様に、垂直信号線VSL1を介して供給される画素

信号をA/D変換するカラムA/D変換部は、比較部352-1、カウンタ353-1、セクタ354-1、データラッチ355A-1、およびデータラッチ355B-1を有する。

[0192] つまり、各カラムA/D変換部は、比較部352、カウンタ353、セクタ354、並びにデータラッチ355Aおよびデータラッチ355Bを有する。なお、以下において、各カラムの構成を互いに区別して説明する必要が無い場合、このように、比較部352、カウンタ353、セクタ354、データラッチ355A、データラッチ355Bと称する。カラムを区別して説明する必要がある場合は、上述したように、カラムXのカラムA/D変換部の構成を、比較部352-X、カウンタ353-X、セクタ354-X、データラッチ355A-X、データラッチ355B-Xと称する。さらに、データラッチ355Aとデータラッチ355Bとを互いに区別して説明する必要が無い場合、データラッチ355と称する。

[0193] 比較部352は、そのカラムの垂直信号線VSLを介して供給される画素信号と、D/A変換部351から供給されるランプ信号とでその大きさを比較し、その比較結果をカウンタ353に供給する。

[0194] カウンタ353は、比較部352の比較を開始してから比較結果が変化するまでの期間をカウントし、そのカウント値をセクタ354に出力する。

[0195] セクタ354は、カウンタ353から供給されたカウント値（画素信号のデジタルデータ）を、制御部331の制御に従って、データラッチ355Aおよびデータラッチ355Bの少なくともいずれか一方に供給する。

[0196] データラッチ355は、セクタ354から供給される画素信号（デジタルデータ）をラッチする。データラッチ355は、水平走査部333の制御に従って、ラッチしている画素信号（デジタルデータ）を水平転送路313に供給し、増幅部314に転送させる。

[0197] このように、A/D変換部312は、画素アレイのカラム毎にカラムA/D変換部を有し、その各カラムA/D変換部に2つずつデータラッチ355を有する。したがって、A/D変換部312は、2ラインの画素信号（デジタルデータ）を

ラッチすることができる。したがって、水平走査部 333 は、1 単位時間（例えば、1 水平同期期間）において、この 2 ラインの画素信号のうち、いずれか一方若しくは両方を任意に選択して転送させることができる。

[0198] これにより、CMOS イメージセンサ 300 は、ライン間の画素信号の演算を、製造コストや消費電力の増大を抑制しながら実現することができる。また、水平走査部 333 は、任意の 1 ラインの画素信号を選択して転送させることもできるので、CMOS イメージセンサ 300 は、より多様なモードで画素信号を出力させることができる。

[0199] <読み出し処理の流れ>

図 35 のフローチャートを参照して、読み出し処理の流れの例を説明する。読み出し処理を開始すると、制御部 331 は、ステップ S301 において、垂直走査部 332 を介して画素アレイ部 311 の各単位画素 321 を制御し、処理対象であるカレント行（カレントライン）の単位画素 321 から画素信号を読み出させる。

[0200] ステップ S302 において、制御部 331 は、A/D 変換部 312 を制御し、単位画素から読み出された画素信号を A/D 変換させる。

[0201] ステップ S303 において、制御部 331 は、A/D 変換部 312（より具体的にはセクタ 354）を制御し、動作モード（読み出しモード）に応じて、A/D 変換されたカレント行の画素データ（画素信号のデジタルデータ）を記憶させるデータラッチ 355 を選択する。

[0202] ステップ S304 において、制御部 331 は、A/D 変換部 312 を制御し、ステップ S303 において選択されたデータラッチ 355 に画素データを記憶させる。

[0203] ステップ S305 において、制御部 331 は、水平走査部 333 を制御し、動作モードに応じて、所望のデータラッチ 355 から画素データを読み出させる。

[0204] ステップ S306 において、制御部 331 は、演算部 315 を制御し、動作モードに応じて、ライン間で画素データの演算を行わせる。演算が不要な

場合、このステップの処理は省略することができる。

- [0205] ステップS307において、制御部331は、画像処理部316を制御し、画像処理を施した画素データをCMOSイメージセンサ300の外部に出力させる。
- [0206] ステップS308において、制御部331は、他のライン（行）の画素信号を読み出すか否かを判定する。未処理のラインが存在し、他のライン（行）の画素信号を読み出すと判定された場合、処理は、ステップS301に戻り、それ以降の処理を繰り返す。また、ステップS308において、他のラインの画素信号を読み出さないと判定された場合、読み出し処理を終了する。
- [0207] このように制御することにより、CMOSイメージセンサ300は、ライン間の画素信号の演算を、必要に応じて、製造コストや消費電力の増大を抑制しながら実現することができる。また、CMOSイメージセンサ300は、より多様なモードで画素信号を出力させることができる。
- [0208] <読み出しモード例>
- CMOSイメージセンサ300は、例えば、図36に示されるように、画素信号の読み出しを行うことができる。図36の例では前後の行を加算したデータを出力することができる。各カラムについて、各処理部を図36のAの例のように構成し、図36のBの例のタイミングチャートのように画素信号の読み出し、ラッチ、転送を行うようにすればよい。例えば、N行目のデータをデータラッチ355Aとデータラッチ355Bの両方に格納し、次のN+1行のデータをデータラッチ355Bのみに格納する。この時データラッチ355AではN行のデータを格納したままになる。この2つのデータを演算部315で加算することによって、加算データを出力することが可能になる。
- [0209] またデータラッチ355Bのデータを読み出すことで、加算前のデータを出力することもできる。さらに、例えば、上述した加算データの出力と加算前のデータの出力とを並行して行うこともできる。例えば、動画モードの場合、演算部315がデータラッチ355Aに格納されたデータと、データラ

ッチ 3 5 5 B に格納されたデータとを加算し、1 単位時間置きにその加算結果 ($A+B$) を出力するようにし、静止画モードの場合、データラッチ 3 5 5 B に格納されたデータ (B) を、各単位時間において出力するようにすることができる。このようにすることにより、より多様な方法で画素信号を出力させることができる。

[0210] また、CMOS イメージセンサ 3 0 0 は、例えば、図 3 7 に示されるように、画素信号の読み出しを行うことができる。図 3 7 の例では前後の行を減算したデータ (差分データ) を出力することができる。各カラムについて、各処理部を図 3 7 の A の例のように構成し、図 3 7 の B の例のタイミングチャートのように画素信号の読み出し、ラッチ、転送を行うようにすればよい。例えば、N 行目のデータをデータラッチ 3 5 5 A のみに格納し、次の N+1 行目のデータをデータラッチ 3 5 5 B のみに格納する。すなわち、データをラッチさせるデータラッチ 3 5 5 を、行毎に切り替えるようにする。このようにすることにより、データラッチ 3 5 5 A およびデータラッチ 3 5 5 B には、連続する 2 行のデータが格納されることとなる。この 2 つのデータを演算部 3 1 5 で減算することによって、差分データを出力することが可能になる。

[0211] またデータラッチ 3 5 5 A に格納されているデータと、データラッチ 3 5 5 B に格納されているデータとを交互に読み出すことで、減算前のデータを出力することもできる。さらに、例えば、上述した差分データの出力と減算前のデータの出力とを並行して行うこともできる。例えば、コントラスト AF (Auto Focus) 機能の精度向上のためのモードである AF モードの場合、演算部 3 1 5 がデータラッチ 3 5 5 A に格納されたデータと、データラッチ 3 5 5 B に格納されたデータとを減算し、各単位時間においてその減算結果 ($A-B$ 若しくは $B-A$) を出力するようにし、静止画モードの場合、データラッチ 3 5 5 A に格納されたデータ (A) とデータラッチ 3 5 5 B に格納されたデータ (B) とを、単位時間毎に交互に出力するようにすることができる。このようにすることにより、より多様な方法で画素信号を出力させることができる。

- [0212] また、例えば、図38のAに示されるように、図38のA（減算の場合）と同様の構成にして、図36の例と同様に、前後の行を加算したデータを入力するようにすることもできる。その場合、図38のBの例のタイミングチャートのように画素信号の読み出し、ラッチ、転送を行うようにすればよい。
- [0213] 例えば、N行目のデータをデータラッチ355Aのみに格納し、次のN+1行目のデータをデータラッチ355Bのみに格納する。すなわち、データをラッチさせるデータラッチ355を、行毎に切り替えるようにする。このようにすることにより、データラッチ355Aおよびデータラッチ355Bには、連続する2行のデータが格納されることとなる。この2つのデータを演算部315で加算することによって、加算データを入力することが可能になる。
- [0214] またデータラッチ355Aに格納されているデータと、データラッチ355Bに格納されているデータとを交互に読み出すことで、加算前のデータを入力することもできる。さらに、例えば、上述した加算データの出力と加算前のデータの出力とを並行して行うこともできる。例えば、動画モードの場合、演算部315がデータラッチ355Aに格納されたデータと、データラッチ355Bに格納されたデータとを加算し、1単位時間置きにその加算結果（A+B）を入力するようにし、静止画モードの場合、データラッチ355Aに格納されたデータ（A）とデータラッチ355Bに格納されたデータ（B）とを、単位時間毎に交互に出力するようにすることができる。このようにすることにより、より多様な方法で画素信号を入力させることができる。
- [0215] なお、演算（加算若しくは減算）した後のデータの重心をそろえるために、各データラッチに格納されたデータに、それぞれ所定の加重をかけて演算（加算若しくは減算）するようにしてもよい。
- [0216] 以上のようにすることにより、複数のデータを並行して入力することができるようになる。また、データラッチ後に演算を行うようにすることで、複数行の画素データを用いた演算（加算や減算等）を行うことができる。さら

に、以上のような構成とすることにより、ラインメモリが不要になるので、回路規模（製造コスト）や消費電力の増大を抑制することができる。

[0217] 以上においては、各カラム（各カラムA/D変換部）に対して2つのデータラッチ355を設けるように説明したが、1カラム当たりのデータラッチ355の数は任意である。例えば、各カラムに対して3つ以上のデータラッチ355を設けるようにしてもよい。このようにすることにより、より多数のラインの画素データを格納することができ、ライン間でより多様な演算を行うことができるようになる。つまり、より多様な方法で画素信号を出力させることができるようになる。

[0218] <4. 第4の実施の形態>

<マルチサンプリングによるノイズ低減>

以上の各実施の形態において説明したように各カラムに対して複数系統のA/D変換を行う場合、その互いに独立した複数系統を利用して、出力データのノイズを低減させるようにしてもよい。

[0219] その場合、各系統のA/D変換において、P相、D相のサンプリングタイミングを互いにずらし、それぞれの加算平均を求めるようにしてもよい。

[0220] 例えば、各系統のDAC波形を互いにずらす。各系統のカラムADCは互いに独立に動作するので、このような制御は容易に実現することができる。このようにすることにより、サンプリング回数が2倍に増えるので、互いのノイズに相関がなければ、両サンプリングにより得られた信号の加算平均を出力することにより、SN比を改善することができる。つまり、出力データのノイズを低減させることができる。

[0221] しかしながら、この方法の場合、1カラムあたりのA/D変換処理時間が長くなってしまうおそれがあった。

[0222] そこで、複数のA/D変換のタイミング制御を変更することなく、参照信号（ランプ信号）のオフセットを相対的にずらすことで、サンプリングタイミングをずらすようにしてもよい。例えば、図39の例の点線401と実線402のように、P相、D相のサンプリングタイミングを複数に分け、各出力の

加算平均を求めるようにしてもよい。

[0223] 例えば、図40のAに示されるように、各系統のランプ信号のオフセットがずれていない（各系統のランプ信号に互いに同一のオフセットを付与する）と、各系統のサンプリングタイミングが同一となるので、出力データには、略同一のノイズがのってしまう。そのため、仮に各系統の出力データの加算平均を求めても、A/D変換部のSN比は改善されるが、画素信号のSN比を改善することは困難である。

[0224] これに対して、図39の例のように、各系統のランプ信号のオフセットを相対的にずらす（各系統のランプ信号に互いに異なるオフセットを付与する）と、図40のBに示されるように、各系統のサンプリングタイミングが互いに異なるタイミングとなり、出力データにのるノイズがランダムノイズであるとする、各系統の出力データの加算平均を出力データとすることにより、A/D変換部とともに画素信号のSN比も改善することができる。すなわち、出力データのノイズをより低減させることができる。

[0225] また、この方法の場合、ランプ信号の供給タイミングは、全系統で同一であるので、上述したランプ信号の供給タイミングを系統毎にずらす場合よりも制御が容易である。また、このランプ信号のオフセットを系統毎にずらす方法の方が、ランプ信号の供給タイミングを系統毎にずらす場合よりもより短時間にA/D変換を行うことができる。つまり、A/D変換処理時間の増大を抑制することができる。すなわち、A/D変換処理をより高速に行うことができる。

[0226] <黒化現象補正とマルチサンプリングの両立>

なお、撮像装置においては、光電変換部（フォトダイオード）に非常に強い光が入射した場合、黒化現象が発生する可能性がある。この黒化現象を補正する方法として、P相読み出し期間に比較部の出力が反転しない場合、A/D変換結果として固定値を出力させる方式がある。この方式の場合、ランプ信号のオフセットを小さくし過ぎると、P相読み出し期間に比較部の出力が反転してしまうので、上述したような固定値を出力する制御方法が有効に機能

せず、黒化現象の発生を抑制することが困難になる可能性が考えられる。

[0227] 例えば、図41の場合、画素信号（VSL信号）と点線401で示されるランプ信号1との比較結果は、P相読み出し期間において反転しないが、画素信号（VSL信号）と実線402で示されるランプ信号2との比較結果は、P相読み出し期間において反転する。このように、ランプ信号1とランプ信号2との間でオフセットの差を大きくしすぎってしまうと、すなわち、ランプ信号に付与するオフセットを小さくし過ぎてしまうと、ランプ信号と画素信号との比較結果が反転し易くなり、上述したような固定値を出力することによる黒化現象の発生の抑制制御が効き難くなる。

[0228] そこで、ランプ信号のオフセットのずらし量をランプ信号の傾きにに応じて変化させるようにしてもよい。例えば、ランプ信号の傾きが大きい場合、各A/D変換部のランプ信号のオフセットの差が小さくなるように設定し、ランプ信号の傾きが小さい場合、各A/D変換部のランプ信号のオフセットの差が大きくなるように設定するようにしてもよい。

[0229] このランプ信号の傾きが大きいかな否かは、所定の閾値を用いて判定するようにしてもよい。つまり、ランプ信号の傾きが所定の閾値よりも大きい場合（若しくは閾値以上の場合）は、ランプ信号の傾きが大きいと判定され、各A/D変換部のランプ信号のオフセットの差が小さくなるように設定されるようにし、ランプ信号の傾きが所定の閾値以下の場合（若しくは閾値よりも小さい場合）は、ランプ信号の傾きが小さいと判定され、各A/D変換部のランプ信号のオフセットの差が大きくなるように設定されるようにしてもよい。この閾値は任意であり、所定の固定値であってもよいし、何らかの情報に基づいて決定されるようにしてもよい。また、閾値を用いずに、各系統のランプ信号のオフセットの差を、ランプ信号の傾きの大きさに応じた値に設定するようにしてもよい。

[0230] このように制御することにより、光電変換部に非常に強い光が入射した場合においても、黒化現象は正常に補正されるようにすることができ、かつ、マルチサンプリングによるノイズ低減効果を得ることが可能となる。

[0231] なお、複数系統出力を利用して、出力信号のいずれかから黒化補正された固定値が出力された場合、加算平均処理を行わず、その固定値を選択して出力するようにしてもよい。

[0232] もちろんこの場合も、１カラム当たりのA/D変換部の系統数は任意である。なお、このような制御は、１カラム当たりに複数系統のA/D変換部が設けられるイメージセンサであれば、どのようなイメージセンサにも適用することができる。例えば、上述した各実施の形態において説明した各CMOSイメージセンサにおいて実現することができる。以下においては、図１のCMOSイメージセンサ１００を例に説明する。

[0233] <ランプ信号制御処理の流れ>

図４２のフローチャートを参照して、上述したようなランプ信号のオフセット量の制御を行うためのランプ信号制御処理の流れの例を説明する。

[0234] ランプ信号制御処理が開始されると、センサコントローラ１３１は、ステップＳ４０１において、D/A変換部１１３が出力するランプ信号の傾きを判定する。D/A変換部１１３は、センサコントローラ１３１の制御に従ってランプ信号を生成し、出力する。すなわち、センサコントローラ１３１は、その制御情報に基づいて、ランプ信号の傾きを判定する。なお、もちろん、センサコントローラ１３１が、D/A変換部１１３の出力波形（ランプ信号の波形）を解析し、その傾きを判定するようにしてもよい。

[0235] ステップＳ４０２において、センサコントローラ１３１は、D/A変換部１１３を制御し、ステップＳ４０１において判定されたランプ信号の傾きの大きさに応じて、ランプ信号のずらし量（オフセットの差）を上述したように制御する。ランプ信号のずらし量を制御すると、ランプ信号制御処理が終了する。

[0236] 以上のように制御することにより、CMOSイメージセンサ１００は、マルチサンプリングによるノイズ低減効果を得ることができるとともに、黒化現象の発生を抑制することができる。つまり、より多様な方法で画素信号を出力させることができるようになる。

[0237] <5. 第5の実施の形態>

<CMOSイメージセンサ>

なお、本技術を適用する撮像素子が、互いに重畳される複数の半導体基板を有するようにしてもよい。

[0238] 図43は、本技術を適用した撮像素子の一例の主な構成例を示す図である。図43に示されるCMOSイメージセンサ500は、各実施の形態において上述した各CMOSイメージセンサと同様に、被写体を撮像し、撮像画像のデジタルデータを得る撮像素子である。図43に示されるように、CMOSイメージセンサ500は、互いに重畳される2枚の半導体基板（積層チップ（画素チップ501および回路チップ502））を有する。なお、この半導体基板（積層チップ）の数（層数）は、複数であればよく、例えば、3層以上であってもよい。

[0239] 画素チップ501には、入射光を光電変換する光電変換素子を含む単位画素が複数並べられた画素領域511が形成されている。また、回路チップ502には、画素領域511から読み出された画素信号を処理する周辺回路が形成される周辺回路領域512が形成されている。

[0240] 上述したように画素チップ501および回路チップ502は、互いに重畳され、多層構造（積層構造）を形成する。画素チップ501に形成される画素領域511の各画素と回路チップ502に形成される周辺回路領域512の周辺回路は、ビア領域（VIA）513およびビア領域（VIA）514に形成される貫通ビア（VIA）等を介して互いに電氣的に接続されている。

[0241] CMOSイメージセンサ500が、このような積層構造を形成する場合であっても、各実施の形態において説明した各CMOSイメージセンサの構成を有することができる。つまり、このような積層構造のCMOSイメージセンサ500にも本技術を適用することができる。

[0242] <6. 第6の実施の形態>

<撮像装置>

なお、本技術は、撮像素子以外にも適用することができる。例えば、撮像

装置のような、撮像素子を有する装置（電子機器等）に本技術を適用するようにしてもよい。図４４は、本技術を適用した電子機器の一例としての撮像装置の主な構成例を示すブロック図である。図４４に示される撮像装置６００は、被写体を撮像し、その被写体の画像を電気信号として出力する装置である。

[0243] 図４４に示されるように撮像装置６００は、光学部６１１、CMOSイメージセンサ６１２、画像処理部６１３、表示部６１４、コーデック処理部６１５、記憶部６１６、出力部６１７、通信部６１８、制御部６２１、操作部６２２、およびドライブ６２３を有する。

[0244] 光学部６１１は、被写体までの焦点を調整し、焦点が合った位置からの光を集光するレンズ、露出を調整する絞り、および、撮像のタイミングを制御するシャッタ等よりなる。光学部６１１は、被写体からの光（入射光）を透過し、CMOSイメージセンサ６１２に供給する。

[0245] CMOSイメージセンサ６１２は、入射光を光電変換して画素毎の信号（画素信号）をA/D変換し、CDS等の信号処理を行い、処理後の撮像画像データを画像処理部６１３に供給する。

[0246] 画像処理部６１３は、CMOSイメージセンサ６１２により得られた撮像画像データを画像処理する。より具体的には、画像処理部６１３は、CMOSイメージセンサ６１２から供給された撮像画像データに対して、例えば、混色補正や、黒レベル補正、ホワイトバランス調整、デモザイク処理、マトリックス処理、ガンマ補正、およびYC変換等の各種画像処理を施す。画像処理部６１３は、画像処理を施した撮像画像データを表示部６１４に供給する。

[0247] 表示部６１４は、例えば、液晶ディスプレイ等として構成され、画像処理部６１３から供給された撮像画像データの画像（例えば、被写体の画像）を表示する。

[0248] 画像処理部６１３は、さらに、画像処理を施した撮像画像データを、必要に応じて、コーデック処理部６１５に供給する。

[0249] コーデック処理部６１５は、画像処理部６１３から供給された撮像画像デ

ータに対して、所定の方式の符号化処理を施し、得られた符号化データを記憶部616に供給する。また、コーデック処理部615は、記憶部616に記録されている符号化データを読み出し、復号して復号画像データを生成し、その復号画像データを画像処理部613に供給する。

[0250] 画像処理部613は、コーデック処理部615から供給される復号画像データに対して所定の画像処理を施す。画像処理部613は、画像処理を施した復号画像データを表示部614に供給する。表示部614は、例えば、液晶ディスプレイ等として構成され、画像処理部613から供給された復号画像データの画像を表示する。

[0251] また、コーデック処理部615は、画像処理部613から供給された撮像画像データを符号化した符号化データ、または、記憶部616から読み出した撮像画像データの符号化データを出力部617に供給し、撮像装置600の外部に出力させるようにしてもよい。また、コーデック処理部615は、符号化前の撮像画像データ、若しくは、記憶部616から読み出した符号化データを復号して得られた復号画像データを出力部617に供給し、撮像装置600の外部に出力させるようにしてもよい。

[0252] さらに、コーデック処理部615は、撮像画像データ、撮像画像データの符号化データ、または、復号画像データを、通信部618を介して他の装置に伝送させるようにしてもよい。また、コーデック処理部615は、撮像画像データや画像データの符号化データを、通信部618を介して取得するようにしてもよい。コーデック処理部615は、通信部618を介して取得した撮像画像データや画像データの符号化データに対して、適宜、符号化や復号等を行う。コーデック処理部615は、得られた画像データ若しくは符号化データを、上述したように、画像処理部613に供給したり、記憶部616、出力部617、および通信部618に出力するようにしてもよい。

[0253] 記憶部616は、コーデック処理部615から供給される符号化データ等を記憶する。記憶部616に格納された符号化データは、必要に応じてコーデック処理部615に読み出されて復号される。復号処理により得られた撮

像画像データは、表示部 6 1 7 に供給され、その撮像画像データに対応する撮像画像が表示される。

[0254] 出力部 6 1 7 は、外部出力端子等の外部出力インターフェイスを有し、コーデック処理部 6 1 5 を介して供給される各種データを、その外部出力インターフェイスを介して撮像装置 6 0 0 の外部に出力する。

[0255] 通信部 6 1 8 は、コーデック処理部 6 1 5 から供給される画像データや符号化データ等の各種情報を、所定の通信（有線通信若しくは無線通信）の通信相手である他の装置に供給する。また、通信部 6 1 8 は、所定の通信（有線通信若しくは無線通信）の通信相手である他の装置から、画像データや符号化データ等の各種情報を取得し、それをコーデック処理部 6 1 5 に供給する。

[0256] 制御部 6 2 1 は、撮像装置 6 0 0 の各処理部（点線 6 2 0 内に示される各処理部、操作部 6 2 2、並びに、ドライブ 6 2 3）の動作を制御する。

[0257] 操作部 6 2 2 は、例えば、ジョグダイヤル（商標）、キー、ボタン、またはタッチパネル等の任意の入力デバイスにより構成され、例えばユーザ等による操作入力を受け、その操作入力に対応する信号を制御部 6 2 1 に供給する。

[0258] ドライブ 6 2 3 は、自身に装着された、例えば、磁気ディスク、光ディスク、光磁気ディスク、または半導体メモリなどのリムーバブルメディア 6 3 1 に記憶されている情報を読み出す。ドライブ 6 2 3 は、リムーバブルメディア 6 3 1 からプログラムやデータ等の各種情報を読み出し、それを制御部 6 2 1 に供給する。また、ドライブ 6 2 3 は、書き込み可能なリムーバブルメディア 6 3 1 が自身に装着された場合、制御部 6 2 1 を介して供給される、例えば画像データや符号化データ等の各種情報を、そのリムーバブルメディア 6 3 1 に記憶させる。

[0259] 以上のような撮像装置 6 0 0 の CMOS イメージセンサ 6 1 2 として、各実施の形態において上述した本技術を適用する。すなわち、CMOS イメージセンサ 6 1 2 として、上述した各実施の形態の CMOS イメージセンサ（例えば、CMOS

イメージセンサ１００、CMOSイメージセンサ２００、またはCMOSイメージセンサ３００等）が用いられる。これにより、CMOSイメージセンサ６１２は、より容易に、より多様なデータ出力を実現することができる。したがって撮像装置６００は、被写体を撮像することにより、より容易に、より多様なデータ出力を実現することができる。

[0260] なお、本技術を適用した撮像装置は、上述した構成に限らず、他の構成であってもよい。例えば、デジタルスチルカメラやビデオカメラだけでなく、携帯電話機、スマートホン、タブレット型デバイス、パーソナルコンピュータ等の、撮像機能を有する情報処理装置であってもよい。また、他の情報処理装置に装着して使用される（若しくは組み込みデバイスとして搭載される）カメラモジュールであってもよい。

[0261] 上述した一連の処理は、ハードウェアにより実行させることもできるし、ソフトウェアにより実行させることもできる。上述した一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、ネットワークや記録媒体からインストールされる。

[0262] この記録媒体は、例えば、図４４に示されるように、装置本体とは別に、ユーザにプログラムを配信するために配布される、プログラムが記録されているリムーバブルメディア６３１により構成される。このリムーバブルメディア６３１には、磁気ディスク（フレキシブルディスクを含む）や光ディスク（CD-ROMやDVDを含む）が含まれる。さらに、光磁気ディスク（MD（Mini Disc）を含む）や半導体メモリ等も含まれる。

[0263] その場合、プログラムは、そのリムーバブルメディア６３１をドライブ６２３に装着することにより、記憶部６１６にインストールすることができる。

[0264] また、このプログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することもできる。その場合、プログラムは、通信部１８で受信し、記憶部６１６にインストールすることができる。

- [0265] その他、このプログラムは、記憶部 6 1 6 や制御部 6 2 1 内のROM (Read Only Memory) 等に、あらかじめインストールしておくこともできる。
- [0266] なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。
- [0267] また、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。
- [0268] また、上述した各ステップの処理は、上述した各装置、若しくは、上述した各装置以外の任意の装置において、実行することができる。その場合、その処理を実行する装置が、上述した、その処理を実行するのに必要な機能（機能ブロック等）を有するようにすればよい。また、処理に必要な情報を、適宜、その装置に伝送するようにすればよい。
- [0269] また、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、全ての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。
- [0270] また、以上において、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。

[0271] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0272] 例えば、本技術は、1つの機能を、ネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。

[0273] また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0274] さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0275] また、本技術は、これに限らず、このような装置またはシステムを構成する装置に搭載するあらゆる構成、例えば、システムLSI (Large Scale Integration) 等としてのプロセッサ、複数のプロセッサ等を用いるモジュール、複数のモジュール等を用いるユニット、ユニットにさらにその他の機能を付加したセット等（すなわち、装置の一部の構成）として実施することもできる。

[0276] なお、本技術は以下のような構成も取ることができる。

(1) 画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイと、

前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御

部と

を備える撮像素子。

(2) 前記制御部は、前記画素からの画素信号の読み出しを、前記画素に対応する前記モードのフレームレートで行うように制御する

(1)、(3)乃至(13)のいずれかに記載の撮像素子。

(3) 前記制御部は、さらに、各カラムのメインシャッタ動作およびプリシャッタ動作を前記モードのフレームレートで行うように制御する

(1)、(2)、(4)乃至(13)のいずれかに記載の撮像素子。

(4) 各カラムにおいて、各信号線に割り当てられる画素数が互いに異なる

(1)乃至(3)、(5)乃至(13)のいずれかに記載の撮像素子。

(5) 各カラムにおいて、画素信号の読み出しのモードに対応する信号線を、前記複数の信号線の中から選択する選択部をさらに備え、

前記制御部は、各カラムについて、前記選択部にいずれかの前記信号線を選択させ、前記選択部により選択された信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記選択部により選択された信号線を介して伝送させるように制御する

(1)乃至(4)、(6)乃至(13)のいずれかに記載の撮像素子。

(6) 前記制御部は、前記選択部に、選択する信号線を順次切り替えさせ、複数モードの画素信号の読み出しを時分割で行うように制御する

(1)乃至(5)、(7)乃至(13)のいずれかに記載の撮像素子。

(7) 前記画素アレイの各カラムの複数の前記信号線のそれぞれに、前記信号線に対応する前記モードに対応するダミー画素がさらに接続され、

前記制御部は、前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続されるダミー画素から画素信号を前記モードで読み出すように制御する

(1)乃至(6)、(8)乃至(13)のいずれかに記載の撮像素子。

(8) 前記制御部は、さらに、前記ダミー画素のシャッタ動作を前記モ

ードで行うように制御する

(1) 乃至 (7)、(9) 乃至 (13) のいずれかに記載の撮像素子。

(9) 前記画素アレイの各カラムにおいて、前記信号線を介して伝送される前記画素信号をA/D変換するA/D変換部をさらに備える

(1) 乃至 (8)、(10) 乃至 (13) のいずれかに記載の撮像素子。

(10) 前記画素アレイの各カラムにおいて、画素信号の読み出しのモードに対応する信号線を、前記複数の信号線の中から選択する選択部をさらに備え、

前記A/D変換部は、前記選択部により選択された前記信号線に接続される画素から読み出された前記画素信号をA/D変換する

(1) 乃至 (9)、(11) 乃至 (13) のいずれかに記載の撮像素子。

(11) 前記画素アレイの各カラムに対して、前記A/D変換部が複数備えられ、

前記選択部は、画素信号のA/D変換に用いる前記A/D変換部をさらに選択する

(1) 乃至 (10)、(12)、(13) のいずれかに記載の撮像素子。

(12) 前記制御部は、前記画素アレイの各カラムについて、前記選択部に複数の信号線と複数のA/D変換部を選択させ、

前記画素アレイの各カラムについて、前記選択部により選択された各信号線に接続される画素からの前記モードでの画素信号の読み出しを、前記信号線間で互いに並列に行うように制御する

(1) 乃至 (11)、(13) のいずれかに記載の撮像素子。

(13) 各画素の露光時間は、前記画素が接続される信号線に対応するモード毎に設定される

(1) 乃至 (12) のいずれかに記載の撮像素子。

(14) 画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対

応する画素が接続される画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出させ、

読み出させた前記画素信号を前記信号線を介して伝送させる制御方法。

(15) 被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイと、

前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御部と

を備える撮像装置。

(16) 画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイと、

前記画素アレイの各カラムの互いに異なる信号線を介して伝送される画素信号をA/D変換する複数のA/D変換部と、

互いに異なる前記A/D変換部によりA/D変換された前記画素信号を圧縮する複数の圧縮部と

前記画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出し、前記複数ラインの画素が

ら読み出された複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送し、前記複数の信号線を用いて伝送された前記複数ラインの画素信号を前記複数のA/D変換部を用いて並列にA/D変換し、互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号を前記複数の圧縮部を用いて並列に圧縮するように制御する制御部とを備える撮像素子。

(17) 前記複数の圧縮部は、前記複数ラインの画素信号の圧縮後のデータサイズが1単位期間内に伝送可能なサイズ以下になるように、各ラインの画素信号を圧縮する

(16)、(18)乃至(20)のいずれかに記載の撮像素子。

(18) 前記制御部は、2ラインずつ画像信号を読み出させ、前記複数の圧縮部は、各ラインの画素信号を、データサイズが半分になるように圧縮する

(16)、(17)、(19)、(20)のいずれかに記載の撮像素子。

(19) 前記圧縮部は、前記画素信号を、所定のビットレートで圧縮する

(16)乃至(18)、(20)のいずれかに記載の撮像素子。

(20) 互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号に対して、所定の信号処理を並列に行う複数の信号処理部をさらに備え、

前記複数の圧縮部は、互いに異なる前記信号処理部により前記信号処理が行われた互いに異なるラインの画素信号を並列に圧縮する

(16)乃至(19)のいずれかに記載の撮像素子。

(21) 画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出させ、

前記複数ラインの画素から読み出させた前記複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送させ、

前記複数の信号線を用いて伝送させた前記複数ラインの画素信号を並列にA/D変換させ、

A/D変換させた互いに異なるラインの画素信号を並列に圧縮させる制御方法。

(22) 被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイと、

前記画素アレイの各カラムの互いに異なる信号線を介して伝送される画素信号をA/D変換する複数のA/D変換部と、

互いに異なる前記A/D変換部によりA/D変換された前記画素信号を圧縮する複数の圧縮部と、

前記画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出し、前記複数ラインの画素から読み出された複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送し、前記複数の信号線を用いて伝送された前記複数ラインの画素信号を前記複数のA/D変換部を用いて並列にA/D変換し、互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号を前記複数の圧縮部を用いて並列に圧縮するように制御する制御部とを備える撮像装置。

(23) 画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが前記カラム

の画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部に対して複数個ずつ割り当てられ、それぞれが前記A/D変換部によりA/D変換された前記画素信号を記憶する複数のラッチと、

前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記A/D変換部を用いてA/D変換し、前記A/D変換部によりA/D変換された前記画素信号を、前記画素信号の読み出しのモードに応じて、前記A/D変換部に対応する複数のラッチのうちのいずれか若しくは全部に記憶し、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部と

を備える撮像素子。

(24) 前記複数のラッチから読み出された前記画素信号同士を加算若しくは減算する演算部をさらに備え、

前記制御部は、前記モードに応じて、前記複数のラッチから読み出された前記画素信号同士を、前記演算部を用いて加算若しくは減算するように制御する

(23)に記載の撮像素子。

(25) 画素アレイの各カラムについて、前記カラムの処理対象のラインの画素から画素信号を読み出させ、

前記画素から読み出させた前記画素信号をA/D変換させ、

A/D変換させた前記画素信号を、前記画素信号の読み出しのモードに応じて、複数のラッチのうちのいずれか若しくは全部に記憶させ、

前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶させている前記画素信号を読み出させる

制御方法。

(26) 被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部に対して複数個ずつ割り当てられ、それぞれが前記A/D変換部によりA/D変換された前記画素信号を記憶する複数のラッチと、

前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記A/D変換部を用いてA/D変換し、前記A/D変換部によりA/D変換された前記画素信号を、前記画素信号の読み出しのモードに応じて、前記A/D変換部に対応する複数のラッチのうちのいずれか若しくは全部に記憶し、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部と

を備える撮像装置。

(27) 画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部を用いてA/D変換するように制御する制御部と

を備える撮像素子。

(28) 前記制御部は、前記ランプ信号の傾きの大きさに応じて、各A/D変換部のランプ信号のオフセットを設定する

(27) または (29) に記載の撮像素子。

(29) 前記制御部は、前記ランプ信号の傾きが大きい場合、各A/D変換

部のランプ信号のオフセットの差が小さくなるように設定し、前記ランプ信号の傾きが小さい場合、各A/D変換部のランプ信号のオフセットの差が大きくなるように設定する

(27) または(28)に記載の撮像素子。

(30) 画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部のそれぞれのランプ信号のオフセットを互いに異なる値に設定し、

前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出させ、

前記画素から読み出させた前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部にA/D変換させる

制御方法。

(31) 被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部を用いてA/D変換するように制御する制御部と

を備える撮像装置。

符号の説明

[0277] 100 CMOSイメージセンサ, 111 画素アレイ部, 112 読み出し部, 113 D/A変換部, 121 カラム画素部, 122 選択部, 123 カラムA/D変換部, 124 水平転送部, 131 センサコントローラ, 132 垂直走査部, 133 水平走査部, 141 アドレスデコーダ, 142 画素駆動部, 151 単位画素, 161 フォトダイオード, 162 読み出しトランジスタ, 163 リセットトランジスタ, 164 増幅トランジスタ, 165 セレクトトランジスタ, 181 電流源, 182 比較部, 183 カウンタ, 200 CMOSイメージセンサ, 221 水平処理部, 222 圧縮部, 223 出力部, 300 CMOSイメージセンサ, 311 画素アレイ部, 312 A/D変換部, 313 水平転送路, 314 増幅部, 315 演算部, 316 画像処理部, 321 単位画素, 331 制御部, 332 垂直走査部, 333 水平走査部, 351 D/A変換部, 352 比較部, 353 カウンタ, 354 セレクタ, 355 データラッチ, 500 CMOSイメージセンサ, 501 画素チップ, 502 回路チップ, 511 画素領域, 512 周辺回路領域, 513および514 ビア領域, 600 撮像装置, 612 CMOSイメージセンサ, 613 画像処理部, 621 制御部

請求の範囲

- [請求項1] 画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイと、
- 前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御部と
- を備える撮像素子。
- [請求項2] 前記制御部は、前記画素からの画素信号の読み出しを、前記画素に対応する前記モードのフレームレートで行うように制御する
- 請求項1に記載の撮像素子。
- [請求項3] 前記制御部は、さらに、各カラムのメインシャッタ動作およびプリシャッタ動作を前記モードのフレームレートで行うように制御する
- 請求項2に記載の撮像素子。
- [請求項4] 各カラムにおいて、各信号線に割り当てられる画素数が互いに異なる
- 請求項1に記載の撮像素子。
- [請求項5] 各カラムにおいて、画素信号の読み出しのモードに対応する信号線を、前記複数の信号線の中から選択する選択部をさらに備え、
- 前記制御部は、各カラムについて、前記選択部にいずれかの前記信号線を選択させ、前記選択部により選択された信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記選択部により選択された信号線を介して伝送させるように制御する
- 請求項1に記載の撮像素子。
- [請求項6] 前記制御部は、前記選択部に、選択する信号線を順次切り替えさせ

、複数モードの画素信号の読み出しを時分割で行うように制御する
請求項 5 に記載の撮像素子。

[請求項7] 前記画素アレイの各カラムの複数の前記信号線のそれぞれに、前記信号線に対応する前記モードに対応するダミー画素がさらに接続され、

前記制御部は、前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続されるダミー画素から画素信号を前記モードで読み出すように制御する

請求項 1 に記載の撮像素子。

[請求項8] 前記制御部は、さらに、前記ダミー画素のシャッタ動作を前記モードで行うように制御する

請求項 7 に記載の撮像素子。

[請求項9] 前記画素アレイの各カラムにおいて、前記信号線を介して伝送される前記画素信号をA/D変換するA/D変換部をさらに備える

請求項 1 に記載の撮像素子。

[請求項10] 前記画素アレイの各カラムにおいて、画素信号の読み出しのモードに対応する信号線を、前記複数の信号線の中から選択する選択部をさらに備え、

前記A/D変換部は、前記選択部により選択された前記信号線に接続される画素から読み出された前記画素信号をA/D変換する

請求項 9 に記載の撮像素子。

[請求項11] 前記画素アレイの各カラムに対して、前記A/D変換部が複数備えられ、

前記選択部は、画素信号のA/D変換に用いる前記A/D変換部をさらに選択する

請求項 10 に記載の撮像素子。

[請求項12] 前記制御部は、前記画素アレイの各カラムについて、前記選択部に複数の信号線と複数のA/D変換部を選択させ、

前記画素アレイの各カラムについて、前記選択部により選択された各信号線に接続される画素からの前記モードでの画素信号の読み出しを、前記信号線間で互いに並列に行うように制御する

請求項 1 1 に記載の撮像素子。

[請求項13] 各画素の露光時間は、前記画素が接続される信号線に対応するモード毎に設定される

請求項 1 に記載の撮像素子。

[請求項14] 画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出させ、

読み出させた前記画素信号を前記信号線を介して伝送させる制御方法。

[請求項15] 被写体を撮像する撮像部と、
前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの複数の前記信号線のそれぞれに、前記画素信号の読み出しの互いに異なるモードが割り当てられ、前記モードに対応する画素が接続される画素アレイと、

前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御部と

を備える撮像装置。

[請求項16]

画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイと、

前記画素アレイの各カラムの互いに異なる信号線を介して伝送される画素信号をA/D変換する複数のA/D変換部と、

互いに異なる前記A/D変換部によりA/D変換された前記画素信号を圧縮する複数の圧縮部と

前記画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出し、前記複数ラインの画素から読み出された複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送し、前記複数の信号線を用いて伝送された前記複数ラインの画素信号を前記複数のA/D変換部を用いて並列にA/D変換し、互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号を前記複数の圧縮部を用いて並列に圧縮するように制御する制御部と

を備える撮像素子。

[請求項17]

前記複数の圧縮部は、前記複数ラインの画素信号の圧縮後のデータサイズが1単位期間内に伝送可能なサイズ以下になるように、各ラインの画素信号を圧縮する

請求項16に記載の撮像素子。

[請求項18]

前記制御部は、2ラインずつ画像信号を読み出させ、

前記複数の圧縮部は、各ラインの画素信号を、データサイズが半分になるように圧縮する

請求項17に記載の撮像素子。

[請求項19]

前記圧縮部は、前記画素信号を、所定のビットレートで圧縮する

請求項16に記載の撮像素子。

[請求項20]

互いに異なる前記A/D変換部によりA/D変換された互いに異なるライ

ンの画素信号に対して、所定の信号処理を並列に行う複数の信号処理部をさらに備え、

前記複数の圧縮部は、互いに異なる前記信号処理部により前記信号処理が行われた互いに異なるラインの画素信号を並列に圧縮する

請求項 16 に記載の撮像素子。

[請求項21]

画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出させ、

前記複数ラインの画素から読み出させた前記複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送させ、

前記複数の信号線を用いて伝送させた前記複数ラインの画素信号を並列にA/D変換させ、

A/D変換させた互いに異なるラインの画素信号を並列に圧縮させる制御方法。

[請求項22]

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素から読み出される画素信号を伝送する信号線が各カラムに対して複数割り当てられ、各カラムの画素が、前記カラムに割り当てられた複数の前記信号線のいずれかに接続される画素アレイと、

前記画素アレイの各カラムの互いに異なる信号線を介して伝送される画素信号をA/D変換する複数のA/D変換部と、

互いに異なる前記A/D変換部によりA/D変換された前記画素信号を

圧縮する複数の圧縮部と、

前記画素アレイの各カラムの、互いに異なる前記信号線に割り当てられた複数ラインの画素から画素信号を並列に読み出し、前記複数ラインの画素から読み出された複数ラインの画素信号を、それぞれ、前記画素に対応する前記信号線を用いて並列に伝送し、前記複数の信号線を用いて伝送された前記複数ラインの画素信号を前記複数のA/D変換部を用いて並列にA/D変換し、互いに異なる前記A/D変換部によりA/D変換された互いに異なるラインの画素信号を前記複数の圧縮部を用いて並列に圧縮するように制御する制御部と

を備える撮像装置。

[請求項23]

画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部に対して複数個ずつ割り当てられ、それぞれが前記A/D変換部によりA/D変換された前記画素信号を記憶する複数のラッチと、

前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記A/D変換部を用いてA/D変換し、前記A/D変換部によりA/D変換された前記画素信号を、前記画素信号の読み出しのモードに応じて、前記A/D変換部に対応する複数のラッチのうちのいずれか若しくは全部に記憶し、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部と

を備える撮像素子。

[請求項24]

前記複数のラッチから読み出された前記画素信号同士を加算若しくは減算する演算部をさらに備え、

前記制御部は、前記モードに応じて、前記複数のラッチから読み出された前記画素信号同士を、前記演算部を用いて加算若しくは減算するように制御する

請求項 2 3 に記載の撮像素子。

[請求項25] 画素アレイの各カラムについて、前記カラムの処理対象のラインの画素から画素信号を読み出させ、

前記画素から読み出させた前記画素信号をA/D変換させ、

A/D変換させた前記画素信号を、前記画素信号の読み出しのモードに応じて、複数のラッチのうちのいずれか若しくは全部に記憶させ、

前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶させている前記画素信号を読み出させる

制御方法。

[請求項26] 被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部に対して複数個ずつ割り当てられ、それぞれが前記A/D変換部によりA/D変換された前記画素信号を記憶する複数のラッチと、

前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記A/D変換部を用いてA/D変換し、前記A/D変換部によりA/D変換された前記画素信号を、前記画素信号の読み

出しのモードに応じて、前記A/D変換部に対応する複数のラッチのうちのいずれか若しくは全部に記憶し、前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部と

を備える撮像装置。

[請求項27]

画素アレイと、

前記画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部を用いてA/D変換するように制御する制御部と

を備える撮像素子。

[請求項28]

前記制御部は、前記ランプ信号の傾きの大きさに応じて、各A/D変換部のランプ信号のオフセットを設定する

請求項27に記載の撮像素子。

[請求項29]

前記制御部は、前記ランプ信号の傾きが大きい場合、各A/D変換部のランプ信号のオフセットの差が小さくなるように設定し、前記ランプ信号の傾きが小さい場合、各A/D変換部のランプ信号のオフセットの差が大きくなるように設定する

請求項28に記載の撮像素子。

[請求項30]

画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部のそれぞれのランプ信号のオフセットを互いに異なる値に設定し、

前記画素アレイの各カラムにおいて、処理対象のラインの画素から

画素信号を読み出させ、

前記画素から読み出させた前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部にA/D変換させる

制御方法。

[請求項31]

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

画素アレイと、

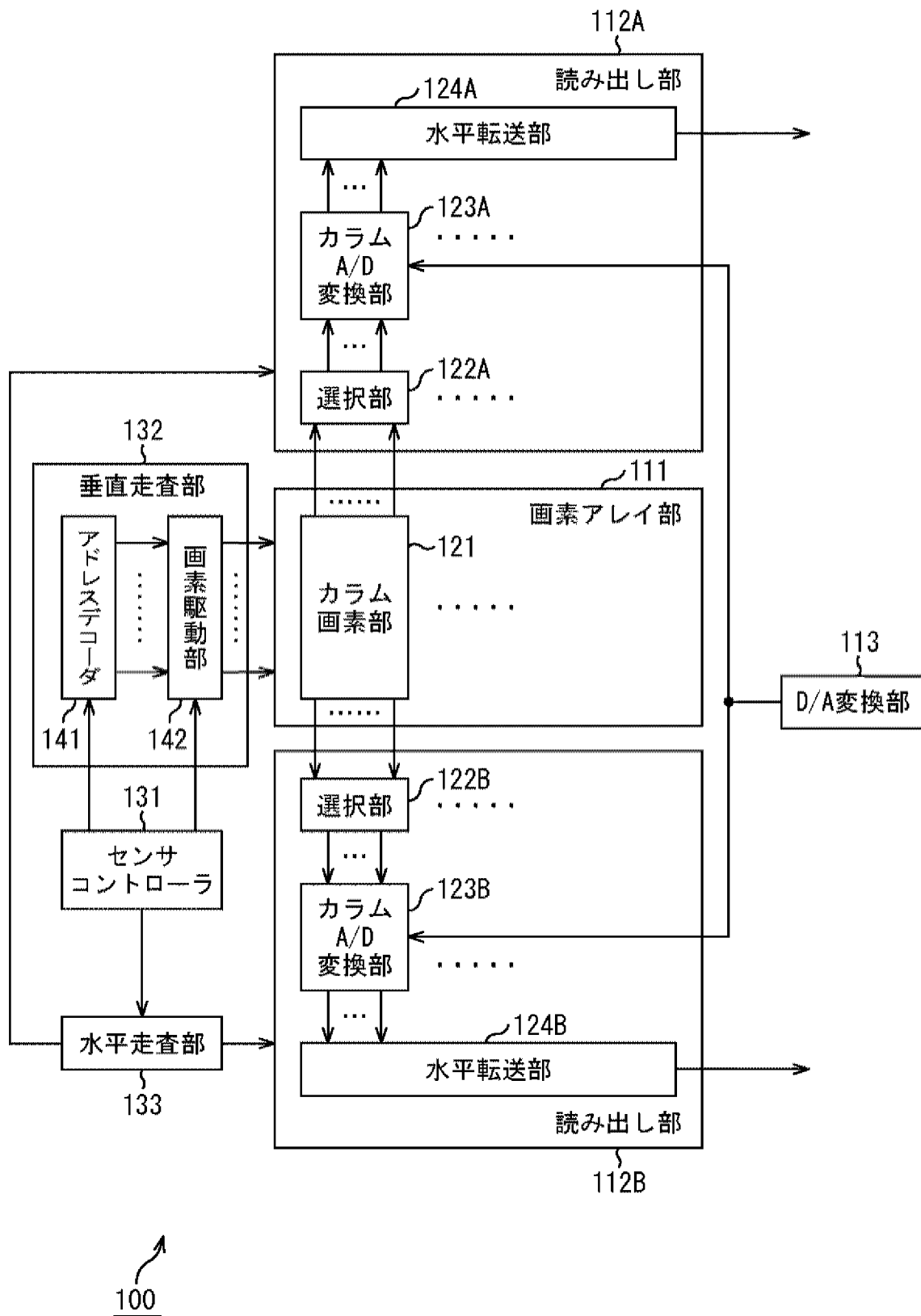
前記画素アレイの各カラムに対して割り当てられ、それぞれが、互いに異なるランプ信号を用いて、前記カラムの画素から読み出された画素信号をA/D変換する複数のA/D変換部と、

各A/D変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記複数のA/D変換部を用いてA/D変換するように制御する制御部と

を備える撮像装置。

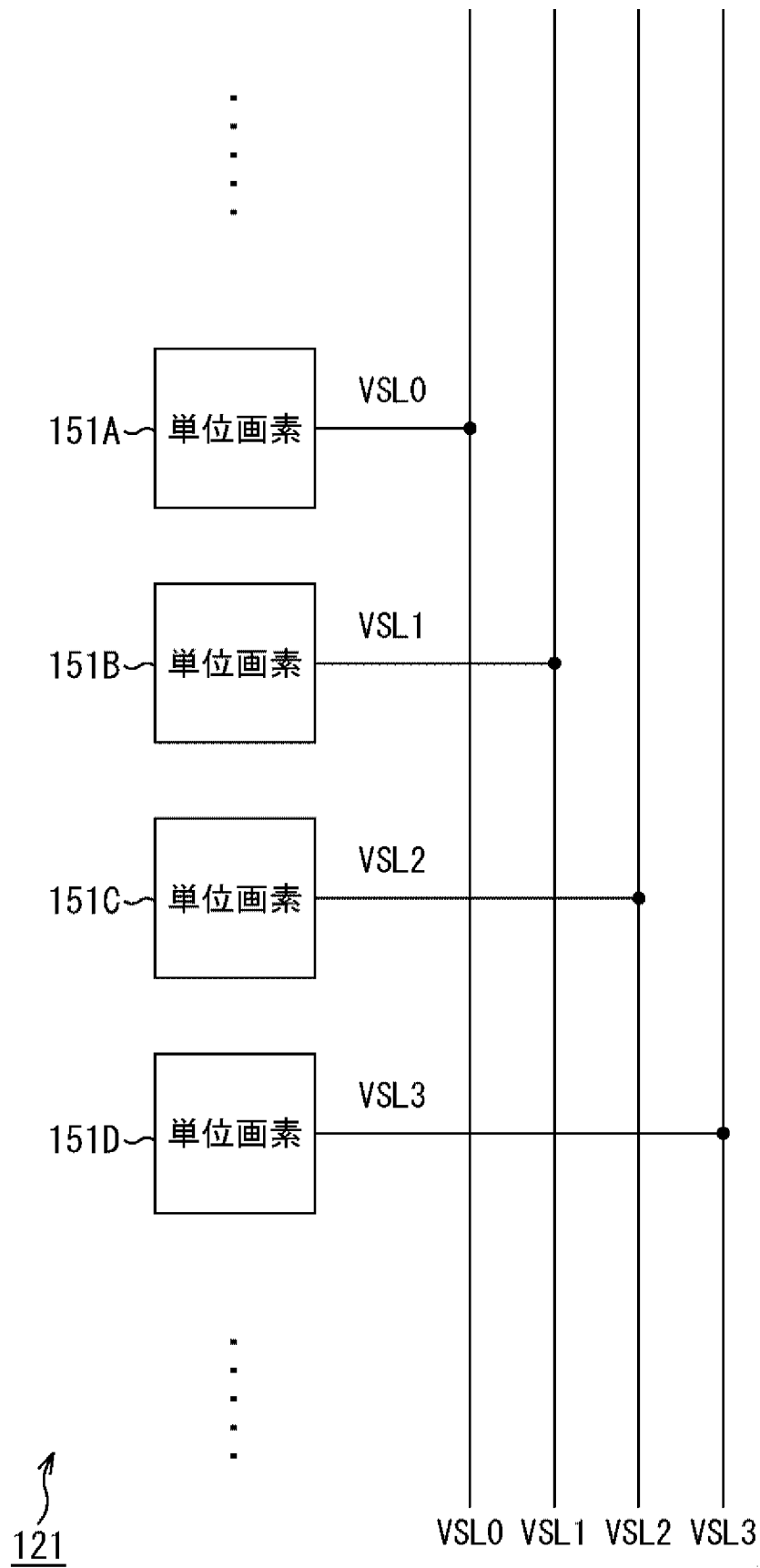
[図1]

図1



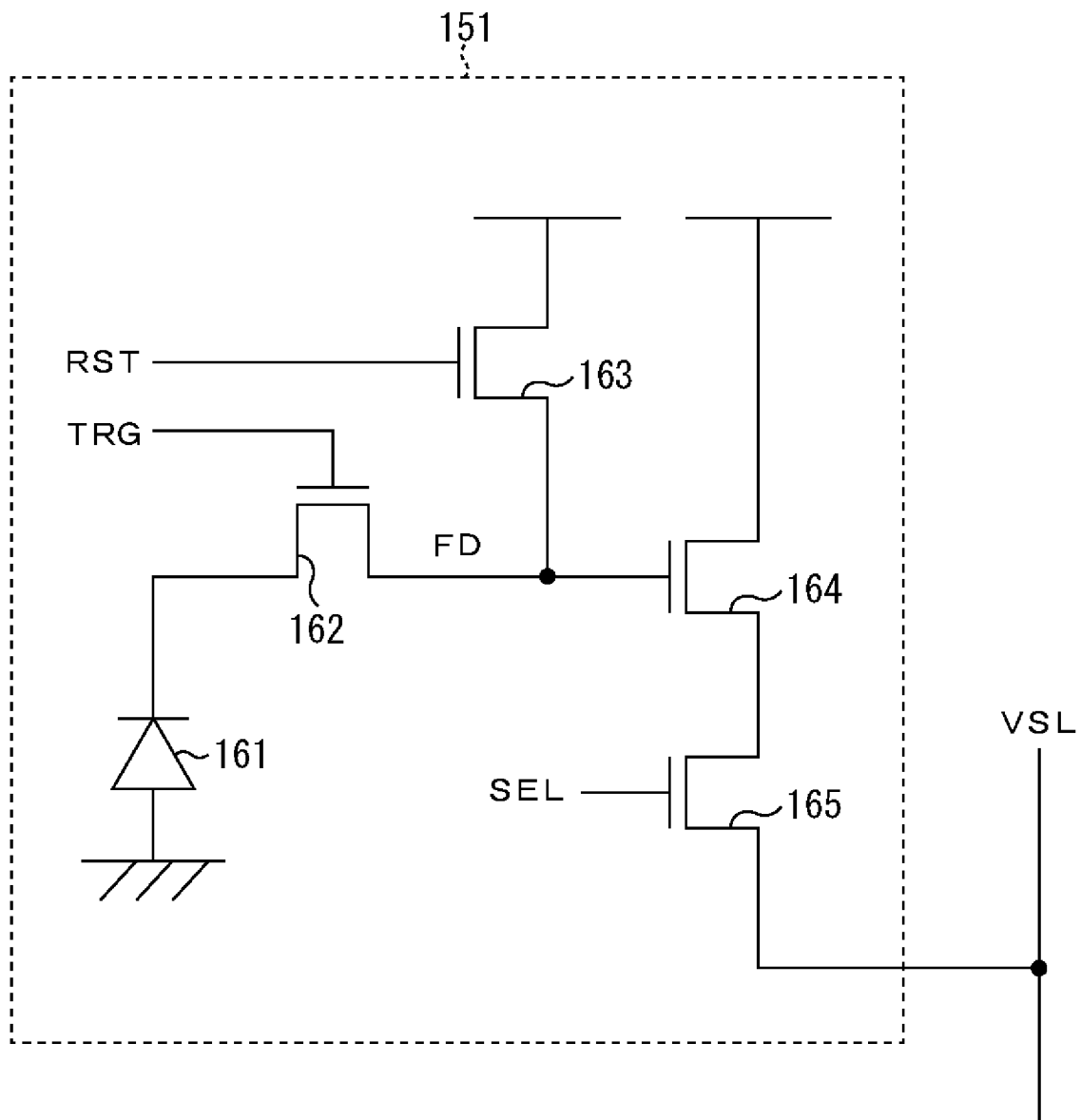
[図2]

図2



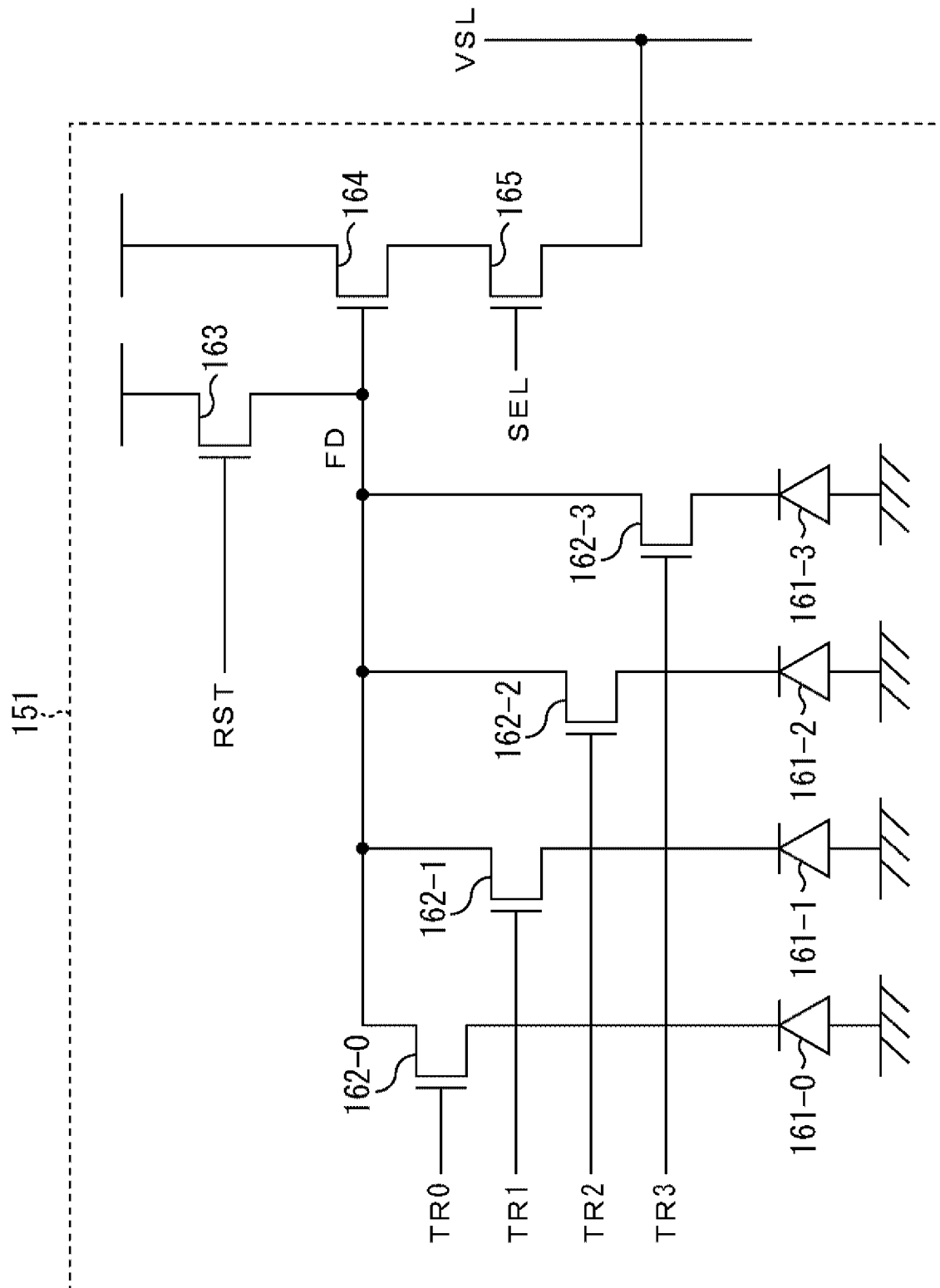
[図3]

図3



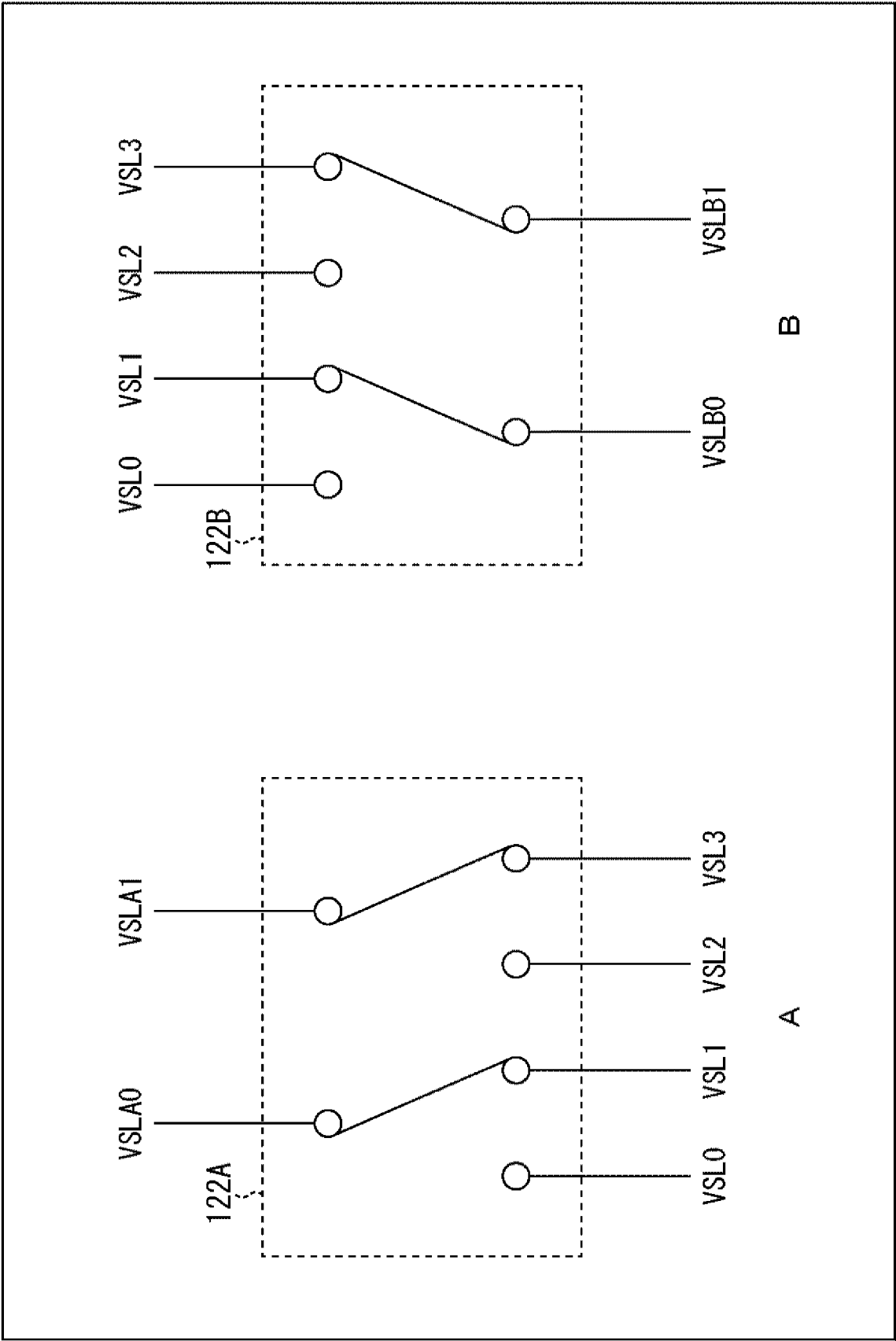
[図4]

図4



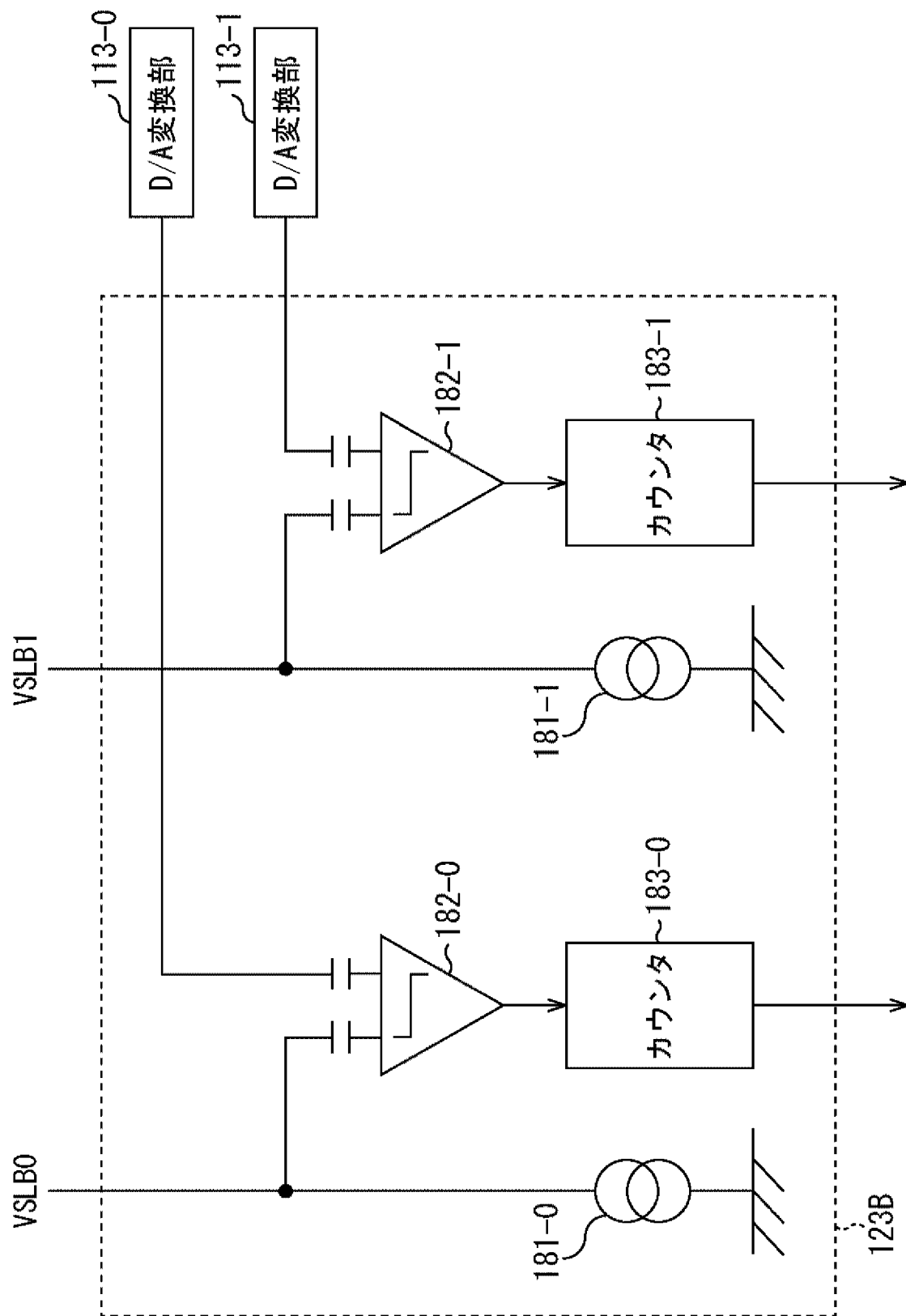
[図5]

図5



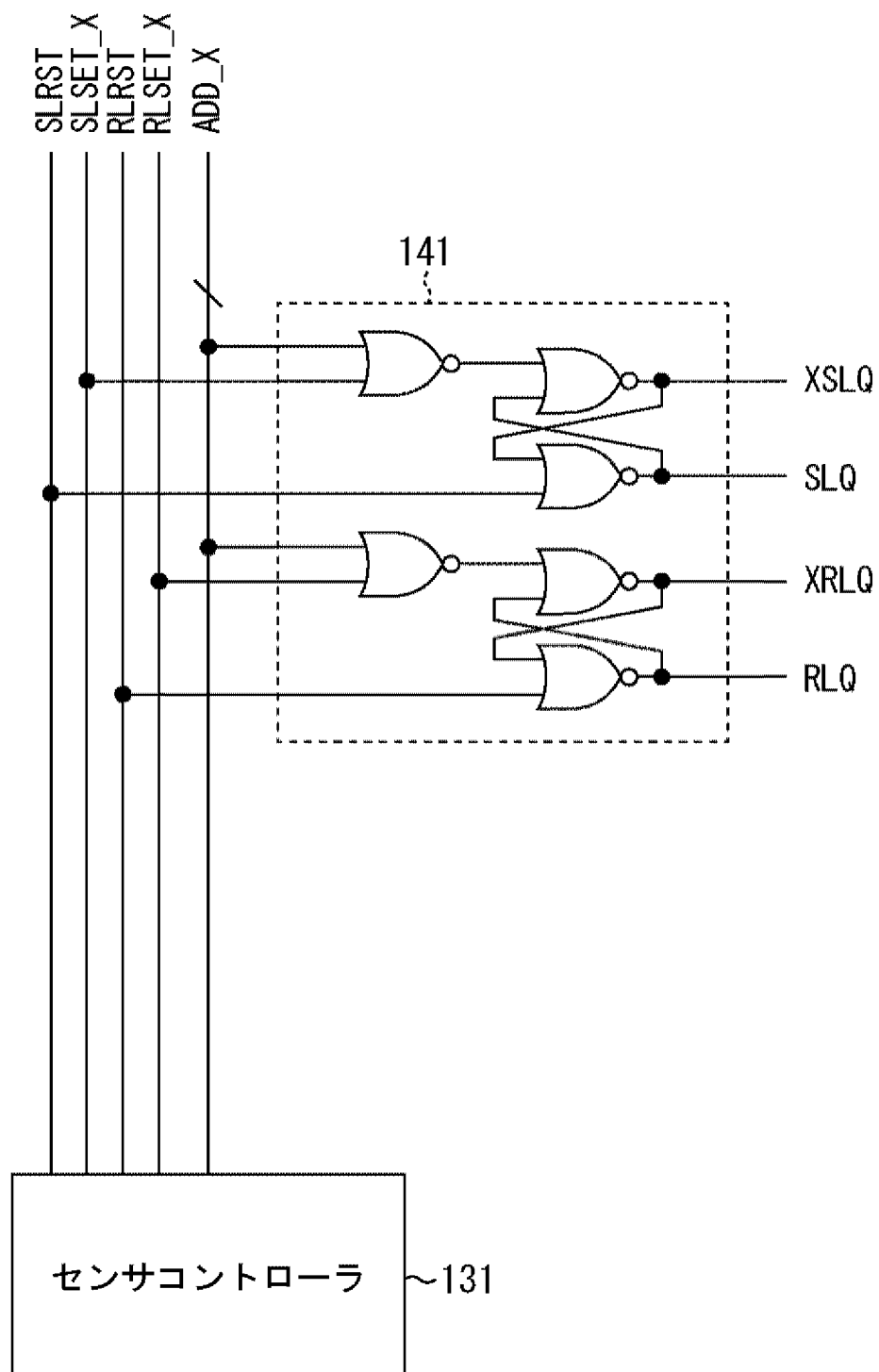
[図6]

図6



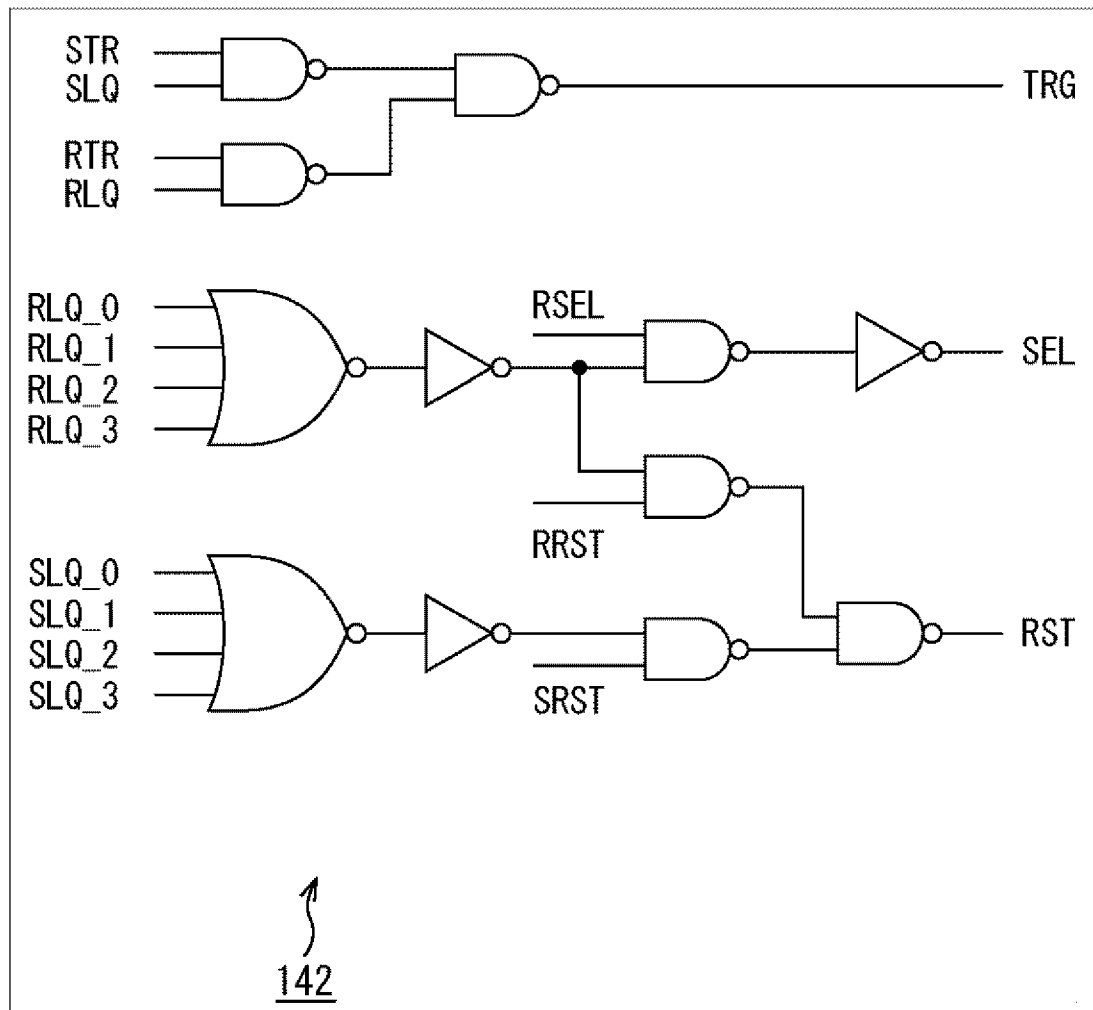
[図7]

図7

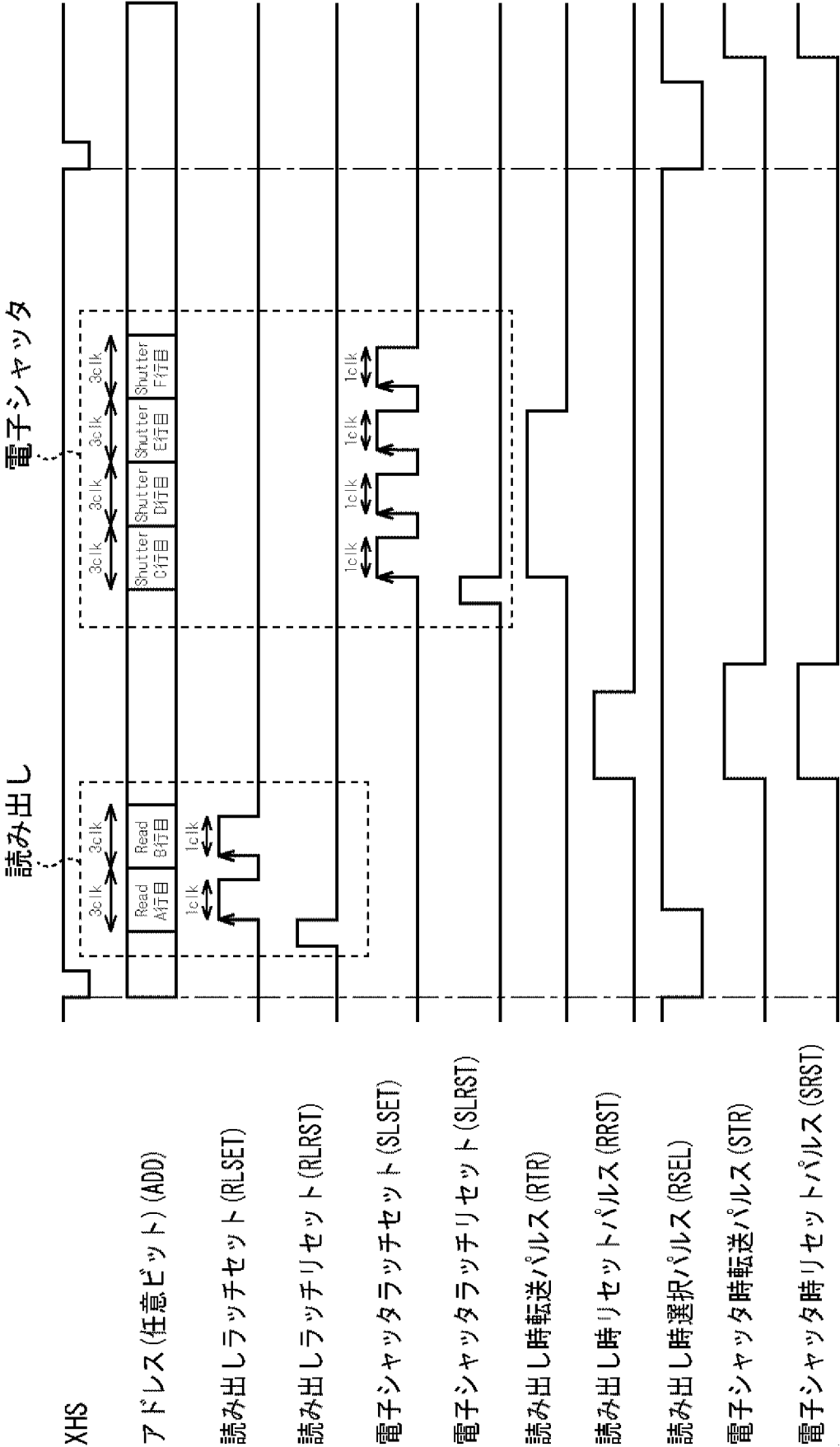


[図8]

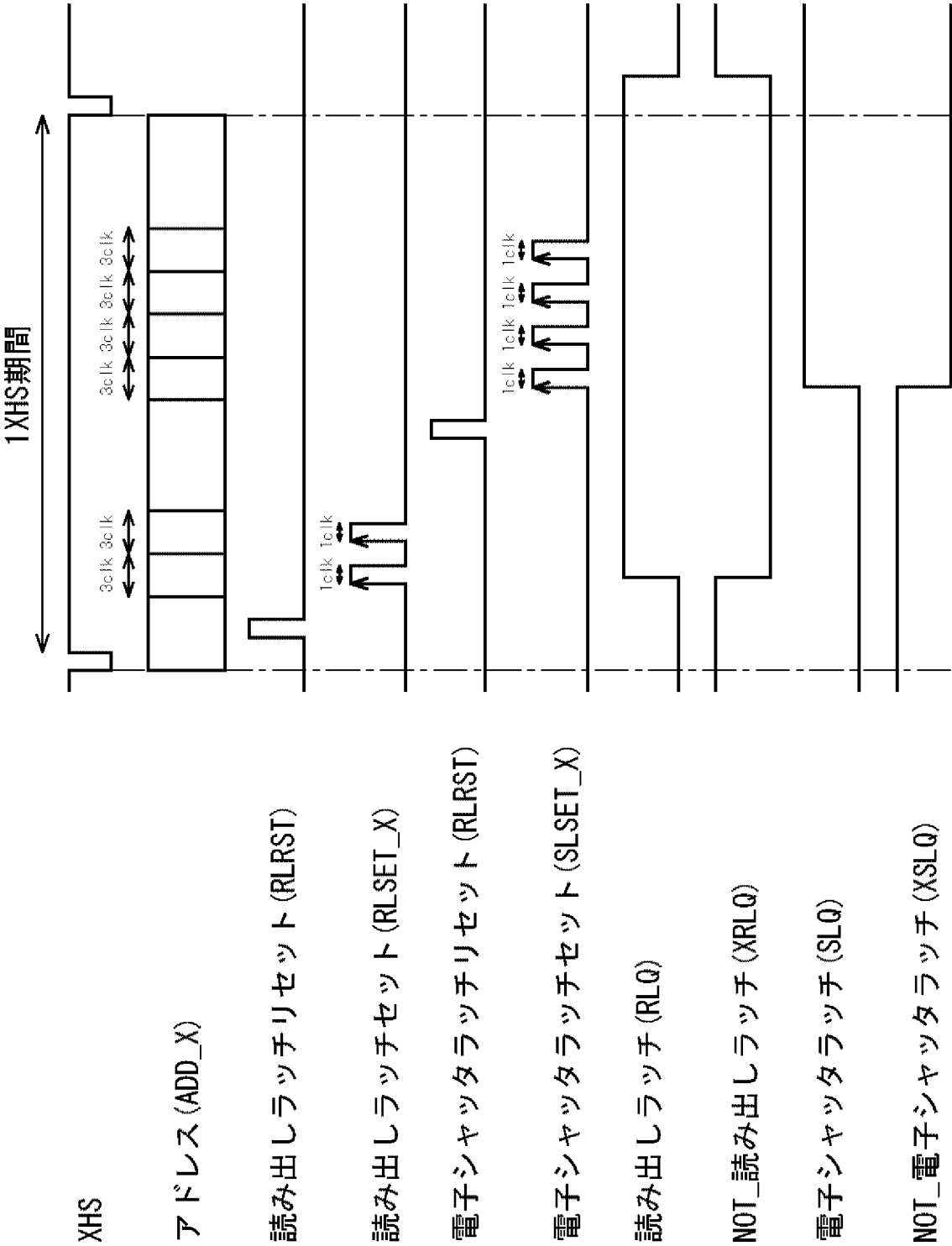
図8



[図9]
図9

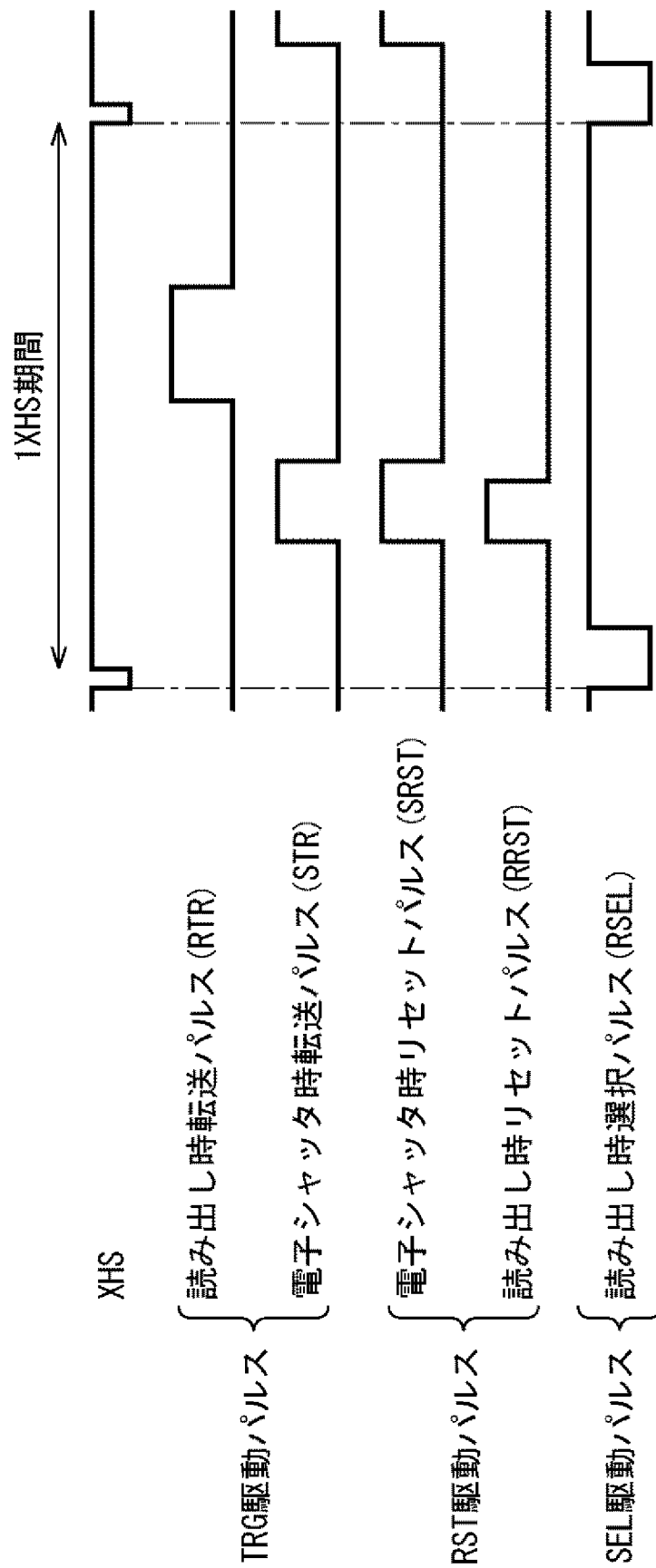


[図10]
図10



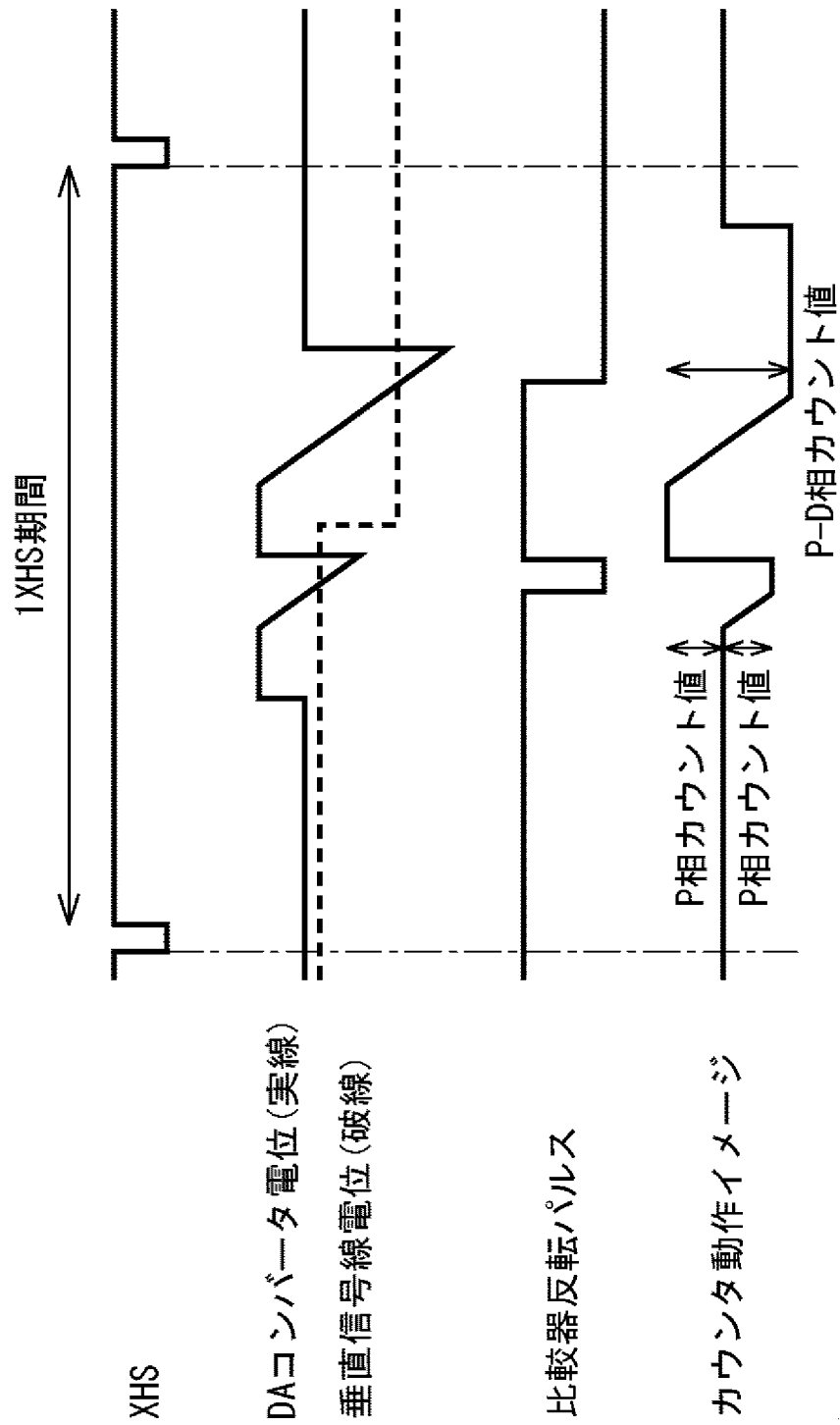
[図11]

図11



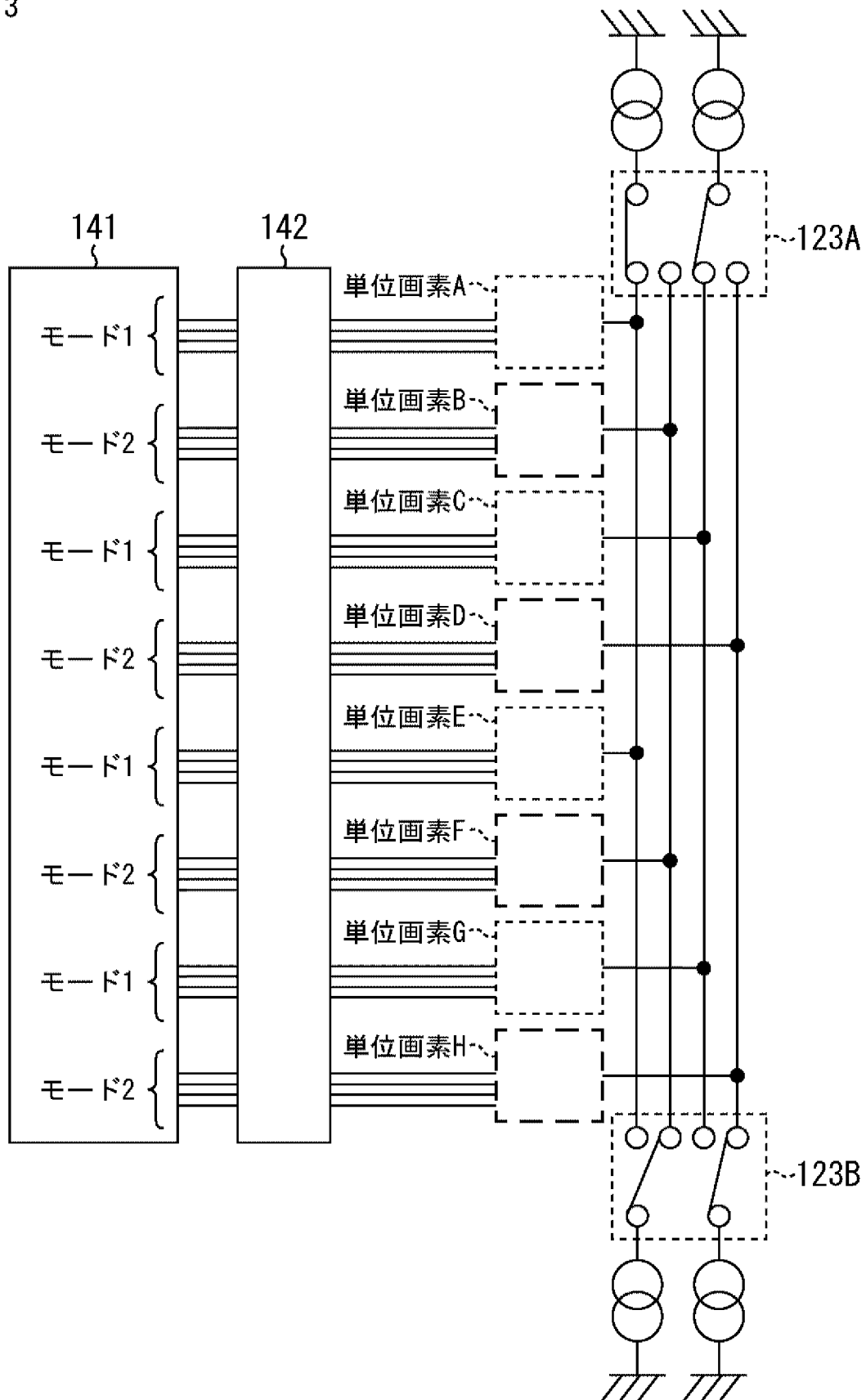
[図12]

図12

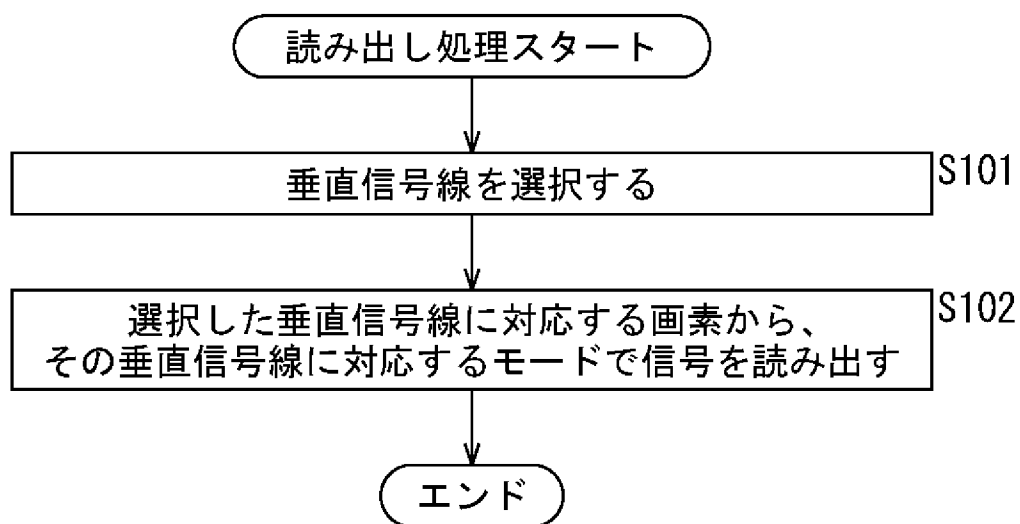


[図13]

図13

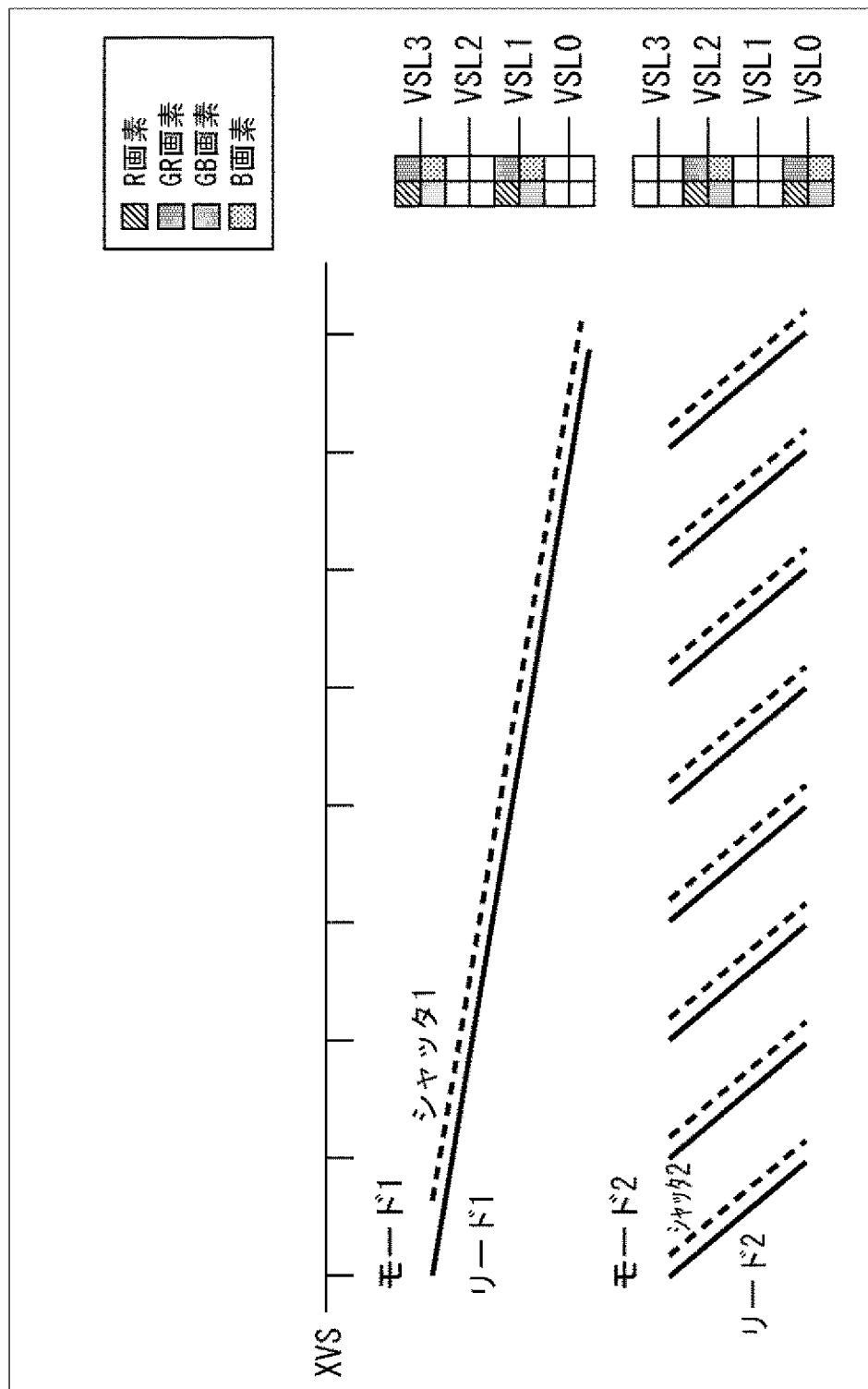


[図14]
図14



[図15]

図15



[図16]

図16

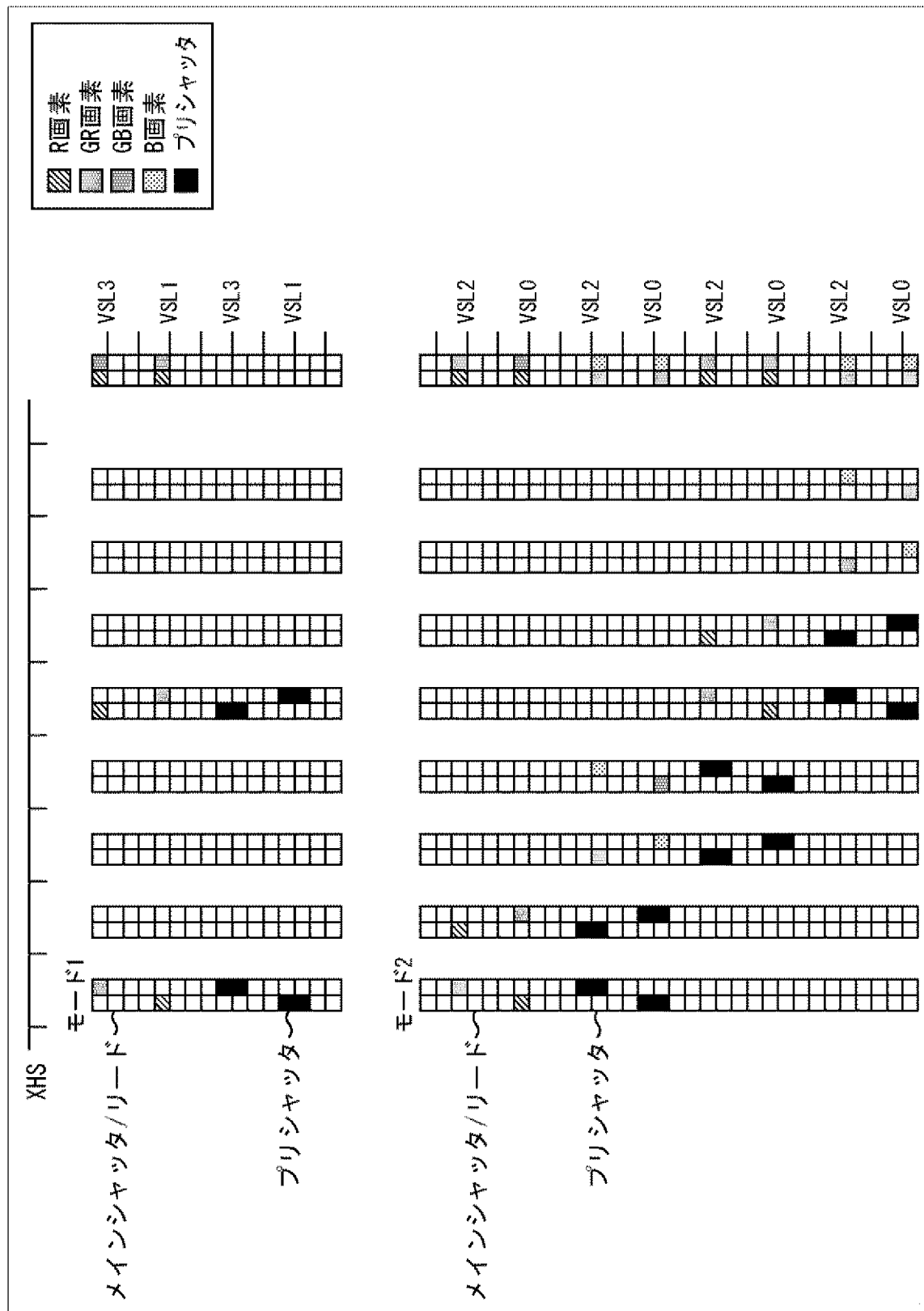
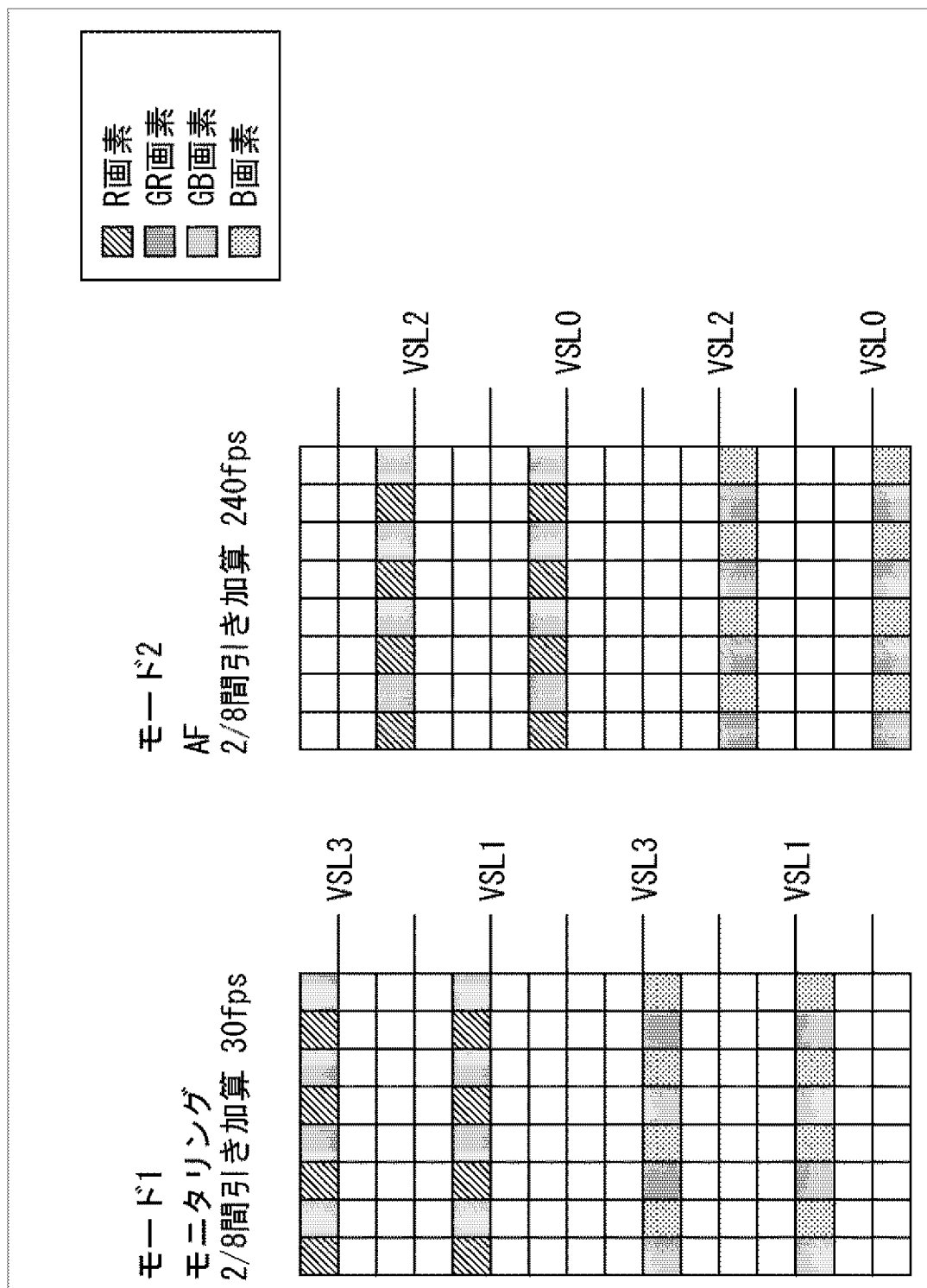
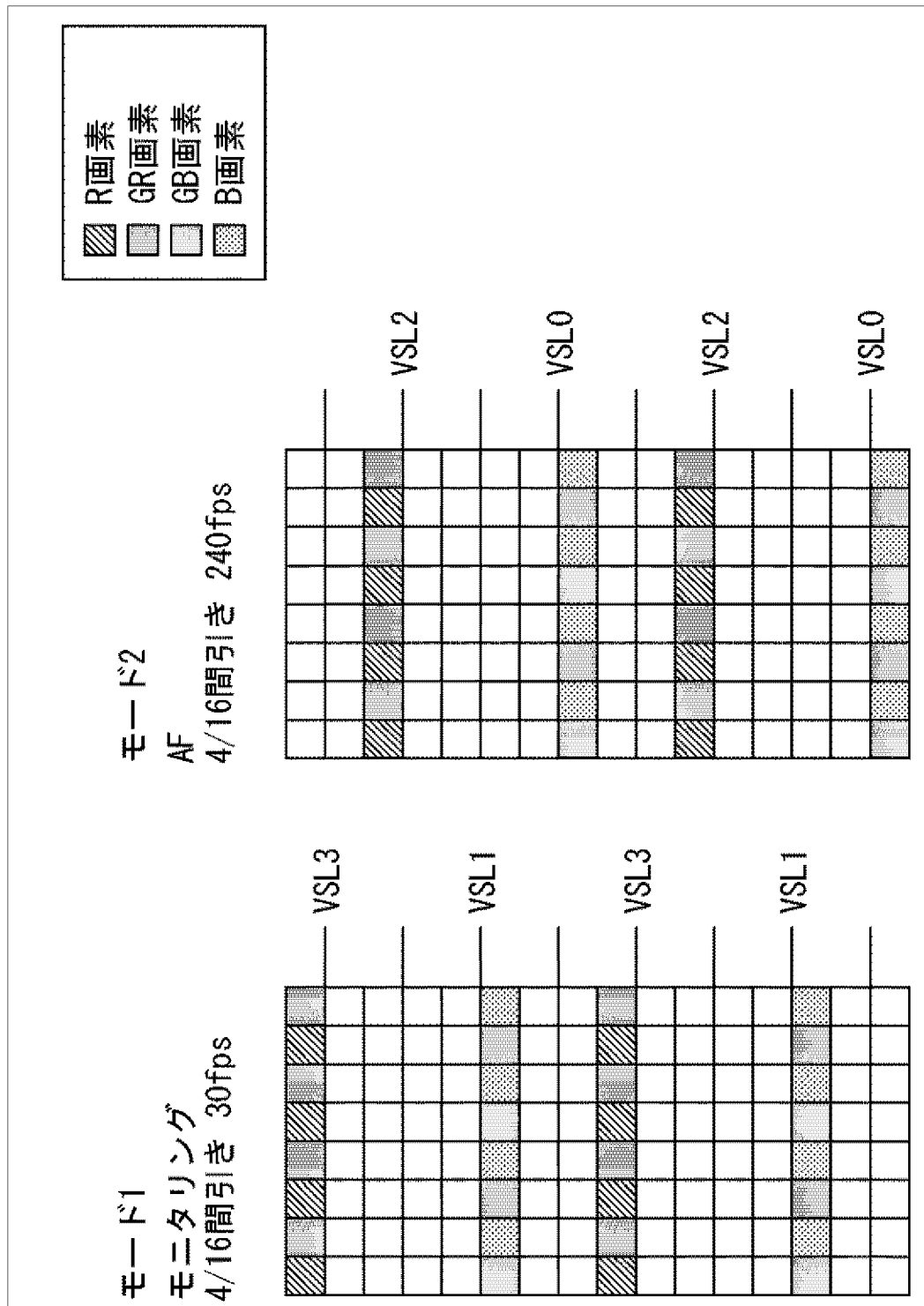


图17



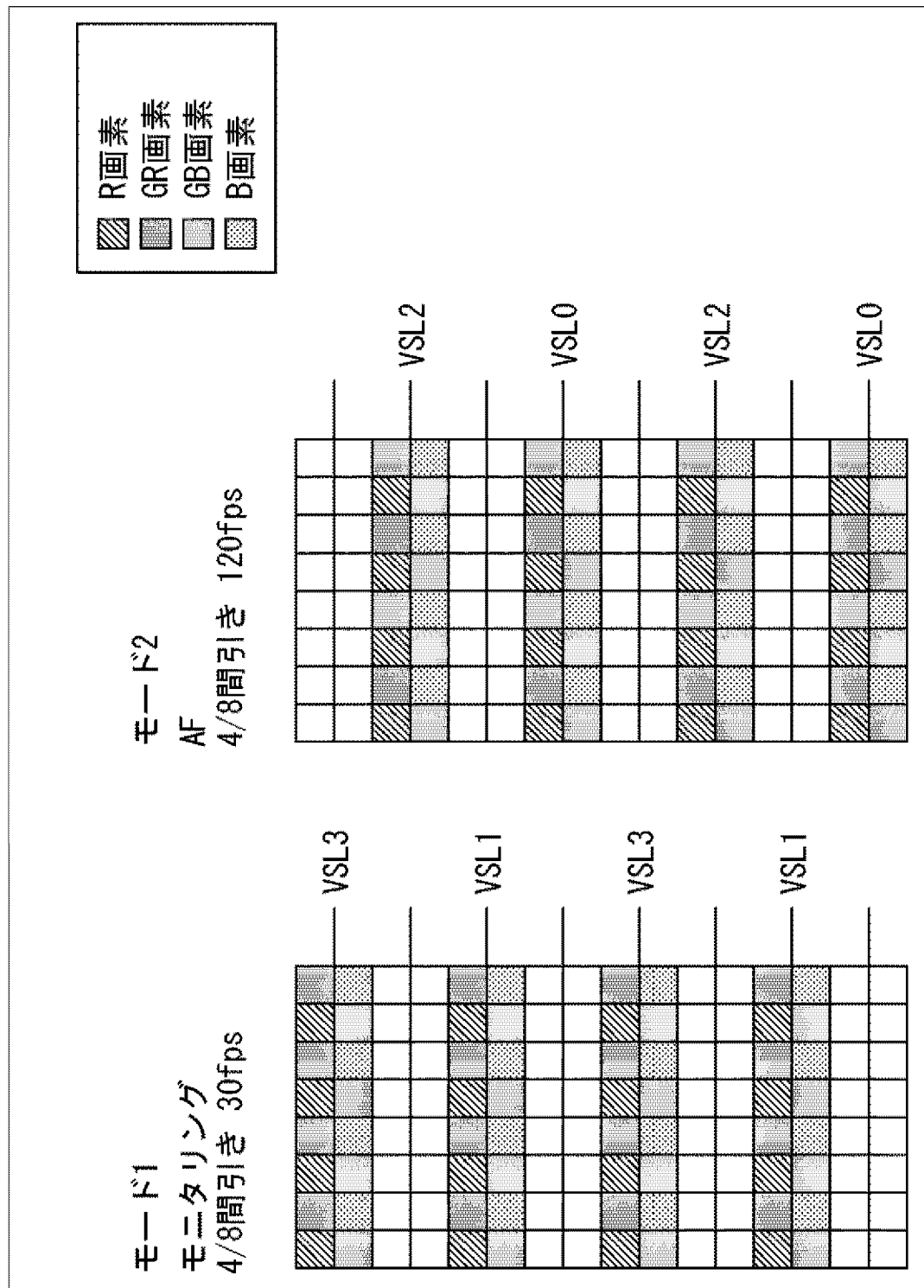
[図18]

図18



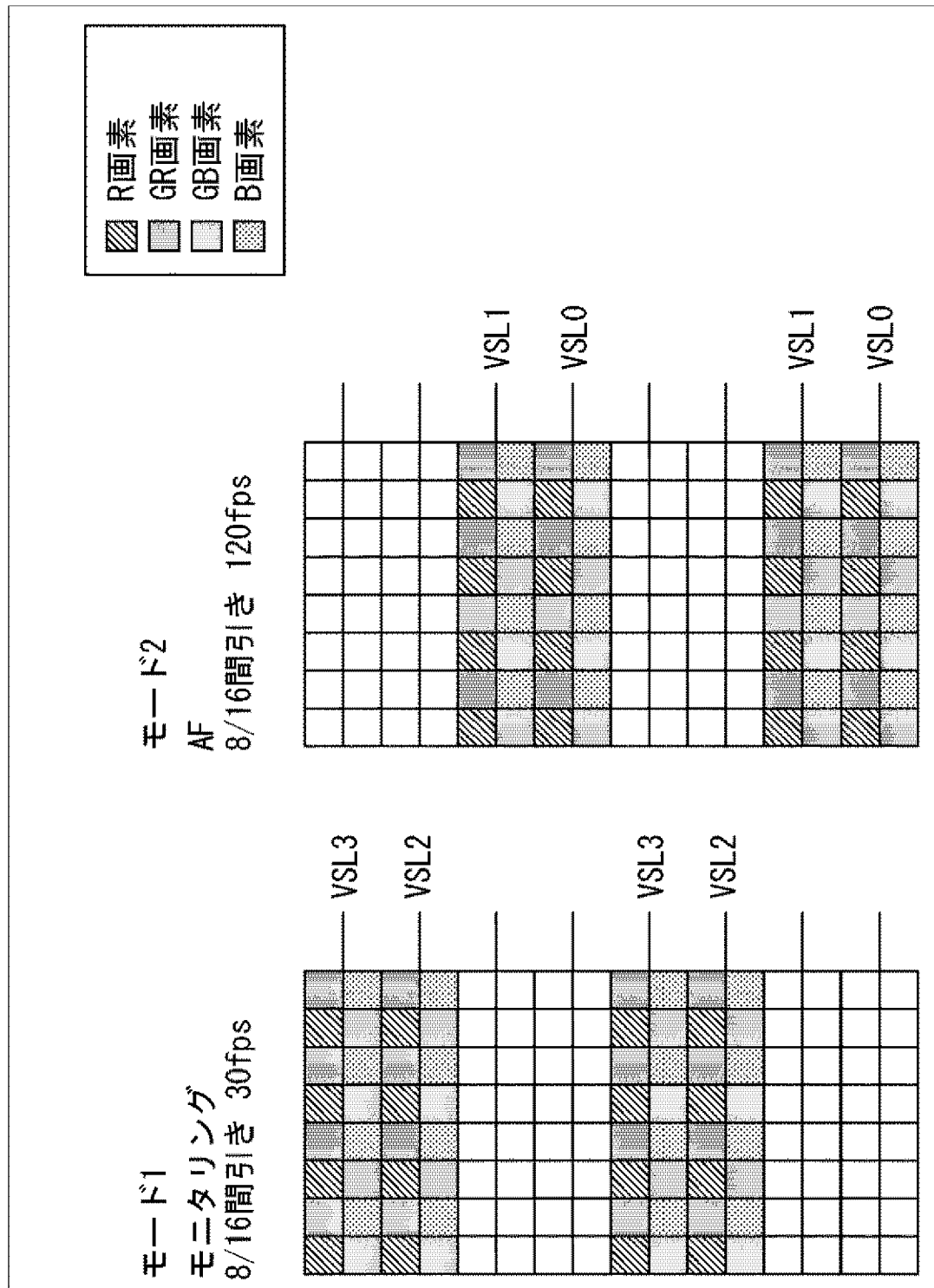
[図19]

図19



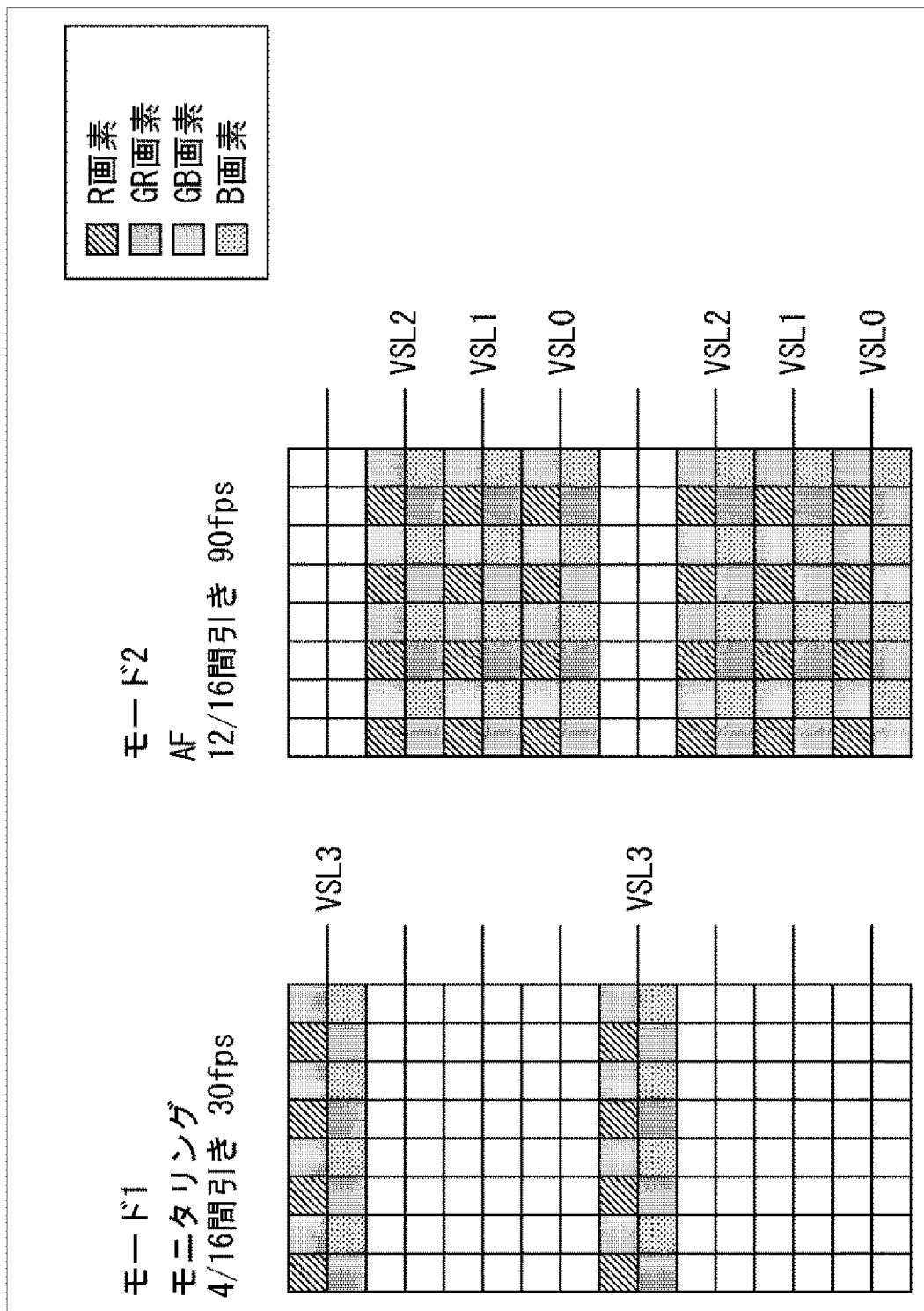
[図20]

図20

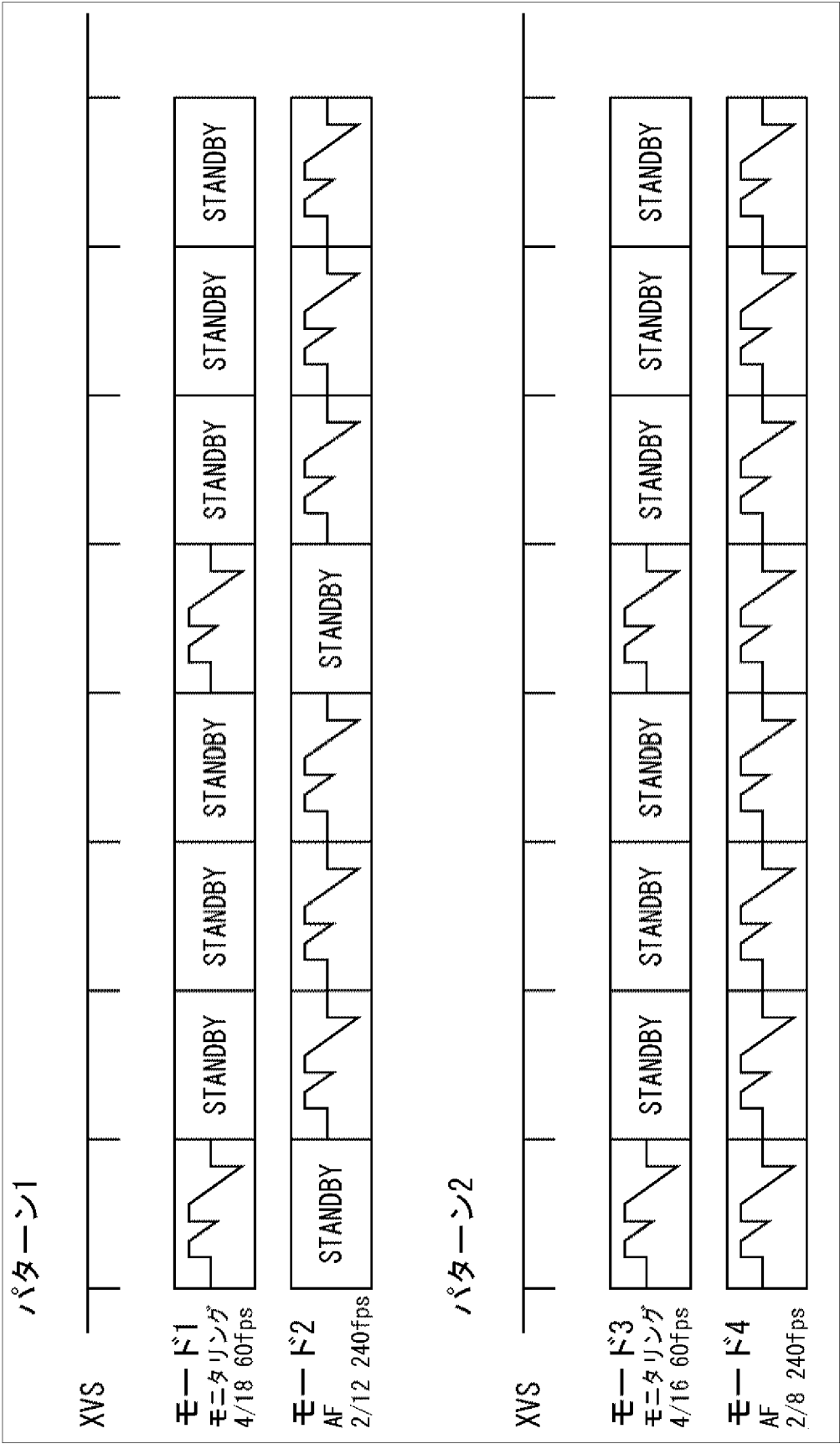


[図21]

図21

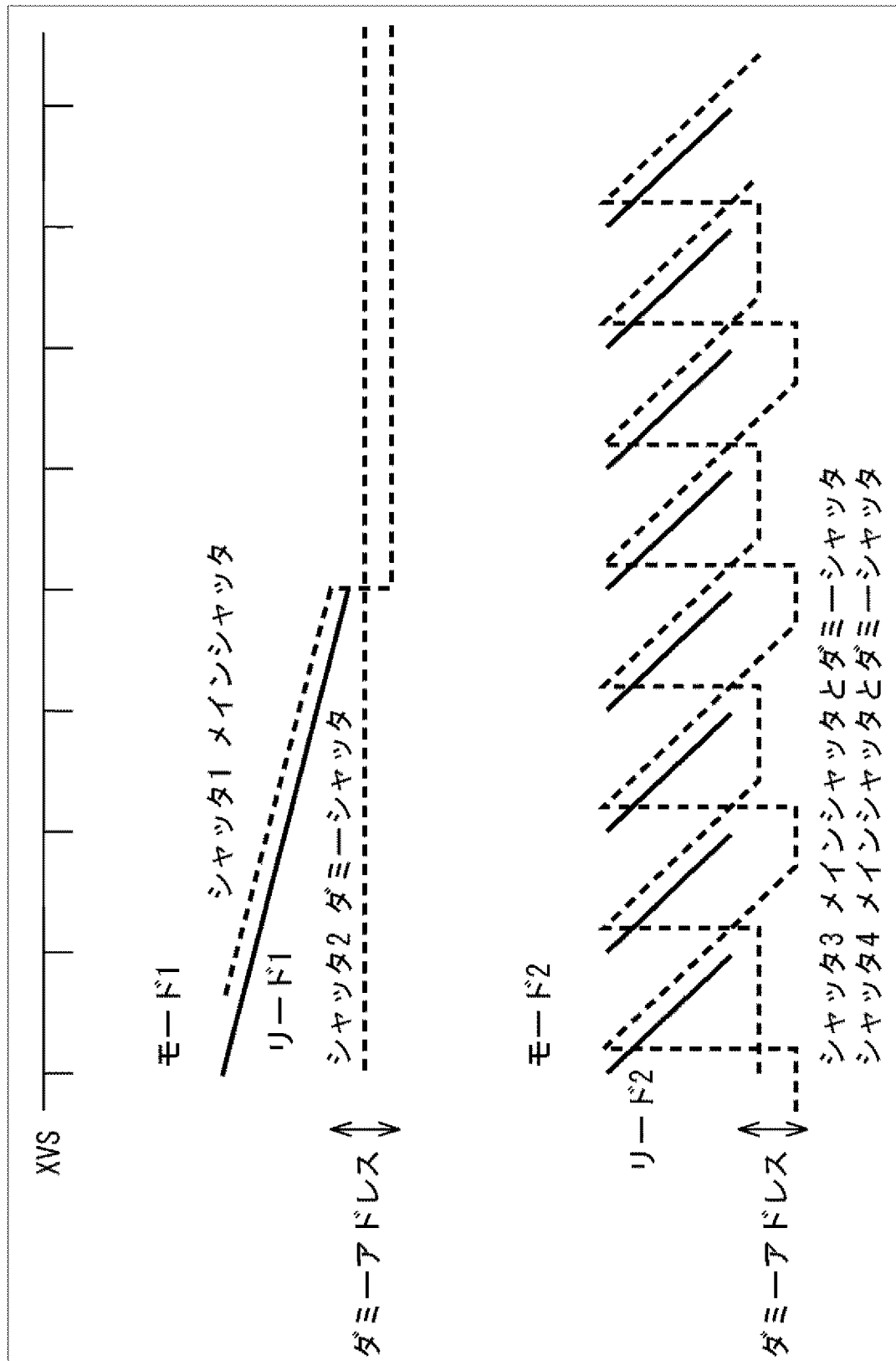


[図22]
図22



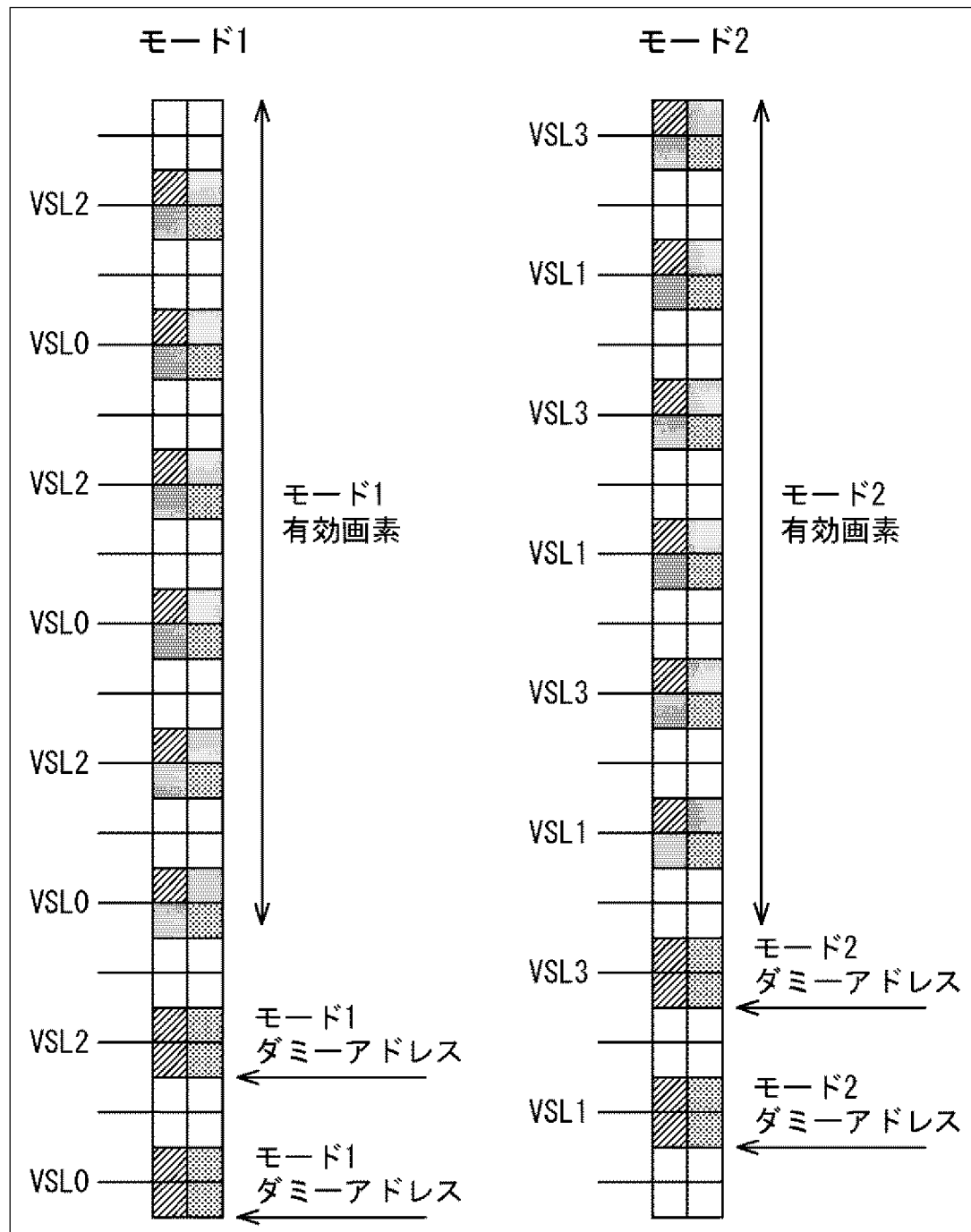
[図23]

図23



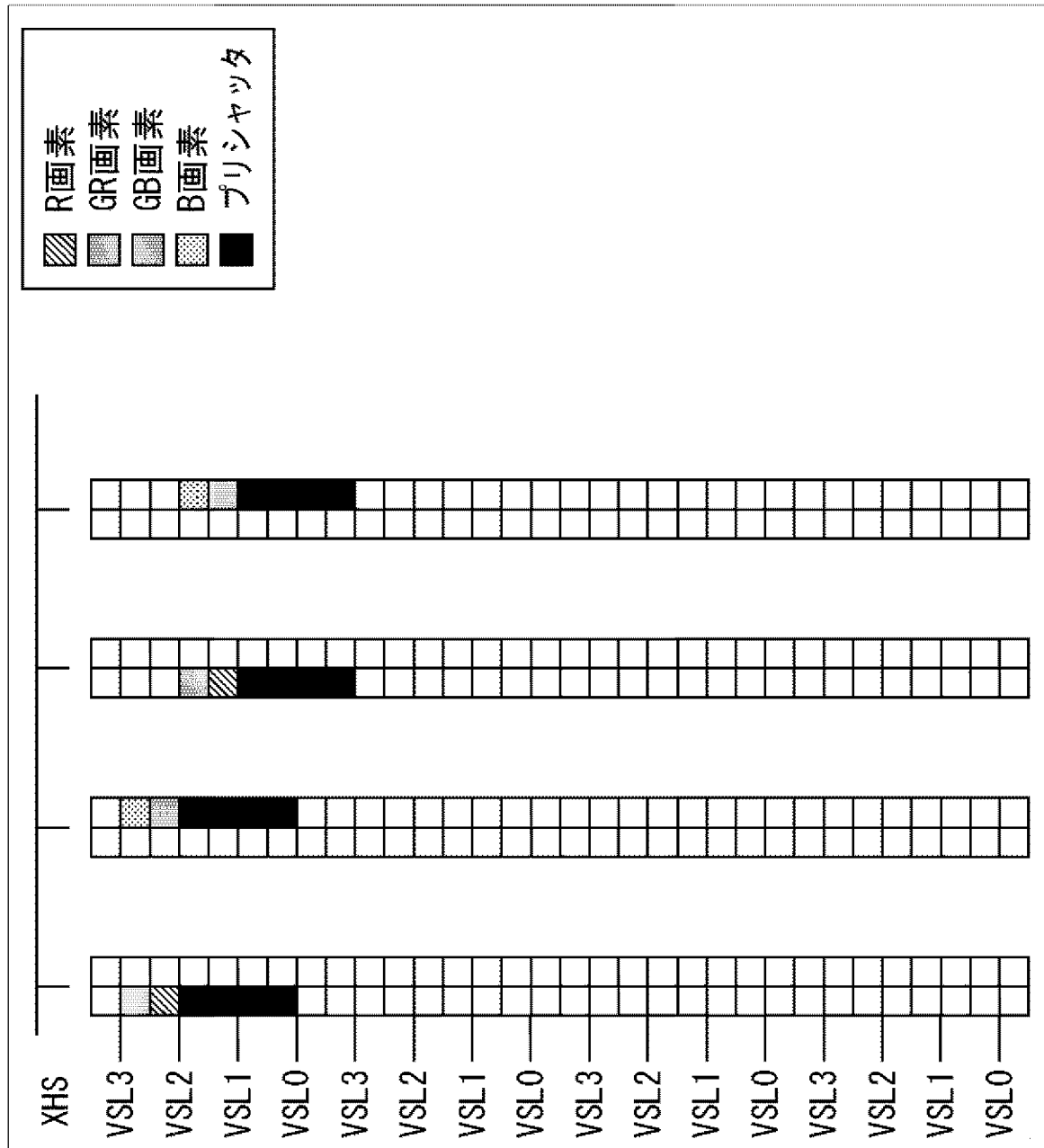
[図24]

図24



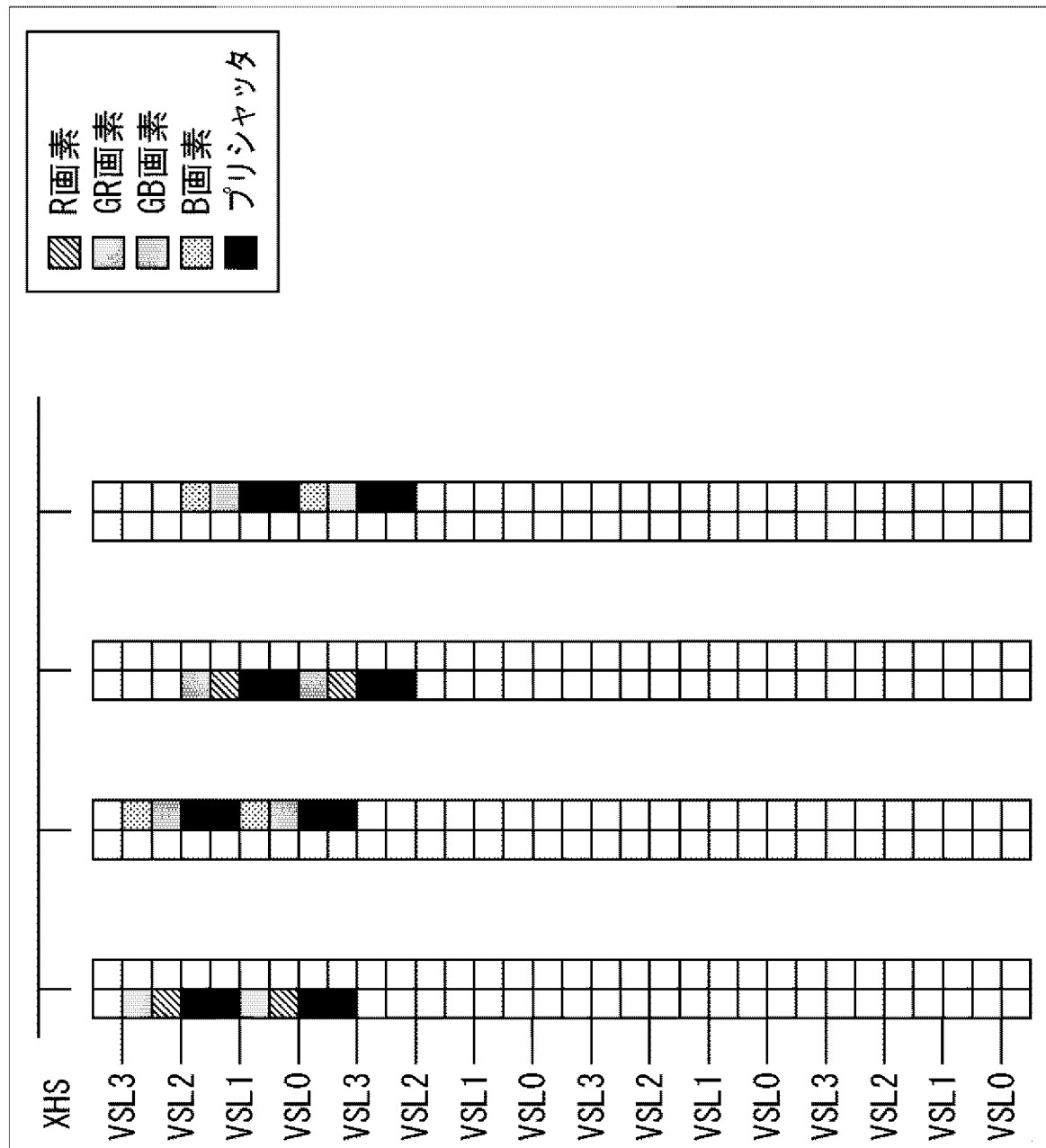
[図25]

図25



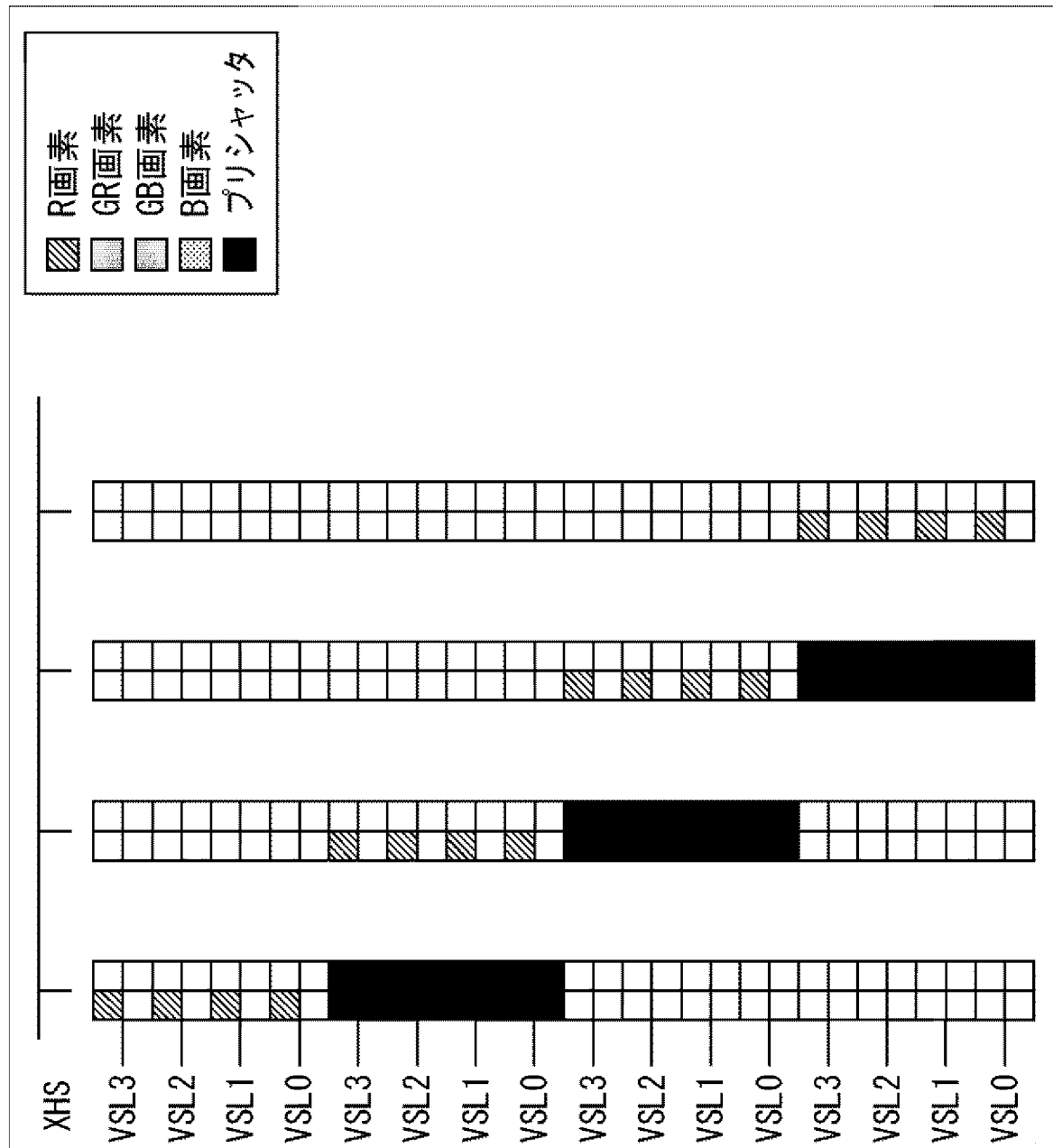
[図26]

図26



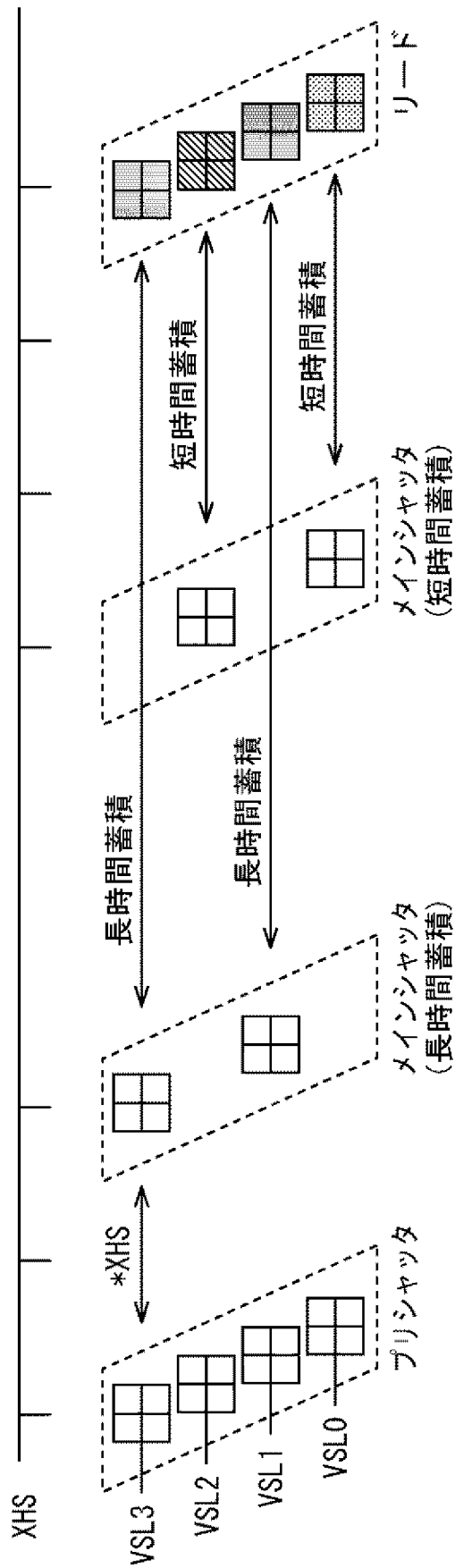
[図27]

図27



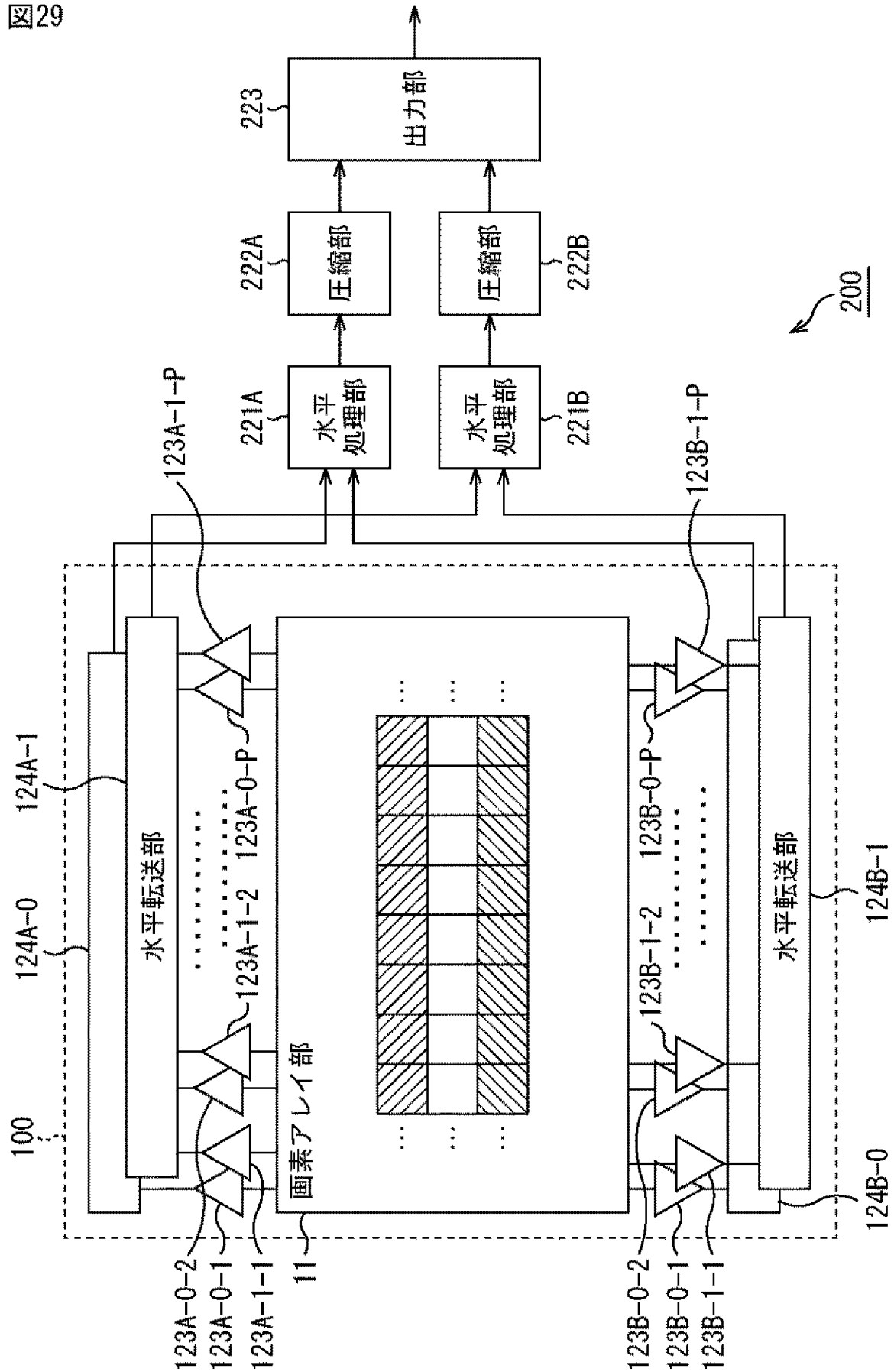
[図28]

図28



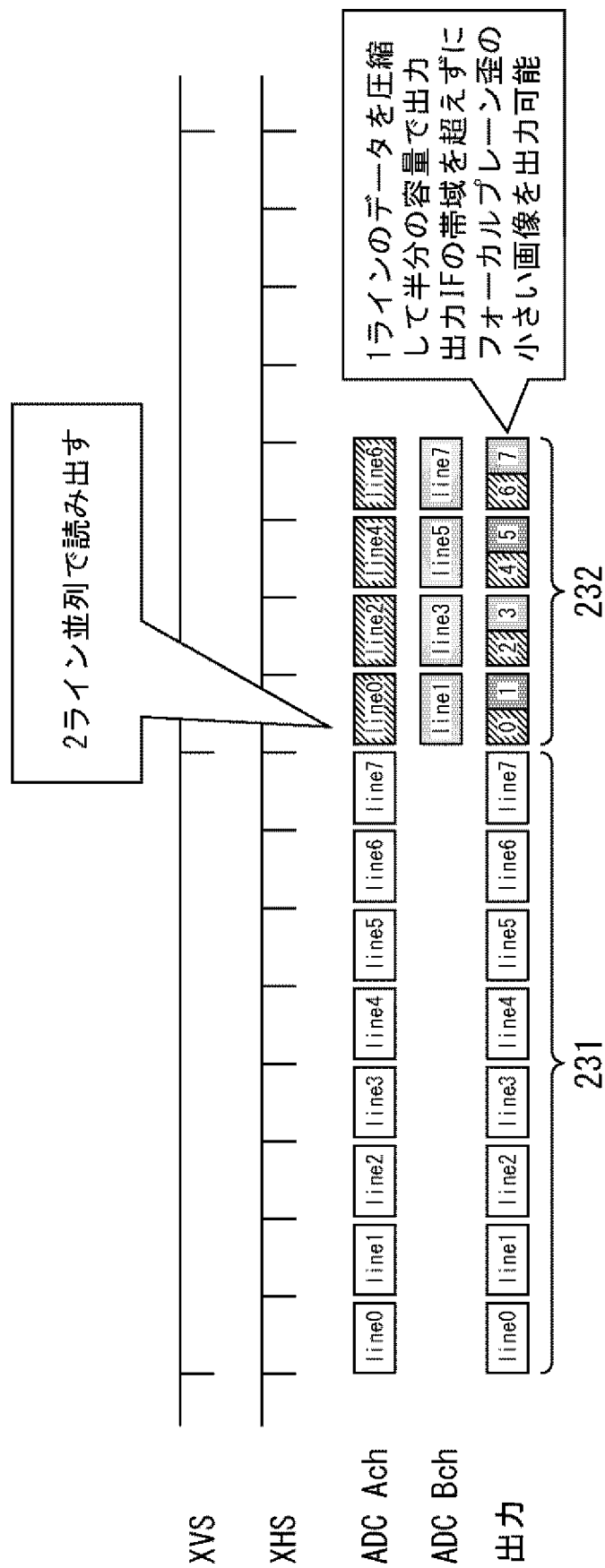
[図29]

図29



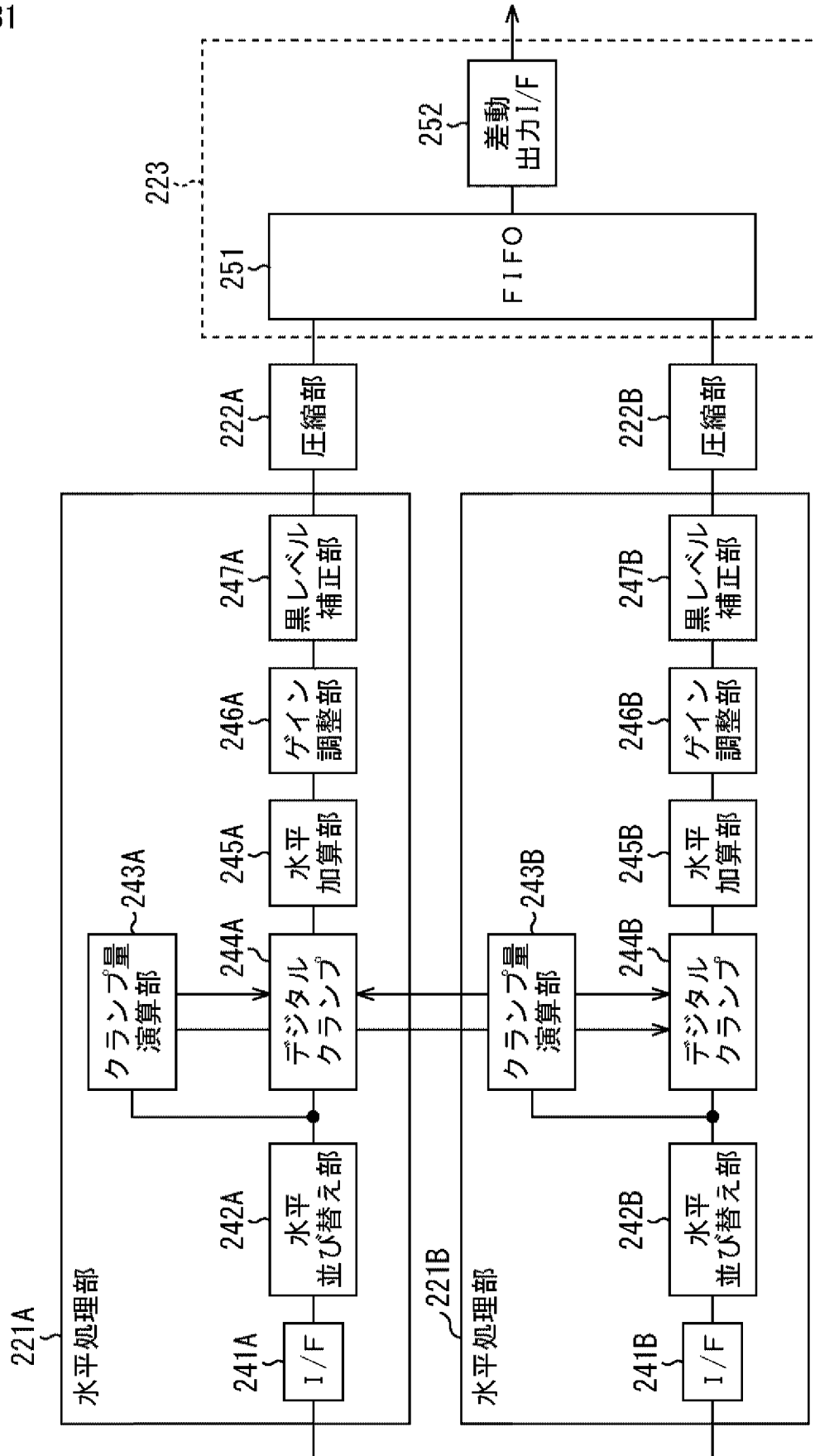
[図30]

図30



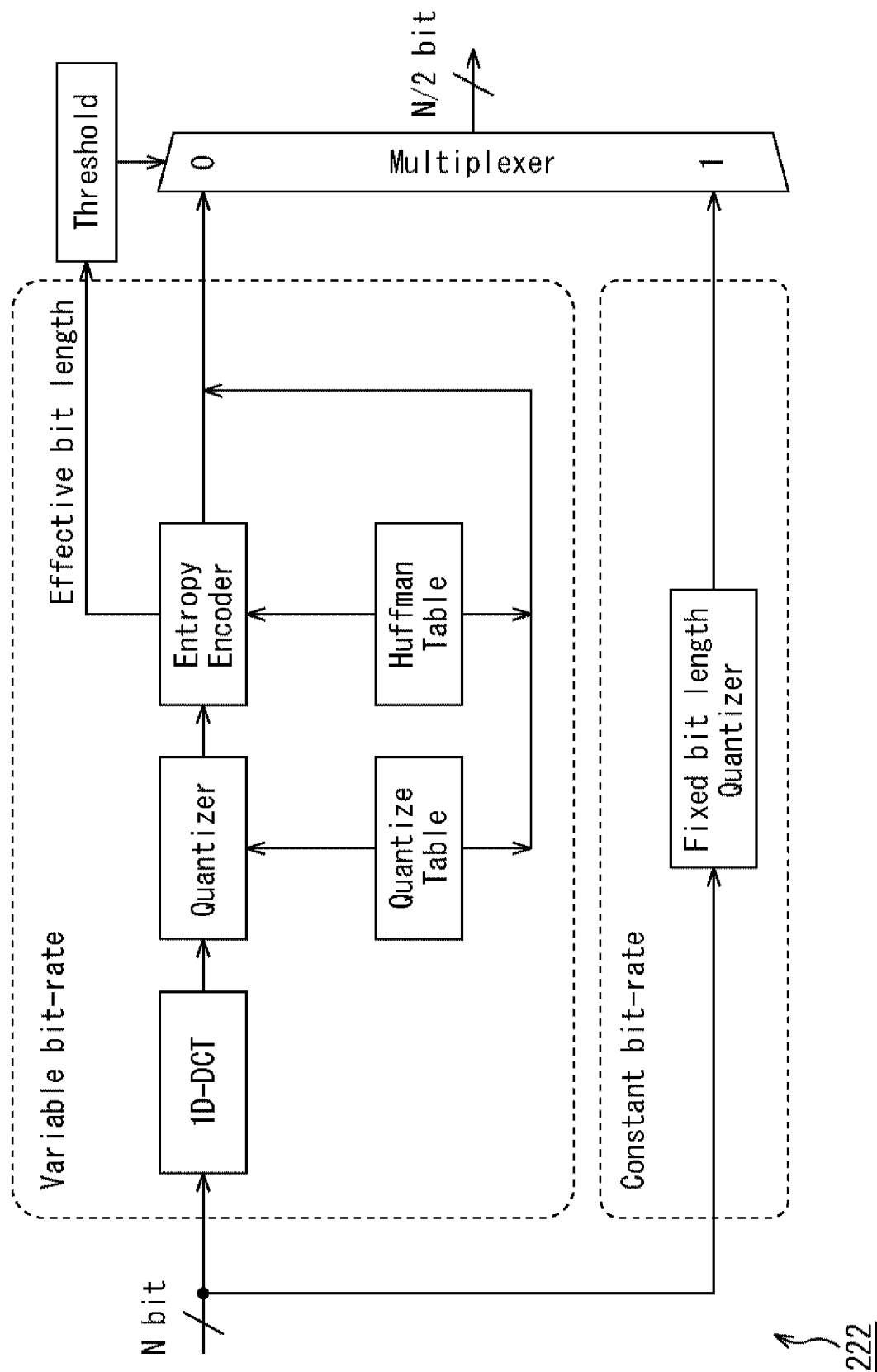
[図31]

図31



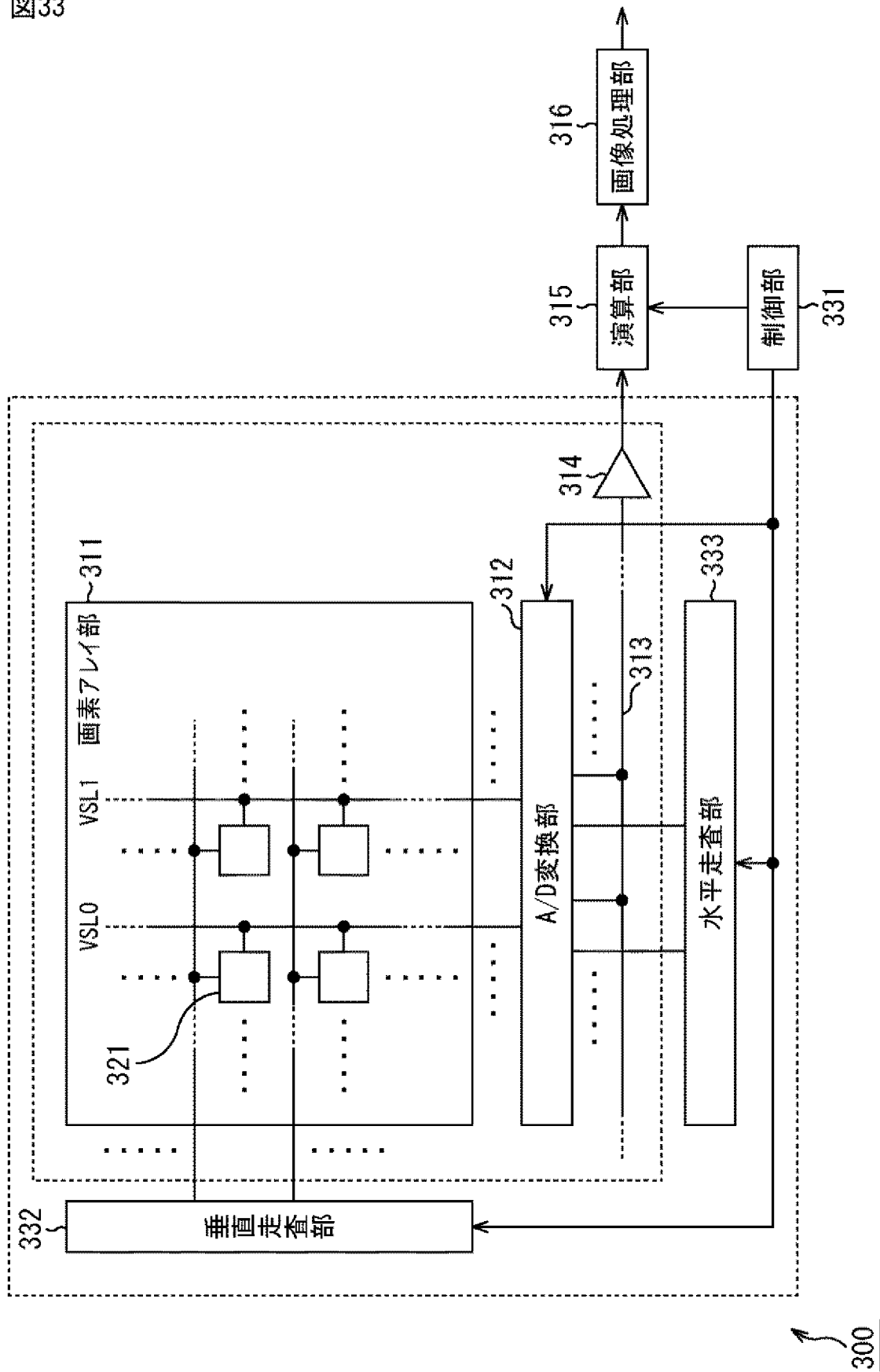
[図32]

図32



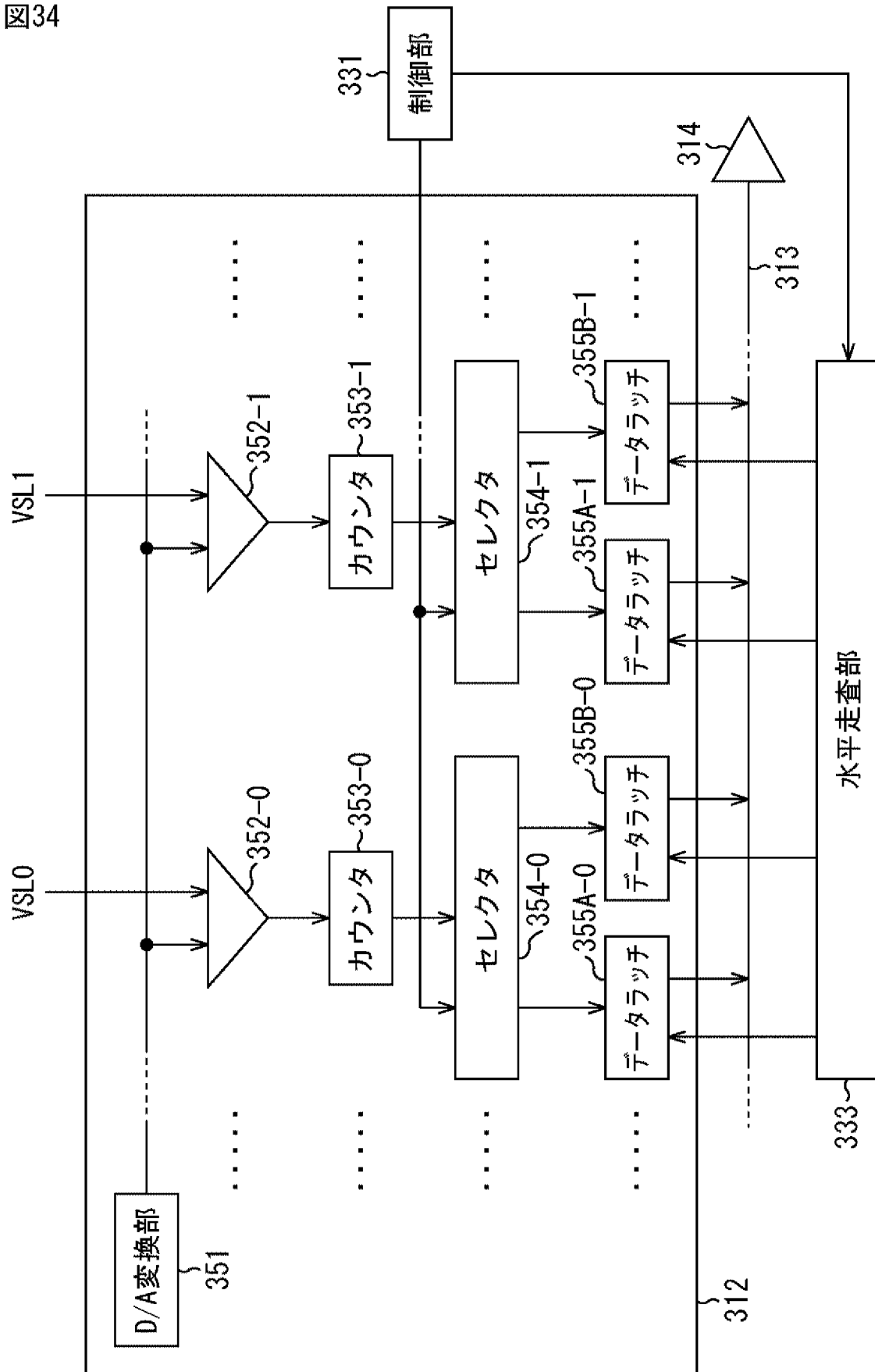
[図33]

図33



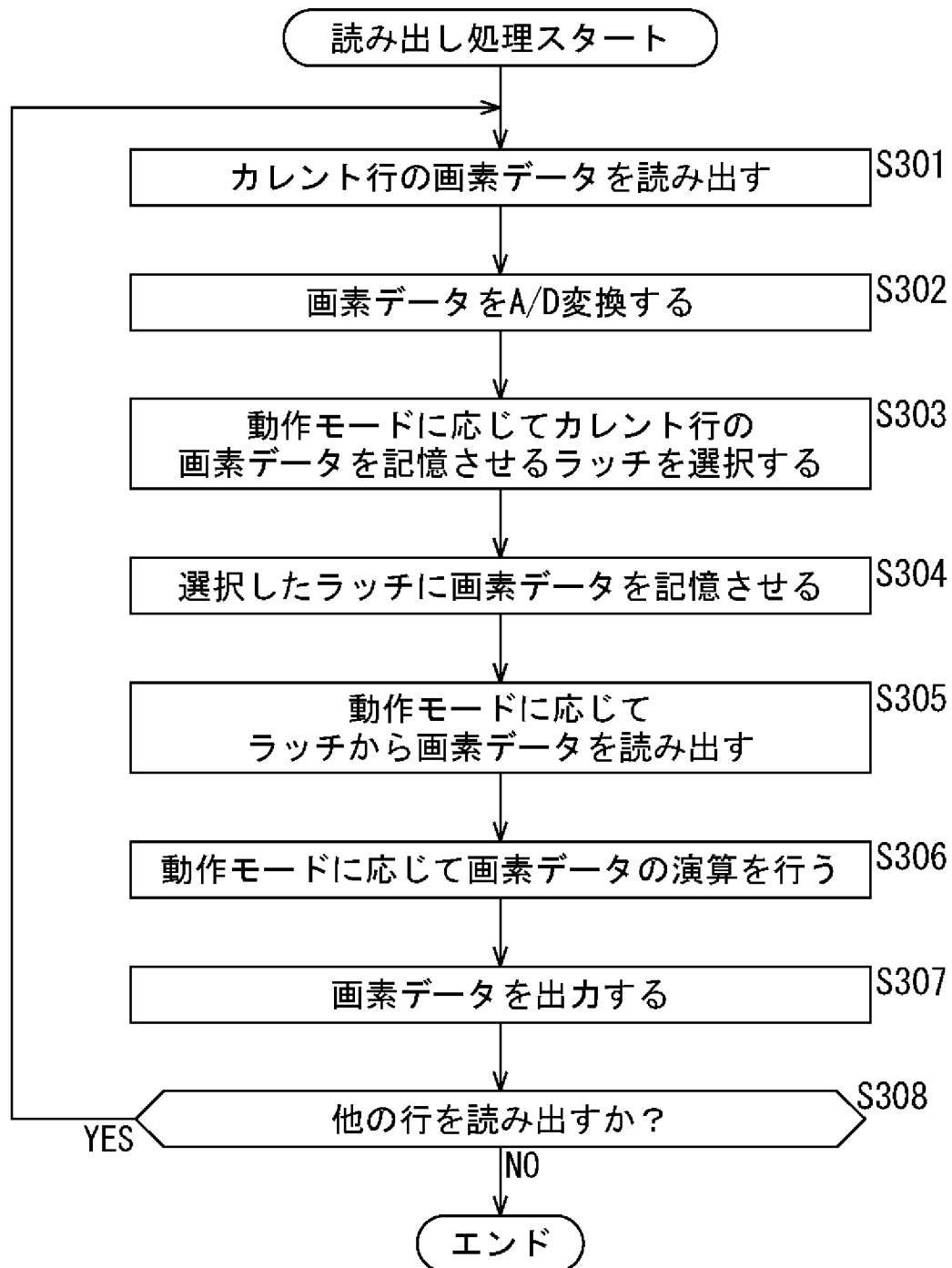
[図34]

図34



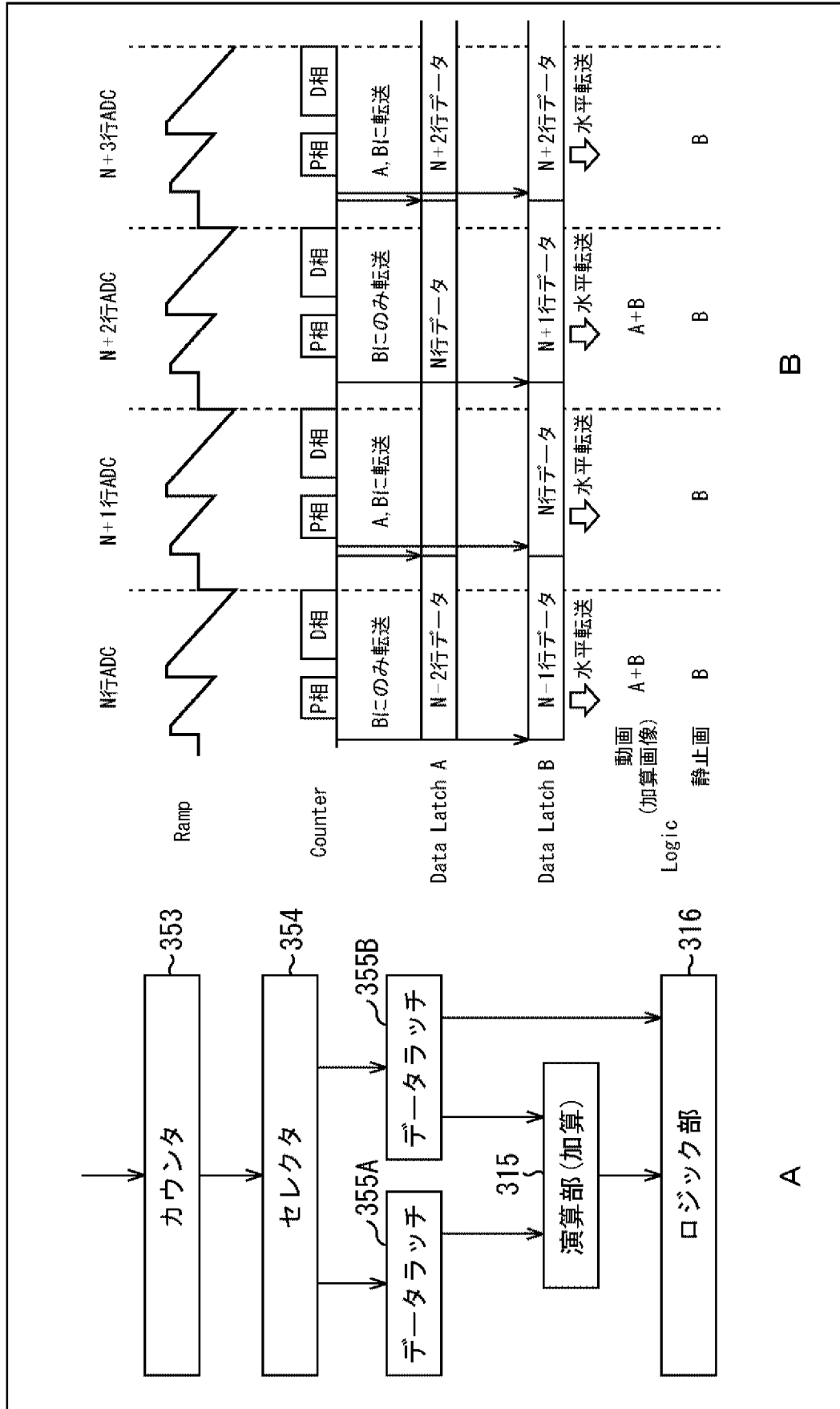
[図35]

図35



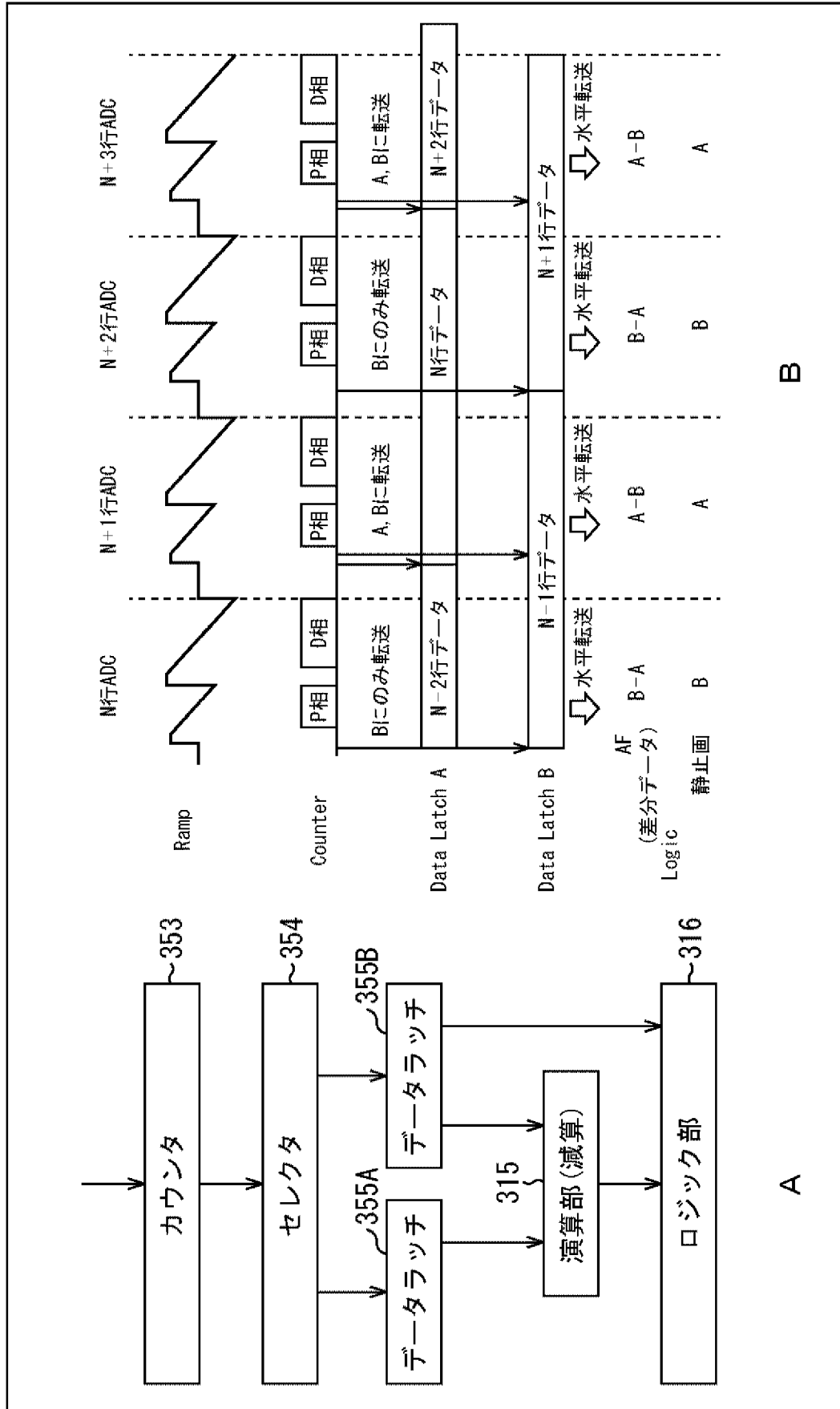
[図36]

図36



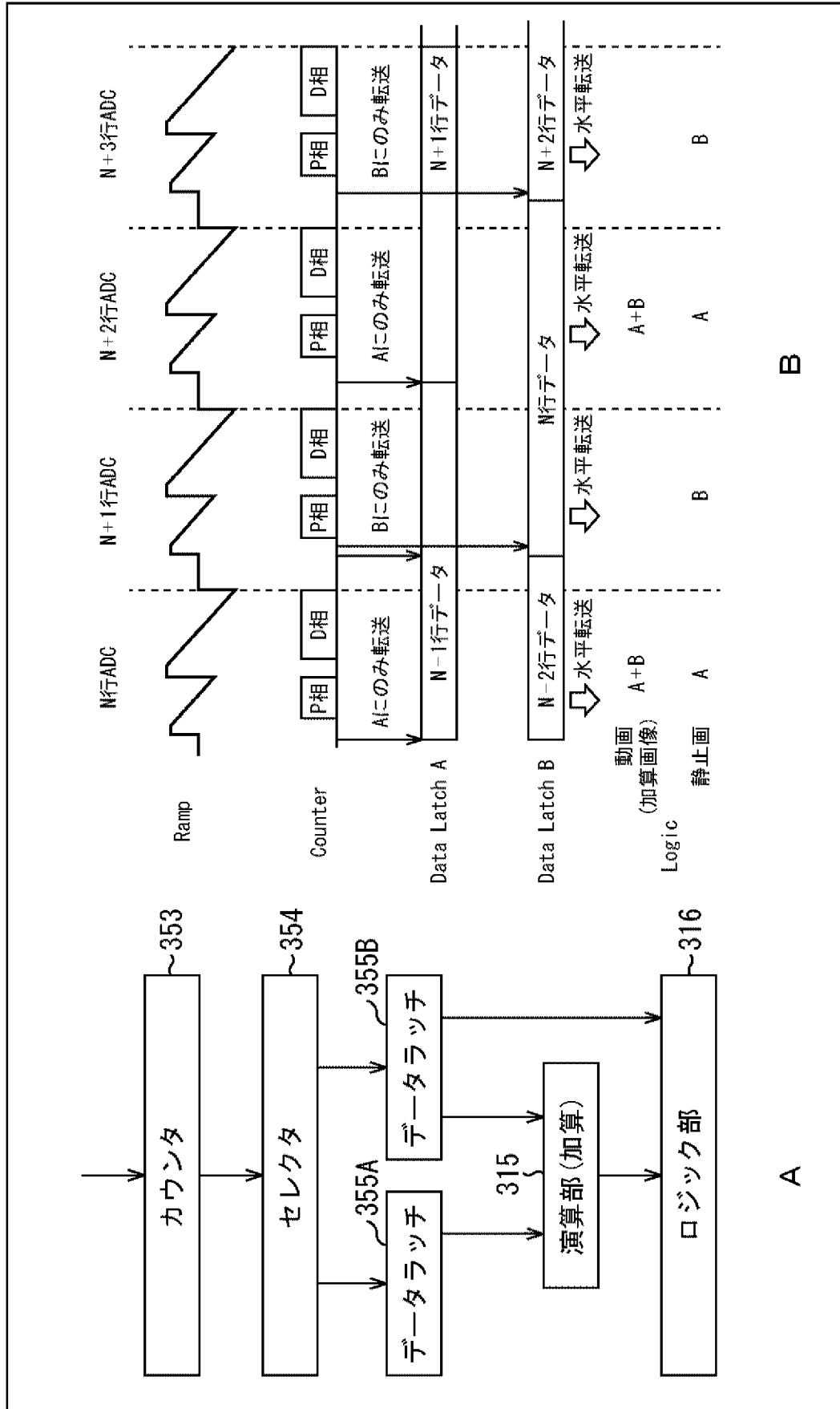
[図37]

図37



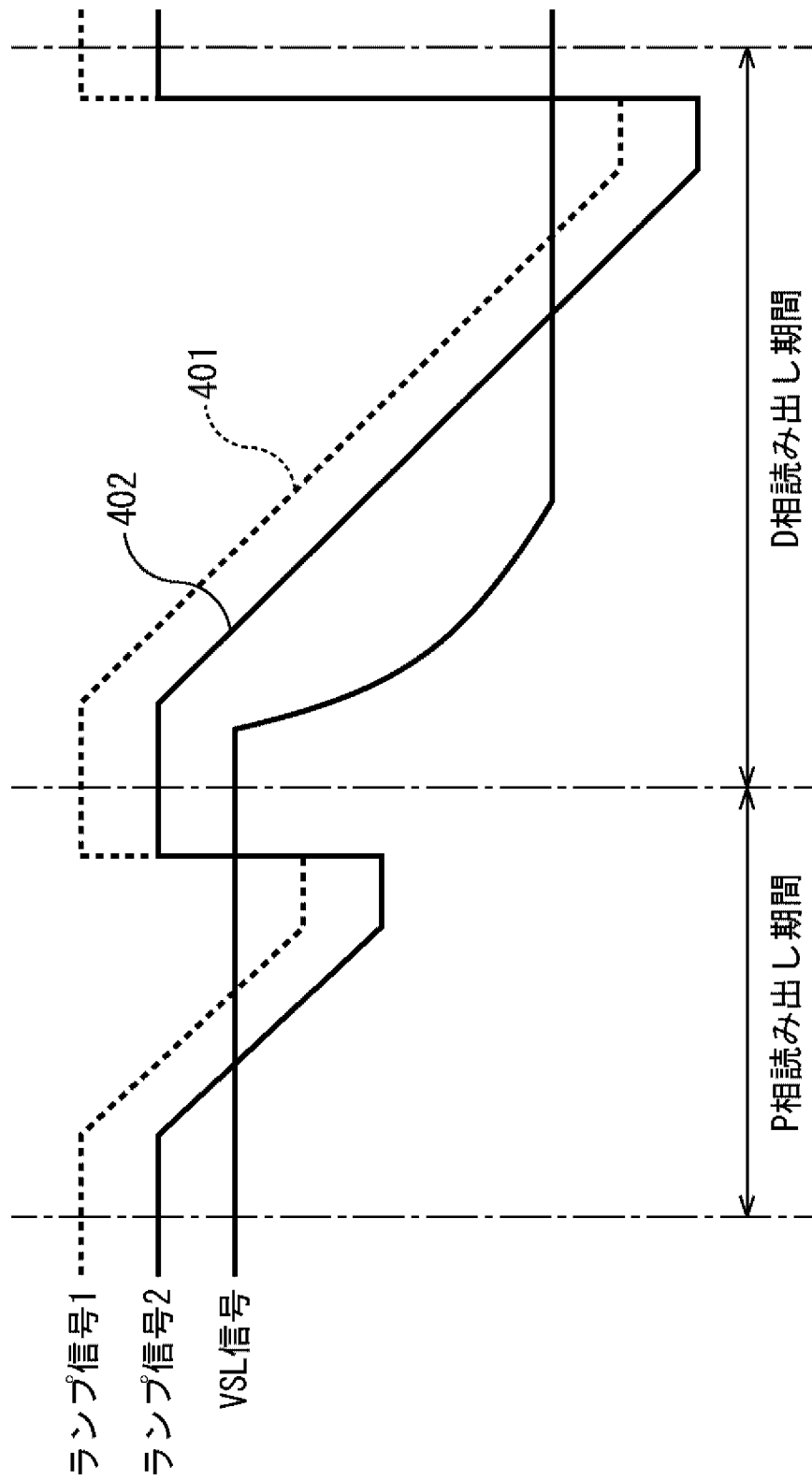
[図38]

図38



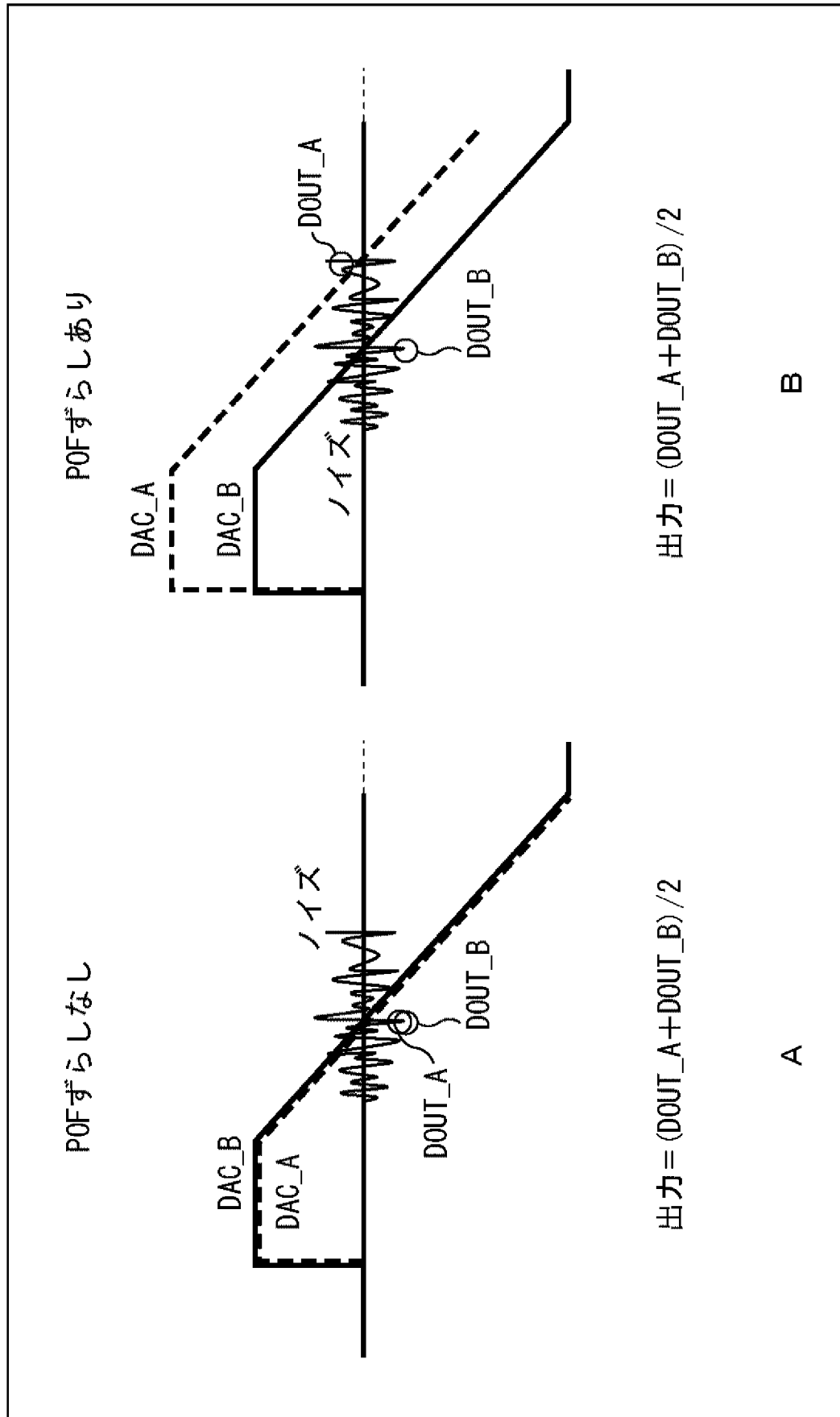
[図39]

図39



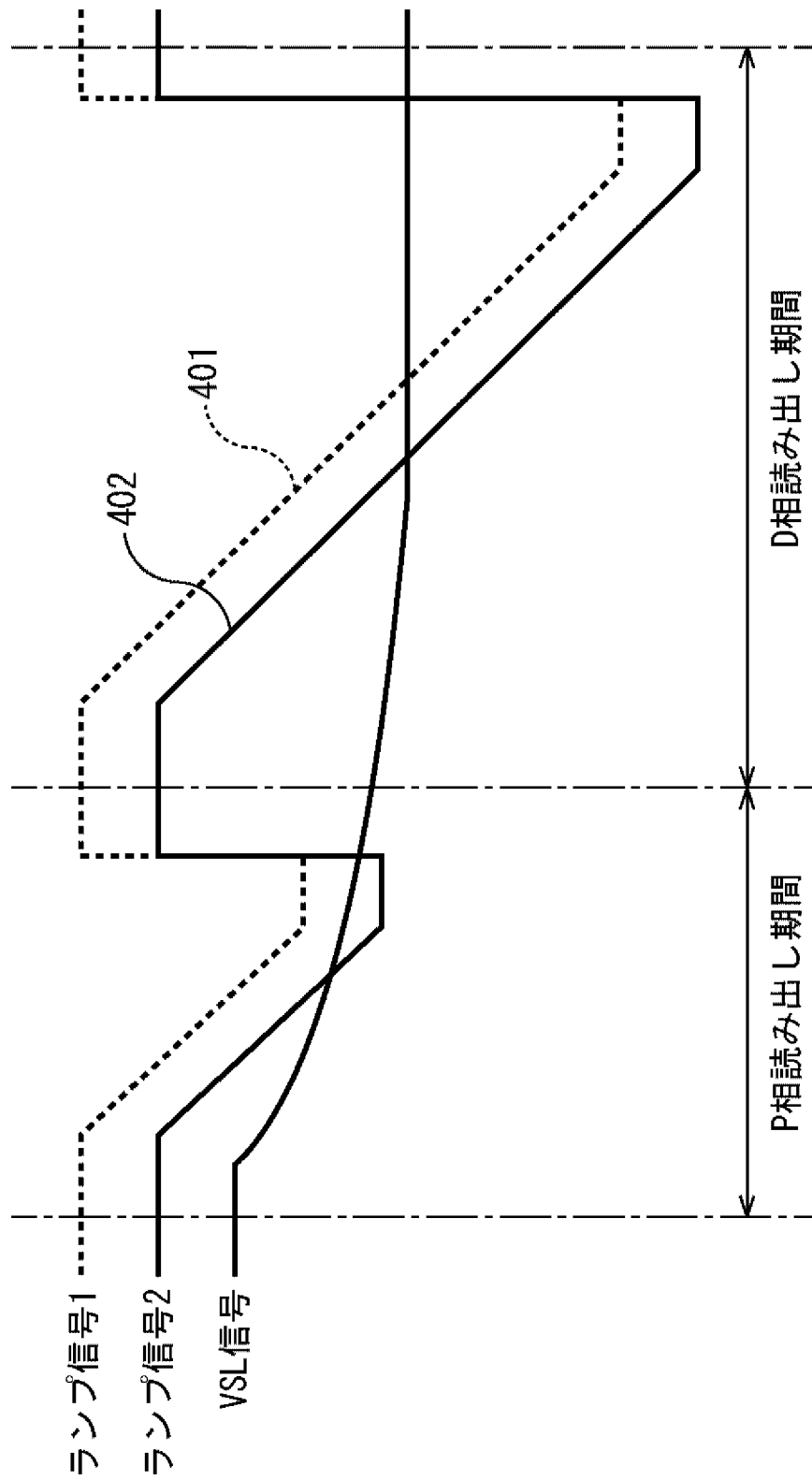
[図40]

図40



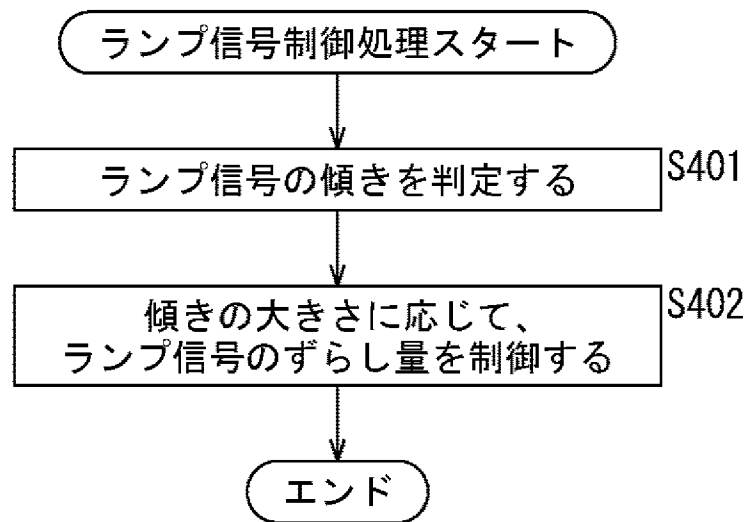
[図41]

図41



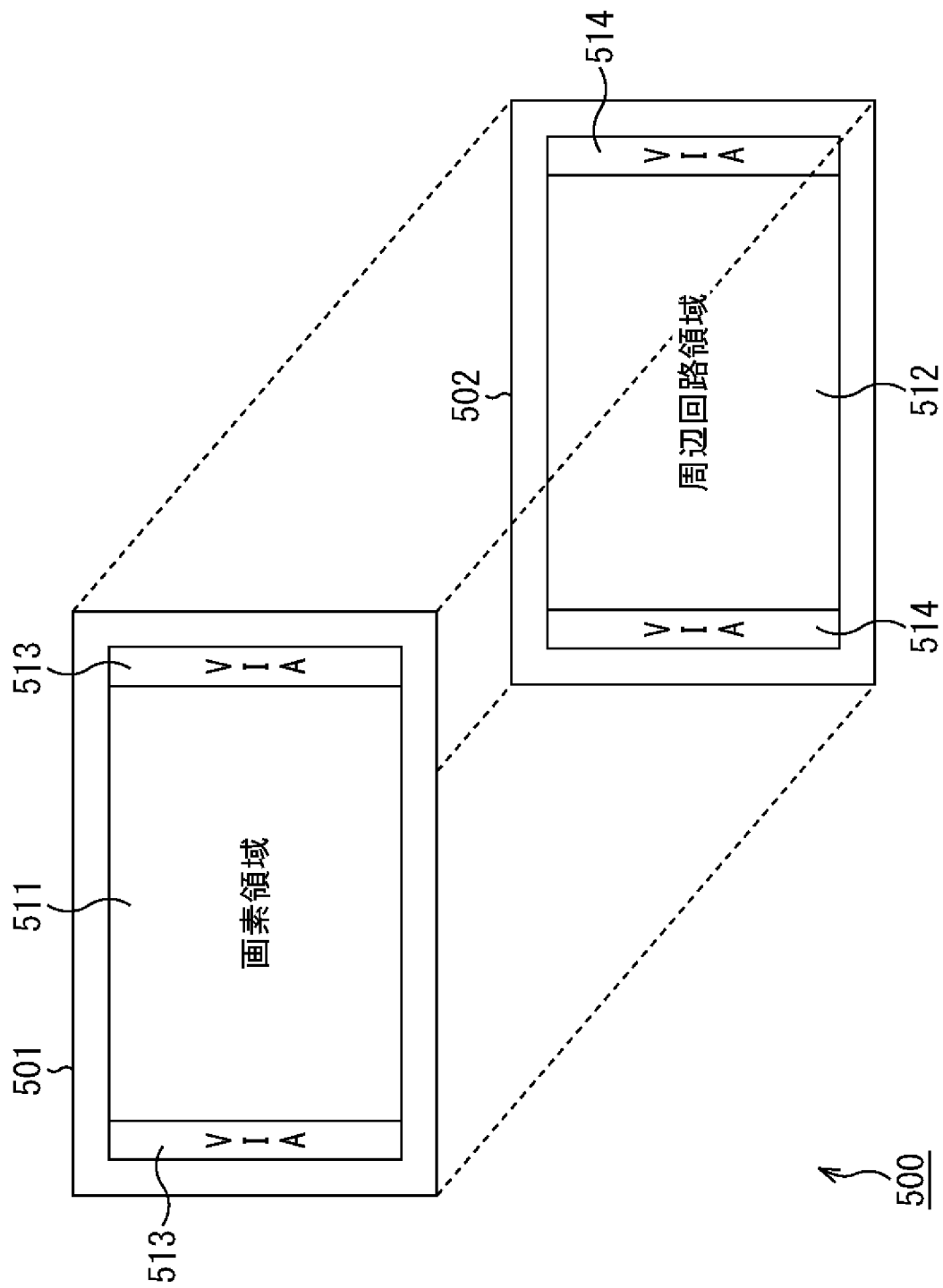
[図42]

図42



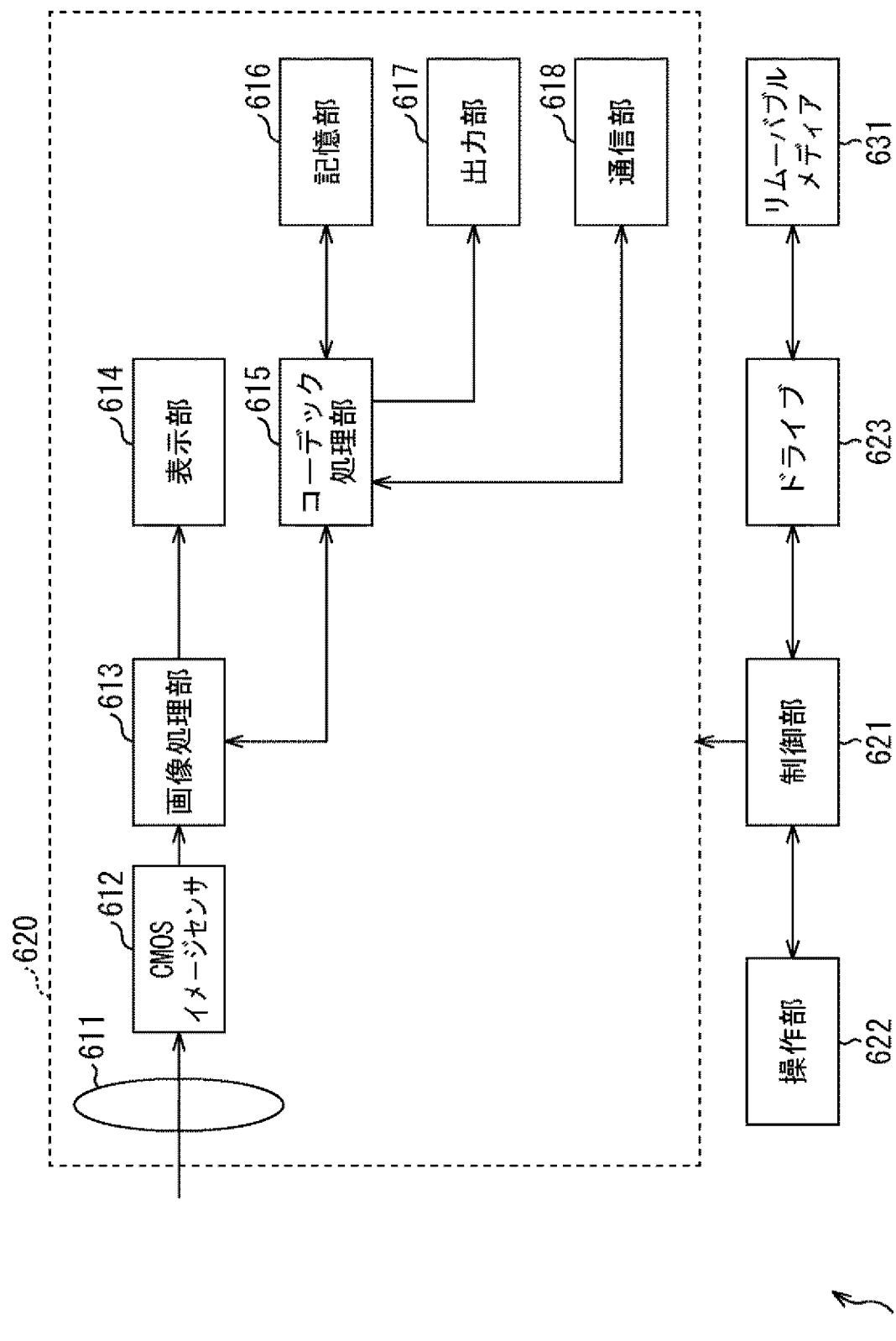
[図43]

図43



[図44]

図44



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/055140

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/376(2011.01)i, H01L27/146(2006.01)i, H04N5/341(2011.01)i, H04N5/353(2011.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/376, H01L27/146, H04N5/341, H04N5/353, H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-263526 A (Sony Corp.), 18 November 2010 (18.11.2010), paragraphs [0081] to [0128] & US 2010/0283881 A1	1-15, 23-31
Y	JP 2012-253624 A (Sony Corp.), 20 December 2012 (20.12.2012), paragraphs [0091] to [0104]; fig. 20 & US 2012/0307120 A1	1-31
Y	JP 2008-134390 A (Sony Corp.), 12 June 2008 (12.06.2008), paragraphs [0050] to [0052] (Family: none)	2, 3, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 April 2015 (01.04.15)

Date of mailing of the international search report
14 April 2015 (14.04.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/055140

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-97540 A (Sony Corp.), 12 May 2011 (12.05.2011), paragraphs [0042] to [0064] & US 2011/0102622 A1	7, 8
Y	JP 2003-234967 A (Photron Ltd.), 22 August 2003 (22.08.2003), paragraphs [0014] to [0042] (Family: none)	16-22
Y	JP 2010-147614 A (Panasonic Corp.), 01 July 2010 (01.07.2010), paragraphs [0127] to [0138] & US 2010/0149392 A1	23-26
Y	JP 2008-219243 A (Sony Corp.), 18 September 2008 (18.09.2008), paragraphs [0099] to [0168] & US 2008/0211951 A1	27-31

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/055140

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Claims 1-31 include the common technical features of "pixel array" and "control unit".

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the document 1 (JP 2010-263526 A (Sony Corp.), 18 November 2010 (18.11.2010), paragraphs [0081] to [0128]).

Further, there is no other same or corresponding special technical feature among these inventions.

Accordingly, claims are classified into three inventions each of which has a special technical feature indicated below.

(Invention 1) claims 1-22

The special technical feature is considered to be "a control unit that implements control such that, with respect to each column of the pixel array, a pixel signal is read from a pixel connected to the signal line corresponding to a pixel signal reading mode in the mode, and the pixel signal that has been read is transmitted via the signal line", or "the A/D converted pixel signals of mutually different lines are compressed in parallel."

(Invention 2) claims 23-26

The special technical feature is considered to be "the control unit that implements control such that the pixel signal stored in any or all of the plurality of latches is read in accordance with the mode."

Claims 23-26 are not relevant to inventions which involve all of the matters to define the inventions in claims 1-22 and which have a same category.

Further, as a result of the search which has been carried out with respect to claims classified into Invention 1, claims 23-26 are not relevant to inventions on which it is substantially possible to carry out a search without an additional prior-art search and judgment, and there is no other reason for that it can be considered that it is efficient to carry out a search on claims 23-26 together with claims 1-22, and consequently, it is impossible to classify claims 23-26 into Invention 1.

(Invention 3) claims 27-31

The special technical feature is considered to be "the control unit that implements control such that an offset of a ramp signal of each A/D conversion unit is set to mutually different values, and, in each column of the pixel array, a pixel signal is read from the pixel of a line as the object of processing, and the pixel signal read from the pixel is subjected to A/D conversion using the plurality of A/D conversion units allocated to the column."

Claims 27-31 are not relevant to inventions which involve all of the matters to define the inventions in claims 1-22 or claims 23-26 and which have a same category.

Further, as a result of the search which has been carried out with respect to claims classified into Invention 1 or Invention 2, claims 27-31 are not relevant to inventions on which it is substantially possible to carry out a search without an additional prior-art search and judgment, and there is no other reason for that it can be considered that it is efficient to carry out a search on claims 27-31 together with claims 1-22 or claims 23-26, and consequently, it is impossible to classify claims 27-31 into Invention 1 or Invention 2.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/376(2011.01)i, H01L27/146(2006.01)i, H04N5/341(2011.01)i, H04N5/353(2011.01)i,
H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/376, H01L27/146, H04N5/341, H04N5/353, H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-263526 A（ソニー株式会社）2010.11.18, 段落【0081】 - 【0128】 & US 2010/0283881 A1	1-15, 23-31
Y	JP 2012-253624 A（ソニー株式会社）2012.12.20, 段落【0091】 - 【0104】、図 20 & US 2012/0307120 A1	1-31
Y	JP 2008-134390 A（ソニー株式会社）2008.06.12, 段落【0050】 - 【0052】（ファミリーなし）	2, 3, 13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 4 . 2 0 1 5

国際調査報告の発送日

1 4 . 0 4 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

松永 隆志

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1

5 V

4 2 2 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-97540 A (ソニー株式会社) 2011. 05. 12, 段落【0042】-【0064】 & US 2011/0102622 A1	7, 8
Y	JP 2003-234967 A (株式会社フォトロン) 2003. 08. 22, 段落 【0014】 - 【0042】 (ファミリーなし)	16-22
Y	JP 2010-147614 A (パナソニック株式会社) 2010. 07. 01, 段落【0127】 - 【0138】 & US 2010/0149392 A1	23-26
Y	JP 2008-219243 A (ソニー株式会社) 2008. 09. 18, 段落 【0099】 - 【0168】 & US 2008/0211951 A1	27-31

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項 1-31 は、

[画素アレイ][制御部]という共通の技術的特徴を有している。

しかしながら、当該技術的特徴は、文献 1 (JP 2010-263526 A (ソニー株式会社) 2010. 11. 18, 段落【0081】-【0128】)の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。そして、請求の範囲は、各々下記の特別な技術的特徴を有する 3 の発明に区分される。

(発明 1) 請求項 1-22

[前記画素アレイの各カラムについて、画素信号の読み出しのモードに対応する前記信号線に接続される画素から画素信号を前記モードで読み出し、読み出した前記画素信号を前記信号線を介して伝送させるように制御する制御部] または[A/D 変換させた互いに異なるラインの画素信号を並列に圧縮させる]が、特別な技術的特徴といえる。

(発明 2) 請求項 23-26

[前記モードに応じて、前記複数のラッチのうちのいずれか若しくは全部に記憶されている前記画素信号を読み出すように制御する制御部] が、特別な技術的特徴といえる。

請求項 23-26 は、請求項 1-22 の発明特定事項を全て含む同一カテゴリーの発明ではない。そして、請求項 23-26 は、発明 1 に区分された請求項について調査した結果、実質的に追加的な先行技術調査や判断を必要とすることなく調査を行うことが可能である発明ではなく、請求項 1-22 とまとめて調査を行うことが効率的であるといえる他の事情もないから、請求項 23-26 を発明 1 に区分することはできない。

(発明 3) 請求項 27-31

[各 A/D 変換部のランプ信号のオフセットを互いに異なる値に設定し、前記画素アレイの各カラムにおいて、処理対象のラインの画素から画素信号を読み出し、前記画素から読み出された前記画素信号を、前記カラムに割り当てられた前記複数の A/D 変換部を用いて A/D 変換するように制御する制御部] が、特別な技術的特徴といえる。

請求項 27-31 は、請求項 1-22 または請求項 23-26 の発明特定事項を全て含む同一カテゴリーの発明 27-31 ではない。そして、請求項 27-31 は、発明 1 または発明 2 に区分された請求項について調査した結果、実質的に追加的な先行技術調査や判断を必要とすることなく調査を行うことが可能である発明ではなく、請求項 1-22 または請求項 23-26 とまとめて調査を行うことが効率的であるといえる他の事情もないから、請求項 27-31 を発明 1 または発明 2 に区分することはできない。