



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월23일
(11) 등록번호 10-2798552
(24) 등록일자 2025년04월16일

(51) 국제특허분류(Int. Cl.)
H10B 51/30 (2023.01) H10B 51/20 (2023.01)

(52) CPC특허분류
H10B 51/30 (2023.02)
H10B 51/20 (2023.02)

(21) 출원번호 10-2022-0132073

(22) 출원일자 2022년10월14일

심사청구일자 2022년10월14일

(65) 공개번호 10-2024-0052269

(43) 공개일자 2024년04월23일

(56) 선행기술조사문헌

Seonjun Choi et al., A Novel Structure to Improve the Erase Speed in 3D NAND Flash Memory to Which a Cell-On-Peri(COP) Structure and a Ferroelectric Memory Device Are Applied, Electronics, June 2022.*

Fengbin Tian et al., Impact of Interlayer and Ferroelectric Materials on Charge Trapping During Endurance Fatigue of FeFET, Electron Devices, November 2021.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한양대학교 산학협력단

서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)

(72) 발명자

송윤흡

서울특별시 성동구 왕십리로 222 한양대학교 산학기술관 616호

최창환

서울특별시 성동구 왕십리로 222 한양대학교 신소재공학관 533호

구본철

서울특별시 성동구 왕십리로 222 한양대학교 신소재공학관 534호

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 15 항

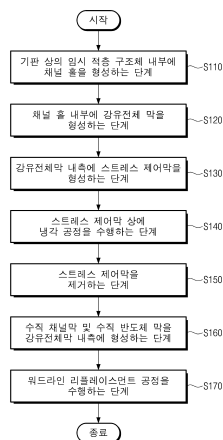
심사관 : 유재민

(54) 발명의 명칭 반도체 메모리 장치 및 이의 제조방법

(57) 요약

본 발명은 교대로 적층된 희생막들 및 절연막들을 포함하는 임시 적층 구조체 내부에 채널 홀을 형성하는 단계, 상기 채널 홀 내부에 강유전체 막을 형성하는 단계, 상기 강유전체막의 내측벽 상에 스트레스 제어막을 형성하는 단계, 상기 스트레스 제어막의 내측벽 상에 냉각 공정을 수행하는 단계, 상기 냉각 공정이 수행된 이후 상기 스트레스 제어막의 적어도 일부를 제거하는 단계, 상기 강유전체막 상에 수직 채널막 및 수직 반도체 막을 순차적으로 형성하여 수직 구조체를 형성하는 단계, 임시 적층 구조체에서 상기 희생막들을 제거하고 게이트 전극들을 형성하는 단계를 포함하는 반도체 장치의 제조방법을 제공한다.

대표도 - 도11



명세서

청구범위

청구항 1

교대로 적층된 희생막들 및 절연막들을 포함하는 임시 적층 구조체 내부에 채널 홀을 형성하는 단계;

상기 채널 홀 내부에 강유전체 막을 형성하는 단계;

상기 강유전체막의 내측벽 상에 스트레스 제어막을 형성하는 단계;

상기 스트레스 제어막의 내측벽 상에 냉각 공정을 수행하는 단계;

상기 냉각 공정이 수행된 이후 상기 스트레스 제어막의 적어도 일부를 제거하는 단계;

상기 강유전체막 상에 수직 채널막 및 수직 반도체 막을 순차적으로 형성하여 수직 구조체를 형성하는 단계; 및

임시 적층 구조체에서 상기 희생막들을 제거하고 게이트 전극들을 형성하는 단계를 포함하고,

상기 스트레스 제어막의 외측벽은 상기 강유전체막의 내측벽과 접촉하고,

상기 스트레스 제어막의 내측벽은 상기 채널 홀을 마주하며,

상기 냉각 공정을 수행하는 단계는 상기 스트레스 제어막의 내측벽 상의 공간으로 냉각수를 주입하여 상기 스트레스 제어막 및 상기 강유전체막을 급속 냉각하는 공정을 수행하는 단계를 포함하는 반도체 장치의 제조방법.

청구항 2

제1 항에 있어서,

상기 강유전체막은 HfO_x , Al, Zr 또는 Si 중 적어도 하나의 물질이 도핑되어 사방정계(Orthorhombic) 결정 구조를 갖는 반도체 장치의 제조방법.

청구항 3

제2 항에 있어서,

상기 스트레스 제어막은 상기 냉각 공정 시 상기 강유전체막과의 스트레스를 발생시킬 수 있는 물질을 포함하는 반도체 장치의 제조방법.

청구항 4

삭제

청구항 5

제1 항에 있어서,

상기 냉각 공정을 수행하는 단계는 상기 냉각수를 상기 스트레스 제어막의 내측벽 전체에 직접 제공하여 냉각 공정 수행하는 단계를 포함하는 반도체 장치의 제조방법.

청구항 6

제1 항에 있어서,

상기 스트레스 제어막의 적어도 일부를 제거하는 공정에 의해 일부가 제거된 경우, 상기 강유전체 막과 상기 수직 채널막 사이에 남아있는 스트레스 제어막의 두께는 상기 강유전체막의 두께보다 작은 반도체 장치의 제조방법.

청구항 7

제6 항에 있어서,

상기 강유전체 막과 상기 수직 채널막 사이에 상기 남아있는 스트레스 제어막의 두께는 5 나노미터 내지 50 나노미터인 반도체 장치의 제조방법.

청구항 8

제1 항에 있어서,

상기 스트레스 제어막의 적어도 일부를 제거하는 공정에 의해 상기 스트레스 제어막이 완전히 제거된 경우, 상기 강유전체 막 상에 상기 수직 채널막이 직접 제공되는 반도체 장치의 제조방법.

청구항 9

제1 항에 있어서,

상기 강유전체막 상에 수직 채널막 및 수직 반도체 막을 순차적으로 형성하여 수직 구조체를 형성하는 단계는 상기 강유전체막 상에 게이트 절연막, 상기 수직 채널막 및 상기 수직 반도체 막을 순차적으로 형성하는 단계를 포함하는 반도체 장치의 제조방법.

청구항 10

제1 항에 있어서,

상기 게이트 전극들을 형성하는 단계는 상기 수직 구조체를 형성하는 단계가 수행된 이후에 수행되는 반도체 장치의 제조방법.

청구항 11

기관 상에 교대로 적층된 게이트 전극들 및 절연막들을 포함하는 적층 구조체;

상기 적층 구조체 내부에 제공되는 수직 구조체를 포함하고,

상기 수직 구조체는:

필라 형태를 갖는 수직 반도체 막;

상기 게이트 전극들과 상기 수직 반도체 막 사이에 제공되는 강유전체막;

상기 강유전체 막과 상기 수직 반도체 막 사이에 제공되는 수직 채널막;

상기 강유전체 막과 상기 수직 채널막 사이에 제공되는 스트레스 제어막을 포함하고,

상기 스트레스 제어막은 상기 강유전체 막과 직접 연결되고,

상기 스트레스 제어막은 냉각 공정 시 상기 강유전체막과의 스트레스를 발생시킬 수 있는 물질을 포함하는 반도체 장치.

청구항 12

제11 항에 있어서,

상기 강유전체막은 HfO_x , Al, Zr 또는 Si 중 적어도 하나의 물질이 도핑되어 사방정계(Orthorhombic) 결정 구조를 갖는 반도체 장치.

청구항 13

삭제

청구항 14

제11 항에 있어서,

상기 스트레스 제어막의 두께는 상기 강유전체막의 두께보다 작은 반도체 장치.

청구항 15

제14 항에 있어서,

상기 스트레스 제어막의 두께는 5 나노미터 내지 50 나노미터인 반도체 장치.

청구항 16

제11 항에 있어서,

상기 수직 구조체는 상기 강유전체막과 상기 게이트 전극들 사이에 배치되는 게이트 절연막을 더 포함하는 반도체 장치.

청구항 17

제11 항에 있어서,

상기 수직 구조체는 상기 강유전체막과 상기 수직 채널막 사이에 배치되는 게이트 절연막을 더 포함하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 데이터 저장을 필요로 하는 전자 시스템에서 고용량의 데이터를 저장할 수 있는 반도체 장치가 요구되고 있다. 이에 따라, 반도체 장치의 데이터 저장 용량을 증가시킬 수 있는 방안이 연구되고 있다. 예를 들어, 반도체 장치의 데이터 저장 용량을 증가시키기 위한 방법 중 하나로써, 2차원적으로 배열되는 메모리 셀들 대신에 3차원적으로 배열되는 메모리 셀들을 포함하는 반도체 장치가 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제 중 하나는 저전력 및 고속의 반도체 메모리 장치를 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제 중 하나는 저전력 및 고속의 반도체 메모리 장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상술한 과제를 해결하기 위한 일 실시예는, 교대로 적층된 희생막들 및 절연막들을 포함하는 임시 적층 구조체 내부에 채널 홀을 형성하는 단계, 상기 채널 홀 내부에 강유전체 막을 형성하는 단계, 상기 강유전체막의 내측벽 상에 스트레스 제어막을 형성하는 단계, 상기 스트레스 제어막의 내측벽 상에 냉각 공정을 수행하는 단계, 상기 냉각 공정이 수행된 이후 상기 스트레스 제어막의 적어도 일부를 제거하는 단계, 상기 강유전체막 상에 수직 채널막 및 수직 반도체 막을 순차적으로 형성하여 수직 구조체를 형성하는 단계, 임시 적층 구조체에서 상기 희생막들을 제거하고 게이트 전극들을 형성하는 단계를 포함하는 반도체 장치의 제조방법을 포함한다.

[0006] 상술한 과제를 해결하기 위한 일 실시예는, 기판 상에 교대로 적층된 게이트 전극들 및 절연막들을 포함하는 적층 구조체, 상기 적층 구조체 내부에 제공되는 수직 구조체를 포함하고, 상기 수직 구조체는 필라 형태를 갖는 수직 반도체 막, 상기 게이트 전극들과 상기 수직 반도체 막 사이에 제공되는 강유전체막, 상기 강유전체 막과 상기 수직 반도체 막 사이에 제공되는 수직 채널막, 상기 강유전체 막과 상기 수직 채널막 사이에 제공되는 스트레스 제어막을 포함하고, 상기 스트레스 제어막은 상기 강유전체 막과 직접 연결되는 반도체 장치를 포함한다.

발명의 효과

- [0007] 본 발명에 따른 일 실시예는, 저전력 및 고속의 반도체 메모리 장치를 제공한다.
- [0008] 본 발명에 따른 일 실시예는, 저전력 및 고속의 반도체 메모리 장치를 제조하는 방법을 제공한다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 어레이를 나타내는 회로도이다.
- 도 2는 본 발명의 실시예들에 따른 단위 메모리 셀을 나타내는 회로도이다.
- 도 3는 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 어레이를 나타내는 평면도이며, 도 4는 도 3의 I-I' 선을 따라 자른 단면도이다.
- 도 5는 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 스트링을 나타내는 개략적인 사시도이다.
- 도 6, 도 7, 도 8, 및 도 9는 도 4의 P 부분을 확대한 도면들이다.
- 도 10은 도 3의 I-I' 선을 따라 자른 단면도이다.
- 도 11은 본 발명의 반도체 장치의 제조 방법을 나타낸 순서도이다.
- 도 12 내지 도 24는 도 11의 제조 방법을 단계별로 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0011] 도 1은 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 어레이를 나타내는 회로도이다.
- [0012] 도 1을 참조하면, 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 어레이는 비트 라인(BL(i), BL(i+1)), 공통 소스 라인(CSL), 워드 라인들(WL0, WL1 ... WLn), 스트링 선택 라인들(SSL(m); 또는 상부 선택 라인들), 접지 선택 라인들(GSL(1); 또는 하부 선택 라인들), 및 비트 라인 (BL(i), BL(i+1)),)과 공통 소스 라인(CSL) 사이의 셀 스트링들(CSTR)을 포함할 수 있다.
- [0013] 비트 라인들(BL(i), BL(i+1))은 2차원적으로 배열되고, 그 각각에 복수 개의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 셀 스트링들(CSTR)은 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수의 비트 라인들(BL(i), BL(i+1)) 과 하나의 공통 소스 라인(CSL) 사이에 복수의 셀 스트링들(CSTR)이 배치될 수 있다.
- [0014] 실시예들에 따르면, 셀 스트링들(CSTR) 각각은 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트 라인(BL(i), BL(i+1))에 접속하는 스트링 선택 트랜지스터(SST) 및 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수 개의 메모리 셀들(MCT)로 구성될 수 있다. 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST), 및 메모리 셀들(MCT)은 직렬로 연결될 수 있다. 실시예들에 따르면, 셀 스트링들(CSTR) 각각은 하나 또는 복수의 스트링 선택 트랜지스터들(SST)과 하나 또는 복수의 접지 선택 트랜지스터들(GST)을 포함할 수 있다.
- [0015] 접지 선택 라인(GSL), 복수 개의 워드 라인들(WL), 스트링 선택 라인들(SSL)이 접지 선택 트랜지스터(GST), 메모리 셀들(MCT), 및 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다.
- [0016] 스트링 선택 라인들(SSL)은 비트 라인들(BL(i), BL(i+1))과 셀 스트링들(CSTR) 간의 전기적 연결을 제어하며, 접지 선택 라인(GSL(1))은 셀 스트링들(CSTR)과 공통 소스 라인(CSL) 간의 전기적 연결을 제어할 수 있다. 또한, 복수의 워드 라인들(WL)은 메모리 셀들(MCT)을 제어할 수 있다. 복수의 셀 스트링들(CSTR)에서 동일한 레벨에 위치하는 메모리 셀들(MCT)은 동일한 워드 라인(WL)에 연결될 수 있다.
- [0017] 비트 라인들(BL(i), BL(i+1)) 중 선택된 하나와 스트링 선택 라인들(SSL(m), SSL(m+1)) 중 선택된 하나에 의해 복수의 셀 스트링들(CSTR) 중 하나가 선택될 수 있다. 또한, 선택된 하나의 셀 스트링(CSTR)에서, 워드 라인들(WL0 ... WLn) 중 선택된 하나에 의해 메모리 셀들(MCT) 중 하나가 선택될 수 있다.
- [0018] 실시예들에 따르면, 메모리 셀들(MCT) 각각은 강유전체 물질을 갖는 정보 저장 요소를 포함할 수 있다. 워드 라인들(WL0 ... WLn)에 입력되는 전압에 의해 정보 저장 요소 내의 쌍극자의 분극 변화를 이용하여 각 메모리 셀

(MCT)에 데이터를 기록하거나 지울 수 있다. 강유전체 물질을 갖는 정보 저장 요소를 이용함으로써, 상대적으로 저전력으로 반도체 메모리 장치가 동작할 수 있으며, 빠른 동작 속도를 구현할 수 있다.

- [0019] 도 2는 본 발명의 실시예들에 따른 단위 메모리 셀을 나타내는 회로도이다.
- [0020] 도 2를 참조하면, 각 메모리 셀(MCT)은 워드 라인(WL)에 의해 제어될 수 있다. 각 메모리 셀(MCT)은 게이트 전극, 소오스 전극, 드레인 전극, 게이트 전극, 및 소오스 전극과 드레인 전극 사이의 채널을 포함할 수 있다. 각 메모리 셀의 게이트 전극은 워드 라인(WL)에 연결될 수 있으며, 소오스 전극에 공통 소오스 라인(CSL)이 연결될 수 있다. 각 메모리 셀(MCT)은 채널 영역과 게이트 전극 사이에 메모리막(또는 데이터 저장막)으로서 강유전체막(FEL)을 포함할 수 있다.
- [0021] 강유전체막(FEL)은 전하들의 분극 상태로 데이터 값을 나타내도록 강유전체 물질로 형성될 수 있다. 강유전체막(FEL)은 전하의 분극 상태로 이진 데이터 값 또는 다치화된 데이터 값을 나타낼 수 있다. 이하, 강유전체 물질은 사방정계(Orthorhombic) 결정 구조를 갖는 HfO_x , Al, Zr 또는 Si 중 적어도 하나의 물질이 도핑된 HfO_x , $\text{PZT}(\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3)$, $\text{PTO}(\text{PbTiO}_3)$, $\text{SBT}(\text{SrBi}_2\text{Ti}_2\text{O}_3)$, $\text{BLT}(\text{Bi}(\text{La}, \text{Ti})\text{O}_3)$, $\text{PLZT}(\text{Pb}(\text{La}, \text{Zr})\text{TiO}_3)$, $\text{BST}(\text{Bi}(\text{Sr}, \text{Ti})\text{O}_3)$, 티탄산바륨(barium titanate, BaTiO_3), $\text{P}(\text{VDF-TrFE})$, PVDF , AlO_x , ZnO_x , TiO_x , TaO_x 또는 InO_x 중 적어도 하나를 포함할 수 있다.
- [0022] 강유전체막(FEL)은 각 메모리 셀(MCT) 내의 전하 분포가 비중심대칭(non-centrosymmetric)되어 자발적인 쌍극자(dipole(electric dipole)), 즉, 자발 분극(spontaneous polarization)을 가질 수 있다. 강유전체막(FEL)은 외부 전기장이 없는 상태에서도 쌍극자(dipole)에 의한 잔류 분극(remnant polarization)을 갖는다. 아울러 외부 전기장에 의해 분극의 방향이 바뀔(switching) 수 있다.
- [0023] 다시 말해, 강유전체막(FEL)은 양 또는 음의 분극 상태를 가질 수 있으며, 프로그램 동작 동안 강유전체막(FEL)에 인가되는 전계에 의해 분극 상태가 달라질 수 있다. 강유전체막(FEL)의 분극 상태는 전원이 차단되더라도 유지될 수 있어 반도체 메모리 장치는 비휘발성 메모리 소자로서 동작할 수 있다. 실시예들에서, 강유전체막(FEL)의 분극 상태는 채널 영역과 게이트 전극 사이의 전압 차이에 의해 결정될 수 있다.
- [0024] 일 예로, 프로그램 동작시 메모리 셀(MCT)에서 채널 영역은 게이트 전극에 인가되는 제1 프로그램 전압에 의해 공핍될 수 있으며, 게이트 전극에 인가되는 제2 프로그램 전압과 채널 영역 간의 전압 차이에 의해 강유전체막(FEL)의 극성이 변화될 수 있다. 제2 프로그램 전압과 채널 영역 간의 전압 차이는 강유전체막(FEL)의 분극을 변경하는데 필요한 최소 전압 이상일 수 있다.
- [0025] 메모리 셀(MCT)로부터 데이터를 독출하는 동작시, 선택된 메모리 셀(MCT)의 채널 영역을 통해 흐르는 전류를 측정함으로써, 메모리 셀(MCT)에 저장된 데이터를 독출할 수 있다. 또한, 게이트 전극에 소거 전압을 인가하여 복수 개의 메모리 셀들을 동시에 소거(erase)할 수 있다.
- [0026] 도 3은 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 어레이를 나타내는 평면도이며, 도 4는 도 3의 I-I' 선을 따라 자른 단면도이다. 도 5는 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 스트링을 나타내는 개략적인 사시도이다. 도 6, 도 7, 도 8, 및 도 9는 도 4의 P 부분을 확대한 도면들이다.
- [0027] 도 3 및 도 4를 참조하면, 실시예들에 따른 반도체 메모리 장치는 기판(100) 상의 적층 구조체(ST), 수직 구조체들(VS), 및 비트 라인들(BL)을 포함할 수 있다. 실시예들에 따르면, 기판(100) 상에 도 1에 도시된 셀 스트링들(도 1의 CSTR)이 집적될 수 있으며, 적층 구조체(ST) 및 제1 수직 구조체들(VS1)이 셀 스트링들(도 1의 CSTR)을 구성할 수 있다.
- [0028] 기판(100)은 반도체 물질, 절연 물질, 또는 도전 물질로 이루어질 수 있다. 기판(100)은 제1 도전형(예를 들어 n형)을 갖는 도펀트들이 도핑된 반도체 및/또는 불순물이 도핑되지 않은 상태의 본성 반도체(intrinsic semiconductor)를 포함할 수 있다. 기판(100)은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 선택된 적어도 어느 하나를 포함하는 결정 구조를 가질 수 있다.
- [0029] 기판(100) 상에 적층 구조체(ST)가 배치될 수 있으며, 제1 방향(D1)을 따라 연장될 수 있다. 적층 구조체(ST)는 서로 교차하는 제1 및 제2 방향들(D1, D2)에 대해 수직하는 제3 방향(D3; 즉, 수직 방향)을 따라 번갈아 적층된 게이트 전극들(UL, WL, LL) 및 절연막들(ILD)을 포함할 수 있다.
- [0030] 게이트 전극들(UL, WL, GL)은 예를 들어, 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 구리, 알루미늄 등), 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등) 또는 전이금속(ex, 티타늄, 탄탈륨 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 절연막들(ILD)은 실리콘 산화막 및/또는 저유전막을 포함할 수 있다. 실

시예들에 따르면, 반도체 장치는 수직형 낸드 플래시 메모리 장치일 수 있으며, 이 경우, 적층 구조체(ST)의 전극들(SSL, WL, GSL)은 도 1을 참조하여 설명된 스트링 선택 라인들(SSL), 워드 라인들(WL), 및 접지 선택 라인들(GSL)로써 사용될 수 있다.

- [0031] 공통 소오스 라인(CSL)이 기판(100)과 적층 구조체(ST) 사이에 배치될 수 있다. 공통 소오스 라인(CSL)은 적층 구조체(ST)와 나란하게 제1 방향(D1)으로 연장될 수 있다. 공통 소오스 라인은 반도체 물질 및 도전 물질을 포함할 수 있다.
- [0032] 복수 개의 수직 구조체들(VS)이 적층 구조체(ST)를 관통할 수 있다. 도 5를 참조하면, 복수 개의 수직 구조체들(VS)의 기판(100)의 상면에 대해 수직하는 제3 방향으로 연장될 수 있다. 수직 구조체(VS)는 접지 선택 라인(GSL), 워드 라인들(WLs), 그리고 스트링 선택 라인들(SSL)을 형성하는 도전 물질들을 관통할 수 있다. 다시 말해, 접지 선택 라인(GSL), 워드 라인들(WLs), 그리고 스트링 선택 라인들(SSL)이 수직 구조체(VS)를 둘러쌀 수 있다. 워드 라인들(WLs)은 데이터 저장에 사용되지 않는 더미(dummy) 워드 라인을 포함할 수 있다. 더미 워드 라인은 다양한 용도로 사용될 수 있다. 실시예들에 따른 메모리 셀들은 수직 구조체들(VS)과 게이트 전극들(WL) 사이에 각각 제공될 수 있다.
- [0033] 수직 구조체들(VS)은, 평면적 관점에서, 일 방향을 따라 배열되거나, 지그재그 형태로 배열될 수 있다. 수직 구조체(VS)의 폭 또는 직경은 기판(100)으로부터 거리가 증가할수록 증가될 수 있다. 다시 말해, 수직 구조체(VS)는 기판(100)의 상면에 대해 경사진 측면을 가질 수 있다.
- [0034] 보다 상세하게 도 5 및 도 6을 참조하면, 수직 구조체들(VS) 각각은 수직 반도체 막(VSP), 게이트 전극들(WL)과 수직 반도체 막(VSP) 사이의 수직 채널막(VC), 및 수직 채널막(VC)과 게이트 전극들(WL) 사이의 강유전체막(FEL)을 포함할 수 있다. 수직 구조체(VS)에서 강유전체막(FEL), 스트레스 제어막(SEL), 수직 채널막(VC) 및 수직 반도체 막(VSP)은 내측을 향하여 순차적으로 제공될 수 있다.
- [0035] 수직 반도체 막(VSP)은 제3 방향(D3)으로 연장되는 필라(pillar) 형태를 가질 수 있다. 이와 달리, 수직 반도체 막(VSP)은 U자 형태의 단면을 가질 수 있으며, 내부가 절연 물질로 채워질 수도 있다. 수직 반도체 막(VSP)은 기판(100)과 이격될 수 있으며, 수직 반도체 막(VSP)과 기판(100) 사이에 강유전체막(FEL)의 일부가 위치할 수 있다.
- [0036] 수직 반도체 막(VSP)은 수직 채널 패턴(VCP)에서의 전하 또는 홀의 확산을 돕는 물질로 형성될 수 있다. 보다 상세하게, 수직 반도체 막(VSP)은 전하, 홀 이동도(Hole mobility)가 우수한 물질로 형성될 수 있다. 예를 들어, 수직 반도체 막(VSP)은 불순물이 도핑된 반도체 물질, 불순물이 도핑되지 않은 상태의 진성 반도체(Intrinsic semiconductor) 물질 또는 다결정(Polycrystalline) 반도체 물질로 형성될 수 있다. 보다 구체적인 예를 들면, 수직 반도체 막(VSP)은 기판(SUB)과 동일한 제1 도전형 불순물(예컨대, P형의 불순물)이 도핑된 폴리 실리콘으로 형성될 수 있다. 즉, 수직 반도체 막(VSP)은 3차원 플래시 메모리의 전기적 특성을 개선시켜 메모리 동작의 속도를 향상시킬 수 있다.
- [0037] 도 6을 같이 참조하면, 수직 채널막(VC)이 수직 반도체 막(VSP)의 측면을 둘러쌀 수 있으며, 제3 방향(D3)으로 연장될 수 있다. 수직 채널막(VC)은 수직 반도체 막(VSP)의 측면 상에서 균일한 두께를 가질 수 있다.
- [0038] 수직 채널막(VC)은 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물과 같은 반도체 물질을 포함할 수 있다. 반도체 물질을 포함하는 수직 채널막(VC)은 도 1을 참조하여 설명된 스트링 및 접지 선택 트랜지스터들(SST, GST) 및 메모리 셀들(MCT)의 채널들로 사용될 수 있다. 수직 채널막(VC)은 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 수직 채널막(VC)은 U자 형태를 가질 수 있다. 일 예로, 수직 채널막(VC)의 측면 일부는 공통 소오스 라인(CSL)과 접촉할 수 있다.
- [0039] 수직 채널막(VC)의 상면 및 수직 반도체 막(VSP)의 상면 상에 도전 패드(PAD)가 제공될 수 있다. 도전 패드(PAD)는 수직 채널막(VC)의 상부 및 수직 반도체 막(VSP)의 상부와 연결될 수 있다. 도전 패드(PAD)의 측면은 강유전체막(FEL)으로 둘러싸일 수 있다. 도전 패드(PAD)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다.
- [0040] 도전 패드(PAD)는 불순물이 도핑된 반도체 또는 도전성 물질로 형성될 수 있다. 예를 들어, 도전 패드(PAD)는 수직 반도체 막(VSP)과 다른 불순물(보다 정확하게 제1 도전형(예컨대, P형)과 다른 제2 도전형(예컨대, N형)의 불순물)이 도핑된 반도체 물질로 형성될 수 있다.
- [0041] 도전 패드(PAD)는 후술하는 비트 라인(BL)과 수직 채널막(VC)(또는 수직 반도체 막(VSP)) 사이의 접촉 저항을

줄일 수 있다.

- [0042] 이상, 수직 채널 구조체들(VS)이 도전 패드(PAD)를 포함하는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 도전 패드(PAD)를 생략한 구조를 가질 수도 있다. 이러한 경우, 수직 채널 구조체들(VS)에서 도전 패드(PAD)가 생략됨에 따라, 수직 채널 패턴(VCP) 및 수직 반도체 막(VSP) 각각의 상면이 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이루도록 수직 채널 패턴(VCP) 및 수직 반도체 막(VSP) 각각이 제3 방향(D3)으로 연장 형성될 수 있다. 또한, 이러한 경우, 후술되는 비트 라인 콘택 플러그(BLCP)는, 도전 패드(PAD)를 통해 수직 채널막(VC)과 간접적으로 전기적으로 연결되는 대신에, 수직 채널막(VC)과 직접적으로 접촉하며 전기적으로 연결될 수 있다.
- [0043] 스트레스 제어막(SEL)이 수직 채널막(VC)의 측벽을 둘러쌀 수 있으며, 제3 방향(D3)으로 연장될 수 있다. 스트레스 제어막(SEL)은 수직 채널막(VC)의 측벽 상에서 실질적으로 균일한 두께를 가질 수 있다. 스트레스 제어막(SEL)의 두께는 강유전체막의 두께보다 작을 수 있고, 수직 채널막(VC)의 두께보다도 작을 수 있다. 예를 들어, 스트레스 제어막(SEL)의 두께는 5 나노미터 내지 50 나노미터일 수 있다.
- [0044] 후술되는 바와 같이, 스트레스 제어막(SEL)은 강유전체막(FEL)의 내측벽에 접촉하며 형성됨으로써, 냉각 공정 시 강유전체막(FEL)과의 스트레스를 발생시켜 강유전체막(FEL)의 사망정계 특성을 개선할 수 있다. 스트레스 제어막(SEL)은 냉각 공정 시 강유전체 기반의 강유전체막(FEL)과의 스트레스를 발생시킬 수 있는 물질을 포함할 수 있다.
- [0045] 스트레스 제어막(SEL)은 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 강유전체막(FEL)은 U자 형태를 가질 수 있다.
- [0046] 강유전체막(FEL)이 스트레스 제어막(SEL)의 외측벽을 둘러쌀 수 있으며, 제3 방향(D3)으로 연장될 수 있다. 강유전체막(FEL)은 스트레스 제어막(SEL)의 측벽 상에서 실질적으로 균일한 두께를 가질 수 있다.
- [0047] 강유전체막(FEL)은 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 강유전체막(FEL)은 U자 형태를 가질 수 있다. 도면에는 강유전체막(FEL)이 단일막으로 구성되는 것으로 도시하였으나, 다른 예로, 강유전체막(FEL)은 복수의 강유전체막들을 포함할 수도 있다.
- [0048] 실시예들에 따르면, 강유전체막(Gox)은 이에 인가되는 전계에 의해 분극 특성을 갖는 강유전체 물질을 포함할 수 있다. 강유전체 물질은 하프늄을 포함하는 유전물질로 이루어질 수 있다. 강유전체막(Gox)은 예를 들어, HfO₂, HfSiO₂(Si-doped HfO₂), HfAlO₂(Al-doped HfO₂), HfSiON, HfZnO, HfZrO₂, ZrO₂, ZrSiO₂, HfZrSiO₂, ZrSiON, LaAlO₃, HfDyO₂, 또는 HfScO₂를 포함할 수 있다.
- [0049] 게이트 절연막(GIL)이 강유전체막(FEL)의 측벽을 둘러쌀 수 있으며, 제3 방향(D3)으로 연장될 수 있다. 게이트 절연막(GIL)은 강유전체막(FEL) 상에서 균일한 두께를 가질 수 있다. 게이트 절연막(GIL)은 강유전체막(FEL)과 다른 절연 물질로 이루어질 수 있으며, 비강유전체(non-ferroelectric) 물질로 이루어질 수 있다. 일 예로, 게이트 절연막(GIL)은 공통 소오스 라인(CSL)의 상면 상에서 강유전체막(FEL)의 측벽을 둘러쌀 수 있다.
- [0050] 게이트 절연막들(GIL)은 예를 들어, 고유전막, 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 선택된 하나의 단일막 또는 이들의 조합을 포함할 수 있다. 일 예로, 고유전막은 하프늄 산화물, 하프늄 실리콘 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오브산염 중 적어도 하나를 포함할 수 있다.
- [0051] 수평 절연 패턴(HP)이 수직 구조체들(VS)과 인접한 게이트 전극들(SSL, WL, GSL)의 일측벽들 및 각 전극들(SSL, WL, GSL)의 상면들 및 하면들을 컨포말하게 덮을 수 있다. 수평 절연 패턴(HP)은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막을 포함할 수 있다.
- [0052] 일 실시예에서, 도 7를 참조하면, 수직 구조체(VS)에서 스트레스 제어막(SEL)이 생략될 수 있으며, 강유전체막(FEL)은 수직 채널막(VC)과 직접 연결될 수 있다.
- [0053] 일 실시예에서, 도 8을 참조하면, 수직 구조체(VS)는 강유전체막(FEL)과 게이트 전극(WL) 사이의 제1 게이트 절연막(GIL1) 및 수직 채널막(VC)과 강유전체막(FEL) 사이의 제2 게이트 절연막(GIL2)을 포함할 수 있다. 제1 및 제2 게이트 절연막들(GIL1, GIL2)은 강유전체막(FEL)과 다른 절연 물질로 이루어질 수 있으며, 비강유전체(non-ferroelectric) 물질로 이루어질 수 있다.

- [0054] 일 실시예에서, 도 9를 참조하면, 수직 구조체(VS)에서 게이트 절연막(GIL)이 제공되지 않을 수도 있다.
- [0055] 다시, 도 3 및 도 4를 참조하면, 분리 구조체들(SS)이 기판(100) 상에서 적층 구조체(ST)를 관통할 수 있다. 분리 구조체들(SS) 각각은 적층 구조체(ST)의 측벽을 덮는 절연막을 포함할 수 있다. 분리 구조체들(SS) 각각은 단일막 또는 다중막 구조를 가질 수 있다.
- [0056] 분리 구조체들(SS)은 적층 구조체(ST)와 나란하게 제1 방향(D1)을 따라 연장되며, 제1 방향(D1)과 교차하는 제2 방향(D2)으로 서로 이격될 수 있다. 서로 인접하는 분리 구조체들(SS) 사이에 적층 구조체(ST)가 배치될 수 있다. 분리 구조체들(SS)은 기판(100) 또는 공통 소오스 라인(CSL) 상에 배치될 수 있다. 분리 구조체들(SS)의 상면들은 실질적으로 동일한 레벨에 위치할 수 있으며, 수직 구조체들(VS)의 상면들보다 높은 레벨에 위치할 수 있다.
- [0057] 평면도들에서 비트 라인들(BL)이 생략되어 있으나, 비트 라인들(BL)은 적층 구조체(ST)를 가로질러 제2 방향(D2)으로 연장될 수 있다.
- [0058] 비트 라인들(BL)은 비트 라인 콘택 플러그들(BLPG)을 통해 각 수직 구조체(VS)의 도전 패드(PAD)에 연결되어 수직 채널막(VC)에 접속될 수 있다.
- [0059] 도 10은 도 3의 I-I' 선을 따라 자른 단면도이다. 본 실시예에서는, 앞서 도 3 내지 도 9를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0060] 도 3 및 도 10을 참조하면, 기판(100) 상의 적층 구조체(ST)는, 제1 적층 구조체(ST1), 및 제1 적층 구조체(ST1) 상의 제2 적층 구조체(ST2)를 포함할 수 있다. 제1 적층 구조체(ST1)는, 기판(100) 상에 수직한 방향(즉, 제3 방향(D3))으로 적층된 제1 게이트 전극들(WL1)을 포함할 수 있다. 제1 적층 구조체(ST1)는, 적층된 제1 게이트 전극들(WL1)을 서로 이격시키는 제1 절연막들(ILD1)을 더 포함할 수 있다. 제1 적층 구조체(ST1)의 제1 절연막들(ILD1) 및 제1 게이트 전극들(WL1)은, 제3 방향(D3)으로 서로 번갈아 적층될 수 있다. 제1 적층 구조체(ST1)의 최상부에 제2 절연막(ILD2)이 제공될 수 있다.
- [0061] 제2 적층 구조체(ST2)는, 제1 적층 구조체(ST1) 상에 제3 방향(D3)으로 적층된 제2 게이트 전극들(WL2)을 포함할 수 있다. 제2 적층 구조체(ST2)는, 적층된 제2 게이트 전극들(WL2)을 서로 이격시키는 제2 절연막들(ILD2)을 더 포함할 수 있다. 제2 적층 구조체(ST2)의 제2 절연막들(ILD2) 및 제2 게이트 전극들(WL2)은, 제3 방향(D3)으로 서로 번갈아 적층될 수 있다.
- [0062] 제1 수직 구조체들(VS1) 각각은, 제1 적층 구조체(ST1)를 관통하는 제1 수직 연장부, 제2 적층 구조체(ST2)를 관통하는 제2 수직 연장부, 및 제1 및 제2 수직 연장부들 사이의 확장부를 포함할 수 있다. 확장부는 제1 적층 구조체(ST1)의 최상층 층간 절연막(ILD) 내에 제공될 수 있다. 수직 구조체(VS)의 직경은 확장부에서 급격히 증가할 수 있다. 나아가, 앞서 설명한 실시예에서, 연결 영역에 제공되는 제1 수직 구조체(VS1)와 실질적으로 동일한 형상을 가질 수 있다.
- [0064] 도 11은 본 발명의 반도체 장치의 제조 방법을 나타낸 순서도이다. 도 12 내지 도 23은 도 11의 제조 방법을 단계별로 설명하기 위한 도면들이다. 도 12 내지 도 14, 도 16, 도 18, 도 20, 도 22 및 도 24는 반도체 장치를 제조하는 과정에서 도 3 및 도 4의 I-I' 선을 따라 자른 단면도에 대응한다. 도 15, 도 17, 도 19, 도 21 및 도 23은 각각 도 14, 도 16, 도 18, 도 20, 도 22의 P 영역을 확대한 도면들이다. 이하, 도 11 내지 도 24를 참조하여 반도체 장치의 제조 방법의 일 실시예를 구체적으로 설명한다.
- [0065] 도 12를 참조하면, 기판(100) 상에 임시 적층 구조체(HST)가 배치될 수 있으며, 제1 방향(D1)을 따라 연장될 수 있다. 임시 적층 구조체(HST)는 서로 교차하는 제1 및 제2 방향들(D1, D2)에 대해 수직하는 제3 방향(D3; 즉, 수직 방향)을 따라 교대로 적층된 희생막들(HL) 및 절연막들(ILD)을 포함할 수 있다.
- [0066] 공통 소오스 라인(CSL)이 기판(100)과 임시 적층 구조체(HST) 사이에 배치될 수 있다. 공통 소오스 라인(CSL)은 임시 적층 구조체(HST)와 나란하게 제1 방향(D1)으로 연장될 수 있다. 공통 소오스 라인은 반도체 물질 및 도전 물질을 포함할 수 있다.
- [0067] 도 11 및 도 13을 참조하면, S110 단계에서, 임시 적층 구조체(HST) 내부에 채널 홀들(CH)이 형성될 수 있다. 각각의 채널 홀(CH)은 임시 적층 구조체(HST) 및 공통 소오스 라인을 완전히 관통할 수 있고, 기판(100)의 상면 일부를 관통할 수 있다.
- [0068] 도 11, 도 14 및 도 15를 참조하면, S120 단계에서, 채널 홀(CH) 상에 게이트 절연막(GIL) 및 강유전체막(FEL)

이 순차적으로 형성될 수 있다. 강유전체막(FEL)은 채널 홀(CH)의 내측벽 상에 형성될 수 있다.

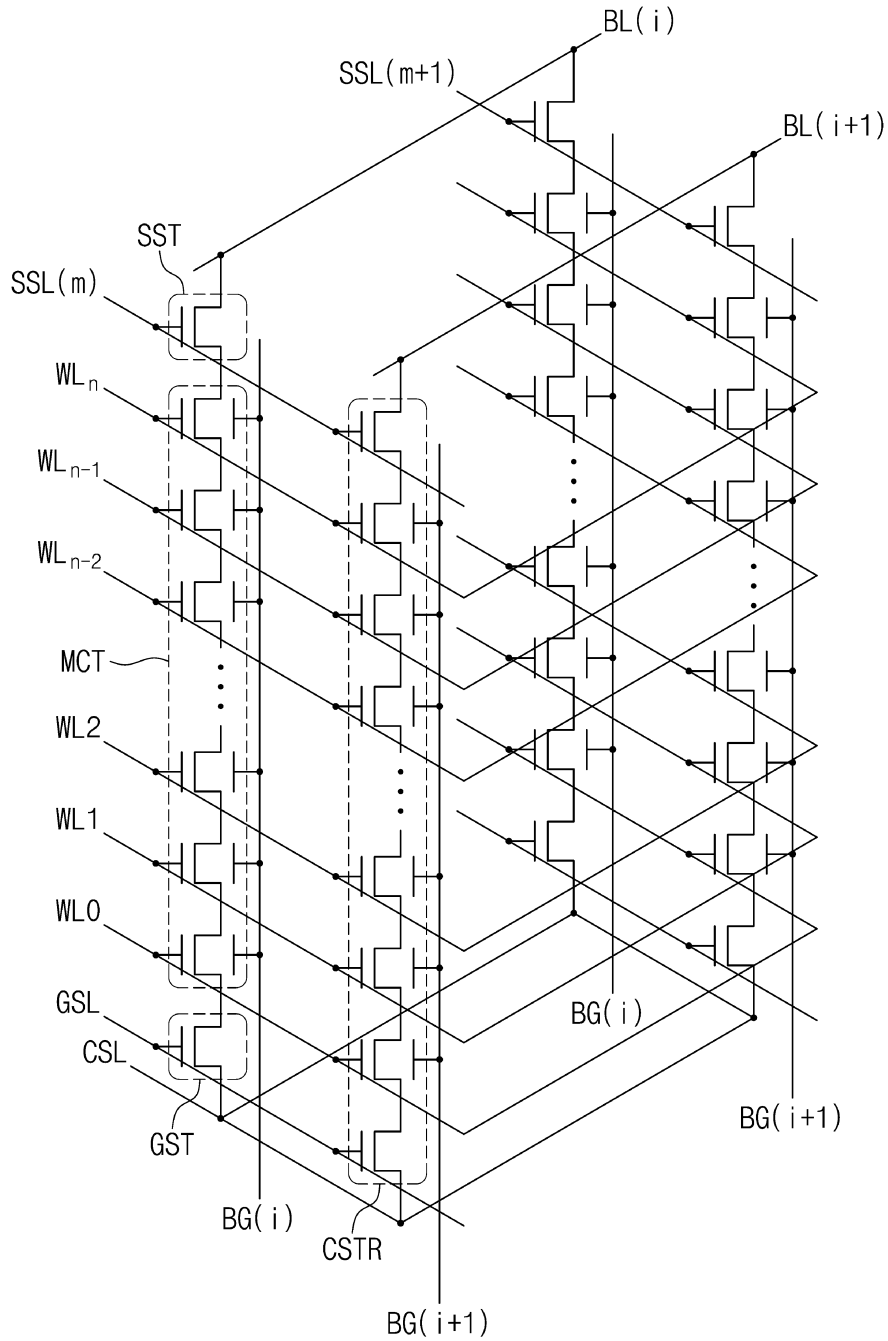
- [0069] 강유전체막(FEL)은 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 강유전체막(FEL)은 내측에 공간을 갖는 U자 형태를 갖도록 형성될 수 있다. 게이트 절연막(GIL)은 강유전체막(FEL)과 채널 홀(CH)의 내측벽 사이에 제공되어 강유전체막(FEL)을 둘러싸도록 형성될 수 있다.
- [0070] 도 11, 도 16 및 도 17을 참조하면, S130 단계에서, 강유전체막(FEL)의 내측벽 상에 스트레스 제어막(SEL)이 형성될 수 있다. 스트레스 제어막(SEL)은 강유전체막(FEL)의 내측벽 상에 직접 형성될 수 있다. 스트레스 제어막(SEL)은 강유전체막(FEL)의 내측벽 전체를 덮도록 형성될 수 있다. 스트레스 제어막(SEL)은 콘포멀하게 형성될 수 있으며, 내측에 공간을 갖는 U자 형태로 형성될 수 있다.
- [0071] 후술하는 바와 같이, 스트레스 제어막(SEL)은 강유전체막(FEL)의 내측벽에 접촉하며 형성됨으로써, 냉각 공정 시 강유전체막(FEL)과의 스트레스를 발생시켜 강유전체막(FEL)의 사방정계 특성을 개선할 수 있다.
- [0072] 도 11, 도 18 및 도 19를 참조하면, S140 단계에서, 스트레스 제어막(SEL) 상에 냉각 공정이 수행될 수 있다. 냉각 공정은 저온의 냉각수를 스트레스 제어막(SEL)의 내측벽 상의 공간으로 주입하여 스트레스 제어막(SEL) 및 강유전체막(FEL)을 급속 냉각하는 공정을 포함할 수 있다.
- [0073] 급속 냉각 공정을 수행하는 과정에서, 강유전체막(FEL)과 스트레스 제어막(SEL)이 맞닿는 접촉 면적 및 냉각 공정이 수행되는 면적에 비례하여 강유전체층의 강유전 특성이 향상될 수 있다. 본 발명의 경우, 스트레스 제어막(SEL)이 강유전체막(FEL)의 내측벽 전체를 덮도록 형성되고, 스트레스 제어막(SEL)의 내측벽 전체에 냉각수가 직접 제공되므로 냉각 공정에 의한 강유전 특성이 향상될 수 있다.
- [0074] 도 11, 도 20 및 도 21을 참조하면, S150 단계에서, 스트레스 제어막(SEL)이 제거될 수 있다.
- [0075] 일 실시예에서, 스트레스 제어막(SEL)은 완전히 제거될 수 있다.
- [0076] 다른 실시예에서, 도면에 도시된 바와 달리, 스트레스 제어막(SEL)은 일부만 제거될 수 있다. 스트레스 제어막(SEL)의 일부가 제거된 경우, 강유전체막(FEL) 상에 남아있는 스트레스 제어막(SEL) 일부는 실질적으로 균일한 두께를 가질 수 있다. 스트레스 제어막(SEL)의 두께는 강유전체막(FEL)의 두께보다 작을 수 있고, 수직 채널막(VC)의 두께보다도 작을 수 있다. 예를 들어, 스트레스 제어막(SEL)의 두께는 5 나노미터 내지 50 나노미터일 수 있다.
- [0077] 도 11, 도 22 및 도 23을 참조하면, S160 단계에서, 스트레스 제어막(SEL)의 내측벽 상으로 수직 채널막(VC), 도전 패드(PAD) 및 수직 반도체 막(VSP)이 형성되어 수직 구조체(VS)를 형성할 수 있다.
- [0078] 일 실시예에서, 도면에 도시된 바와 달리, 수직 채널막(VC)과 강유전체막(FEL) 사이에 스트레스 제어막(SEL)이 남아있을 수 있다.
- [0079] 일 실시예에서, 도면에 도시된 바와 달리, 수직 채널막(VC)과 수직 반도체 막(VSP) 사이에 게이트 절연막이 추가적으로 형성될 수 있다.
- [0080] 도 11 및 도 24를 참조하면, S170 단계에서, 워드라인 리플레이스 공정이 수행될 수 있다.
- [0081] 워드라인 리플레이스 공정을 수행하는 것은 임시 적층 구조체(HST) 희생막들(HL)을 제거하고 도전 물질을 제공하여 게이트 전극들(LL, WL, UL)을 형성하는 것을 포함할 수 있다. 워드라인 리플레이스 공정이 완료된 경우, 임시 적층 구조체(HST)의 희생막들이 게이트 전극들(LL, WL, UL)로 대체되어 적층 구조체(ST)를 형성할 수 있다.
- [0082] 도 4를 다시 참조하면, S170 단계가 수행된 이후, 적층 구조체(ST)를 관통하는 분리 구조체(SS)가 형성될 수 있다. 비트 라인들(BL)은 비트 라인 콘택 플러그들(BLPG)을 통해 각 수직 구조체(VS)의 도전 패드(PAD)에 연결되어 수직 채널막(VC)에 접속되도록 형성될 수 있다.
- [0084] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단 순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

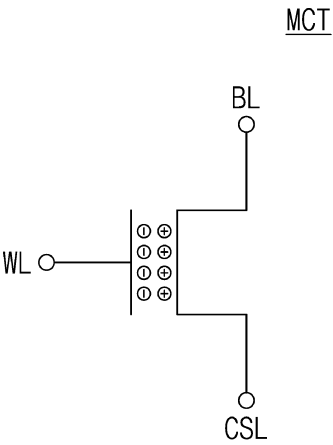
삭제

도면

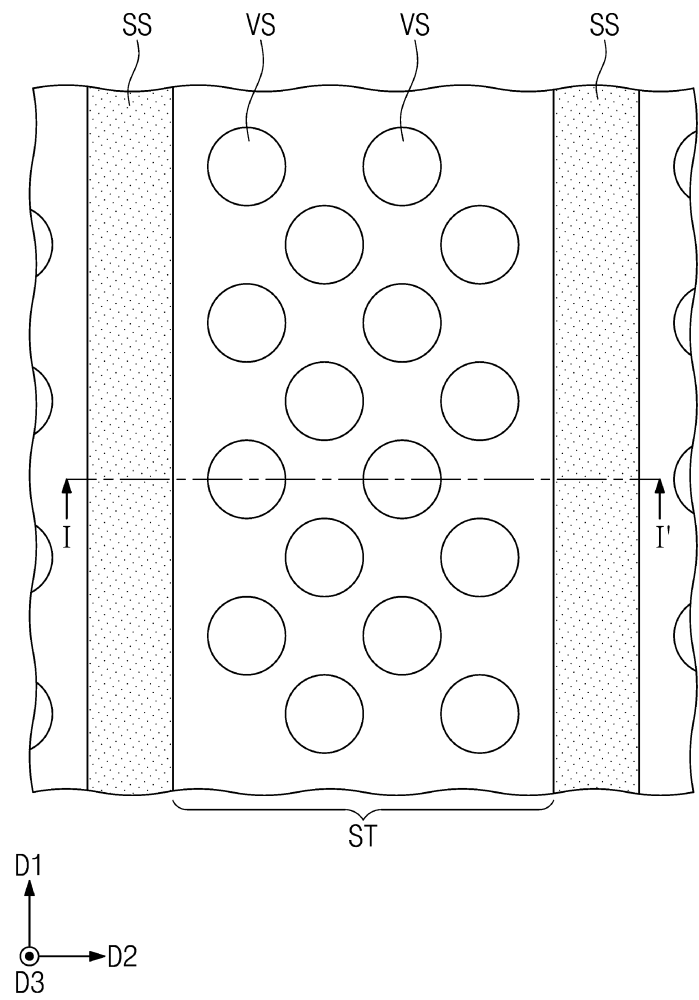
도면1



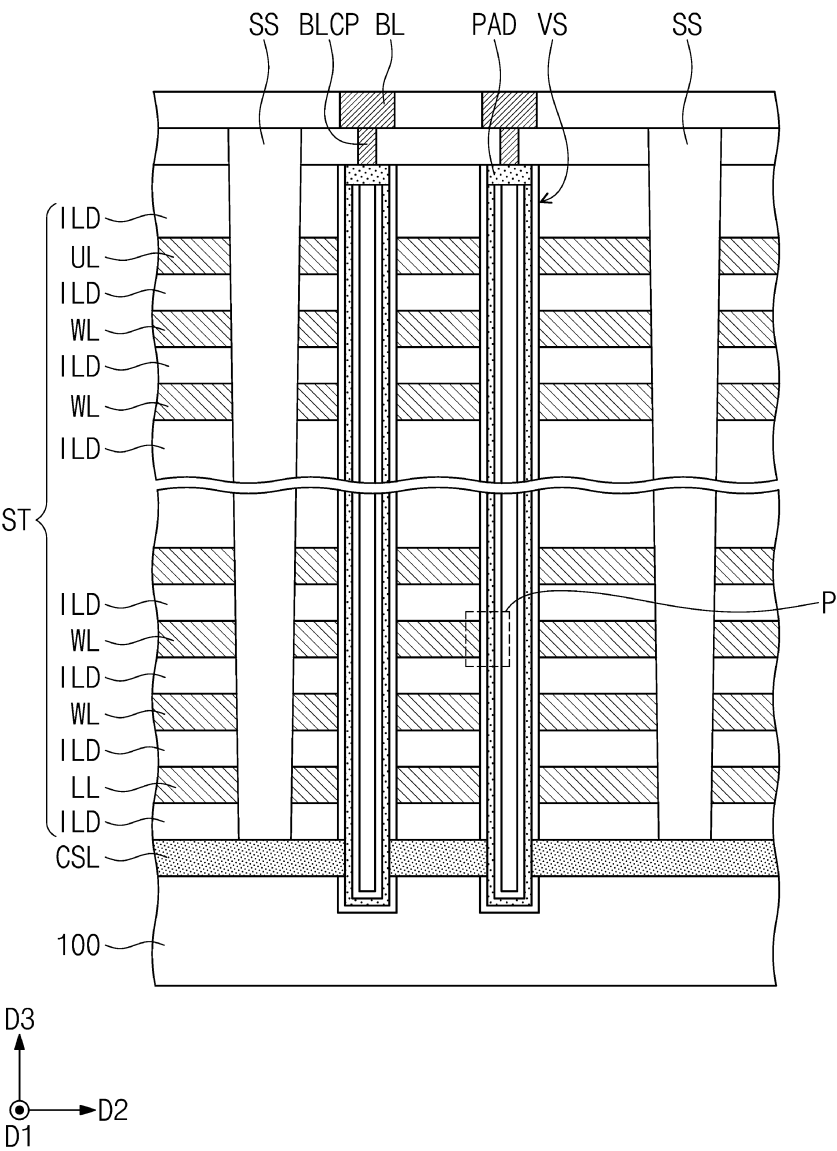
도면2



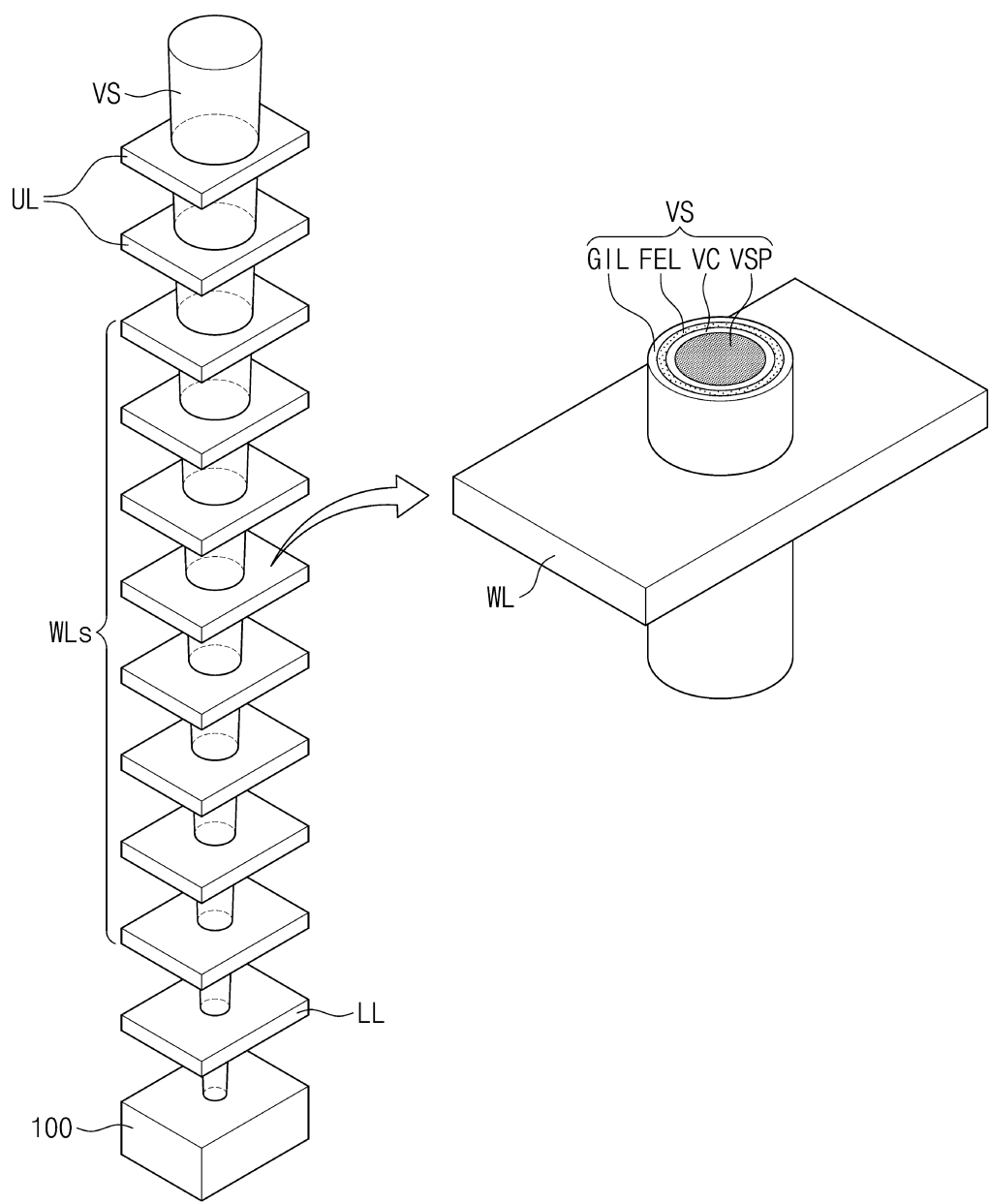
도면3



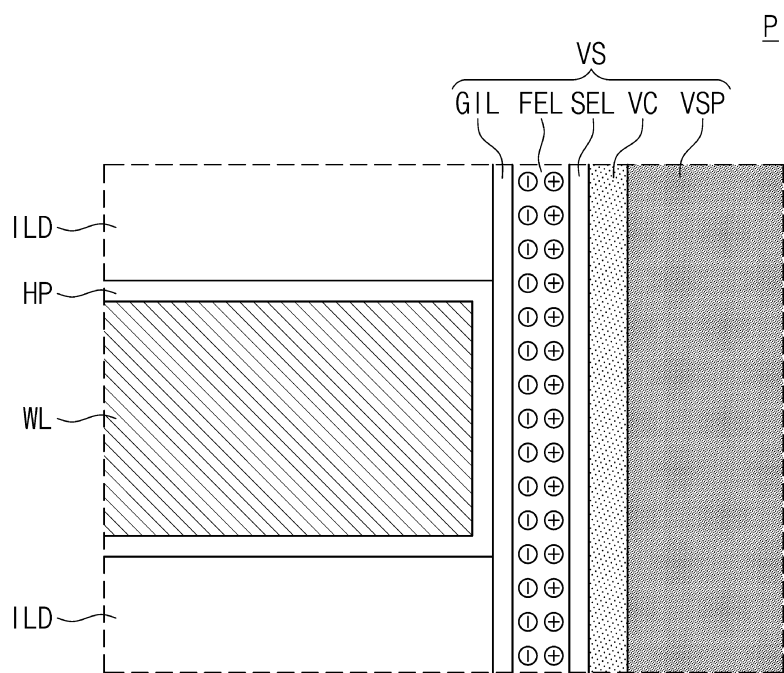
도면4



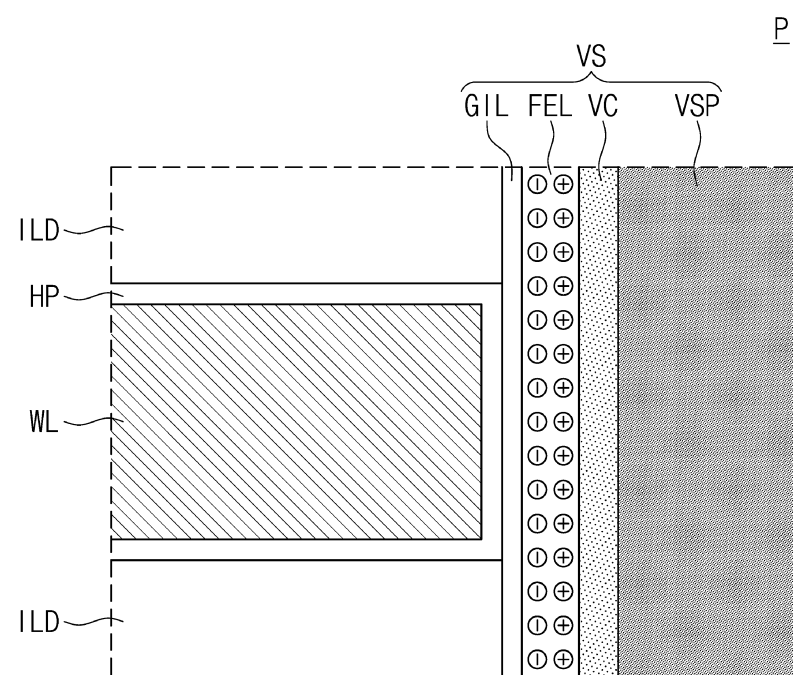
도면5



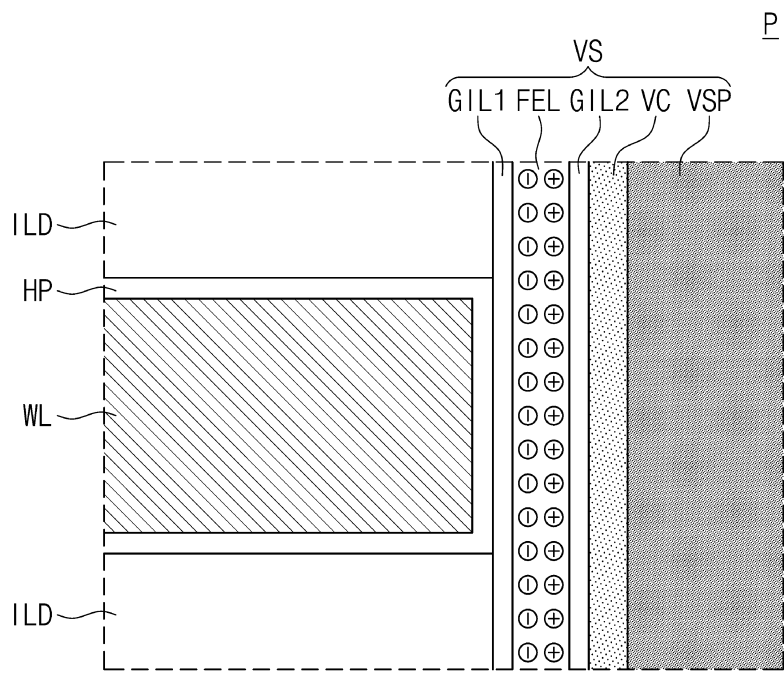
도면6



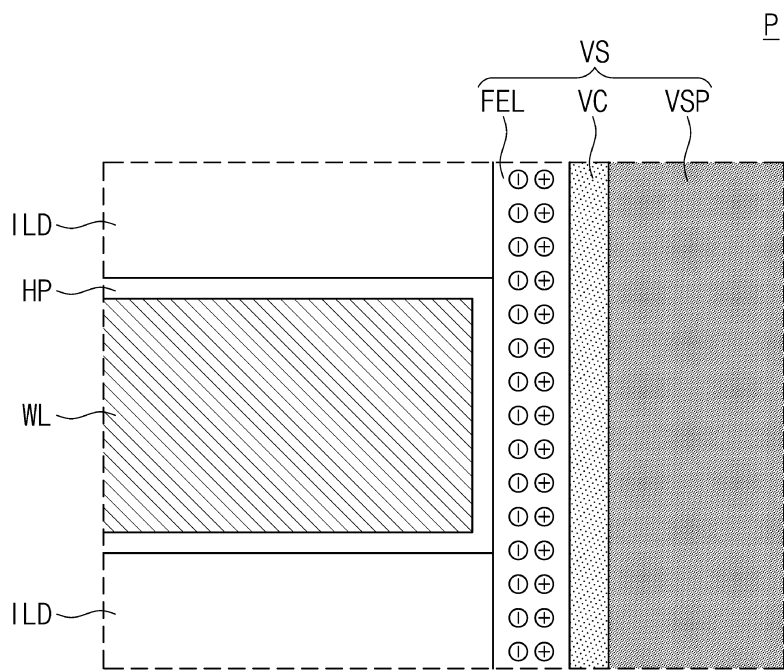
도면7



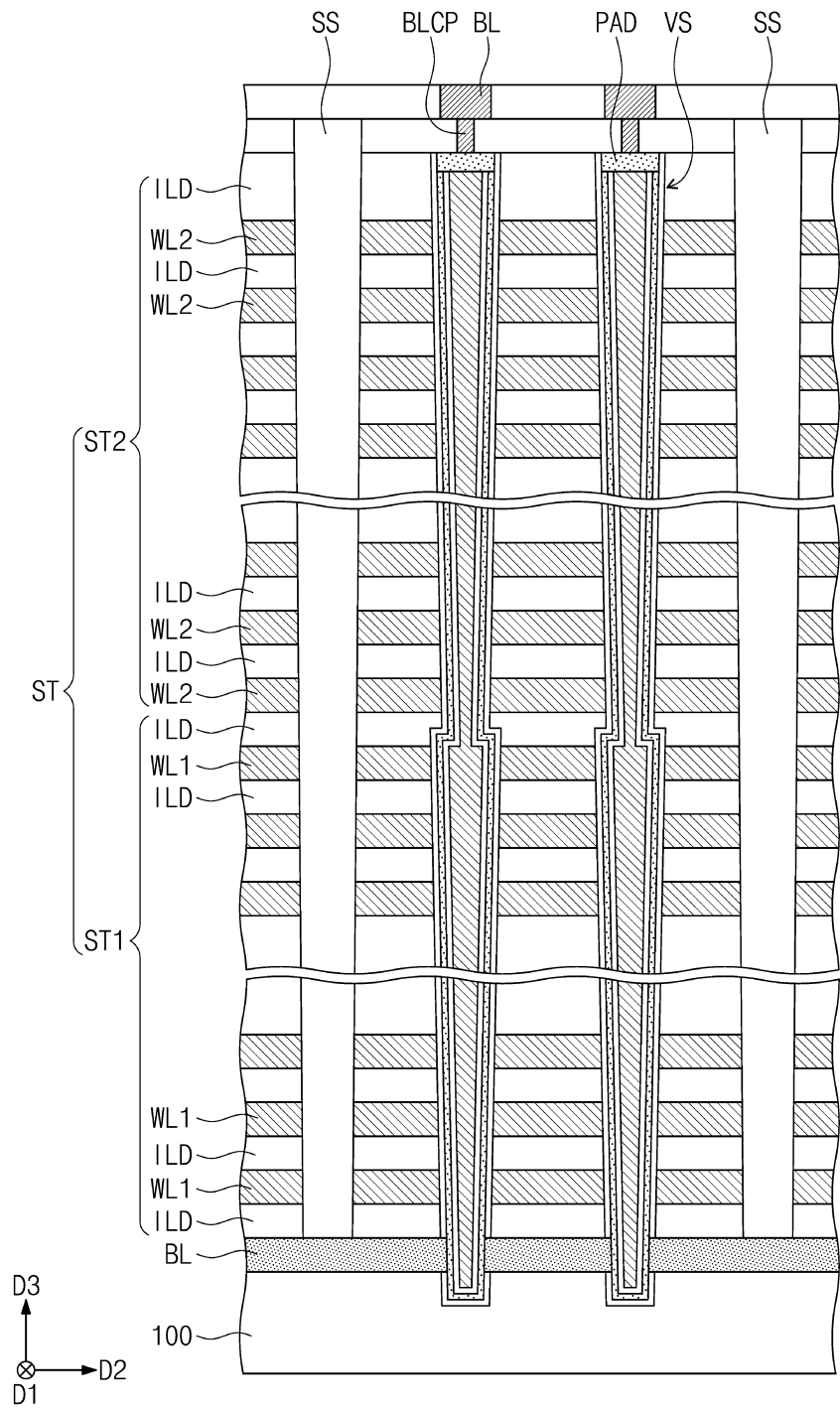
도면8



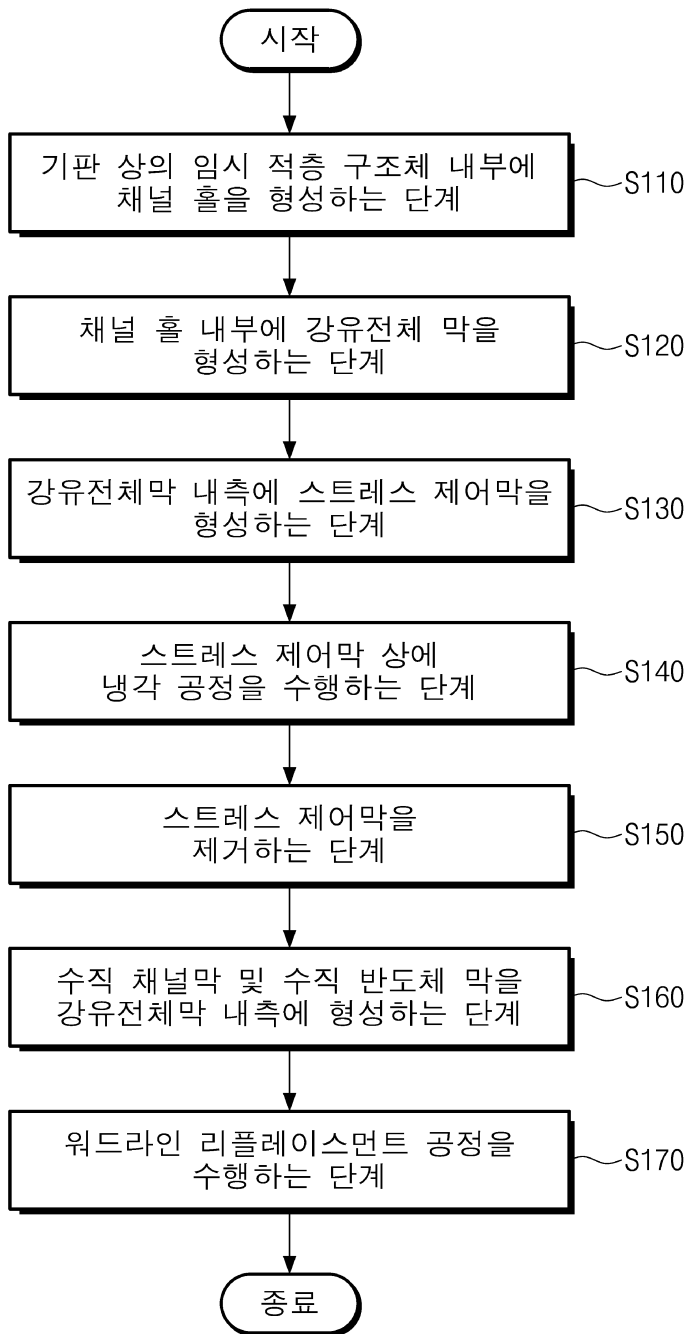
도면9



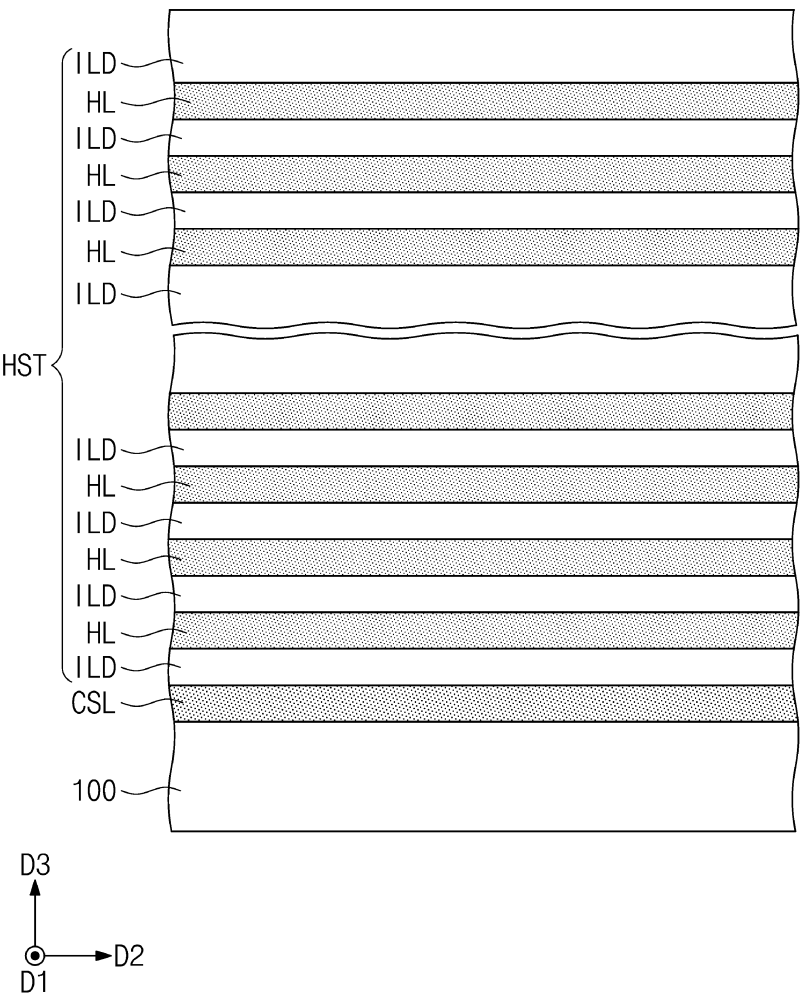
도면10



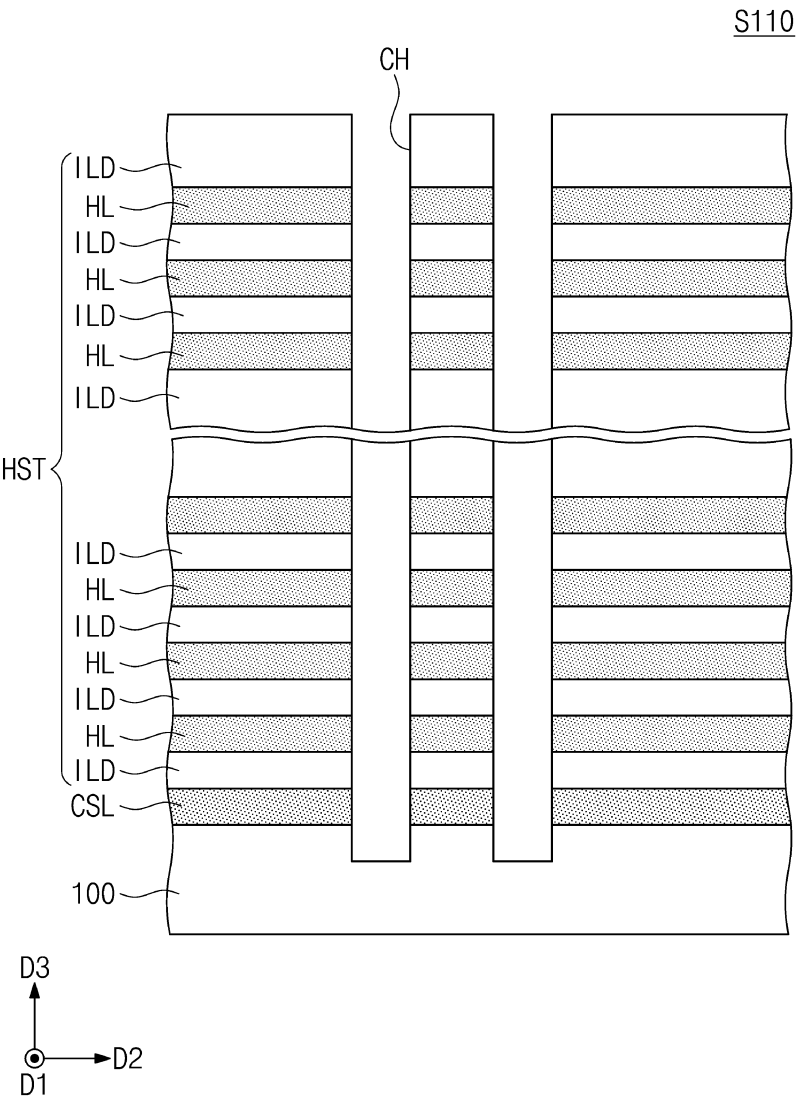
도면11



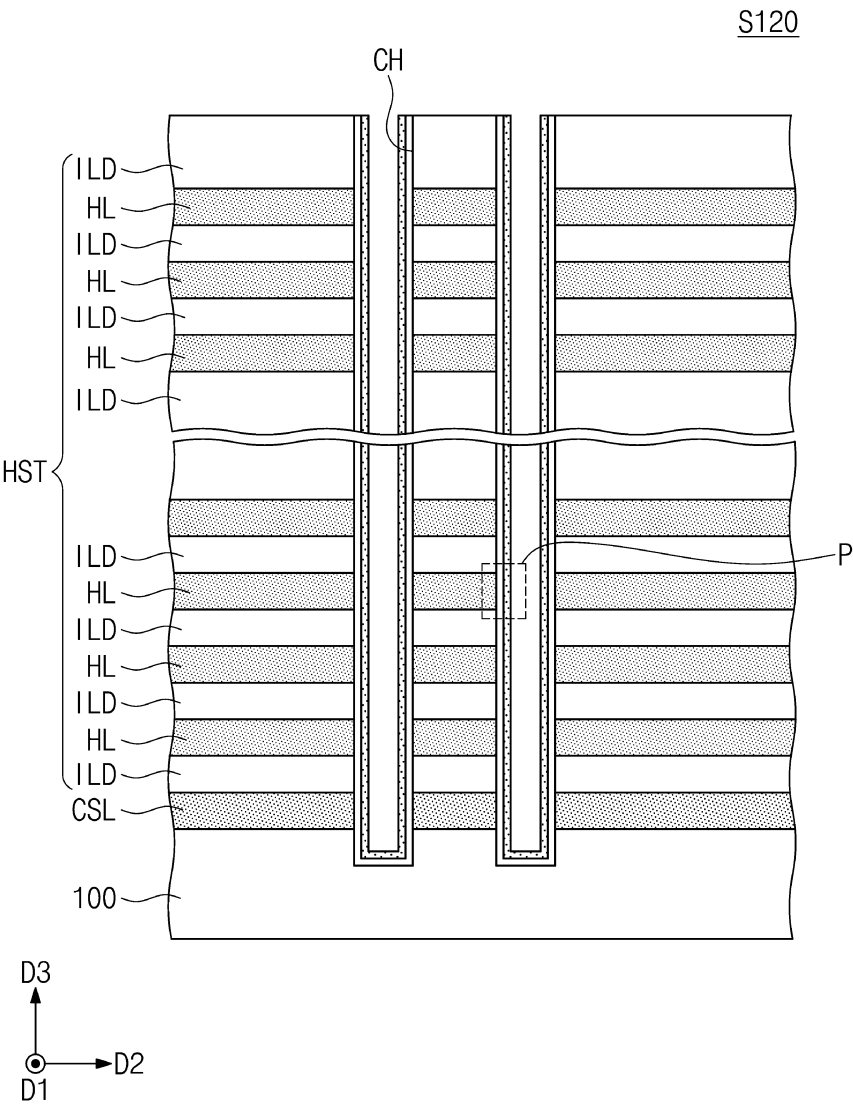
도면12



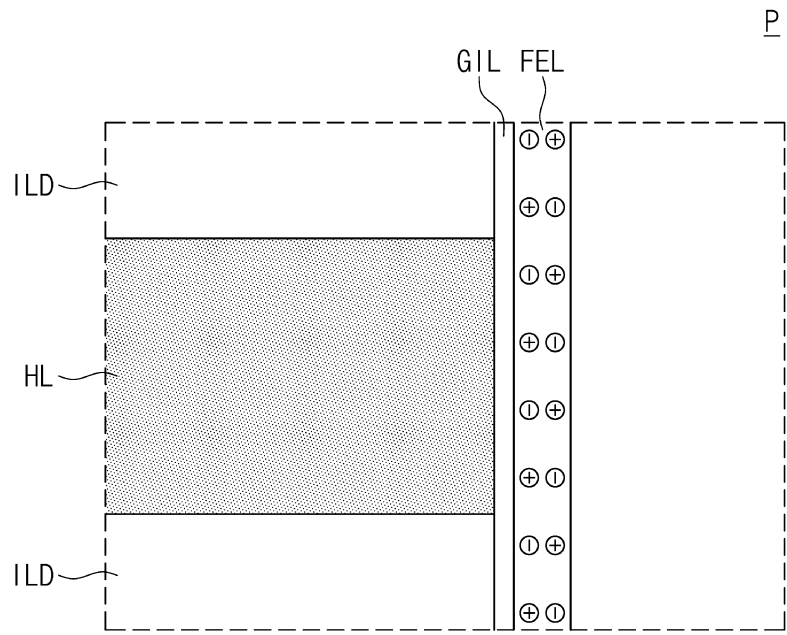
도면13



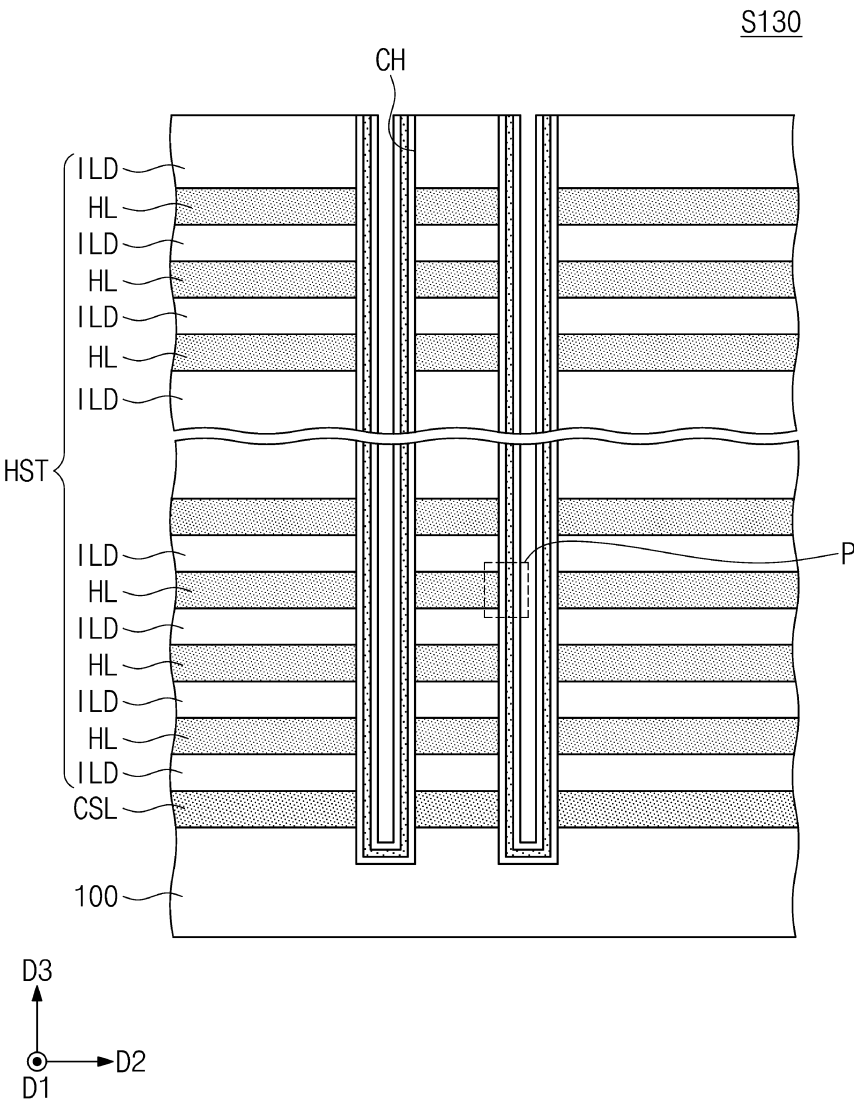
도면14



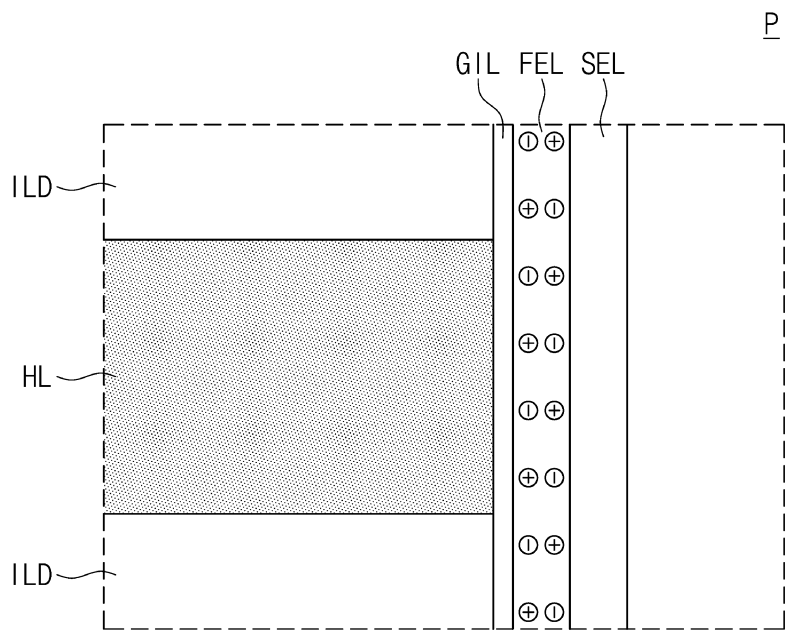
도면15



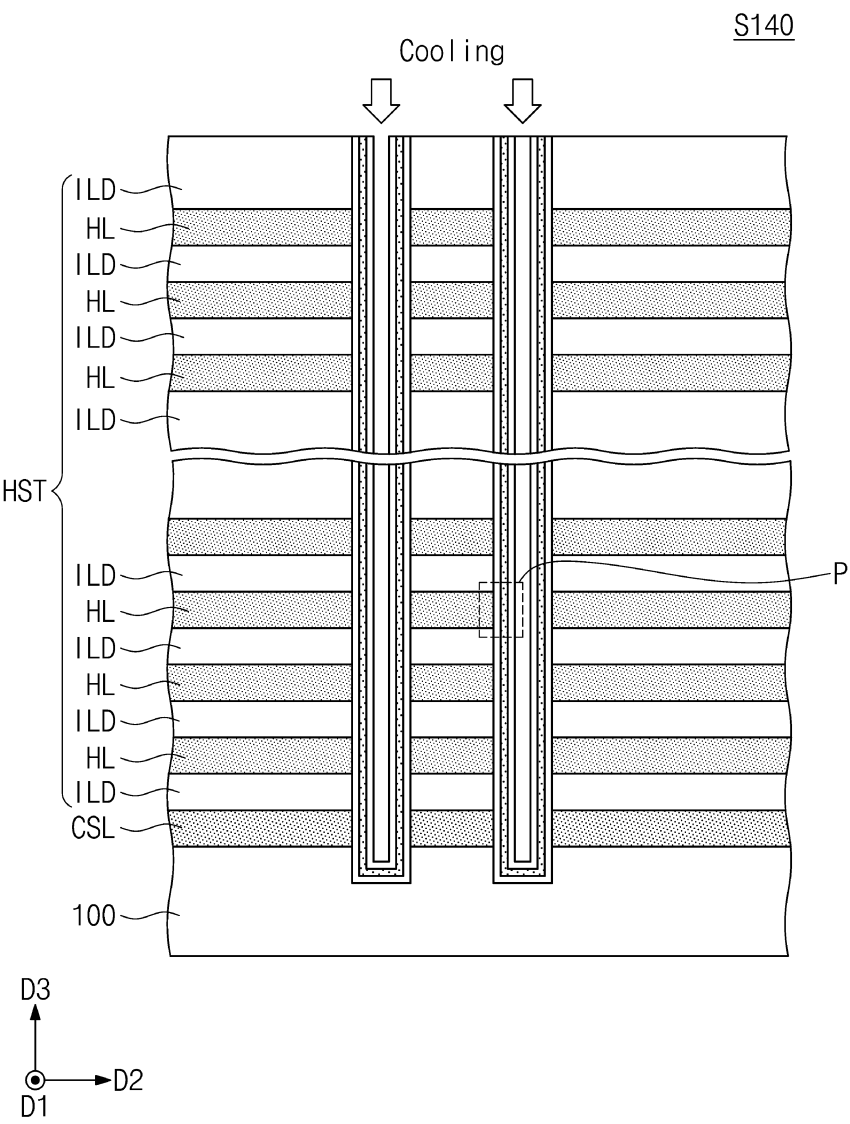
도면16



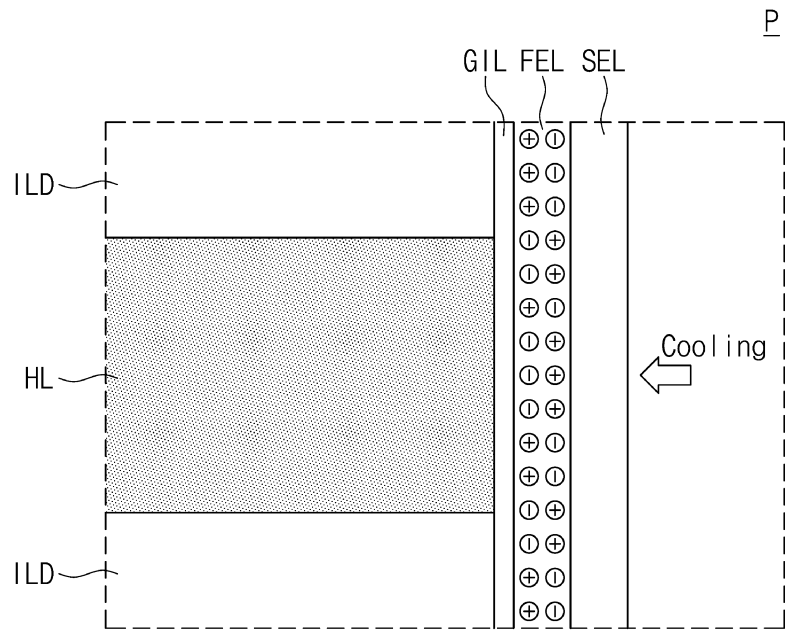
도면17



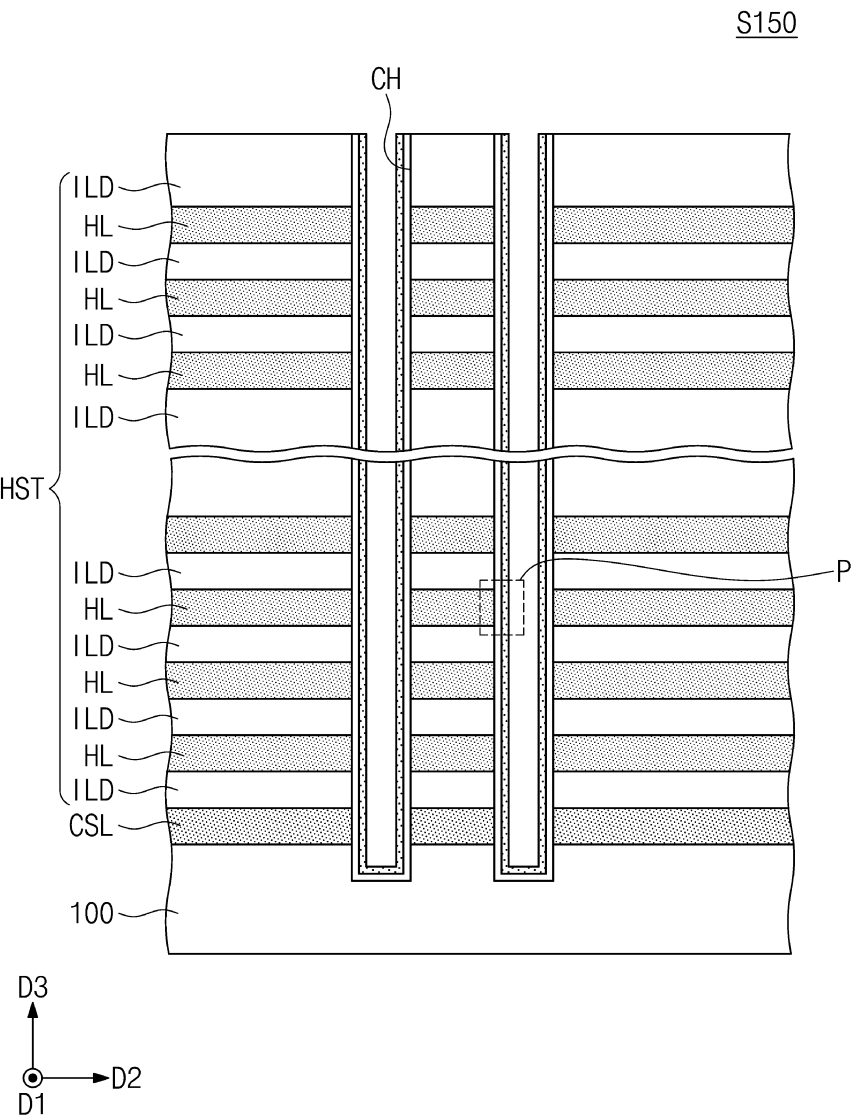
도면18



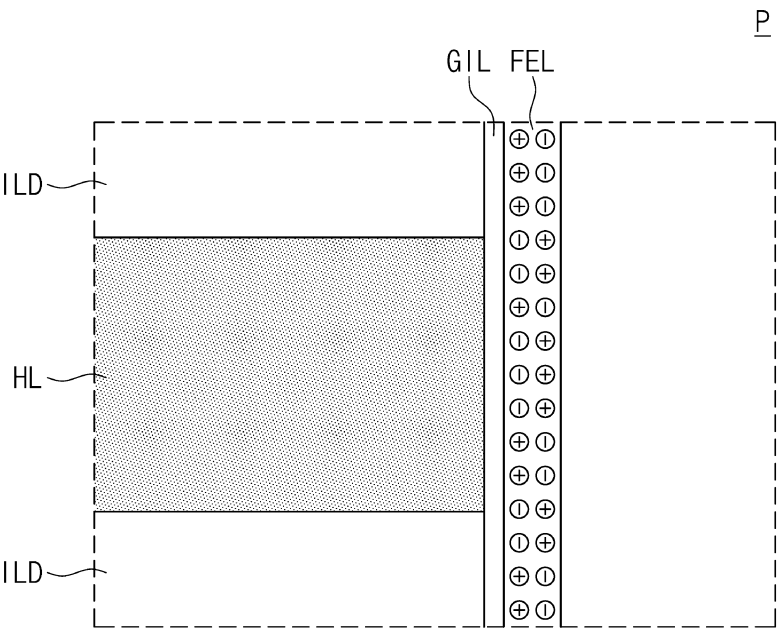
도면19



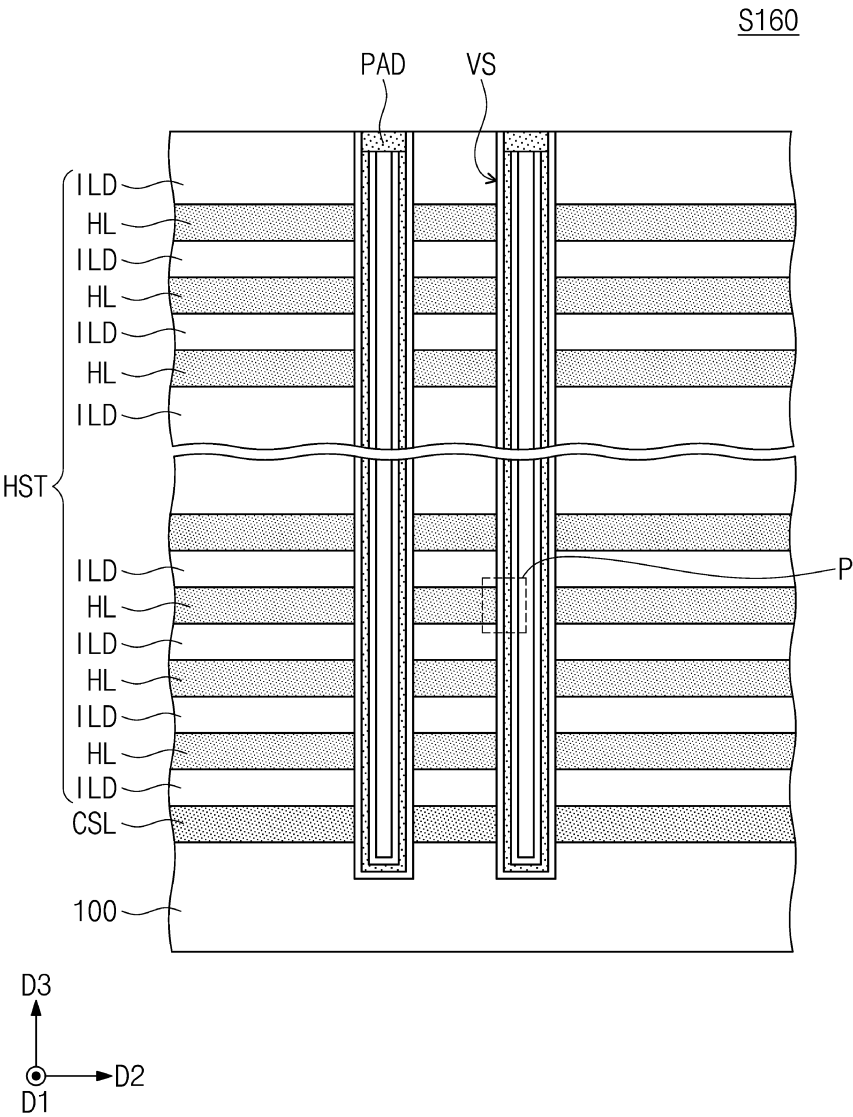
도면20



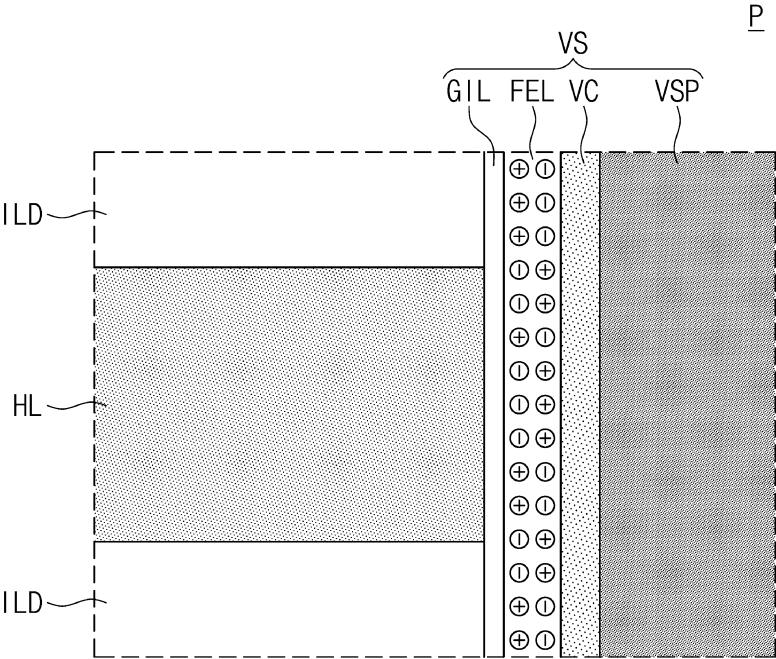
도면21



도면22

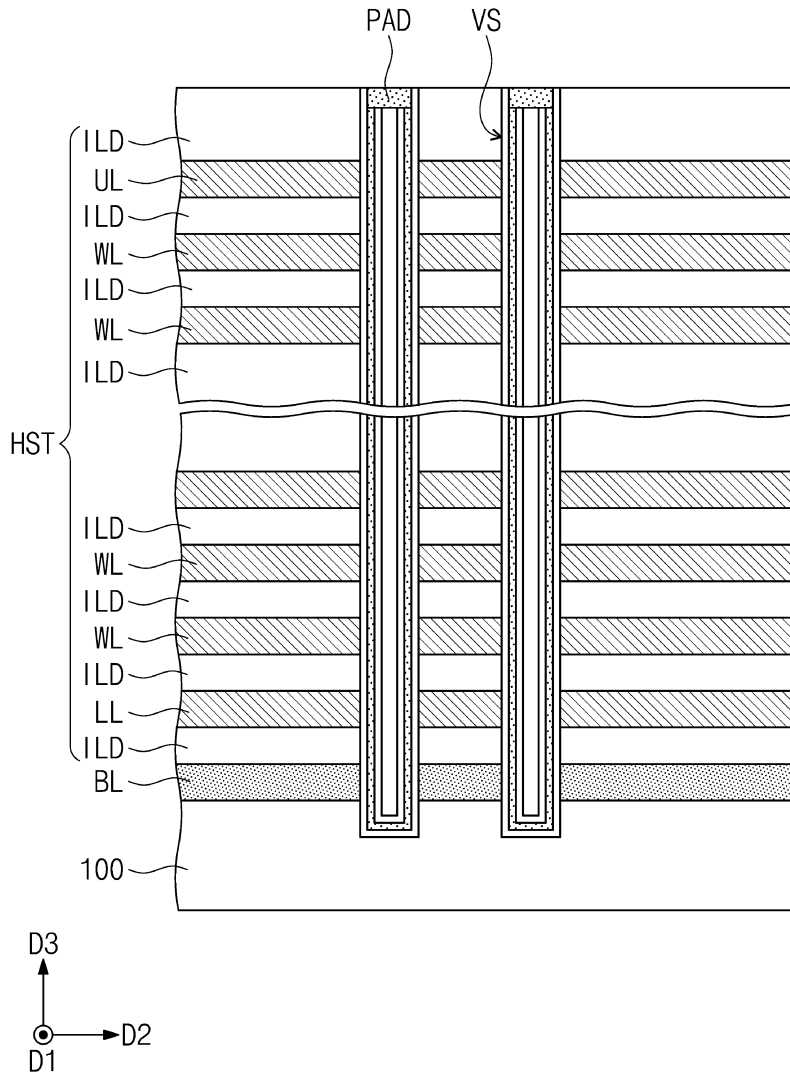


도면23



도면24

S170



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

교대로 적층된 희생막들 및 절연막들을 포함하는 임시 적층 구조체 내부에 채널 홀을 형성하는 단계;

상기 채널 홀 내부에 강유전체 막을 형성하는 단계;

상기 강유전체막의 내측벽 상에 스트레스 제어막을 형성하는 단계;

상기 스트레스 제어막의 내측벽 상에 냉각 공정을 수행하는 단계;

상기 냉각 공정이 수행된 이후 상기 스트레스 제어막의 적어도 일부를 제거하는 단계;

상기 강유전체막 상에 수직 채널막 및 수직 반도체 막을 순차적으로 형성하여 수직 구조체를 형성하는 단계; 및

임시 적층 구조체에서 상기 희생막들을 제거하고 게이트 전극들을 형성하는 단계를 포함하고,

상기 스트레스 제어막의 외측벽은 상기 강유전체막의 내측벽과 접촉하고,

상기 스트레스 제어막의 내측벽은 상기 채널 홀을 마주하며,

상기 냉각 공정을 수행하는 단계는 상기 스트레스 제어막의 내측벽 상의 공간으로 냉각수를 주입하여 상기 스트레스 제어막 및 상기 강유전체막을 급속 냉각하는 공정을 수행하는 단계를 포함하는 반도체 장치의 제조방법.

【변경후】

교대로 적층된 희생막들 및 절연막들을 포함하는 임시 적층 구조체 내부에 채널 홀을 형성하는 단계;

상기 채널 홀 내부에 강유전체 막을 형성하는 단계;

상기 강유전체막의 내측벽 상에 스트레스 제어막을 형성하는 단계;

상기 스트레스 제어막의 내측벽 상에 냉각 공정을 수행하는 단계;

상기 냉각 공정이 수행된 이후 상기 스트레스 제어막의 적어도 일부를 제거하는 단계;

상기 강유전체막 상에 수직 채널막 및 수직 반도체 막을 순차적으로 형성하여 수직 구조체를 형성하는 단계; 및

임시 적층 구조체에서 상기 희생막들을 제거하고 게이트 전극들을 형성하는 단계를 포함하고,

상기 스트레스 제어막의 외측벽은 상기 강유전체막의 내측벽과 접촉하고,

상기 스트레스 제어막의 내측벽은 상기 채널 홀을 마주하며,

상기 냉각 공정을 수행하는 단계는 상기 스트레스 제어막의 내측벽 상의 공간으로 냉각수를 주입하여 상기 스트레스 제어막 및 상기 강유전체막을 급속 냉각하는 공정을 수행하는 단계를 포함하는 반도체 장치의 제조방법.