

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 29 日(29.09.2016)



(10) 国際公開番号
WO 2016/152603 A1

- (51) 国際特許分類:
H03H 7/18 (2006.01) **H03H 7/38** (2006.01)
- (21) 国際出願番号: PCT/JP2016/057914
- (22) 国際出願日: 2016 年 3 月 14 日(14.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-062274 2015 年 3 月 25 日(25.03.2015) JP
特願 2015-157569 2015 年 8 月 7 日(07.08.2015) JP
特願 2015-215081 2015 年 10 月 30 日(30.10.2015) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 石塚健一 (ISHIZUKA, Kenichi); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 西田浩 (NISHIDA, Hiroshi); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪府中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

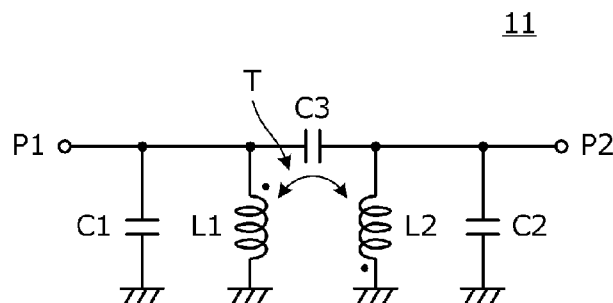
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: PHASE SHIFTER, IMPEDANCE MATCHING CIRCUIT, MULTIPLEXER/DEMULTIPLEXER AND COMMUNICATION TERMINAL DEVICE

(54) 発明の名称: 移相器、インピーダンス整合回路、合分波器および通信端末装置

Fig.1



(57) Abstract: This phase shifter is provided with: a transformer (T) which is connected between a first port (P1) and a second port (P2), comprises a first coil (L1) and a second coil (L2) magnetically coupled to the first coil (L1), and includes a parasitic inductance component; and an impedance adjustment circuit comprising reactive elements (C1, C2 and C3) which suppress deviations in the impedance resulting from the parasitic inductance component of the transformer. The coefficient of coupling between the first coil (L1) and the second coil (L2) of the transformer (T), and the values of the reactive elements (C1, C2 and C3) in the impedance adjustment circuit are determined in such a way that the amount of phase shift differs depending on the frequency band.

(57) 要約: 第 1 ポート (P1) と第 2 ポート (P2) との間に接続され、第 1 コイル (L1) および第 1 コイル (L1) に対して磁界結合する第 2 コイル (L2) を有し、寄生インダクタンス成分を含むトランス (T) と、前記トランスの寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子 (C1, C2, C3) を有するインピーダンス調整用回路と、を備える。トランス (T) の第 1 コイル (L1) と第 2 コイル (L2) との結合係数およびインピーダンス調整用回路のリアクタンス素子 (C1, C2, C3) の値は、周波数帯に応じて異なる移相量となるように定められる。



WO 2016/152603 A1

明 細 書

発明の名称：

移相器、インピーダンス整合回路、合分波器および通信端末装置

技術分野

[0001] 本発明は、高周波回路に設けられる移相器に関し、特に、周波数帯に応じた移相を行う移相器に関する。また、本発明は、インピーダンス整合回路に関し、特に、移相器を備えるインピーダンス整合回路に関する。また、本発明は、合分波器に関し、特に、移相器を備える合分波器に関する。また、本発明は、上記移相器、インピーダンス整合回路または合分波器を備える通信端末装置に関する。

背景技術

[0002] 一般に、高周波回路において、インピーダンス整合のために移相器が用いられることがある。従来、移相器にはハイパスフィルタ型とローパスフィルタ型があり、所望の周波数で所望の移相量を得るように回路定数が定められる。例えば、特許文献1にはハイパスフィルタ型回路とローパスフィルタ型回路を備えた移相器が示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-98744号公報

発明の概要

発明が解決しようとする課題

[0004] 例えば、携帯電話端末をはじめとする通信端末装置等においては、複数の周波数帯域においてインピーダンス整合を図ることが必要となる場合が多い。例えば、図34に示すように、インピーダンス整合回路72と第2高周波回路74との間に移相器73を設け、この移相器73とインピーダンス整合回路72とで、第1高周波回路71と第2高周波回路74とをインピーダンス整合させることを考えると、複数の周波数帯域でインピーダンス整合させ

るために、移相器には周波数帯に応じた移相特性が要求される。

[0005] 例えば、ローバンドとハイバンドの両方についてインピーダンス整合を行う際に、一方のバンドの位相をほとんど移相させずに他方のバンドの位相を大きく移相させる必要が生じる場合がある。例えば次の2つの移相操作がある。

[0006] (1) ローバンド信号を移相させず、ハイバンド信号を移相させる。

[0007] 例えば、ローバンド信号の通過位相は 0° （または 180° ）付近であり、ハイバンド信号の通過位相は 90° 付近である。

[0008] (2) ハイバンド信号を移相させず、ローバンド信号を移相させる。

[0009] 例えば、ローバンド信号の通過位相は 90° 付近であり、ハイバンド信号の通過位相は 0° または 180° 付近である。

[0010] なお、図34において、インピーダンス整合回路72からみて、第2高周波回路74からの反射波は移相器73を往復するので、移相器73での反射信号の移相量は2倍である。すなわち、反射位相を 180° とするには、 90° の移相量が必要であり、反射位相を 0° とするには、 0° または 180° の移相量が必要である。

[0011] ところが、上記(1)(2)に示すような周波数帯域毎の移相操作が可能な移相器は、以下に示すとおり、従来無かった。

[0012] 例えば、図31は図30(A)に示すハイパスフィルタ型の移相器の位相周波数特性の一例である。この例では、ローバンド(700MHz帯)での移相量は 90° にできるが、ハイバンド(2GHz帯)での移相量は 0° とはならず 30° である。また、図32は図30(B)に示すローパスフィルタ型の移相器の位相周波数特性の一例である。この例では、ローバンド(700MHz帯)での移相量は -90° にできるが、ハイバンド(2GHz帯)での移相量は 180° とはならず約 100° である。また、ローバンド、ハイバンドのいずれにおいても、周波数帯域内での移相量の変化が大きい。

[0013] また、図33は図30(A)に示すハイパスフィルタ型の移相器の位相対挿入損失の特性例である。カットオフ周波数付近で移相量は 180° となる

ため、移相量を大きくしようとする、挿入損失は大きくなる。また、図30 (B) に示すローパスフィルタ型の移相器では、ローバンドで 180° 付近の移相量を得ようとする、カットオフ周波数が低くなり、ハイバンドでの挿入損失は非常に大きくなる。

[0014] 以上のとおり、従来のフィルタ型の移相器では、上記 (1) (2) に示すような周波数帯域毎の移相操作が不可能であった。

[0015] 一方、共通ポートと複数の個別ポートとの間に、それぞれ周波数特性の異なるフィルタが設けられたダイプレクサやマルチプレクサにおいて、通常、各フィルタはそれぞれ単独での特性が得られない。

[0016] 例えば、図36は、ハイパスフィルタHPFとローパスフィルタLPFとで構成されるダイプレクサの回路図である。この例では、ハイパスフィルタHPFとローパスフィルタLPFとの共通ポートにアンテナANTが接続されている。ハイパスフィルタHPFの個別ポートにはハイバンドの回路が接続され、ローパスフィルタLPFの個別ポートにはローバンドの回路が接続される。ハイパスフィルタHPFは、グラウンドに対しシャント接続のインダクタ L_{11} 、 L_{12} とシリーズ接続のキャパシタ C_{11} とで構成され、ローパスフィルタLPFは、シリーズ接続のインダクタ L_{21} 、 L_{22} とシャント接続のキャパシタ C_{21} とで構成される。

[0017] ところが、図36に示されるような回路においては、ローバンドの周波数帯で、ハイパスフィルタHPFのインダクタ L_{11} のインピーダンスが非常に小さくなると、インダクタ L_{11} は実質的にショート素子となり、ローパスフィルタLPFにショート素子 (L_{11}) が接続されることになって、ローバンドの周波数帯において、ローバンド回路とハイバンド回路とのアイソレーションが劣化する。

[0018] 或る使用周波数帯において、他の周波数帯で実質的にショートとなるフィルタが共通ポートに接続されている構成となる場合の上述の問題は、ハイパスフィルタとローパスフィルタの組み合わせによるダイプレクサに限らず、複数のバンドパスフィルタの組み合わせによるマルチプレクサ等についても

同様に生じる。

[0019] 本発明の目的は、インピーダンス整合に適した移相器、それを備えるインピーダンス整合回路、複数のフィルタ間の干渉が抑制された合分波器、および、その移相器や合分波器を有する通信端末装置を提供することにある。

課題を解決するための手段

[0020] (1) 本発明の移相器は、

第1ポートと第2ポートとの間に接続され、第1コイルおよび前記第1コイルに対して磁界結合する第2コイルを有し、寄生インダクタンス成分を含むトランスと、

前記トランスの寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子を有するインピーダンス調整用回路と、

を備え、

周波数帯に応じて異なる移相量となるように、前記トランスの前記第1コイルと前記第2コイルとの結合係数および前記インピーダンス調整用回路のリアクタンス素子の値を定めたことを特徴とする。

[0021] 上記構成によって、例えばインピーダンス整合回路と組み合わせることによって、周波数帯域に応じたインピーダンス整合を容易に行えるようになる。

[0022] (2) 本発明の移相器は、

第1ポートと第2ポートとの間に接続され、第1コイルおよび前記第1コイルに対して磁界結合する第2コイルを有し、寄生インダクタンス成分を含むトランスと、

前記トランスの寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子を有するインピーダンス調整用回路と、

を備え、

ローバンドでの移相量がハイバンドでの移相量より大きく、且つローバンドでの移相量が 90° より 180° に近い移相量となり、ハイバンドでの移相量が 180° より 90° に近い移相量となるように、前記トランスの前記第1コイルと前記第2コイルとの結合係数および前記インピーダンス調整用

回路のリアクタンス素子の値を定めることを特徴とする。

[0023] 上記構成によって、ローバンドおよびハイバンドでのインピーダンスの差を小さくすることで、周波数帯域に応じたインピーダンス整合を容易に行えるようになる。

[0024] (3) 本発明の移相器は、

第1ポートと第2ポートとの間に接続され、第1コイルおよび前記第1コイルに対して磁界結合する第2コイルを有し、寄生インダクタンス成分を含むトランスと、

前記トランスの寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子を有するインピーダンス調整用回路と、

を備え、

ローバンドでの移相量がハイバンドでの移相量より大きく、且つローバンドでの移相量が 0° より 90° に近い移相量となり、ハイバンドでの移相量が 90° より 0° に近い移相量となるように、前記トランスの第1コイルと第2コイルとの結合係数および前記インピーダンス調整用回路のリアクタンス素子の値を定めることを特徴とする。

[0025] 上記構成によって、トランスによるインピーダンス整合回路と組み合わせることで、周波数帯域に応じたインピーダンス整合を容易に行えるようになる。

[0026] (4) 上記(1)から(3)のいずれかにおいて、前記インピーダンス調整用回路は、

前記トランスの第1ポートとグランドとの間に接続された第1キャパシタンス素子と、

前記トランスの第2ポートとグランドとの間に接続された第2キャパシタンス素子と、

前記トランスの第1ポートと第2ポートとの間に接続された第3キャパシタンス素子と、

を含むことが好ましい。

[0027] 上記構成により、前記トランスが有する並列寄生インダクタンス成分および直列寄生インダクタンス成分の存在により、トランスのインピーダンスは規定値（例えば50Ω）からずれてしまうが、前記リアクタンス素子（キャパシタンス素子）を備えることで、インピーダンスを調整することが可能となる。

[0028] （５）上記（１）から（３）のいずれかにおいて、前記インピーダンス調整回路は、

前記トランスの第１ポートとグラウンドとの間に接続された第１キャパシタンス素子と、

前記トランスの第２ポートとグラウンドとの間に接続された第２キャパシタンス素子と、

前記トランスの第１ポートと第２ポートとの間に接続された、第３キャパシタンス素子およびインダクタンス素子の直列回路と、

を含むことが好ましい。

[0029] 上記構成により、第３キャパシタンス素子およびインダクタンス素子の直列回路が移相量に所定の周波数特性をもたせることができ、広い周波数帯に亘って周波数に応じた所定の移相量が得られる。また、トランスが有する並列寄生インダクタンス成分および直列寄生インダクタンス成分の存在により、トランスのインピーダンスは規定値（例えば50Ω）からずれてしまうが、前記第１キャパシタンス素子、第２キャパシタンス素子、第３キャパシタンス素子および前記インダクタンス素子を備えることで、インピーダンスを調整することが可能となる。

[0030] （６）上記（４）または（５）において、前記第３キャパシタンス素子は、主に前記第１コイルと前記第２コイルとの間に生じるコイル間容量で構成されることが好ましい。このことにより、第３キャパシタンス素子形成用のパターンが不要であり、または部品としての第３キャパシタンス素子が不要であるので、小型化・低コスト化できる。

[0031] （７）上記（４）から（６）のいずれかにおいて、前記第１キャパシタンス

素子は、主に前記第1コイルの線間容量で構成され、前記第2キャパシタンス素子は、主に前記第2コイルの線間容量で構成されることが好ましい。このことにより、第1キャパシタンス素子および第2キャパシタンス素子形成用のパターンが不要であり、または部品としての第1キャパシタンス素子および第2キャパシタンス素子が不要であるので、小型化・低コスト化できる。

[0032] (8) 上記(1)から(7)のいずれかにおいて、前記第1コイルと前記第2コイルによるトランス比は $1:n$ (n は1以外の値)であり、

前記移相器による移相量は、反射係数(インピーダンス)がスミスチャート上のハイインピーダンス側からローインピーダンス側に移動され、前記移相器のインピーダンス変換によって、スミスチャート上の中心方向へ移動されることが好ましい。

[0033] 上記構成により、移相と共にトランスによるインピーダンス変換ができ、第1ポートに接続される回路と第2ポートに接続される回路とのインピーダンス整合回路の機能を兼ねることができる。

[0034] (9) 上記(1)から(8)にいずれかにおいて、前記トランスは、複数の基材層が積層された単一の積層体内に設けられ、前記第1コイルおよび前記第2コイルは前記基材層に形成された導体パターンで構成されることが好ましい。このことにより、単一の部品としての移相器をプリント配線板等を実装するだけでよく、通信端末装置等への実装が容易となる。

[0035] (10) 上記(9)において、前記第1コイルおよび前記第2コイルは、実質的に同一の内外径を有し、コイル巻回軸が同軸関係にあることが好ましい。このことにより、第1コイルおよび第2コイルの巻回数が少ないながらも、すなわち小型でありながらも、適度な結合係数のトランスが得られる。

[0036] (11) 上記(1)から(10)のいずれかにおいて、前記移相器に対して直列に接続された、ハイパスフィルタまたはローパスフィルタを更に備えることが好ましい。このことにより、移相器だけでは得られない移相量を定めることができる。

[0037] (12) 上記(11)において、前記ハイパスフィルタまたは前記ローパスフィルタはキャパシタンス素子およびインダクタンス素子を含み、当該インダクタンス素子は前記第1コイルまたは前記第2コイルと磁界結合することが好ましい。この構成によれば、移相量の周波数特性を制御することができる。

[0038] (13) 本発明のインピーダンス整合回路は、上記(1)から(12)のいずれかに記載の移相器と、前記移相器に対して直列に接続されたインピーダンス整合回路部とを備え、

前記インピーダンス整合回路部は、前記移相器によって移相されたインピーダンスに対してインピーダンス整合させる回路であることを特徴とする。

[0039] (14) 上記(13)において、前記移相器は、ローバンドでのインピーダンスをスミスチャート上の第2象限または第3象限に移動させ、

前記インピーダンス整合回路部は、ハイバンドでのインピーダンスおよびローバンドでのインピーダンスを共にスミスチャート上の中心方向へ移動させる回路部であることが好ましい。

[0040] 上記(13)(14)のいずれの構成でも、周波数帯域に応じて容易にインピーダンス整合できるようになる。

[0041] (15) 本願の合分波器は、

上記(1)から(12)のいずれかに記載の移相器と、ハイバンド通過用ハイパスフィルタと、ローバンド通過用ローパスフィルタとを備え、

前記ハイバンド通過用ハイパスフィルタは、信号ラインとグラウンドとの間にシャント接続された第1インダクタと前記第1インダクタの後段にシリーズ接続された第1キャパシタとを含み、

前記ローバンド通過用ローパスフィルタは、前記共通ポートにシリーズ接続された第2インダクタと、前記第2インダクタの後段でグラウンドとの間にシャント接続された第2キャパシタとを含み、

前記移相器は、前記共通ポートと前記第1インダクタとの間に挿入され、

前記移相器は、前記共通ポートから見て、前記ローバンド通過用ローパス

フィルタの通過周波数帯で前記ハイバンド通過用ハイパスフィルタが実質的（等価的）にオープンになるように移相することを特徴とする。

[0042] 上記構成により、ローパスフィルタの使用周波数帯（ローバンドの周波数帯）でハイパスフィルタの影響を受けず、ローバンドでのポート間アイソレーションが確保される。

[0043] （１６）本願の合分波器は、

上記（１）から（１２）のいずれかに記載の移相器と、

第１ポートおよび第２ポートを有し、通過周波数帯が互いに異なる、第１ＳＡＷフィルタおよび第２ＳＡＷフィルタを含む複数のＳＡＷフィルタと、を備え、

前記第１ＳＡＷフィルタは、第１ポートが前記移相器を介して共通ポートに接続され、第２ポートは個別ポートに接続され、

前記移相器は、前記共通ポートから見て、前記第２ＳＡＷフィルタの通過周波数帯で前記第１ＳＡＷフィルタが実質的（等価的）にオープンになるように移相することを特徴とする。

[0044] 上記構成により、第２ＳＡＷフィルタの使用周波数帯で第１ＳＡＷフィルタの影響を受けず、第２ＳＡＷフィルタの使用周波数帯において、第１ＳＡＷフィルタと第２ＳＡＷフィルタのアイソレーションが確保される。

[0045] （１７）本発明の通信端末装置は、給電回路と、前記給電回路に接続されるアンテナ素子と、を備える通信端末装置であって、

前記給電回路と前記アンテナ素子との間に上記（１）から（１２）のいずれかに記載の移相器、上記（１３）もしくは（１４）に記載のインピーダンス整合回路、または上記（１５）もしくは（１６）に記載の合分波器を備えることを特徴とする。これにより、アンテナ素子と給電回路とが所定の周波数帯域毎にインピーダンス整合した通信端末装置が得られる。また、ポート間アイソレーションを確保しつつ、複数の周波数帯の信号の合分波が可能となる。

発明の効果

[0046] 本発明によれば、周波数帯域に応じた移相量が定められた移相器が得られる。また、周波数帯域毎に容易にインピーダンス整合できるインピーダンス整合回路が得られる。また、複数のフィルタ間の干渉が抑制された合分波器が得られる。また、アンテナ素子と給電回路とが所定の周波数帯域毎にインピーダンス整合した通信端末装置が得られる。さらに、各ポート間アイソレーションが確保された合分波器を備える通信端末装置が得られる。

図面の簡単な説明

[0047] [図1]図1は第1の実施形態に係る移相器11の回路図である。

[図2]図2(A)(B)はトランスTの各種等価回路図である。

[図3]図3は、移相器11およびアンテナ1を含むアンテナ回路の構成を示す図である。

[図4]図4は、第1の実施形態に係る移相器11の移相量の周波数特性を示す図である。

[図5]図5(A)、図5(B)は、図3に示した移相器11による移相作用を示す図である。

[図6]図6(A)は、図3のP_mから見たインピーダンスZ_mのローバンドでの軌跡であり、図6(B)は、インピーダンスZ_mのハイバンドでの軌跡である。

[図7]図7は図3のP_mから見た反射損失の周波数特性を示す図である。

[図8]図8は移相器11の外観斜視図である。

[図9]図9は移相器11の各層の平面図である。

[図10]図10は移相器11の断面図である。

[図11]図11(A)は、本実施形態の移相器11の回路図である。図11(B)は、移相器11を、理想トランスITと寄生インダクタンスとに分けて表した等価回路図である。

[図12]図12は第3の実施形態に係る移相器13およびアンテナ1を含むアンテナ回路の構成を示す図である。

[図13]図13は第3の実施形態に係る移相器13の移相量の周波数特性を示

す図である。

[図14]図14 (A)、図14 (B)は、図13に示した特性を有する移相器13による移相作用を示す図である。

[図15]図15は第3の実施形態に係る移相器13の各層の平面図である。

[図16]図16は移相器13の断面図である。

[図17]図17 (A) (B) (C)は第4の実施形態に係る3つの移相器の回路図である。

[図18]図18は、本実施形態に係る別の移相器の回路図である。

[図19]図19は第5の実施形態に係る移相器15の回路図である。

[図20]図20は第6の実施形態に係る移相器16の回路図である。

[図21]図21は第7の実施形態に係る通信端末装置200のブロック図である。

[図22]図22は第8の実施形態に係る移相器18の回路図である。

[図23]図23は移相器18の移相量の周波数特性を示す図である。

[図24]図24 (A)は第9の実施形態に係るダイプレクサ109の構成を示す回路図である。図24 (B)はダイプレクサ109の比較例としてのダイプレクサ109Pの回路図である。

[図25]。図25は比較例のダイプレクサ109Pにおいて、インダクタL11の有無による、ポートPr2-Pc間の挿入損失の周波数特性を示す図である。

[図26]図26 (A)は、本実施形態のダイプレクサ109について、所定ポートにおける反射係数の周波数特性をスミスチャート上に表した図である。

図26 (B)は比較例のダイプレクサ109Pについて、インダクタL11が無い場合の、所定ポートにおける反射係数の周波数特性をスミスチャート上に表した図である。図26 (C)は比較例のダイプレクサ109Pについて、インダクタL11が有る場合の、所定ポートにおける反射係数の周波数特性をスミスチャート上に表した図である。

[図27]図27 (A)は、本実施形態のダイプレクサ109について、共通ポ

ート P_c と個別ポート P_{r1} , P_{r2} との間の挿入損失の周波数特性を示す図である。図 27 (B) は、比較例のダイプレクサ 109P について、インダクタ L_{11} が無い場合の、共通ポート P_c と個別ポート P_{r1} , P_{r2} との間の挿入損失の周波数特性を示す図である。図 27 (C) は、比較例のダイプレクサ 109P について、インダクタ L_{11} が有る場合の、共通ポート P_c と個別ポート P_{r1} , P_{r2} との間の挿入損失の周波数特性を示す図である。

[図28] 図 28 は第 10 の実施形態に係るマルチプレクサ 110 の構成を示す回路図である。

[図29] 図 29 は一般的な SAW フィルタの一方のポートから見た反射係数の周波数特性をスミスチャート上に表した図である。

[図30] 図 30 (A) はハイパスフィルタ型の移相器の回路図であり、図 30 (B) はローパスフィルタ型の移相器の回路図である。

[図31] 図 31 は図 30 (A) に示すハイパスフィルタ型の移相器の位相周波数特性の一例である。

[図32] 図 32 は図 30 (B) に示すローパスフィルタ型の移相器の位相周波数特性の一例である。

[図33] 図 33 は図 30 (A) に示すハイパスフィルタ型の移相器の位相対挿入損失の特性例である。

[図34] 第 1 高周波回路 71 と第 2 高周波回路 74 とのインピーダンス整合を行う回路の構成例を示す図である。

[図35] 図 35 (A) (B) (C) (D) は、移相器を用いなくて、従来方法により整合させようとする場合のインピーダンス軌跡の変位を示す図である。

[図36] 図 36 は、ハイパスフィルタ HPF とローパスフィルタ LPF とで構成されるダイプレクサの回路図である。

発明を実施するための形態

[0048] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するため

の複数の形態を示す。各図中には同一箇所同一符号を付す。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点について説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0049] 《第1の実施形態》

図1は第1の実施形態に係る移相器11の回路図である。移相器11はトランスTを備えている。トランスTは、第1コイルL1および第2コイルL2に対して結合係数1未満で磁界結合する第2コイルL2を有する。また、移相器11は、第1キャパシタンス素子C1、第2キャパシタンス素子C2および第3キャパシタンス素子C3によるインピーダンス調整用回路を備えている。

[0050] 第1キャパシタンス素子C1は第1コイルL1に並列接続されていて、第2キャパシタンス素子C2は第2コイルL2に並列接続されている。また、第3キャパシタンス素子C3は第1コイルL1と第2コイルL2との間に接続されている。

[0051] 図2(A)(B)は上記トランスTの各種等価回路図である。トランスTの等価回路は幾つかの形式で表すことができる。図2(A)の表現では、理想トランスITと、その1次側にシリーズ接続（直列接続）された直列寄生インダクタンス成分Laと、1次側にシャント接続（並列接続）された並列寄生インダクタンス成分Lbと、2次側にシリーズ接続（直列接続）された直列寄生インダクタンス成分Lcとで表される。

[0052] 図2(B)の表現では、理想トランスITと、その1次側にシリーズ接続（直列接続）された2つの直列寄生インダクタンス成分La、Lc1と、1次側にシャント接続（並列接続）された並列寄生インダクタンス成分Lbとで表される。

[0053] ここで、トランスTのトランス比を1:n、第1コイルL1と第2コイルL2（図1参照）との結合係数をk、第1コイルL1のインダクタンスをL1、第2コイルL2のインダクタンスをL2でそれぞれ表すと、上記寄生インダク

タンス成分 L_a , L_b , L_c , L_{c1} のインダクタンスは次の関係にある。

[0054] $L_a : L_1(1-k)$

$L_b : k \cdot L_1$

$L_c : L_2(1-k)$

$L_{c1} : n^2 \cdot L_2 \cdot (1-k)$

理想トランスのトランス比は第1コイル L_1 と第2コイル L_2 との巻回数によるトランス比である。

[0055] 本実施形態のトランス T は、第1コイル L_1 と第2コイル L_2 との結合係数 k が1未満であることに伴い、直列インダクタンス成分および並列インダクタンス成分が生じる。

[0056] 図3は、上記移相器11およびアンテナ1を含むアンテナ回路の構成を示す図である。このアンテナ回路は、給電回路50とアンテナ1との間に、インピーダンス整合回路部41, 42および移相器11を備える。図3において、インピーダンス整合回路部41, 42および移相器11は本発明に係る「インピーダンス整合回路部」の一例である。

[0057] 図3において、移相器11は、 P_a で示す位置から見て、アンテナ1からの反射信号を移相させる。インピーダンス整合回路部41は、トランスによるインピーダンス変換回路を構成する。例えば、 P_p で示す位置からアンテナ1側を視たインピーダンス Z_p より、 P_t で示す位置から視たインピーダンス Z_t を高める。インピーダンス整合回路部41, 42は、給電回路50とアンテナ1とのインピーダンス整合を行う。

[0058] 図4は本実施形態の移相器11の移相量の周波数特性を示す図である。この例では、ローバンド（700MHzから900MHz帯）で移相量はほぼ 90° 、ハイバンド（1.7GHzから2.7GHz帯）で移相量はほぼ 0° である。すなわち、本実施形態は、「ハイバンド信号を移相させず、ローバンド信号を移相させる」移相器の例である。

[0059] 図5（A）、図5（B）は、図3に示した移相器11による移相作用を示す図である。図5（A）の軌跡 L_{Ba} は、図3に示すインピーダンス Z_a の

ローバンドでの軌跡、軌跡 $L B p$ は、図3に示すインピーダンス $Z p$ のローバンドでの軌跡である。また、図5（B）の軌跡 $H B a$ は、上記インピーダンス $Z a$ のハイバンドでの軌跡、軌跡 $H B p$ は、上記インピーダンス $Z p$ のハイバンドでの軌跡である。

[0060] 図4に示したとおり、移相器11はローバンドでほぼ 90° 移相するので、図3において、 $P p$ で示す位置での反射信号は $P a$ で示す位置での反射信号よりほぼ 180° だけ右回りに回転する。このことは、図5（A）に表れているとおり、インピーダンス軌跡が右回りに約 180° 回転していることに対応している。ハイバンドでは殆ど移相しないので、図5（B）に表れているとおり、 $P p$ から視た反射信号は $P a$ から視た反射信号とほぼ同じである。このように、ローバンド、ハイバンド共に、インピーダンス軌跡の主要部（大部分）はスミスチャート上の第2象限または第3象限に移動される。ここで、「スミスチャート上の第2象限」とは、反射係数の実数部が負、虚数部が正の領域であり、スミスチャートを十字4分割した左上の領域である。また、「スミスチャート上の第3象限」とは、反射係数の実数部が負、虚数部が負の領域であり、スミスチャートを十字4分割した左下の領域である。

[0061] 図3のインピーダンス整合回路部41は、互いに磁界結合する第1コイル $L p$ と第2コイル $L s$ とで構成されるオートトランス型の回路である。インピーダンス整合回路部41は、その入力側から視て、所定のインピーダンス変換比でインピーダンスを高める。そのため、このインピーダンス整合回路部41は、スミスチャート上のインピーダンス軌跡を小円化するとともに右方向へシフトする作用がある。

[0062] 図6（A）は、図3の $P m$ から視たインピーダンス $Z m$ のローバンドでの軌跡であり、図6（B）は、インピーダンス $Z m$ のハイバンドでの軌跡である。また、図7は図3の $P m$ から視た反射損失の周波数特性図である。

[0063] このように、ローバンド、ハイバンド共に、インピーダンスはスミスチャート上の第2象限または第3象限に移動された後、インピーダンス整合回路

部 4 1, 4 2 によって、スミスチャート上の中心方向へ移動される。このことにより、ローバンド、ハイバンド共にインピーダンス整合する。

[0064] インピーダンス整合回路部 4 2 は、そのシャント接続（並列接続）のキャパシタおよびシリーズ接続（直列接続）のインダクタにより主にハイバンドのインピーダンスを変化させ、シリーズ接続のキャパシタおよびシャント接続のインダクタにより主にローバンドのインピーダンスを変化させる。

[0065] ここで、移相器を用いなくて、シャント接続のインダクタまたはシャント接続のキャパシタによって整合させる例を、図 3 5 (A) (B) (C) (D) を参照して示す。

[0066] 図 3 5 (A) (C) の軌跡 $L B a$ は、図 3 に示すインピーダンス $Z a$ のローバンドでの軌跡であり、図 3 5 (B) (D) の軌跡 $H B a$ は、図 3 に示すインピーダンス $Z a$ のハイバンドでの軌跡であり。また、図 3 5 (A) の軌跡 $L B b$ は、シャント接続のインダクタを設けた場合のローバンドでの軌跡であり、図 3 5 (B) の軌跡 $H B b$ は、シャント接続のインダクタを設けた場合のローバンドでの軌跡である。図 3 5 (C) の軌跡 $L B b$ は、シャント接続のキャパシタを設けた場合のローバンドでの軌跡であり、図 3 5 (D) の軌跡 $H B b$ は、シャント接続のキャパシタを設けた場合のハイバンドでの軌跡である。

[0067] 図 3 5 (A) から明らかなように、インピーダンス軌跡がスミスチャートの第 1 象限にあるローバンドでは、シャント接続のインダクタを設けても整合できない。また、図 3 5 (A) (D) から明らかなように、インピーダンス軌跡がスミスチャートの第 1 象限にあるローバンドでは、シャント接続のキャパシタで整合できるが、シャント接続のキャパシタはハイバンドでの影響が過大であるので、ハイバンドで不整合となる。

[0068] 上述のとおり、本実施形態によれば、図 6 (A) (B) に示したとおり、ローバンド、ハイバンド共に整合される。

[0069] 《第 2 の実施形態》

第 2 の実施形態では、移相器 1 1 の内部の具体的な構成例を示す。

[0070] 図8は移相器11の外観斜視図であり、図9は移相器11の各層の平面図である。また、図10は移相器11の断面図である。移相器11は、複数の絶縁性の基材S1～S13を備えている。基材S1～S13には各種導体パターンが形成されている。「各種導体パターン」には、基材の表面に形成された導体パターンだけでなく、層間接続導体を含む。層間接続導体はビア導体だけでなく、積層体100の端面に形成される端面電極も含む。

[0071] 基材S1の上面は積層体100の実装面（下面）に相当する。基材S1には第1ポートP1としての端子T1、第2ポートP2としての端子T2、グラウンド端子GND、空き端子NCが形成されている。

[0072] 基材S7, S6, S5, S4には導体L1A1, L1A2, L1A3, L1A4がそれぞれ形成されている。基材S3には導体L1A5, L1B1が形成されている。基材S2には導体L1B2, L1Cが形成されている。

[0073] 導体L1A1の第1端は第1ポートの端子T1に接続されている。導体L1A1の第2端はビア導体V1を介して導体L1A2の第1端に接続されている。導体L1A2の第2端はビア導体V2を介して導体L1A3の第1端に接続されている。導体L1A3の第2端はビア導体V3を介して導体L1A4の第1端に接続されている。導体L1A4の第2端はビア導体V4を介して導体L1A5の第1端に接続されている。導体L1A5の第2端は導体L1B1の第1端に接続されている。導体L1A5の第2端および導体L1B1の第1端はビア導体V6を介して導体L1B2の第1端に接続されている。導体L1B1の第2端はビア導体V5を介して導体L1B2の第2端に接続されている。導体L1B2の第2端は導体L1Cの第1端に接続されている。導体L1Cの第2端はグラウンド端子GNDに接続されている。

[0074] 基材S8, S9, S10, S11には導体L2A1, L2A2, L2A3, L2A4がそれぞれ形成されている。基材S12には導体L2A5, L2B1が形成されている。基材S13には導体L2B2, L2Cが形成されている。

[0075] 導体L2A1の第1端は第2ポートの端子T2に接続されている。導体L

2 A 1 の第 2 端はビア導体 V 7 を介して導体 L 2 A 2 の第 1 端に接続されている。導体 L 2 A 2 の第 2 端はビア導体 V 8 を介して導体 L 2 A 3 の第 1 端に接続されている。導体 L 2 A 3 の第 2 端はビア導体 V 9 を介して導体 L 2 A 4 の第 1 端に接続されている。導体 L 2 A 4 の第 2 端はビア導体 V 10 を介して導体 L 2 A 5 の第 1 端に接続されている。導体 L 2 A 5 の第 2 端は導体 L 2 B 1 の第 1 端に接続されている。導体 L 2 A 5 の第 2 端および導体 L 2 B 1 の第 1 端はビア導体 V 12 を介して導体 L 2 B 2 の第 1 端に接続されている。導体 L 2 B 1 の第 2 端はビア導体 V 11 を介して導体 L 2 B 2 の第 2 端に接続されている。導体 L 2 B 2 の第 2 端は導体 L 2 C の第 1 端に接続されている。導体 L 2 C の第 2 端はグランド端子 GND に接続されている。

[0076] 上記導体 L 1 A 1, L 1 A 2, L 1 A 3, L 1 A 4, L 1 A 5, L 1 B 1, L 1 B 2, L 1 C およびビア導体 V 1, V 2, V 3, V 4, V 5, V 6 によって第 1 コイル L 1 が構成される。また、上記導体 L 2 A 1, L 2 A 2, L 2 A 3, L 2 A 4, L 2 A 5, L 2 B 1, L 2 B 2, L 2 C およびビア導体 V 7, V 8, V 9, V 10, V 11, V 12 によって第 2 コイル L 2 が構成される。第 1 コイル L 1、第 2 コイル L 2 は共に矩形ヘリカル状のコイルである。

[0077] 積層体 100 の各基材層は LTCC (Low Temperature Co-fired Ceramics: 低温同時焼成セラミックス) 等で構成された非磁性セラミック積層体であってもよいし、ポリイミドや液晶ポリマ等の樹脂材料で構成した樹脂積層体であってもよい。このように、基材層が非磁性体であることにより (磁性体フェライトではないので)、数 100 MHz を超える高周波数帯でも所定インダクタンス、所定結合係数のトランスおよび移相器として用いることができる。

[0078] 上記導体パターンおよび層間接続導体は、Ag や Cu を主成分とする比抵抗の小さな導体材料によって構成される。基材層がセラミックであれば、例えば、Ag や Cu を主成分とする導電性ペーストのスクリーン印刷および焼成により形成される。また、基材層が樹脂であれば、例えば、Al 箔や Cu 箔等の金属箔

がエッチング等によりパターニングされることにより形成される。

[0079] 第1コイルL1および第2コイルL2は、実質的に同一の内外径を有し、コイル巻回軸CAが実質的に同じ（同軸）関係にあると言えるが、本実施形態では、第1コイルL1の巻回軸CA1と第2コイルL2の巻回軸CA2とを、敢えて少しだけずらせている。本実施形態では、図9に示したように、各基材に形成されている各導体は、概略矩形状のループを形成するが、基材S5, S4, S3, S2にそれぞれ形成されている各導体は、それらループの上辺と右辺の線幅を下辺と左辺の線幅より細くしている。このことによって、第1コイルL1の巻回軸CA1（図10参照）はループ外形の中心よりも右上に僅かにシフトさせている。また、基材S10, S11, S12, S13にそれぞれ形成されている各導体は、それらループの下辺と左辺の線幅を上辺と右辺の線幅より細くしている。このことによって、第2コイルL2の巻回軸CA2（図10参照）はループ外形の中心よりも左下に僅かにシフトさせている。このことによって、第1コイルL1と第2コイルL2との結合係数を意図的に低く抑えている。

[0080] また、基材S6, S9を設けることで、導体L1A1を除く第1コイルL1の主要部と、導体L2A1を除く第2コイルL2の主要部との層間距離を大きくしている。このことによって、第1コイルL1と第2コイルL2との結合係数を意図的に低く抑えている。

[0081] 図11（A）は、本実施形態の移相器11の回路図である。ここで、第1コイルL1および第2コイルL2でトランスが構成される。

[0082] 第1キャパシタンス素子C1は、主に基材S2, S3, S4, S5, S6, S7に形成されている導体の層間に生じる容量で構成される。同様に、第2キャパシタンス素子C2は、主に基材S8, S9, S10, S11, S12, S13に形成されている導体の層間に生じる容量で構成される。また、第3キャパシタンス素子C3は、主に第1コイルL1と第2コイルL2との間に生じるコイル間容量であり、特に主に、導体L1A1と導体L2A1との間に生じる容量で構成される。本実施形態では、導体L1A1と導体L2

A 1 とを積層方向に隣接するように配置することで、第 3 キャパシタンス素子 C 3 のキャパシタンスを大きくしている。

[0083] 第 1 コイル L 1 と第 2 コイル L 2 は積層方向に対称形であり、ターン数も同じであるので、インピーダンス変換比が 1 : 1 のトランスとして作用する。

[0084] 図 1 1 (B) は、移相器 1 1 を、理想トランス I T と寄生インダクタンス成分（直列寄生インダクタンス成分 L a , L c 、並列寄生インダクタンス成分 L b ）とに分けて表した等価回路図である。

[0085] 上記寄生インダクタンス成分（インダクタ L a , L b , L c ）によって、トランスのインダクタンスは規定値（例えば 50 Ω）から外れてしまうが、キャパシタンス素子 C 1 , C 2 , C 3 を備えることで、トランスのインピーダンスが規定値に調整される。特に、キャパシタンス素子 C 1 , C 2 は並列寄生インダクタンス成分 L b によるインピーダンスのずれを補正するように作用し、キャパシタンス素子 C 3 は直列寄生インダクタンス成分 L a , L c によるインピーダンスのずれを補正するように作用する。上記キャパシタンス素子 C 1 , C 2 , C 3 は、本発明に係る「寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子」の例である。

[0086] 上述のとおり、第 1 コイル L 1 と第 2 コイル L 2 との結合係数が小さいことに伴い、直列寄生インダクタンス成分 L c は大きい。しかし、第 3 キャパシタンス素子 C 3 のキャパシタンスも大きいことにより、インピーダンス整合が確保される。また、第 3 キャパシタンス素子 C 3 のキャパシタンスが大きいことにより、ハイバンドの信号は、第 1 コイル L 1 と第 2 コイル L 2 によるトランスよりも第 3 キャパシタンス素子 C 3 をパスする割合が増大し、トランスによる移相作用は殆ど生じない。このことは第 1 の実施形態で図 5 (B) に示したとおりである。一方、ローバンドについては、第 3 キャパシタンス素子 C 3 をバイパスする量は相対的に少なく、トランスによる移相作用が有効になる。但し、第 1 コイル L 1 と第 2 コイル L 2 との結合係数 k は小さいので、移相量は 180° より少ない。このローバンドの信号に対する

移相量がほぼ 90° となるように、結合係数 k は小さめに定められている。

[0087] なお、図9に示したビア導体 $V5$ 、 $V6$ の位置によって、図11(A)に示す第1コイル $L1$ に占める、導体 $L1B1$ 、 $L1B2$ の並列接続部の割合が定まる。同様に、図9に示したビア導体 $V11$ 、 $V12$ の位置によって、図11(A)に示す第2コイル $L2$ に占める、導体 $L2B1$ 、 $L2B2$ の並列接続部の割合が定まる。したがって、これらビア導体 $V5$ 、 $V6$ の位置によって第1コイル $L1$ のインダクタンスを微調整でき、ビア導体 $V11$ 、 $V12$ の位置によって第2コイル $L2$ のインダクタンスを微調整できる。

[0088] 上記導体 $L1B1$ 、 $L1B2$ の並列接続部には電流が分散して流れるのに対し、導体 $L1A1$ にはそのような電流の分散がない。同様に、導体 $L2B1$ 、 $L2B2$ の並列接続部には電流が分散して流れるのに対し、導体 $L2A1$ にはそのような電流の分散がない。

[0089] 第1コイル $L1$ と第2コイル $L2$ とは、積層方向に近接している導体部分が結合に最も寄与する。すなわち、全周に亘って積層方向に対向する導体 $L1A1$ 、 $L2A1$ 部分が、第1コイル $L1$ と第2コイル $L2$ の結合に寄与する。上述したように、この導体 $L1A1$ 、 $L2A1$ 部分には上記並列接続部による電流の分散が無いので、第1コイル $L1$ と第2コイル $L2$ との結合係数は高い。

[0090] このように、並列接続部を、相手側コイルの導体パターンに対し積層方向で離れた位置に設けることで、並列接続部を設けることによる結合度の低下が抑制される。

[0091] また、端子 $T1$ 、 $T2$ に接続される導体 $L1A1$ 、 $L2A1$ を積層方向の中央付近に配置し、グランド端子 GND が接続される導体 $L1C$ 、 $L2C$ を積層方向の上下に配置することにより、複雑な構造とならずに、第1コイル $L1$ と第2コイル $L2$ とが磁束を共有するトランスを構成でき、さらにキャパシタンス素子 $C3$ の調整が容易になる、という効果を奏する。

[0092] なお、第1コイル $L1$ と第2コイル $L2$ との結合係数を敢えて小さくする場合には、上記並列接続部を、相手側コイルの導体パターンに対し積層方向

で近接する位置に設けることで、並列接続部を設けることによる結合度の低下作用を利用してもよい。

[0093] 第1、第2の実施形態では、第1コイルL1と第2コイルL2との結合係数 k を小さくし、第3キャパシタンス素子C3を大きくすることで、ハイバンドの信号は殆ど第3キャパシタンス素子C3をパスするようにした。また、第1コイルL1と第2コイルL2との結合係数 k を小さくすることで、トランスによる移相量を抑えた。そして、これらの構成により、ローバンドで 90° 移相し、ハイバンドで殆ど移相させないようにした。しかし、上記構成は一例である。周波数帯域に応じた移相量は、上記結合係数 k および第3キャパシタンス素子C3のキャパシタンスによって定めることができる。

[0094] また、第1、第2の実施形態では、ローバンドでの移相量が約 90° 、ハイバンドでの移相量が約 0° である例を示したが、定める移相量には当然ながら幅がある。ローバンドでの移相量が 0° より 90° に近い移相量となり、ハイバンドでの移相量が 90° より 0° に近い移相量となるように、定めれば、第1、第2の実施形態で示した作用効果を同様に奏する。

[0095] 《第3の実施形態》

第3の実施形態では、第1、第2の実施形態とは逆に、「ローバンド信号を移相させず、ハイバンド信号を移相させる」移相器の例である。移相器の回路図は、第1の実施形態で図1に示したものと同一である。

[0096] 図12は第3の実施形態に係る移相器13およびアンテナ1を含むアンテナ回路の構成を示す図である。このアンテナ回路は、給電回路50とアンテナ1との間にインピーダンス整合回路部43および移相器13を備える。

[0097] 図12において、移相器13は、 Z_p から見て、アンテナ1からの反射信号を移相させる。インピーダンス整合回路部43は、移相器13と共に、給電回路50とアンテナ1とのインピーダンス整合を行う。

[0098] 図13は第3の実施形態に係る移相器13の移相量の周波数特性を示す図である。この例では、ローバンド（700MHzから900MHz帯）で移相量はほぼ 180° 、ハイバンド（1.7GHzから2.7GHz帯）で移相量はほぼ 90° である。

[0099] 図14 (A)、図14 (B)は、図13に示した特性を有する移相器13による移相作用を示す図である。図14 (A)の軌跡LBaは、図12のPaから見た、ローバンドでのインピーダンスZaの軌跡、軌跡LBpは、図12のPpから見た、ローバンドでのインピーダンスZpの軌跡である。また、図14 (B)の軌跡HBaは、図12のPaから見た、ハイバンドでのインピーダンスZaの軌跡、軌跡HBpは、図12のPpから見た、ハイバンドでのインピーダンスZpの軌跡である。

[0100] 第1、第2の実施形態では、第1コイルL1と第2コイルL2との結合係数kを取って小さくして、トランス構造による移相量を小さくしたが、第3の実施形態では第1コイルL1と第2コイルL2との結合係数kを1に極力近づけ、トランス構造による移相量を180°に近づけている。図13に示したとおり、本実施形態の移相器は、ローバンドでほぼ180°移相（往復でほぼ360°移相）するので、図14 (A)に表れているとおり、Ppから見た反射信号の位相はPaから見た反射信号の位相とほぼ同じである。ハイバンドでは、Ppから見た反射信号の位相はPaから見た反射信号の位相よりほぼ180°だけ右回りに回転する。また、第2キャパシタンス素子C2の容量成分（図11 (A) (B) 参照）により、インピーダンス軌跡の円が小さくまとまっている。

[0101] このように、移相器13によって、ローバンドでのインピーダンスはスミスチャート上でほとんど移動せず、その周波数帯域の中心付近のインピーダンスは主にハイインピーダンス側にある。また、ハイバンドの周波数帯域の中心付近のインピーダンスはスミスチャート上のハイインピーダンス側に移動される。すなわち、ローバンドでのインピーダンスに近い位置となる。図12に示したインピーダンス整合回路部43は、シリーズ接続のリアクタンス素子およびシャント接続のリアクタンス素子を含み、図14 (A) (B) に示した状態のインピーダンスを給電回路50のインピーダンスに整合させる。

[0102] このように、ローバンドの周波数帯域の中心付近のインピーダンスと、ハ

イバンドの周波数帯域の中心付近のインピーダンスとを揃えることで、トランスおよびその他の回路素子でのインピーダンス変化をある程度揃えることができるので、インピーダンス整合させやすくなる。

[0103] 本実施形態の移相器 13 の外観構造は、第 2 の実施形態で図 8 に示したものと同様である。

[0104] 図 15 は本実施形態の移相器 13 の各層の平面図である。また、図 16 は移相器 13 の断面図である。移相器 13 の回路図は、第 2 の実施形態で示した図 11 (A) と同じである。

[0105] 移相器 13 は、複数の絶縁性の基材 S1～S9 を備えている。基材 S1～S9 には各種導体パターンが形成されている。「各種導体パターン」には、基材の表面に形成された導体パターンだけでなく、層間接続導体を含む。層間接続導体はビア導体だけでなく、積層体の端面に形成される端面電極も含む。

[0106] 基材 S1 の上面は積層体の実装面（下面）に相当する。基材 S1 には第 1 ポート P1 としての端子 T1、第 2 ポート P2 としての端子 T2、グランド端子 GND、空き端子 NC が形成されている。

[0107] 基材 S5, S4 には、導体 L1A1, L1A2 がそれぞれ形成されている。基材 S3 には導体 L1A3, L1B1 が形成されている。基材 S2 には導体 L1B2, L1C が形成されている。

[0108] 導体 L1A1 の第 1 端は第 1 ポートの端子 T1 に接続されている。導体 L1A1 の第 2 端はビア導体 V1 を介して導体 L1A2 の第 1 端に接続されている。導体 L1A2 の第 2 端はビア導体 V2 を介して導体 L1A3 の第 1 端に接続されている。導体 L1A3 の第 2 端は導体 L1B1 の第 1 端に接続されている。導体 L1A3 の第 2 端および導体 L1B1 の第 1 端はビア導体 V3 を介して導体 L1B2 の第 1 端に接続されている。導体 L1B1 の第 2 端はビア導体 V4 を介して導体 L1B2 の第 2 端に接続されている。導体 L1B2 の第 2 端は導体 L1C の第 1 端に接続されている。導体 L1C の第 2 端はグランド端子 GND に接続されている。

- [0109] 基材S 6, S 7には、導体L 2 A 1, L 2 A 2がそれぞれ形成されている。基材S 8には導体L 2 A 3, L 2 B 1が形成されている。基材S 9には導体L 2 B 2, L 2 Cが形成されている。
- [0110] 導体L 2 A 1の第1端は第2ポートの端子T 2に接続されている。導体L 2 A 1の第2端はビア導体V 5を介して導体L 2 A 2の第1端に接続されている。導体L 2 A 2の第2端はビア導体V 6を介して導体L 2 A 3の第1端に接続されている。導体L 2 A 3の第2端は導体L 2 B 1の第1端に接続されている。導体L 2 A 3の第2端および導体L 2 B 1の第1端はビア導体V 7を介して導体L 2 B 2の第1端に接続されている。導体L 2 B 1の第2端はビア導体V 8を介して導体L 2 B 2の第2端に接続されている。導体L 2 B 2の第2端は導体L 2 Cの第1端に接続されている。導体L 2 Cの第2端はグランド端子GNDに接続されている。
- [0111] 上記導体L 1 A 1, L 1 A 2, L 1 A 3, L 1 B 1, L 1 B 2, L 1 Cおよびビア導体V 1, V 2, V 3, V 4によって第1コイルL 1が構成される。また、上記導体L 2 A 1, L 2 A 2, L 2 A 3, L 2 B 1, L 2 B 2, L 2 Cおよびビア導体V 5, V 6, V 7, V 8によって第2コイルL 2が構成される。第1コイルL 1、第2コイルL 2は共に矩形ヘリカル状のコイルである。
- [0112] 基材S 5, S 6に形成された導体L 1 A 1, L 2 A 1の線幅は他の導体の線幅より細い。また、基材S 4, S 7に形成された導体L 1 A 2, L 2 A 2の線幅は、基材S 3, S 8に形成される導体の線幅より細い。したがって、第1コイルL 1と第2コイルL 2との間に生じるコイル間容量は小さく、第3キャパシタンス素子C 3のキャパシタンスは小さく抑えられている。また、本実施形態では、第1コイルL 1を構成する複数層の導体パターンと、第2コイルL 2を構成する複数層の導体パターンのうち、互いに近接する導体パターンである程、線幅が細く、離れる関係である程、線幅が太い。このような関係とすることによって、第1コイルL 1および第2コイルL 2の平均的な線幅をあまり細くすることなく、第1コイルL 1と第2コイルL 2との

間に生じるコイル間容量を抑えることができる。したがって、導体損失が低減されて、挿入損失の増大が低減される。

[0113] 第1コイルL1および第2コイルL2は、実質的に同一の内外径を有し、コイル巻回軸CAが同じ（同軸）関係にある。しかも、第2の実施形態で示した移相器11とは異なり、第1コイルL1と第2コイルL2の形成層の層間距離が近い。そのため、第1コイルL1と第2コイルL2との結合係数kが高いトランスが得られる。

[0114] なお、本実施形態では、ローバンドでの移相量が約 180° 、ハイバンドでの移相量が約 90° である例を示したが、定める移相量には当然ながら幅がある。ローバンドでの移相量が 90° より 180° に近い移相量となり、ハイバンドでの移相量が 180° より 90° に近い移相量となるように、定めれば本実施形態で示した作用効果を奏する。

[0115] 《第4の実施形態》

第4の実施形態では、ハイパスフィルタまたはローパスフィルタを含む移相器について示す。

[0116] 図17（A）（B）（C）は第4の実施形態に係る3つの移相器の回路図である。図17（A）に示す例では、移相器11にハイパスフィルタ61が直列接続された例である。ハイパスフィルタ61はシリーズ接続のキャパシタンス素子C4およびシャント接続のインダクタンス素子で構成される。図17（B）に示す例では、移相器11にハイパスフィルタ62が直列接続された例である。ハイパスフィルタ62はシリーズ接続のキャパシタンス素子C4、並列接続のインダクタンス素子L3およびキャパシタンス素子C5で構成される。図17（C）に示す例では、移相器11にローパスフィルタ63が直列接続された例である。ローパスフィルタ63はシリーズ接続のインダクタンス素子L4および並列接続のキャパシタンス素子C6、C7で構成される。

[0117] 本実施形態のように、移相器11にハイパスフィルタまたはローパスフィルタを直列接続することで、移相器11だけでは所定の移相量に満たない場

合に、その足りない移相量分をハイパスフィルタまたはローパスフィルタで補うことができ、所定移相量の移相器が構成できる。

[0118] 例えば、トランス構造での移相器により 175° まで位相させ、 180° の移相量に調整したい場合、図 17 (A) に示すように付加したハイパスフィルタにより移相量を 5° 増加させる。小さな移相量の追加のため、損失の増加はほとんど生じない。また、追加の移相量によっては、マッチングのずれが生じる場合があるが、その際は、図 17 (B) に示すようにシャント接続のキャパシタンス素子 C 5 により整合調整する。逆に、移相量を減らす場合には図 17 (C) のようにローパスフィルタを付加する。

[0119] なお、上記インダクタンス素子やキャパシタンス素子は個別部品であってもよいし、導体パターンによって形成されたものでもよい。さらには、移相器 11 と一体的に形成されたものであってもよい。図 17 (A) (B) (C) に示した移相器において、フィルタ内のインダクタンス素子 L 3, L 4 を移相器 11 に一体的に設けることにより、インダクタンス素子 L 3, L 4 を第 1 コイル L 1 および第 2 コイル L 2 と磁界結合させてもよい。そのことで、図 17 (A) (B) に示す例ではハイパスフィルタ 61, 62 の付加による移相量を、上記結合が無い場合に比べて異ならせることができる。同様に、図 17 (C) に示す例ではローパスフィルタ 63 の付加による移相量の周波数特性を、上記結合が無い場合に比べて異ならせることができる。

[0120] 図 18 は、本実施形態に係る別の移相器の回路図である。図 17 (A) に示した回路と基本構成は同じであるが、第 1 コイル L 1 および第 2 コイル L 2 に対するインダクタンス素子 L 3 の結合の極性が図 17 (A) に示した回路とは逆である。この結合の極性によっても、ハイパスフィルタ 61 の付加による移相量の増減を調整できる。図 17 (B) (C) に示した回路についても、インダクタンス素子 L 3, L 4 の結合の極性によって、ハイパスフィルタ 62、ローパスフィルタ 63 の付加による移相量の増減を調整できる。

[0121] 《第 5 の実施形態》

第 5 の実施形態では、移相と共にインピーダンス変換も行うようにした移

相器の例を示す。

[0122] 図 19 は第 5 の実施形態に係る移相器 15 の回路図である。第 1 の実施形態で、図 1、図 2 (A) (B) 等に示した例では、インピーダンス変換比 1 : 1 のトランスを用いる移相器を示したが、インピーダンス変換比は 1 : n (n は 1 以外の値) であってもよい。例えば $n < 1$ であれば、給電回路のインピーダンスより低いインピーダンスのアンテナを給電回路のインピーダンスに整合させることができる。したがって、本実施形態によれば、所定の移相と共にインピーダンス整合を行うことができる。

[0123] 《第 6 の実施形態》

図 20 は第 6 の実施形態に係る移相器 16 の回路図である。本実施形態の移相器 16 は、互いに磁界結合する第 1 コイル L1 と第 2 コイル L2 とで構成されるオートトランス型のトランスを備えている。第 1 ポート P1 とグラウンドとの間に第 1 キャパシタンス素子 C1、第 2 ポート P2 とグラウンドとの間に第 2 キャパシタンス素子 C2 がそれぞれ接続されている。また、第 1 ポート P1 と第 2 ポート P2 との間に第 3 キャパシタンス素子 C3 が接続されている。

[0124] 本実施形態のように、オートトランス型のトランスについても、第 1 コイル L1 と第 2 コイル L2 との結合係数が 1 未満であることにより、並列インダクタンス成分および直列インダクタンス成分が生じる。そして、キャパシタンス素子 C1、C2、C3 によって、インピーダンスを整合させることになる。

[0125] 《第 7 の実施形態》

第 7 の実施形態では通信端末装置について示す。図 21 は第 7 の実施形態に係る通信端末装置 200 のブロック図である。本実施形態の通信端末装置 200 は、アンテナ 1、アンテナ整合回路 40、移相回路 30、通信回路 51、ベースバンド回路 52、アプリケーションプロセッサ 53 および入出力回路 54 を備えている。通信回路 51 はローバンド (700 MHz ~ 1.0 GHz) とハイバンド (1.4 GHz ~ 2.7 GHz) についての送信回路

および受信回路、さらにはアンテナ共用器を備えている。アンテナ 1 は、ローバンドとハイバンドに対応するモノポールアンテナ、逆 L 型アンテナ、逆 F 型アンテナ等である。

[0126] 上記構成要素は 1 つの筐体内に収納されている。例えば、アンテナ整合回路 40、移相回路 30、通信回路 51、ベースバンド回路 52、アプリケーションプロセッサ 53 はプリント配線板に実装され、プリント配線板は筐体内に収納される。入出力回路 54 は表示・タッチパネルとして筐体に組み込まれる。アンテナ 1 はプリント配線板に実装されるか、筐体の内面または内部に配置される。

[0127] 以上に示した構成により、広帯域に亘って整合するアンテナを備える通信端末装置が得られる。

[0128] 《第 8 の実施形態》

第 8 の実施形態では、移相量に周波数特性をもたせた移相器について示す。既に、幾つかの実施形態で示したとおり、トランスにより 180° の移相が行われるが、トランスは移相量に周波数特性をもたない。よって、トランスだけである特定の周波数帯で所定の移相量を得ること、またはある周波数範囲に亘って、周波数に応じた所定の移相量を得ことは難しい。

[0129] 図 22 は第 8 の実施形態に係る移相器 18 の回路図である。インダクタンス素子 L5 を備える点で、第 1 の実施形態で図 1 に示した移相器 11 と異なる。すなわち、トランス T の第 1 ポート P1 と第 2 ポート P2 との間に、第 3 キャパシタンス素子 C3 およびインダクタンス素子 L5 の直列回路 SR が設けられている。その他の基本的な構成は第 1 の実施形態の移相器 11 と同じである。

[0130] 図 22 に示すように、トランス T に対して並列に（バイパス経路として）、第 3 キャパシタンス素子 C3 およびインダクタンス素子 L5 による LC 直列回路 SR を設けることで、本実施形態の移相器 18 はローパスフィルタ部 LPF およびハイパスフィルタ部 HPF を備える。すなわち、第 1 キャパシタンス素子 C1、第 2 キャパシタンス素子 C2 およびインダクタンス素子 L

5によってローパスフィルタ部LPFが構成され、第1コイルL1、第2コイルL2および第3キャパシタンス素子C3によってハイパスフィルタ部HPFが構成される。第1コイルL1、第2コイルL2によるトランスTの並列寄生インダクタンス成分(図2(A)(B)中のLb参照)と第3キャパシタンス素子C3とでハイパスフィルタHPFが構成されるということもできる。

[0131] 図23は本実施形態の移相器18および比較例の移相器について、それぞれの周波数特性を示す図である。比較例の移相器は図22においてインダクタンス素子L5を設けず、第3キャパシタンス素子C3をバイパス経路に設けたものである。

[0132] 図23において、曲線PS(LC)は移相器18の周波数特性、曲線PS(C)は比較例の移相器の周波数特性、をそれぞれ表している。比較例の移相器では、低い周波数帯でトランス移相器として作用する。高い周波数帯では、信号が第3キャパシタンス素子C3をバイパスする量が増え、移相量は0°に漸近する。

[0133] これに対し、本実施形態の移相器18では、高域で負の移相量となる。図28においては、以降に示すように、本実施形態の移相器18の作用を、3つの周波数帯F1、F2、F3に区分して表している。

[0134] 低域の周波数帯F1においては、LC直列回路SRは第3キャパシタンス素子C3のキャパシタンスが支配的となる。したがって、ポートP1-P2間を伝搬する信号はLC直列回路SRを殆どバイパスしない。つまりトランスTの特性が現れる。

[0135] 中域の周波数帯F2においては、LC直列回路SRのインダクタンス素子L5より第3キャパシタンス素子C3のキャパシタンスが支配的となって、LC直列回路SRは容量性となる。したがって、バイパス回路はハイパスフィルタとして作用し、周波数が高くなる程、移相量は小さくなる。

[0136] 高域の周波数帯F3においては、LC直列回路SRの第3キャパシタンス素子C3よりインダクタンス素子L5のインダクタンスが支配的となって、

LC直列回路SRは誘導性となる。したがって、バイパス回路はローパスフィルタとして作用し、負の移相量となる。移相量が 0° となる周波数はLC直列回路SRの直列共振周波数に相当する。

[0137] 上記移相量の周波数特性は、第1キャパシタンス素子C1、第2キャパシタンス素子C2、第3キャパシタンス素子C3、インダクタンス素子L5およびトランスTの並列寄生インダクタンス成分によって定まる。

[0138] このように移相量に所定の大きな周波数特性をもたせることができる。また、広い周波数帯に亘って周波数に応じた所定の移相量を得ることができる。

[0139] また、第1キャパシタンス素子C1、第2キャパシタンス素子C2、第3キャパシタンス素子C3、およびインダクタンス素子L5は、それぞれ移相量の周波数特性を定めるだけでなく、所定のインピーダンス（一般的には 50Ω ）に整合するための素子としても作用する。

[0140] 《第9の実施形態》

第9の実施形態では、ハイパスフィルタおよびローパスフィルタと共に移相器を備えるダイプレクサについて示す。このダイプレクサは本発明に係る「合分波器」の一例である。

[0141] 図24(A)は第9の実施形態に係るダイプレクサ109の構成を示す回路図である。このダイプレクサ109は、共通ポートPcと個別ポートPr1、Pr2との間にそれぞれ接続されたハイバンド通過用ハイパスフィルタHPFおよびローバンド通過用ローパスフィルタLPFを備える。本実施形態では、共通ポートPcにアンテナ1が接続されている。

[0142] ハイパスフィルタHPFは、信号ラインとグラウンドとの間にシャント接続された第1インダクタL11と第1インダクタL11の後段に、ラインに対してシリーズ接続された第1キャパシタC11とを含む。本実施形態では、第1キャパシタC11に並列接続されたインダクタL13を備え、その後段にシャント接続されたインダクタL12をさらに備える。

[0143] ローパスフィルタLPFは、共通ポートPcにシリーズ接続された第2イ

ンダクタ L_{21} と、第2インダクタ L_{21} の後段でグラウンドとの間にシャント接続された第2キャパシタ C_{21} とを含む。本実施形態では、第2インダクタ L_{21} に並列接続されたキャパシタ C_{22} を備え、シャント接続の第2キャパシタ C_{21} の後段にシリーズ接続された、インダクタ L_{22} とキャパシタ C_{23} との並列接続回路をさらに備える。

[0144] 上記共通ポート P_c と第1インダクタ L_{11} との間に移相器19が挿入されている。この移相器19は、共通ポート P_c から見て、ローパスLPFの通過周波数帯（ローバンド）でハイパスフィルタHPFが実質的（等価的）にオープンになるように移相する。

[0145] 図24（B）は上記ダイプレクサ109の比較例としてのダイプレクサ109Pの回路図である。ダイプレクサ109と異なり、移相器19を備えていない。

[0146] 図25は比較例のダイプレクサ109Pにおいて、インダクタ L_{11} の有無による、ポート P_r2-P_c 間の挿入損失の周波数特性を示す図である。ここで、特性曲線Cは、インダクタ L_{11} がある場合の特性、Nはインダクタ L_{11} が無いときの特性である。

[0147] グラウンドに対してシャント接続され、且つ共通ポート P_c に接続されるインダクタ L_{11} が無い場合には、ローバンドでのアイソレーションが高い。しかし、インダクタ L_{11} が無いことにより、ハイパスフィルタHPFの特性は劣化する（後述）。

[0148] 図26（A）は、本実施形態のダイプレクサ109について、所定ポートにおける反射係数の周波数特性をスミスチャート上に表した図である。図26（B）は比較例のダイプレクサ109Pについて、インダクタ L_{11} が無い場合の、所定ポートにおける反射係数の周波数特性をスミスチャート上に表した図である。図26（C）は比較例のダイプレクサ109Pについて、インダクタ L_{11} が有る場合の、所定ポートにおける反射係数の周波数特性をスミスチャート上に表した図である。

[0149] 図26（A）（B）（C）において、曲線Aは共通ポート P_c から見た特

性を表し、曲線Fは個別ポートP_{r1}から見た特性を表す。また、各マーカ
ーと周波数との関係は次のとおりである。

[0150] m₁, m₃ : 960MHz

m₂, m₄ : 1.7GHz

図26(A)(B)(C)を比較すれば明らかなように、本実施形態のダ
イプレクサ109では、共通ポートP_cから見て、ローバンド(960MHz
z)で実質的にオープンとなり、ハイバンド(1.7GHz)で規定インピ
ーダンス(50Ω)に整合する。また、個別ポートP_{r1}から見てハイバン
ド(1.7GHz)で規定インピーダンス(50Ω)に整合する。

[0151] 図27(A)は、本実施形態のダイプレクサ109について、共通ポート
P_cと個別ポートP_{r1}, P_{r2}との間の挿入損失の周波数特性を示す図で
ある。図27(B)は、比較例のダイプレクサ109Pについて、インダク
タL₁₁が無い場合の、共通ポートP_cと個別ポートP_{r1}, P_{r2}との間
の挿入損失の周波数特性を示す図である。図27(C)は、比較例のダイプ
レクサ109Pについて、インダクタL₁₁が有る場合の、共通ポートP_c
と個別ポートP_{r1}, P_{r2}との間の挿入損失の周波数特性を示す図である
。

[0152] 図27(A)(B)(C)において、曲線LPFはローパスフィルタLP
Fの特性、曲線HPFはローパスフィルタHPFの特性、曲線ISOはポー
ト間アイソレーションの特性をそれぞれ表す。

[0153] 図27(A)(B)(C)を比較すれば明らかなように、比較例のダイプ
レクサ109PにおいてインダクタL₁₁が無い場合には、図27(B)に
表れているように、ポート間アイソレーションISOは-10dB程度しか
得られない。比較例のダイプレクサ109PにおいてインダクタL₁₁が有
る場合には、図27(C)に表れているように、ローパスフィルタLPFの
ローバンド(700MHz以上960MHz以下)での挿入損失が-5dB
にも達する。

[0154] これに対し、本実施形態のダイプレクサ109では、ローパスフィルタL

PFの、ローバンドでの挿入損失は -1 dB 以下であり、ハイバンド（ 1.7 GHz 以上 2.7 GHz 以下）での減衰量は -30 dB 以上である。また、ハイパスフィルタHPFの、ハイバンドでの挿入損失は -1 dB 以下であり、ローバンドでの減衰量は -28 dB 以上である。

[0155] 《第10の実施形態》

第10の実施形態では、複数のSAWフィルタおよびこれらSAWフィルタと共に移相器を備えるマルチプレクサについて示す。このマルチプレクサは本発明に係る「合分波器」の一例である。

[0156] 図28は第10の実施形態に係るマルチプレクサ110の構成を示す回路図である。このマルチプレクサ110は、共通ポートPcと個別ポートPr1, Pr2, Pr3, Pr4との間にそれぞれ接続された移相器19a, 19b, 19c, 19dとSAWフィルタSAWa, SAWb, SAWc, SAWdとを備える。移相器19a, 19b, 19c, 19dは既に幾つかの実施形態で示したトランス型の移相器である。本実施形態では、共通ポートPcに例えばアンテナが接続され、個別ポートPr1, Pr2, Pr3, Pr4には各周波数帯の通信回路が接続される。

[0157] 各SAWフィルタSAWa, SAWb, SAWc, SAWdはそれぞれ第1ポートおよび第2ポートを有し、通過周波数帯が互いに異なる。第1SAWフィルタSAWaは、第1ポートが移相器19aを介して共通ポートPcに接続され、第2ポートは個別ポートPr1に接続される。同様に、第2SAWフィルタSAWbは、第1ポートが移相器19bを介して共通ポートPcに接続され、第2ポートは個別ポートPr2に接続され、第3SAWフィルタSAWcは、第1ポートが移相器19cを介して共通ポートPcに接続され、第2ポートは個別ポートPr3に接続され、第4SAWフィルタSAWdは、第1ポートが移相器19dを介して共通ポートPcに接続され、第2ポートは個別ポートPr4に接続される。

[0158] 例えば、第1SAWフィルタSAWaの通過帯域の中心周波数は 700 MHz 、第2SAWフィルタSAWbの通過帯域の中心周波数は 800 MHz

、第3 SAWフィルタSAWcの通過帯域の中心周波数は900MHzである。また、第4 SAWフィルタSAWdの通過帯域の中心周波数は2GHzである。すなわち、SAWフィルタSAWa, SAWb, SAWcはローバンド用、SAWフィルタSAWdはハイバンド用である。

[0159] 移相器19aは、共通ポートPcから見て、第1 SAWフィルタSAWa以外のSAWフィルタSAWb, SAWc, SAWdの通過周波数帯で、第1 SAWフィルタSAWaが実質的にオープンになるように移相する。また、移相器19bは、共通ポートPcから見て、第2 SAWフィルタSAWb以外のSAWフィルタSAWa, SAWc, SAWdの通過周波数帯で、第2 SAWフィルタSAWbが実質的にオープンになるように移相する。移相器19cは、共通ポートPcから見て、第3 SAWフィルタSAWc以外のSAWフィルタSAWa, SAWb, SAWdの通過周波数帯で、第3 SAWフィルタSAWcが実質的にオープンになるように移相する。同様に、移相器19dは、共通ポートPcから見て、第4 SAWフィルタSAWd以外のSAWフィルタSAWa, SAWb, SAWcの通過周波数帯で、第4 SAWフィルタSAWdが実質的にオープンになるように移相する。

[0160] 図29は一般的なSAWフィルタの一方のポートから見た反射係数の周波数特性をスミスチャート上に表した図である。通過帯域より低い周波数帯で、インピーダンスは実質的にショートであり、通過周波数帯の中心周波数 f_c で規定インピーダンス(50Ω)となり、通過帯域より高い周波数帯で、インピーダンスは再び実質的にショートとなる。

[0161] したがって、通過帯域周波数が大きく異なる複数のSAWフィルタを共通ポートに直接接続すると、使用周波数帯で共通ポートPcが実質的にグラウンドにショートされる状況が生じる。そのため、例えばローバンド用SAWフィルタとハイバンド用SAWフィルタとは互いにショート状態に見えるので、それらを共通ポートPcに直接接続することはできない。

[0162] 本実施形態によれば、通過周波数帯の大きく離れたSAWフィルタ同士であっても、移相器で約180°移相されるので、SAWフィルタは互いにオ

ーブンに見える。したがって、移相器を介して共通ポート P c に直接接続できる。この状態でポート間アイソレーションが確保される。

[0163] 上記移相器 19 a ~ 19 d の移相量は 180° に限らず、周波数帯に応じて適した移相量に定めてもよい。例えば、第 2 の実施形態や第 8 の実施形態で示した、移相量に周波数特性を有するトランス型の移相器を用いてもよい。

[0164] 図 28 中に示す各移相器 19 a ~ 19 d を、従来のハイパスフィルタ型の移相器で構成する場合を考えると、L と C の特性による、周波数特性の傾きが大きい（周波数特性が大きい）。そのため、狭帯域でしか所定の移相量が得られないので、広帯域に亘ってポート間アイソレーションを確保することはできない。そのため、従来は、周波数帯の大きく離れた複数の SAW フィルタを用いる場合には、ダイプレクサでハイバンドとローバンドの信号を分離し、各バンド内について、複数の SAW フィルタをスイッチで切り替える回路が構成されていた。

[0165] 本発明による位相調整はトランスを用いた機構となっているため、ハイパスフィルタ型やローパスフィルタ型、ライン型の位相調整機構と比較すると、周波数変化に対する移相量変化が小さい。よって、位相をオープン側に反転できる周波数は従来よりも広帯域となり、より広帯域で SAW フィルタを接続することが可能となる。

[0166] 例えば、SAW フィルタで使用する周波数より低いバンドで位相が 180 度反転し、SAW フィルタの通過帯域で位相がほぼ 0 度、周波数の高いバンドで位相が -180 度となるように設計することで、ダイプレクサやスイッチを用いることなく、周波数帯の大きく離れた信号を、ポート間アイソレーションを保ったまま合分波できる。

[0167] 《他の実施形態》

以上に示した幾つかの実施形態では、トランスのインピーダンスを調整するインピーダンス調整用回路を 3 つのキャパシタンス素子 C 1, C 2, C 3 で構成する例を示した。インピーダンス調整用回路は、トランスの寄生成分

である並列インダクタンス成分および直列インダクタンス成分によるインピーダンスの変位を補正または積極的に修正するための回路であるので、3つのキャパシタンス素子に限らない。トランスに所定のリアクタンス素子を並列またはシリーズ接続することにより、トランスTのインピーダンスを微調整すればよい。

[0168] また、以上に示した各実施形態において、第1キャパシタンス素子C1や第2キャパシタンス素子C2は、コイルの線間容量だけに限らず、コイル以外の導体パターンで構成してもよい。さらには外付け部品としてのキャパシタを接続してもよい。また、第3キャパシタンス素子C3は、コイル間容量だけに限らず、コイル以外の導体パターンで構成してもよい。さらには外付け部品としてのキャパシタを接続してもよい。

[0169] 最後に、上述の実施形態の説明は、すべての点で例示であって、制限的なものではない。当業者にとって変形および変更が適宜可能である。例えば、異なる実施形態で示した構成の部分的な置換または組み合わせが可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0170] C1…第1キャパシタンス素子
C2…第2キャパシタンス素子
C3…第3キャパシタンス素子
C4, C5, C6, C7…キャパシタンス素子
CA…コイル巻回軸
GND…グラウンド端子
HPF…ハイパスフィルタ
IT…理想トランス
L1…第1コイル
L1A1, L1A2, L1A3, L1A4, L1A5…導体

L 1 B 1, L 1 B 2 …導体

L 1 C …導体

L 2 …第2コイル

L 2 A 1, L 2 A 2, L 2 A 3, L 2 A 4, L 2 A 5 …導体

L 2 B 1, L 2 B 2 …導体

L 2 C …導体

L 3, L 4, L 5 …インダクタンス素子

L a, L c …直列寄生インダクタンス成分

L b …並列寄生インダクタンス成分

L p …第1コイル

L s …第2コイル

L P F …ローパスフィルタ

N C …空き端子

P 1 …第1ポート

P 2 …第2ポート

P c …共通ポート

P r 1, P r 2, P r 3, P r 4 …個別ポート

S A W a, S A W b, S A W c, S A W d …S A Wフィルタ

S 1 ~ S 1 3 …基材

S R …L C直列回路

T …トランス

T 1, T 2 …端子

V 1 ~ V 1 2 …ビア導体

1 …アンテナ

1 1, 1 3, 1 5, 1 6, 1 8 …移相器

1 9, 1 9 a, 1 9 b, 1 9 c, 1 9 d …移相器

3 0 …移相回路

4 0 …アンテナ整合回路

4 1, 4 2, 4 3…インピーダンス整合回路部
5 0…給電回路
5 1…通信回路
5 2…ベースバンド回路
5 3…アプリケーションプロセッサ
5 4…入出力回路
6 1, 6 2…ハイパスフィルタ
6 3…ローパスフィルタ
7 1…第 1 高周波回路
7 2…インピーダンス整合回路
7 3…移相器
7 4…第 2 高周波回路
1 0 0…積層体
1 0 9…ダイプレクサ（合分波器）
1 0 9 P…比較例のダイプレクサ
1 1 0…マルチプレクサ（合分波器）
2 0 0…通信端末装置

請求の範囲

[請求項1] 第1ポートと第2ポートとの間に接続され、第1コイルおよび前記第1コイルに対して磁界結合する第2コイルを有し、寄生インダクタンス成分を含むトランスと、

前記トランスの寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子を有するインピーダンス調整用回路と、

、

を備え、

周波数帯に応じて異なる移相量となるように、前記トランスの前記第1コイルと前記第2コイルとの結合係数および前記インピーダンス調整用回路のリアクタンス素子の値を定めたことを特徴とする、移相器。

[請求項2] 第1ポートと第2ポートとの間に接続され、第1コイルおよび前記第1コイルに対して磁界結合する第2コイルを有し、寄生インダクタンス成分を含むトランスと、

前記トランスの寄生インダクタンス成分によるインピーダンスのずれを抑制するリアクタンス素子を有するインピーダンス調整用回路と、

、

を備え、

ローバンドでの移相量が 90° より 180° に近い移相量となり、ハイバンドでの移相量が 180° より 90° に近い移相量となるように、前記トランスの前記第1コイルと前記第2コイルとの結合係数および前記インピーダンス調整用回路のリアクタンス素子の値を定めた、移相器。

[請求項3] 第1ポートと第2ポートとの間に接続され、第1コイルおよび前記第1コイルに対して磁界結合する第2コイルを有し、寄生インダクタンス成分を含むトランスと、

前記トランスの寄生インダクタンス成分によるインピーダンスのず

れを抑制するリアクタンス素子を有するインピーダンス調整用回路と、

を備え、

ローバンドでの移相量が 0° より 90° に近い移相量となり、ハイバンドでの移相量が 90° より 0° に近い移相量となるように、前記トランスの第1コイルと第2コイルとの結合係数および前記インピーダンス調整用回路のリアクタンス素子の値を定めた、移相器。

[請求項4]

前記インピーダンス調整用回路は、

前記トランスの第1ポートとグラウンドとの間に接続された第1キャパシタンス素子と、

前記トランスの第2ポートとグラウンドとの間に接続された第2キャパシタンス素子と、

前記トランスの第1ポートと第2ポートとの間に接続された第3キャパシタンス素子と、

を含む、請求項1から3のいずれかに記載の移相器。

[請求項5]

前記インピーダンス調整用回路は、

前記トランスの第1ポートとグラウンドとの間に接続された第1キャパシタンス素子と、

前記トランスの第2ポートとグラウンドとの間に接続された第2キャパシタンス素子と、

前記トランスの第1ポートと第2ポートとの間に接続された、第3キャパシタンス素子およびインダクタンス素子の直列回路と、

を含む、請求項1から3のいずれかに記載の移相器。

[請求項6]

前記第3キャパシタンス素子は、主に前記第1コイルと前記第2コイルとの間に生じるコイル間容量で構成される、請求項4または5に記載の移相器。

[請求項7]

前記第1キャパシタンス素子は、主に前記第1コイルの線間容量で構成され、前記第2キャパシタンス素子は、主に前記第2コイルの線

間容量で構成される、請求項 4 から 6 のいずれかに記載の移相器。

[請求項 8] 前記第 1 コイルと前記第 2 コイルによるトランス比は $1 : n$ (n は 1 以外の値) であり、

前記移相器による移相量は、反射係数がスミスチャート上のハイインピーダンス側からローインピーダンス側に移動され、前記移相器のインピーダンス変換によって、スミスチャート上の中心方向へ移動される、請求項 1 から 7 のいずれかに記載の移相器。

[請求項 9] 前記トランスは、複数の基材層が積層された単一の積層体内に設けられ、前記第 1 コイルおよび前記第 2 コイルは前記基材層に形成された導体パターンで構成される、請求項 1 から 8 のいずれかに記載の移相器。

[請求項 10] 前記第 1 コイルおよび前記第 2 コイルは、実質的に同一の内外径を有し、コイル巻回軸が同軸関係にある、請求項 9 に記載の移相器。

[請求項 11] 前記移相器に対して直列に接続された、ハイパスフィルタまたはローパスフィルタを更に備える、請求項 1 から 10 のいずれかに記載の移相器。

[請求項 12] 前記ハイパスフィルタまたは前記ローパスフィルタはキャパシタンス素子およびインダクタンス素子を含み、当該インダクタンス素子は前記第 1 コイルまたは前記第 2 コイルと磁界結合する、請求項 11 に記載の移相器。

[請求項 13] 請求項 1 から 12 のいずれかに記載の移相器と、前記移相器に対して直列に接続されたインピーダンス整合回路部とを備え、

前記インピーダンス整合回路部は、前記移相器によって移相されたインピーダンスに対してインピーダンス整合させる回路である、インピーダンス整合回路。

[請求項 14] 前記移相器は、ローバンドでのインピーダンスをスミスチャート上の第 2 象限または第 3 象限に移動させ、

前記インピーダンス整合回路部は、ハイバンドでのインピーダンス

およびローバンドでのインピーダンスを共にスミスチャート上の中心方向へ移動させる、請求項 1 3 に記載のインピーダンス整合回路。

[請求項15] 請求項 1 から 1 2 のいずれかに記載の移相器と、ハイバンド通過用ハイパスフィルタと、ローバンド通過用ローパスフィルタとを備え、

前記ハイバンド通過用ハイパスフィルタは、信号ラインとグランドとの間にシャント接続された第 1 インダクタと前記第 1 インダクタの後段にシリーズ接続された第 1 キャパシタとを含み、

前記ローバンド通過用ローパスフィルタは、共通ポートにシリーズ接続された第 2 インダクタと、前記第 2 インダクタの後段でグランドとの間にシャント接続された第 2 キャパシタとを含み、

前記移相器は、前記共通ポートと前記第 1 インダクタとの間に挿入され、

前記移相器は、前記共通ポートから視て、前記ローバンド通過用ローパスフィルタの通過周波数帯で前記ハイバンド通過用ハイパスフィルタが実質的にオープンになるように移相することを特徴とする、合分波器。

[請求項16] 請求項 1 から 1 2 のいずれかに記載の移相器と、

第 1 ポートおよび第 2 ポートを有し、通過周波数帯が互いに異なる、第 1 SAW フィルタおよび第 2 SAW フィルタを含む複数の SAW フィルタと、を備え、

前記第 1 SAW フィルタは、第 1 ポートが前記移相器を介して共通ポートに接続され、第 2 ポートは個別ポートに接続され、

前記移相器は、前記共通ポートから視て、前記第 2 SAW フィルタの通過周波数帯で前記第 1 SAW フィルタが実質的にオープンになるように移相することを特徴とする、合分波器。

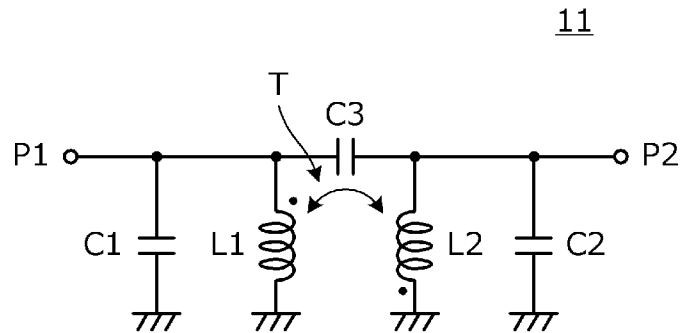
[請求項17] 給電回路と、前記給電回路に接続されるアンテナと、を備え、

前記給電回路と前記アンテナとの間に、請求項 1 から 1 2 のいずれかに記載の移相器、請求項 1 3 もしくは 1 4 に記載のインピーダンス

整合回路、または請求項 1 5 もしくは 1 6 に記載の合分波器を備える、通信端末装置。

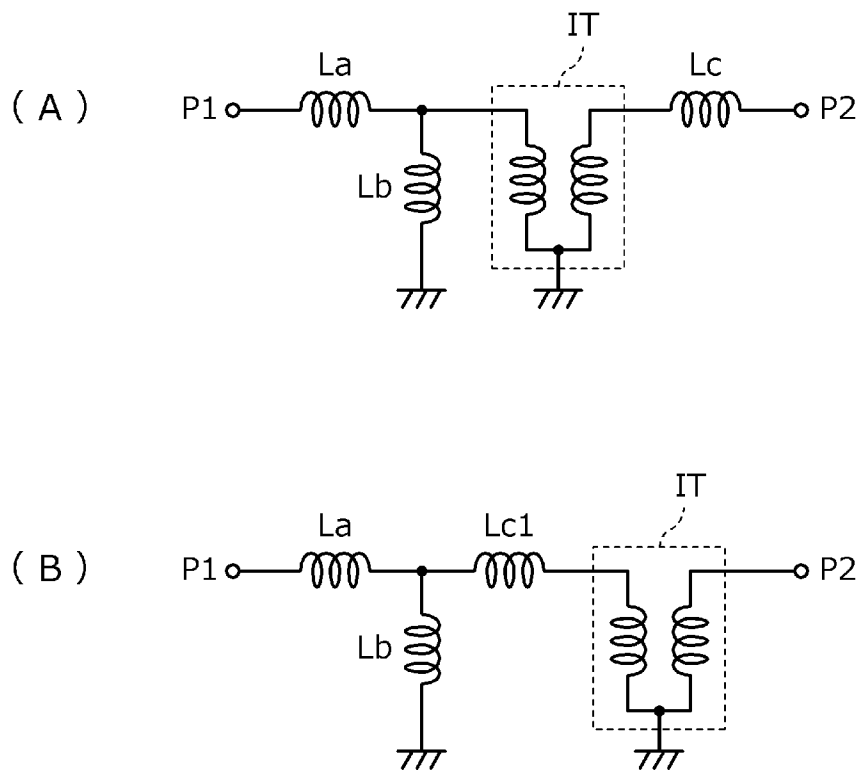
[図1]

Fig.1



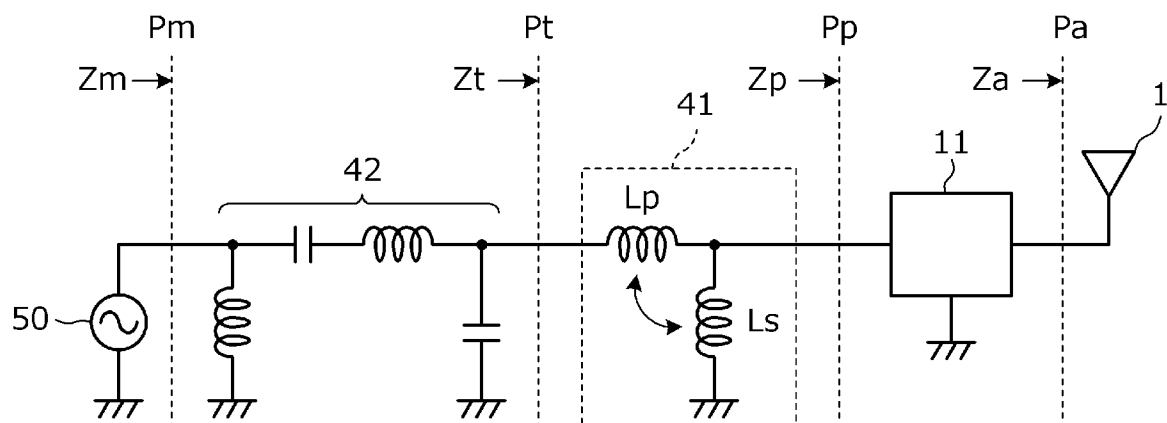
[図2]

Fig.2



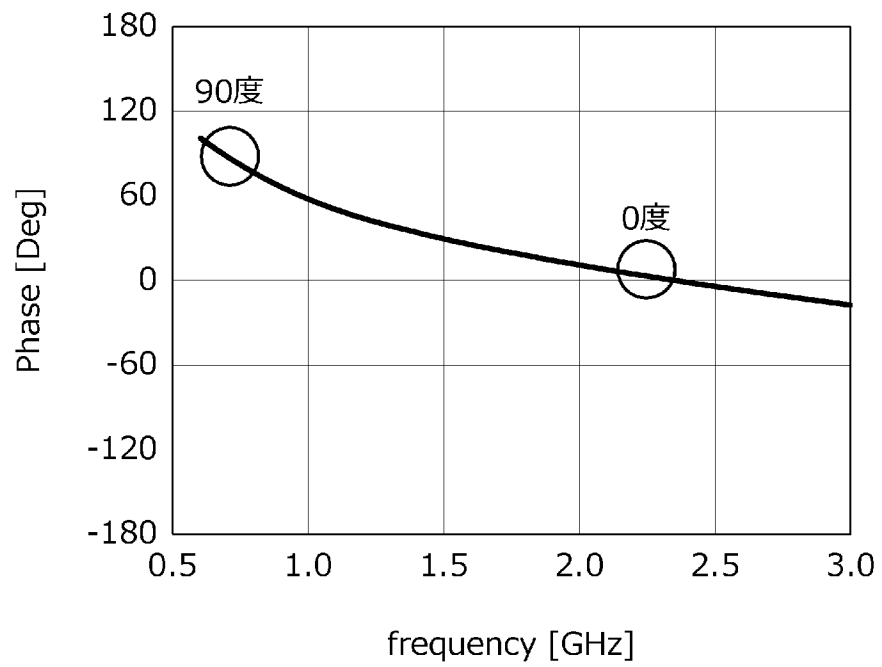
[図3]

Fig.3



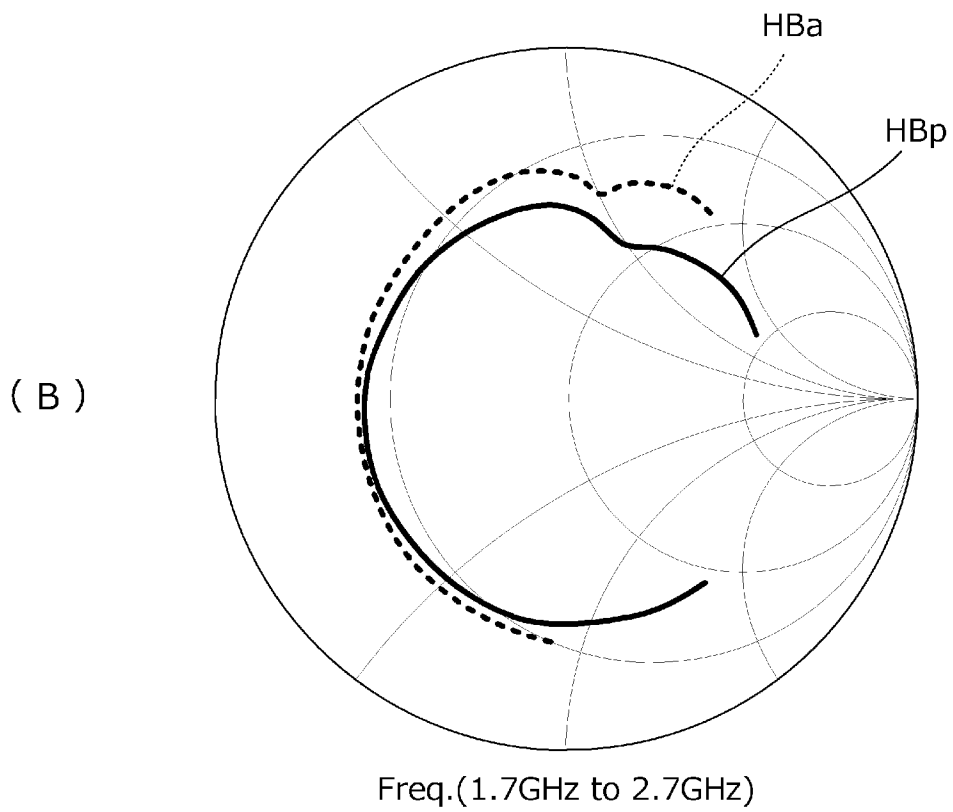
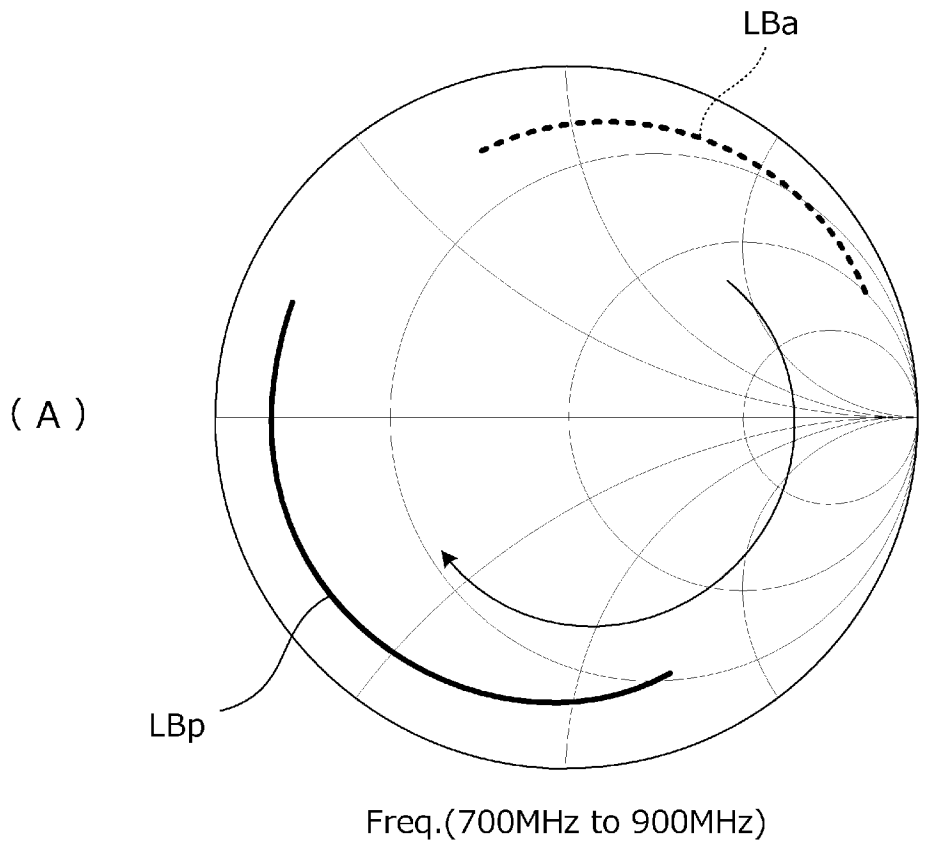
[図4]

Fig. 4



[図5]

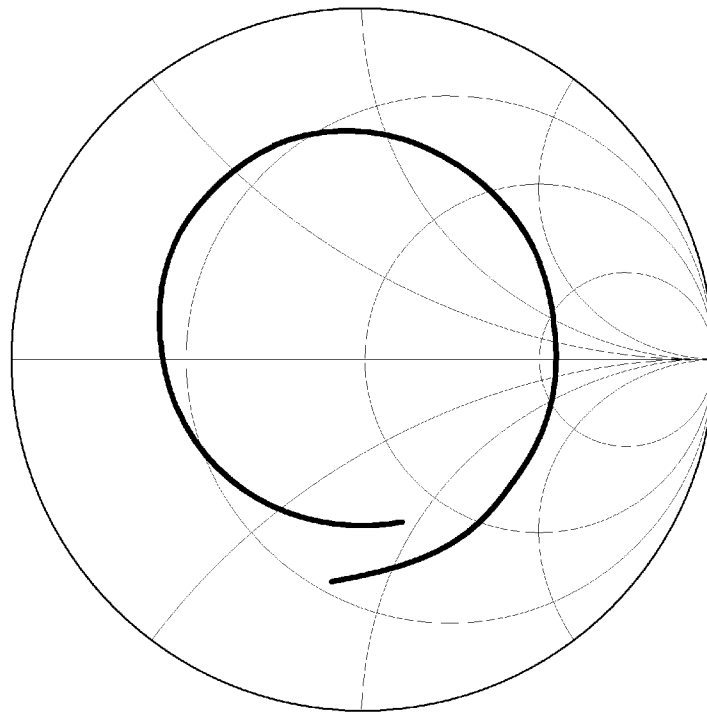
Fig.5



[図6]

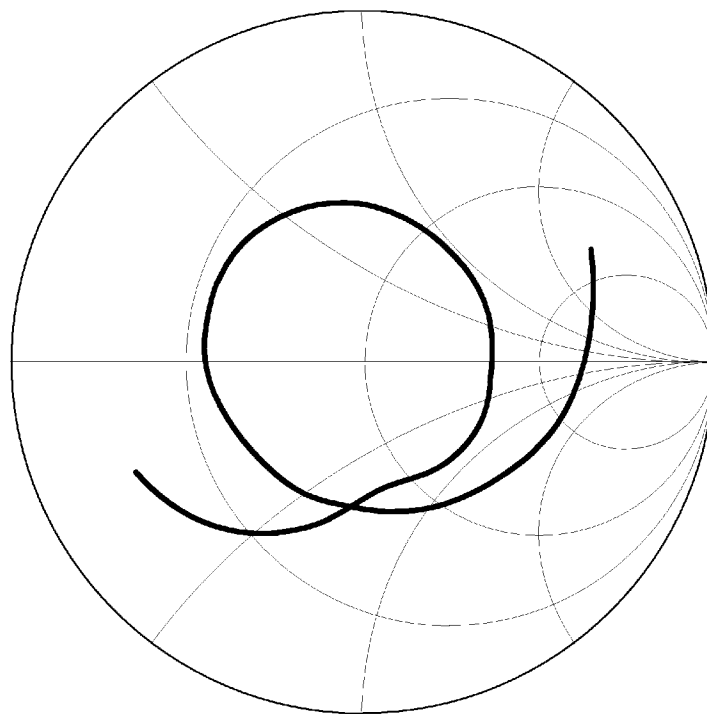
Fig. 6

(A)



Freq.(700MHz to 900MHz)

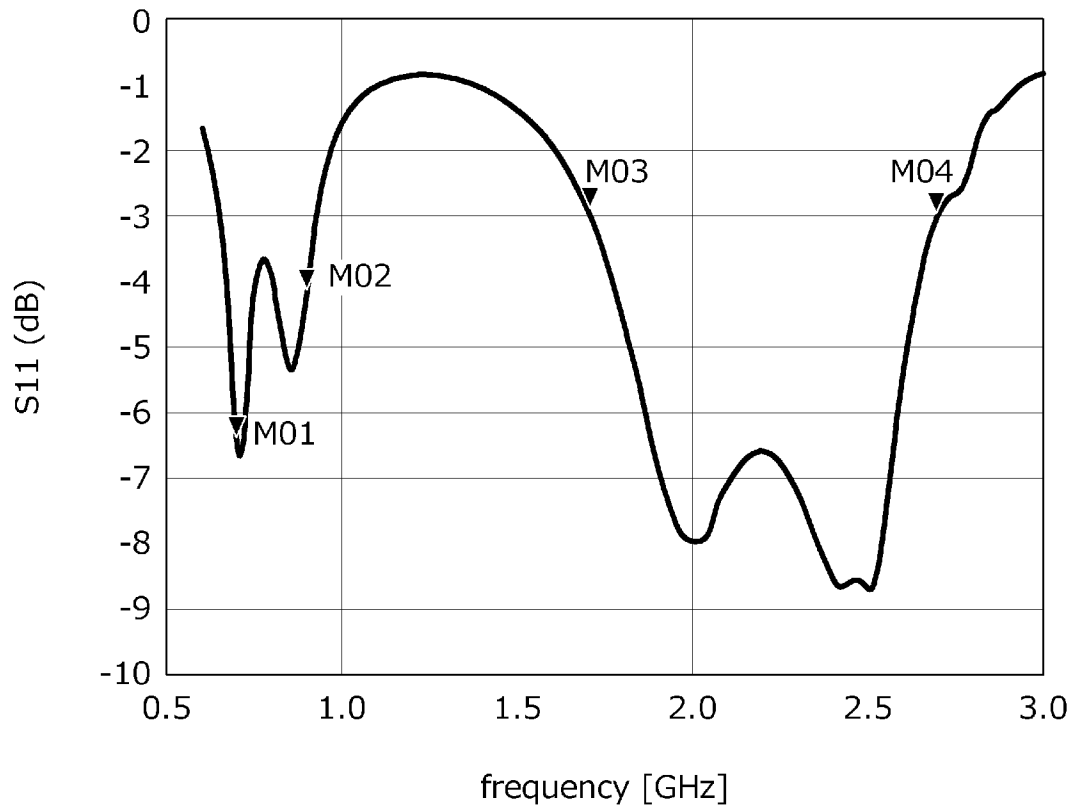
(B)



Freq.(1.7GHz to 2.7GHz)

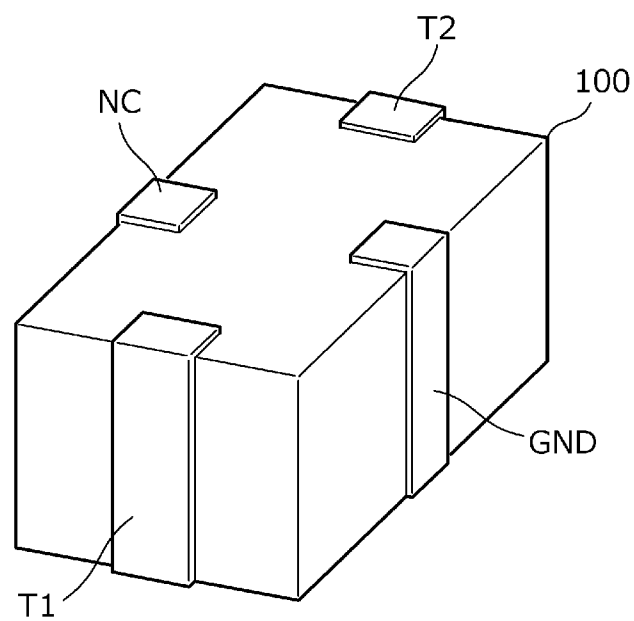
[図7]

Fig. 7



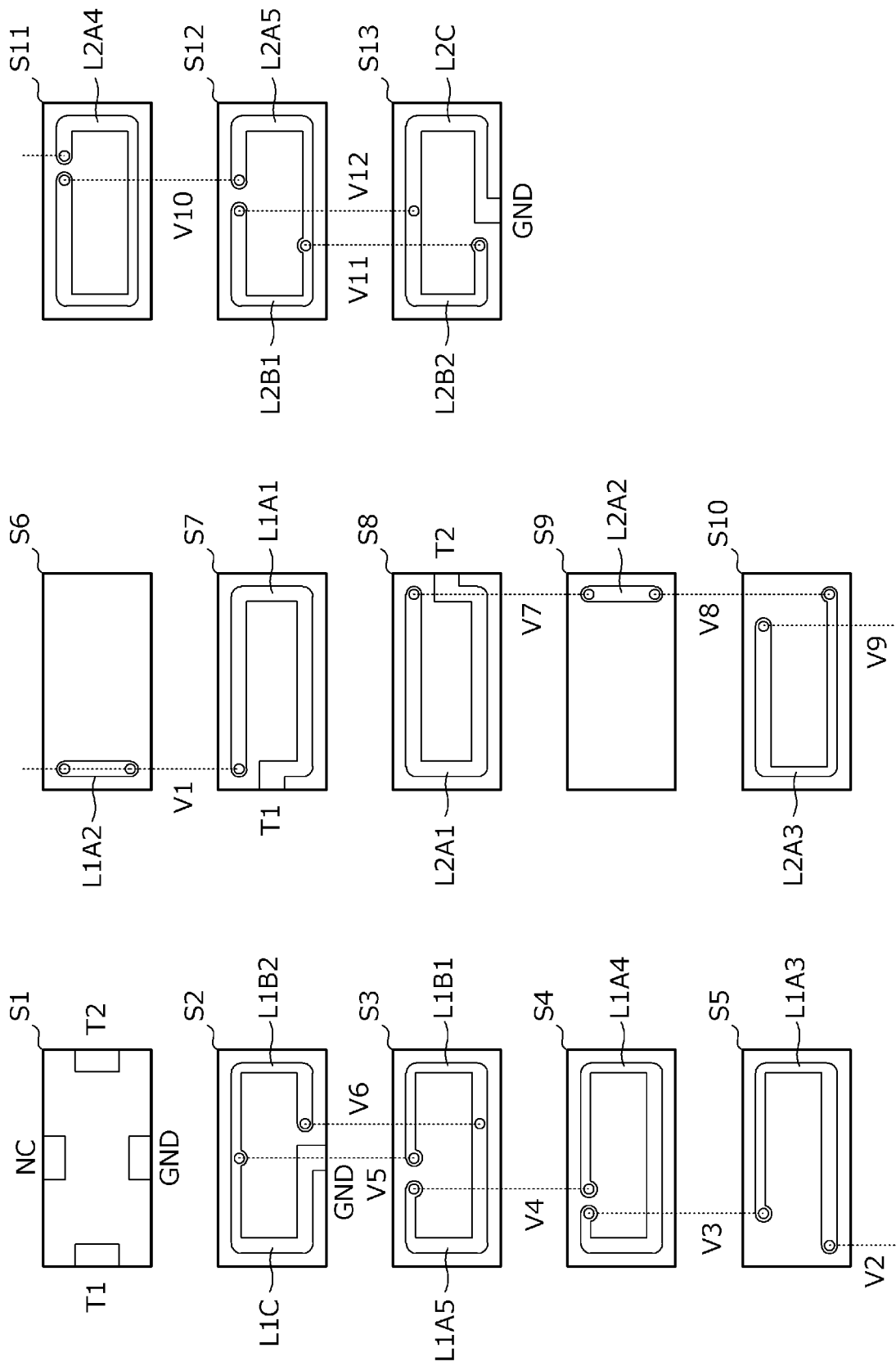
[図8]

Fig. 8

11

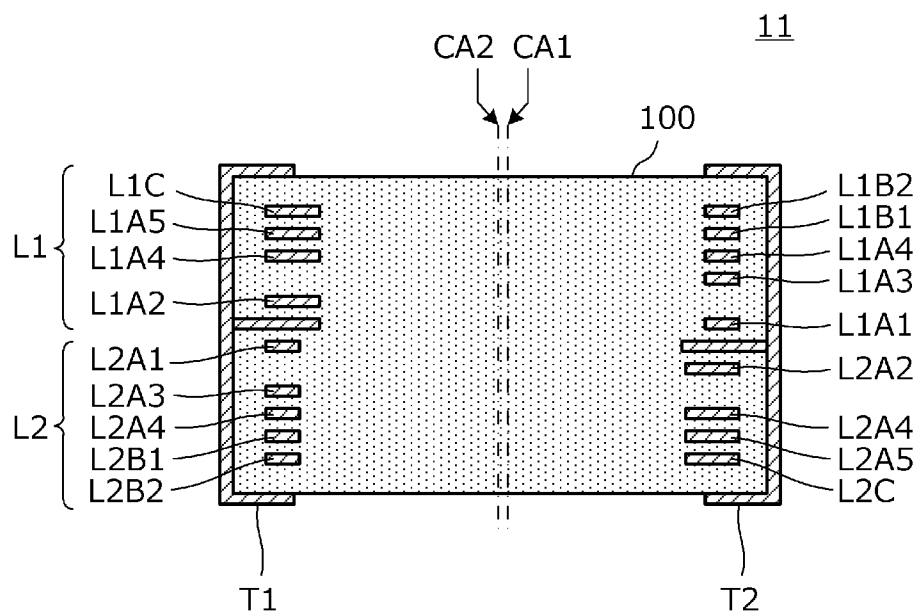
[図9]

Fig. 9



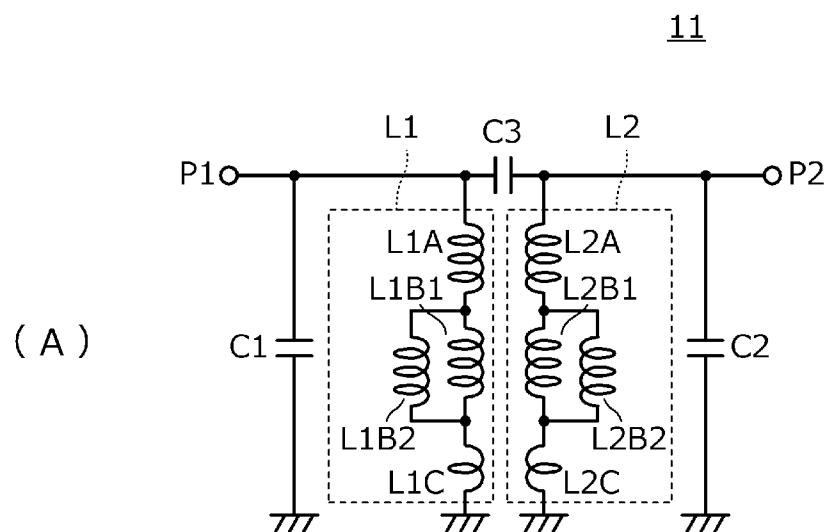
[図10]

Fig.10

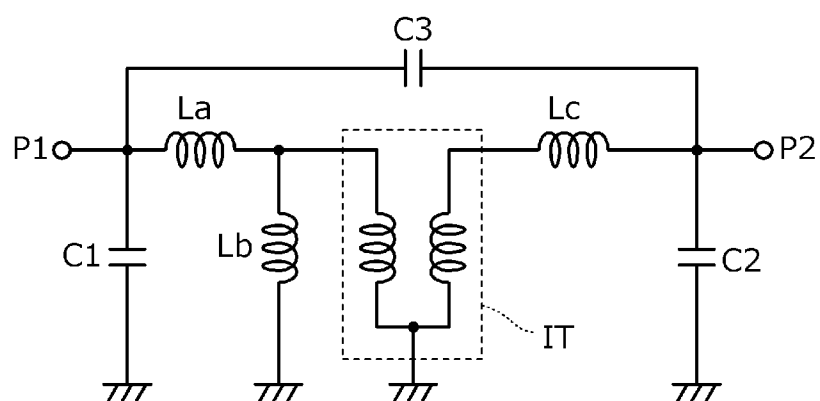


[図11]

Fig.11

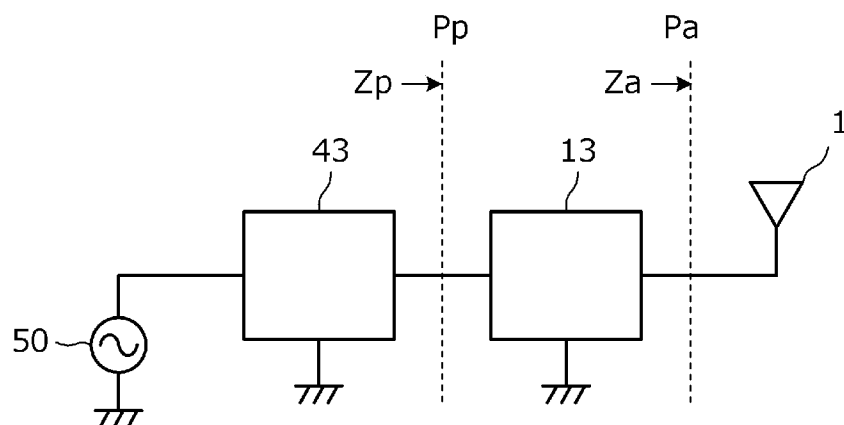


(B)



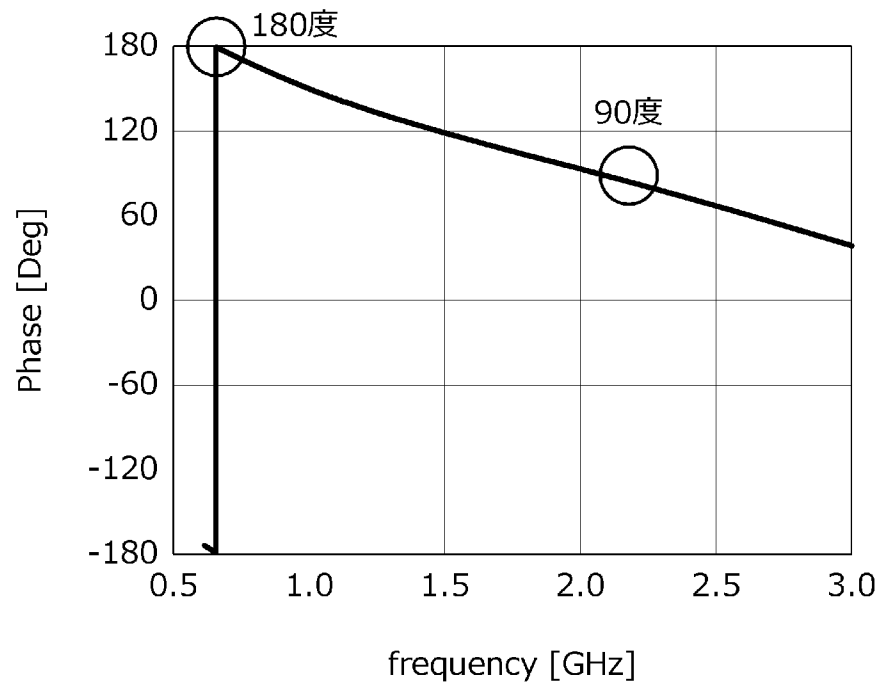
[図12]

Fig.12



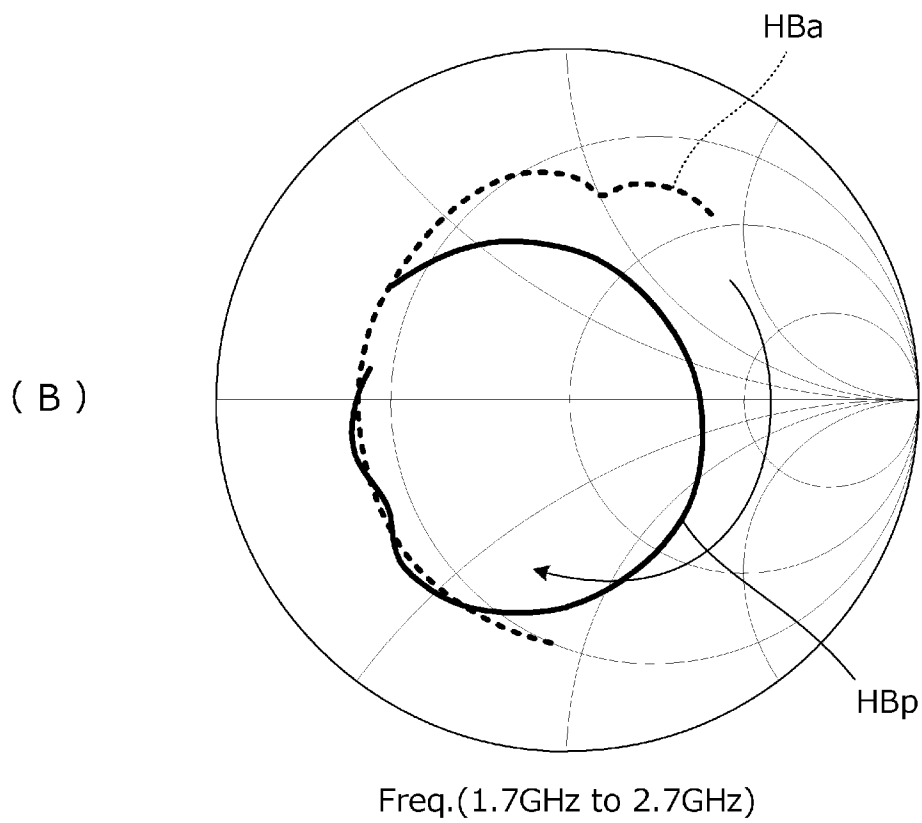
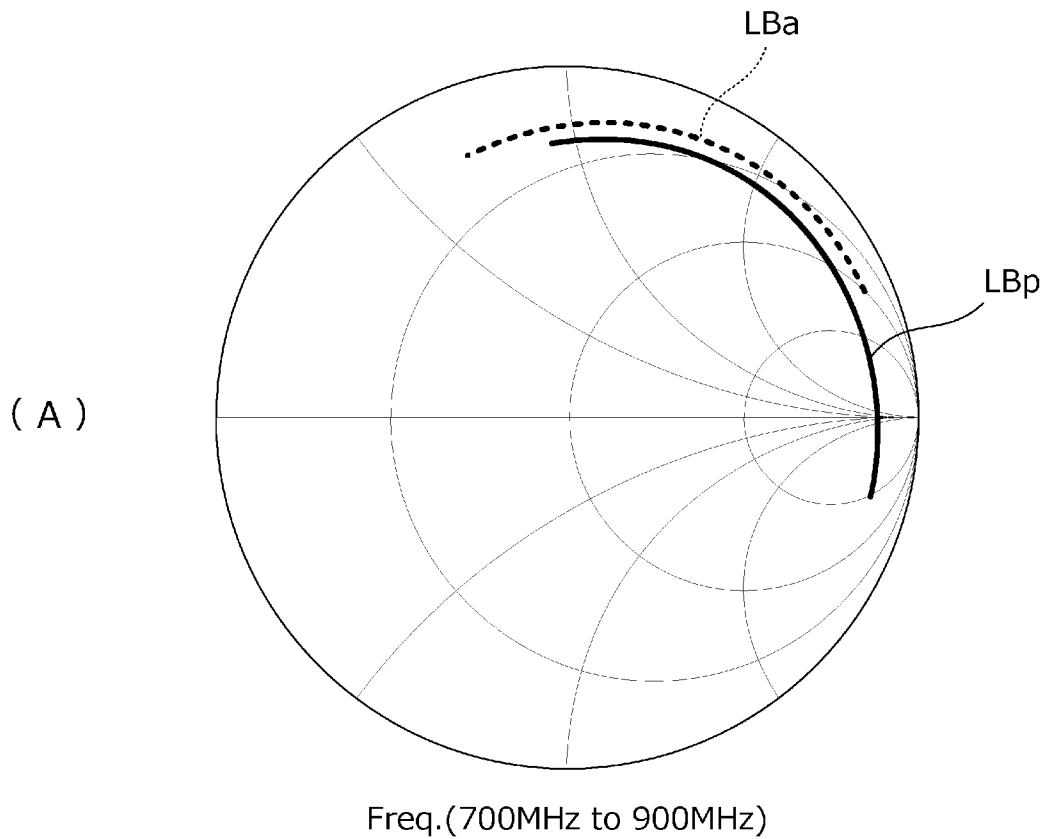
[図13]

Fig.13



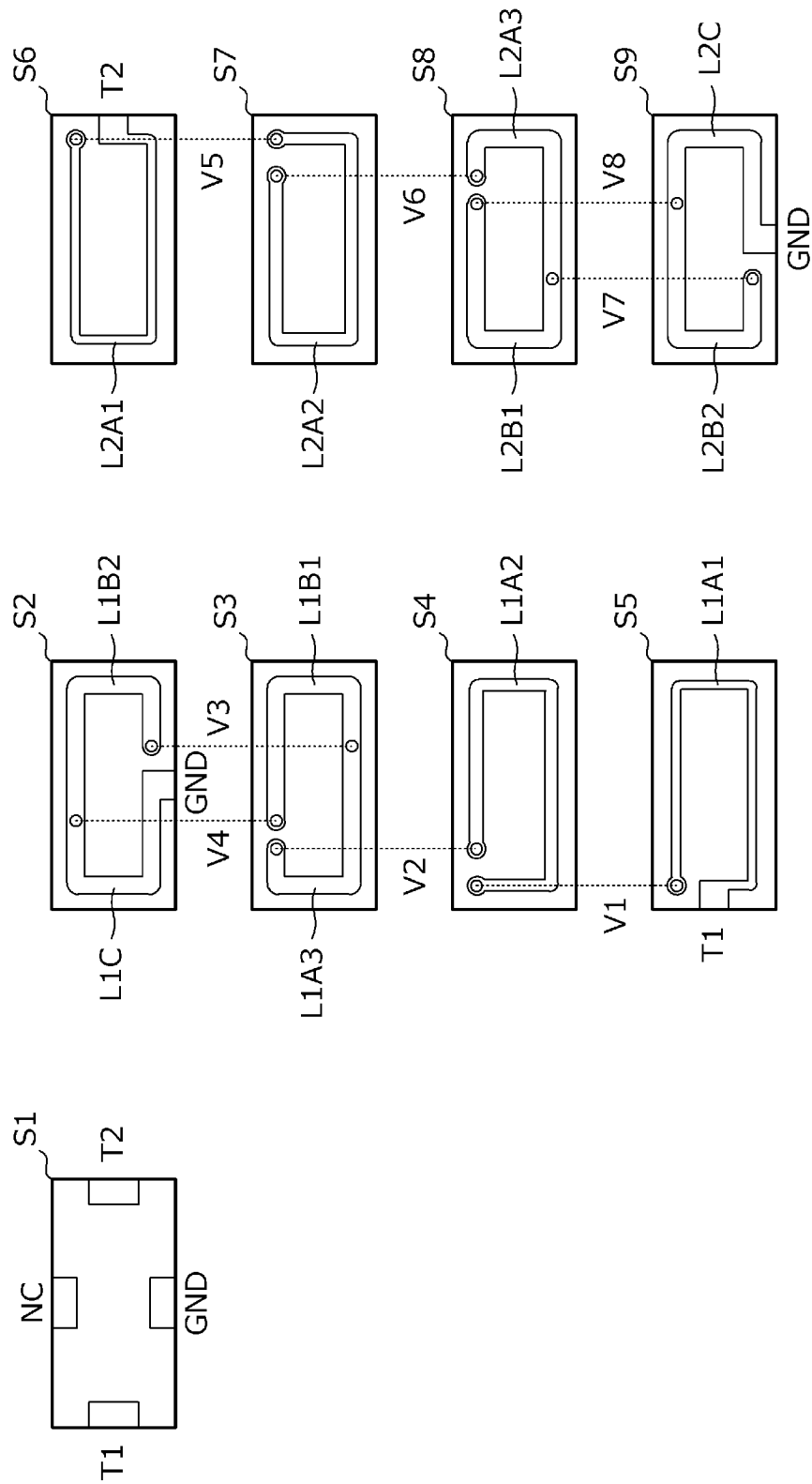
[図14]

Fig.14



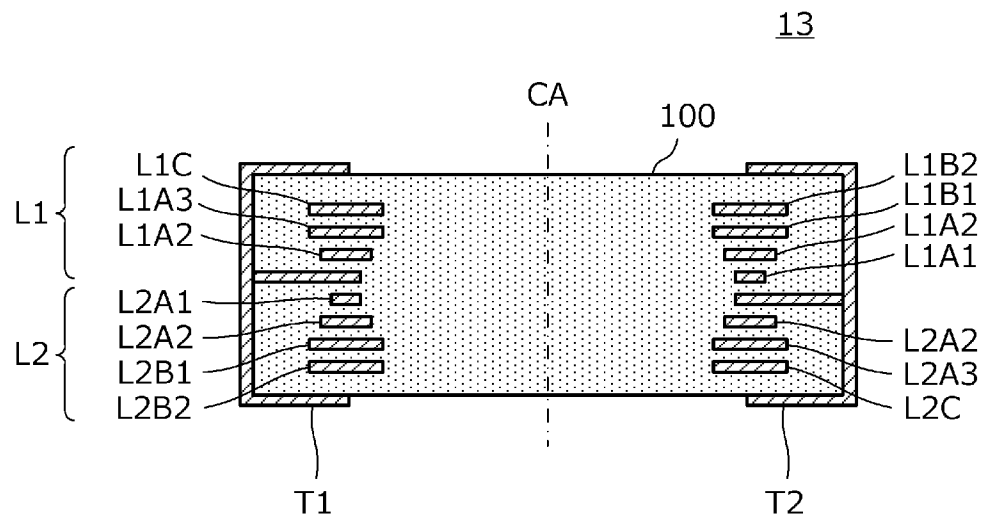
[図15]

Fig.15



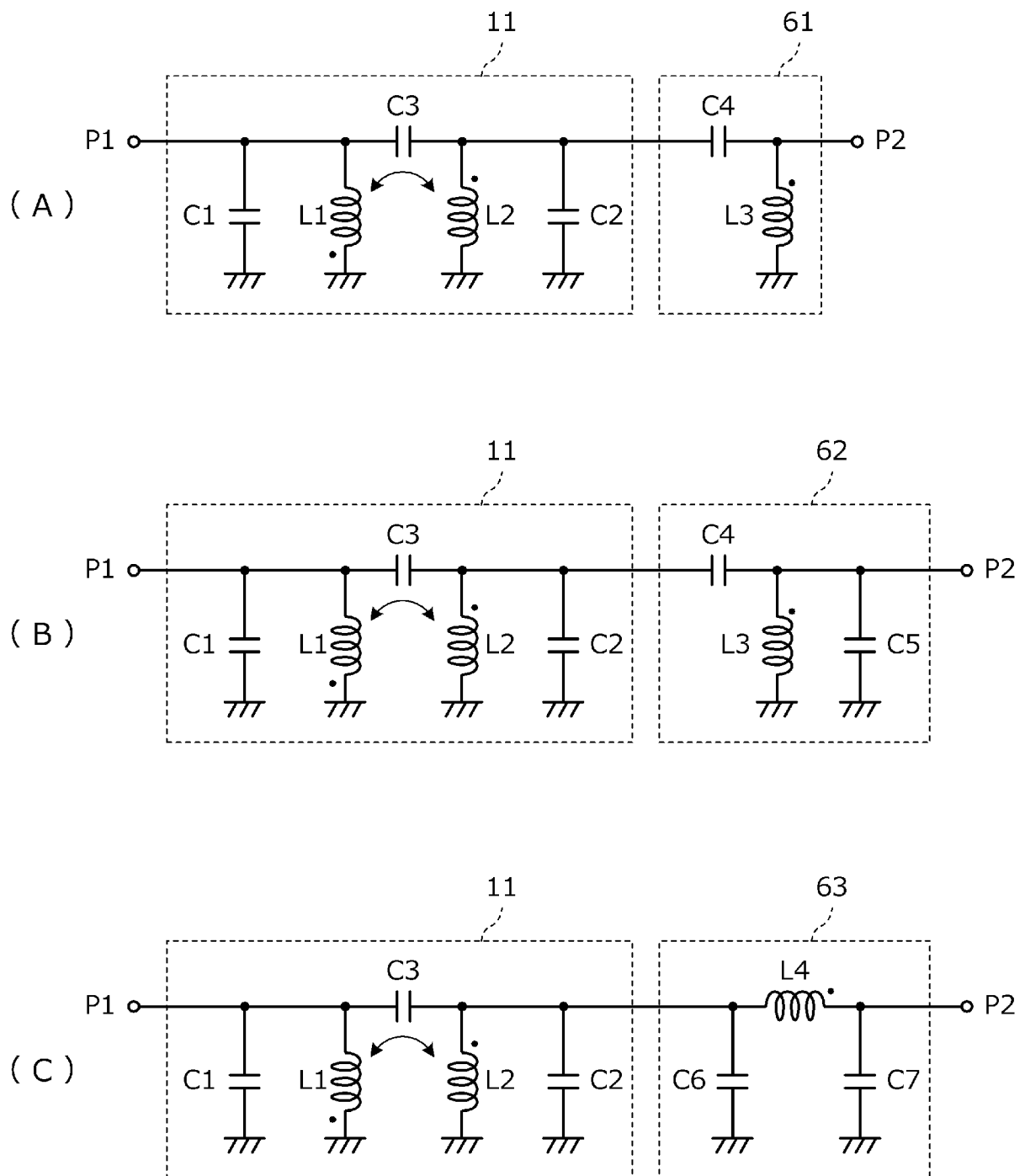
[図16]

Fig.16



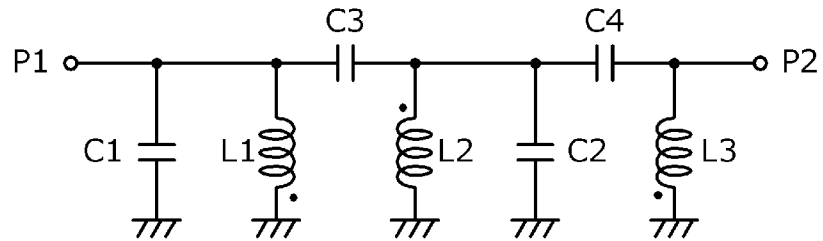
[図17]

Fig.17



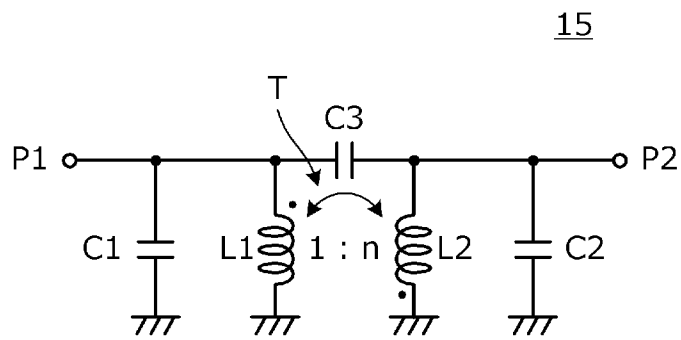
[図18]

Fig.18



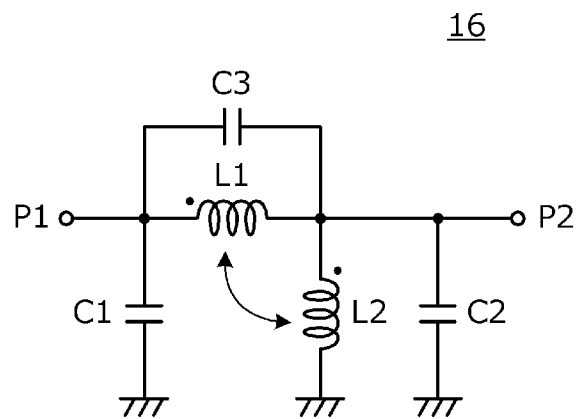
[図19]

Fig.19



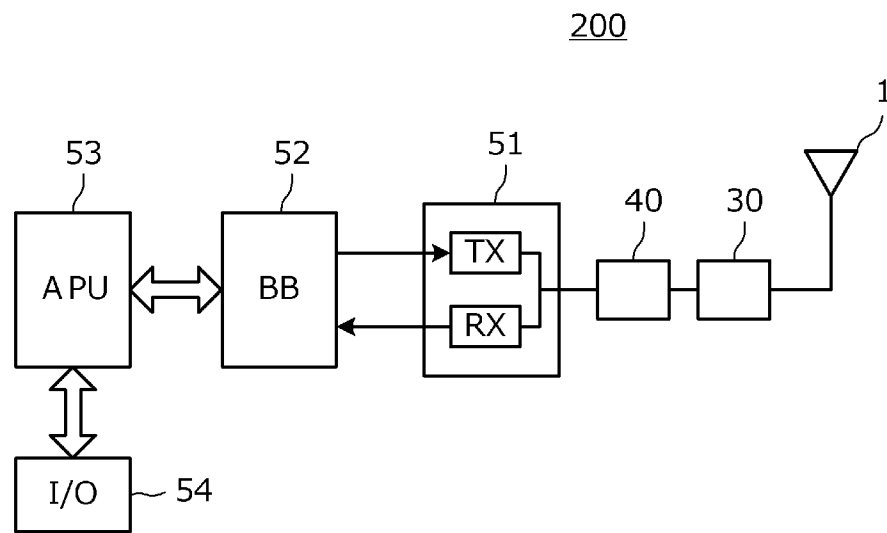
[図20]

Fig.20



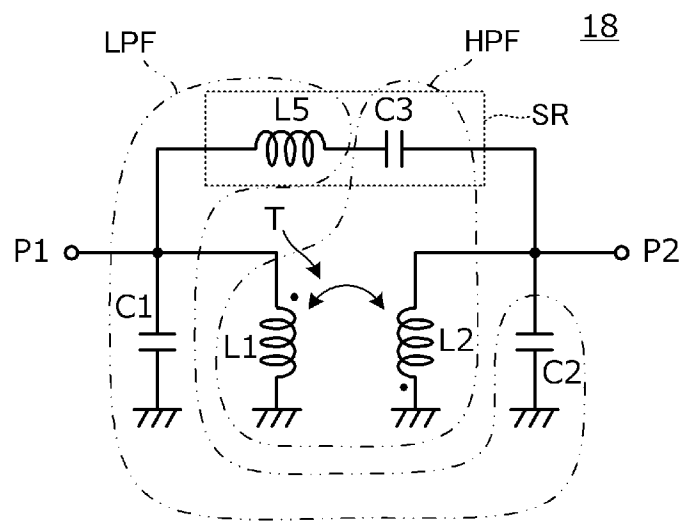
[図21]

Fig.21



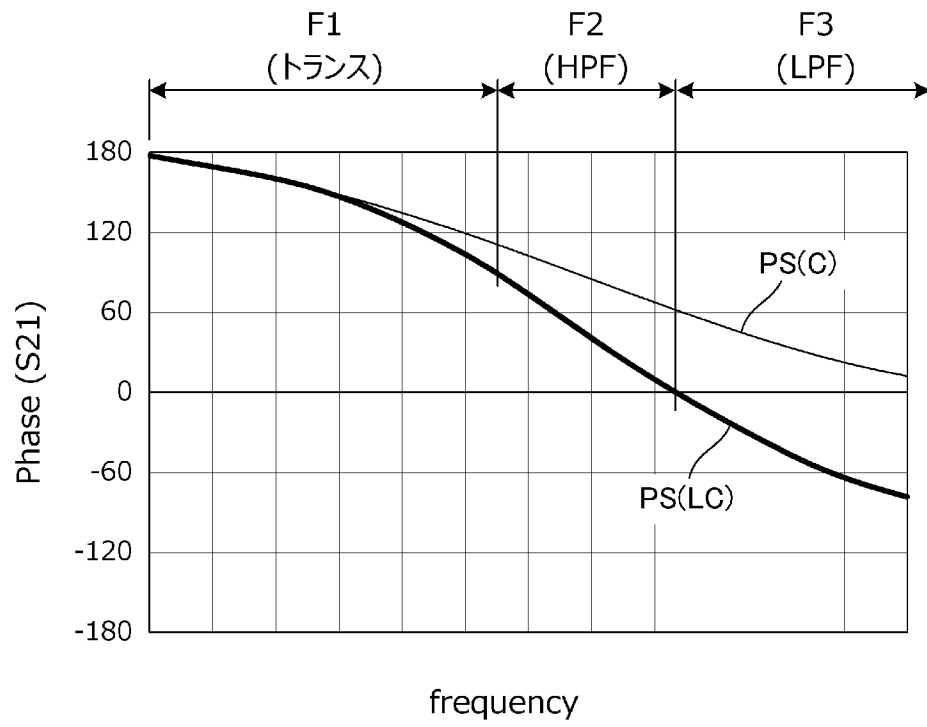
[図22]

Fig.22



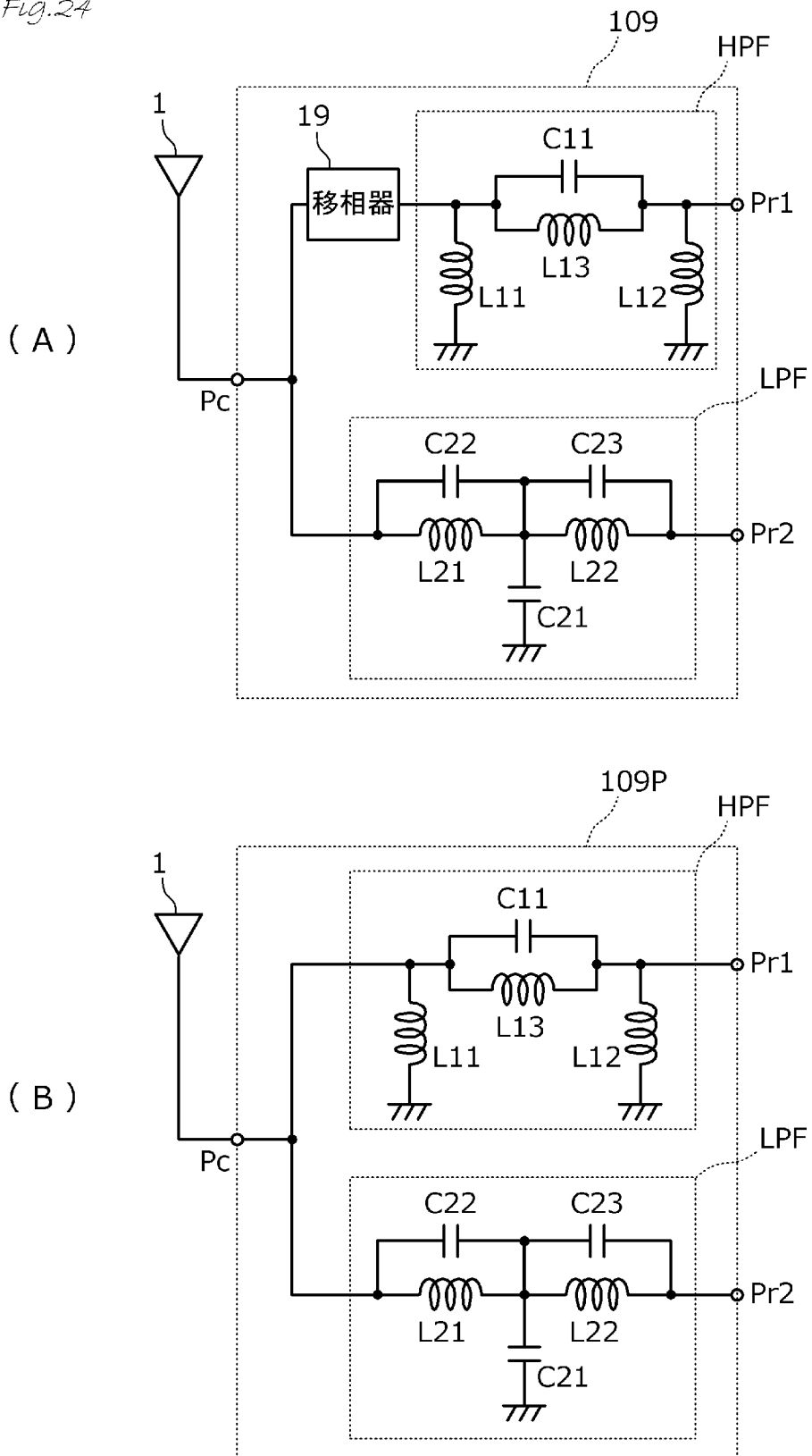
[図23]

Fig. 23



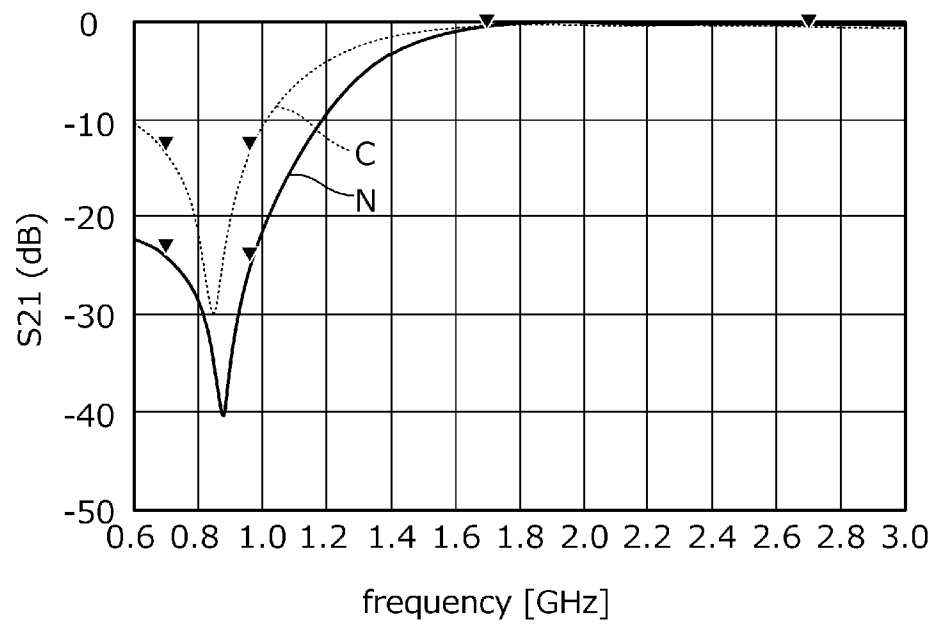
[図24]

Fig. 24



[図25]

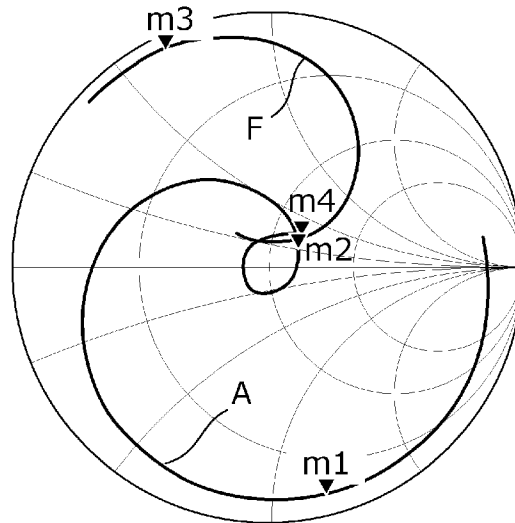
Fig. 25



[図26]

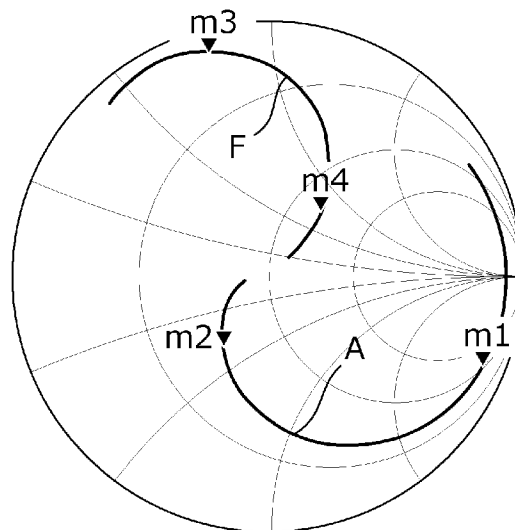
Fig.26

(A)



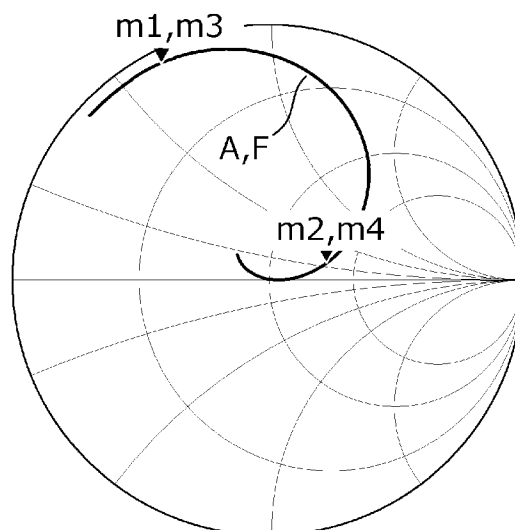
Freq.(700MHz to 3.0GHz)

(B)



Freq.(700MHz to 3.0GHz)

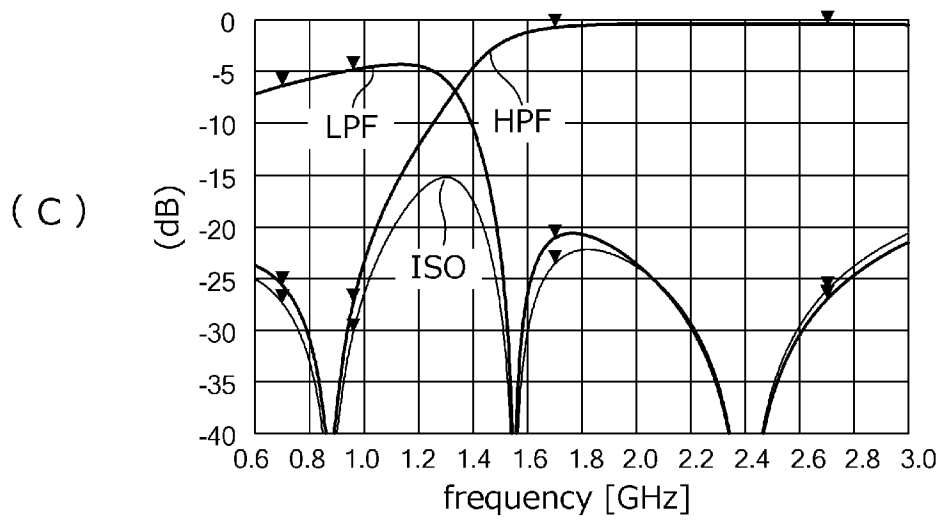
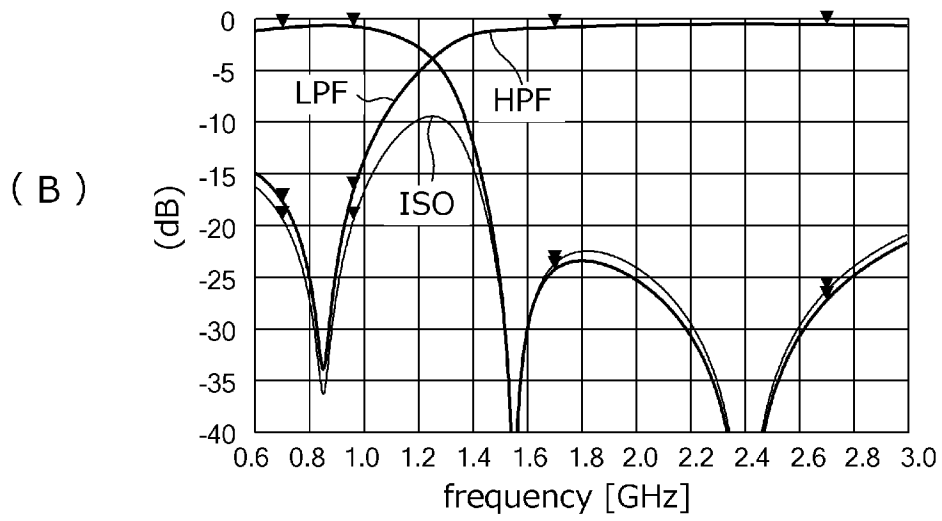
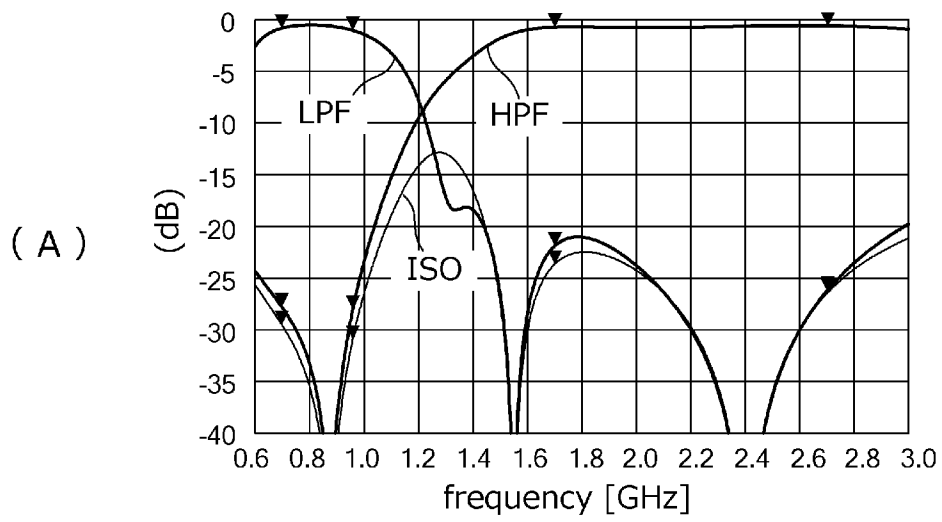
(C)



Freq.(700MHz to 3.0GHz)

[図27]

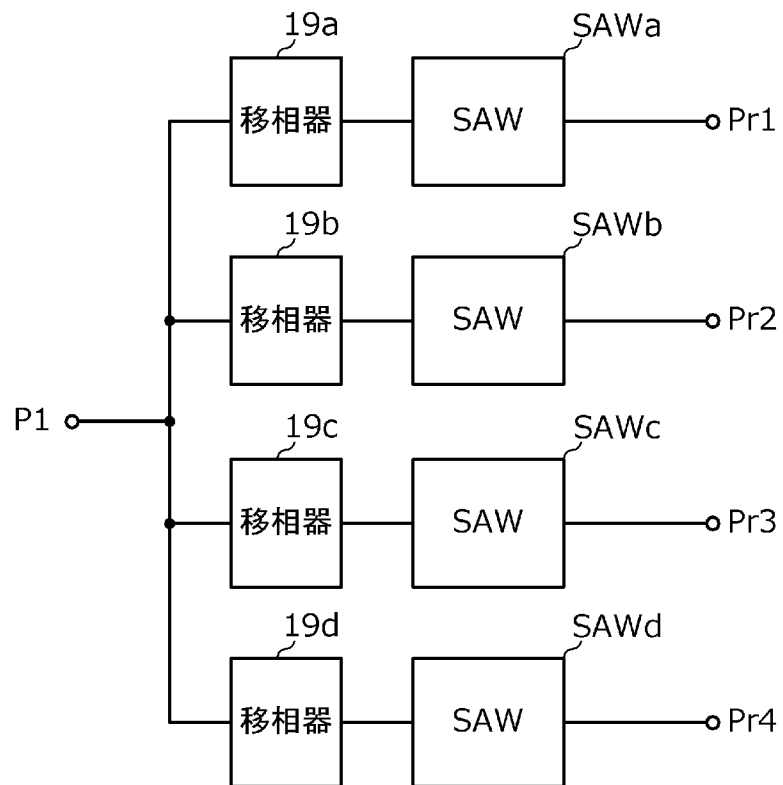
Fig. 27



[図28]

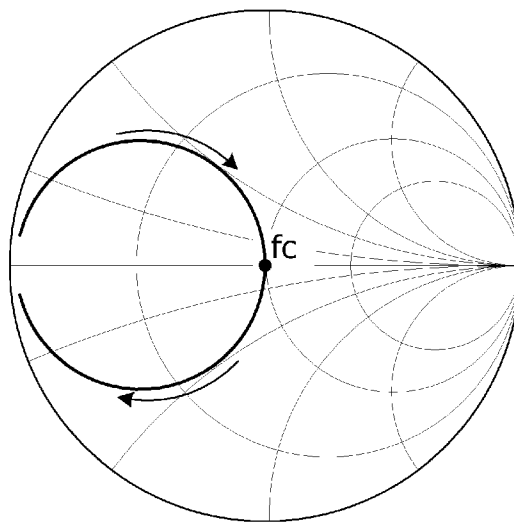
Fig.28

110



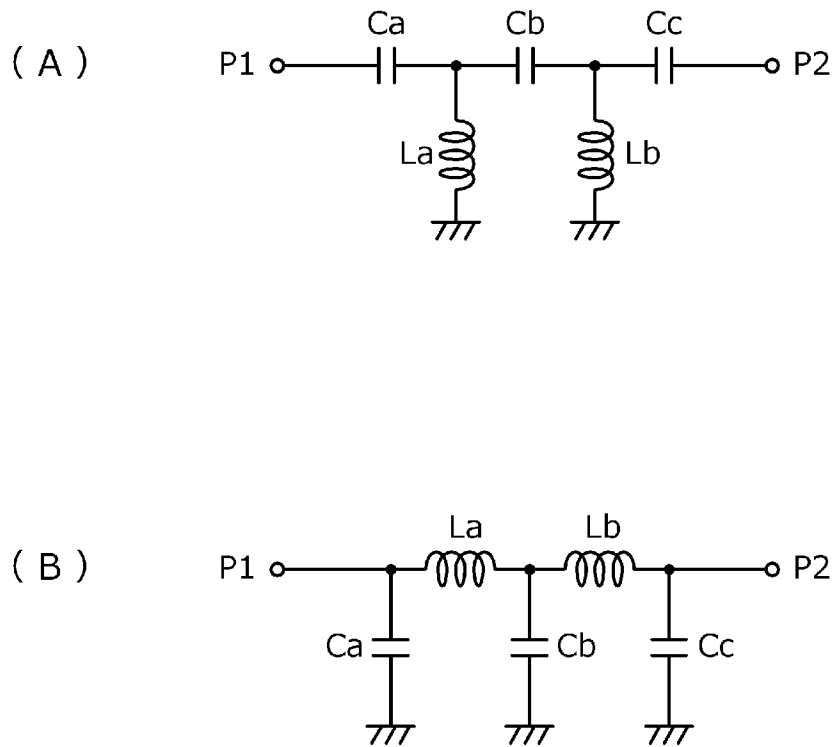
[図29]

Fig.29



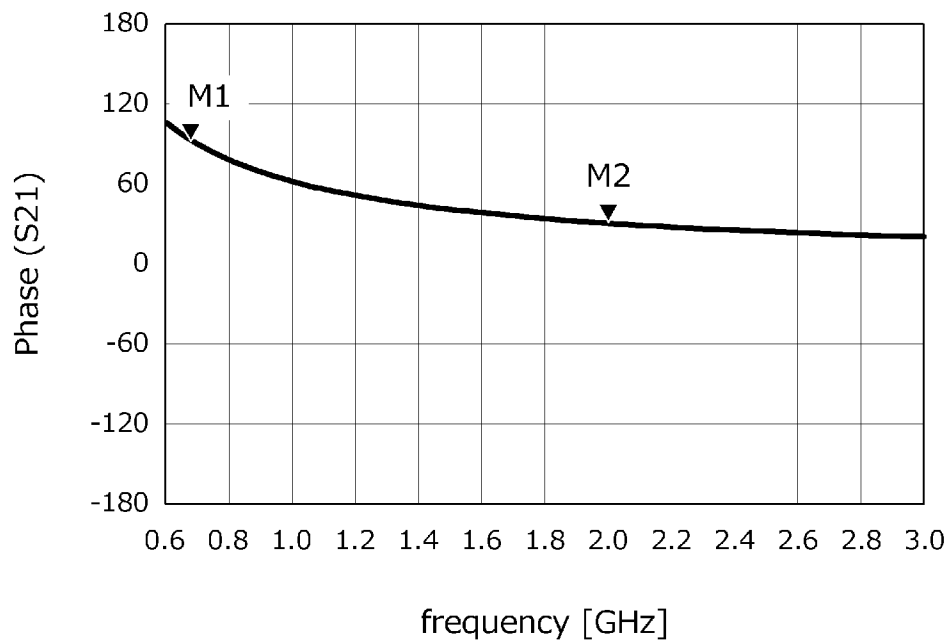
[図30]

Fig.30



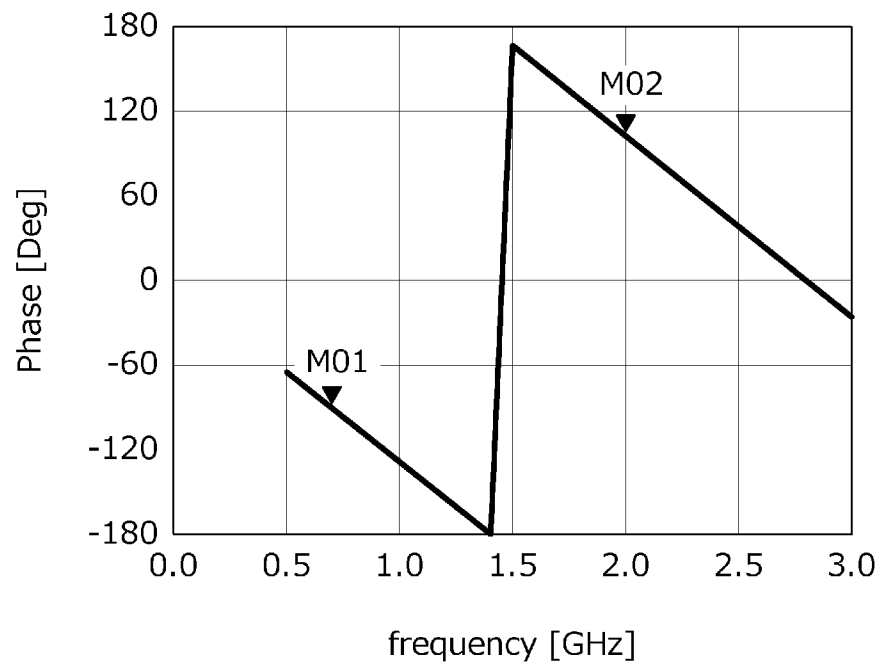
[図31]

Fig.31



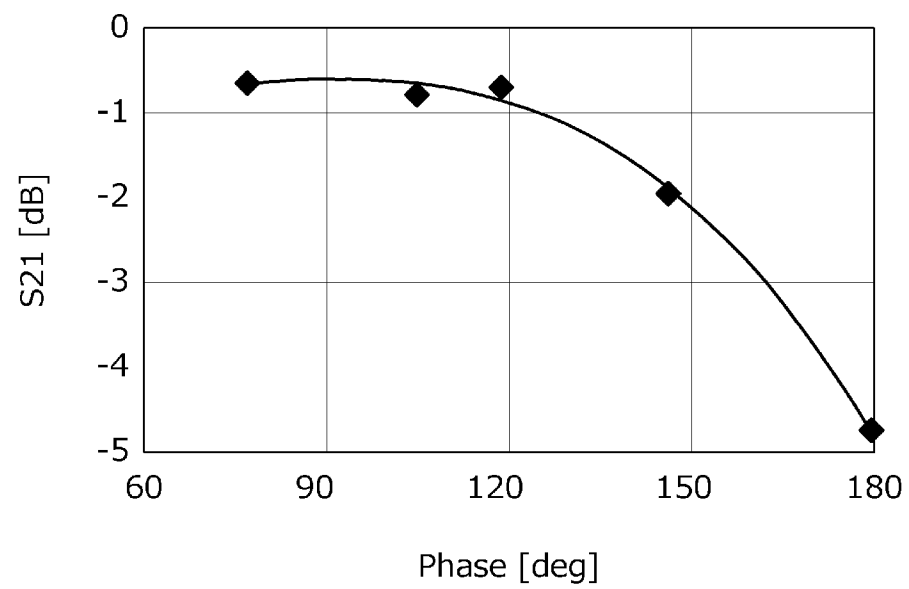
[図32]

Fig.32



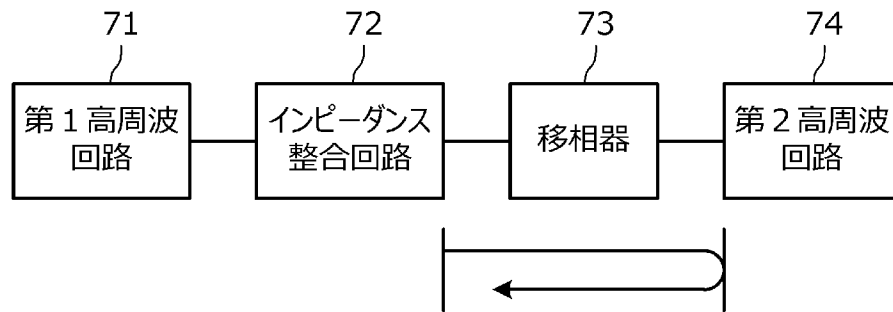
[図33]

Fig.33



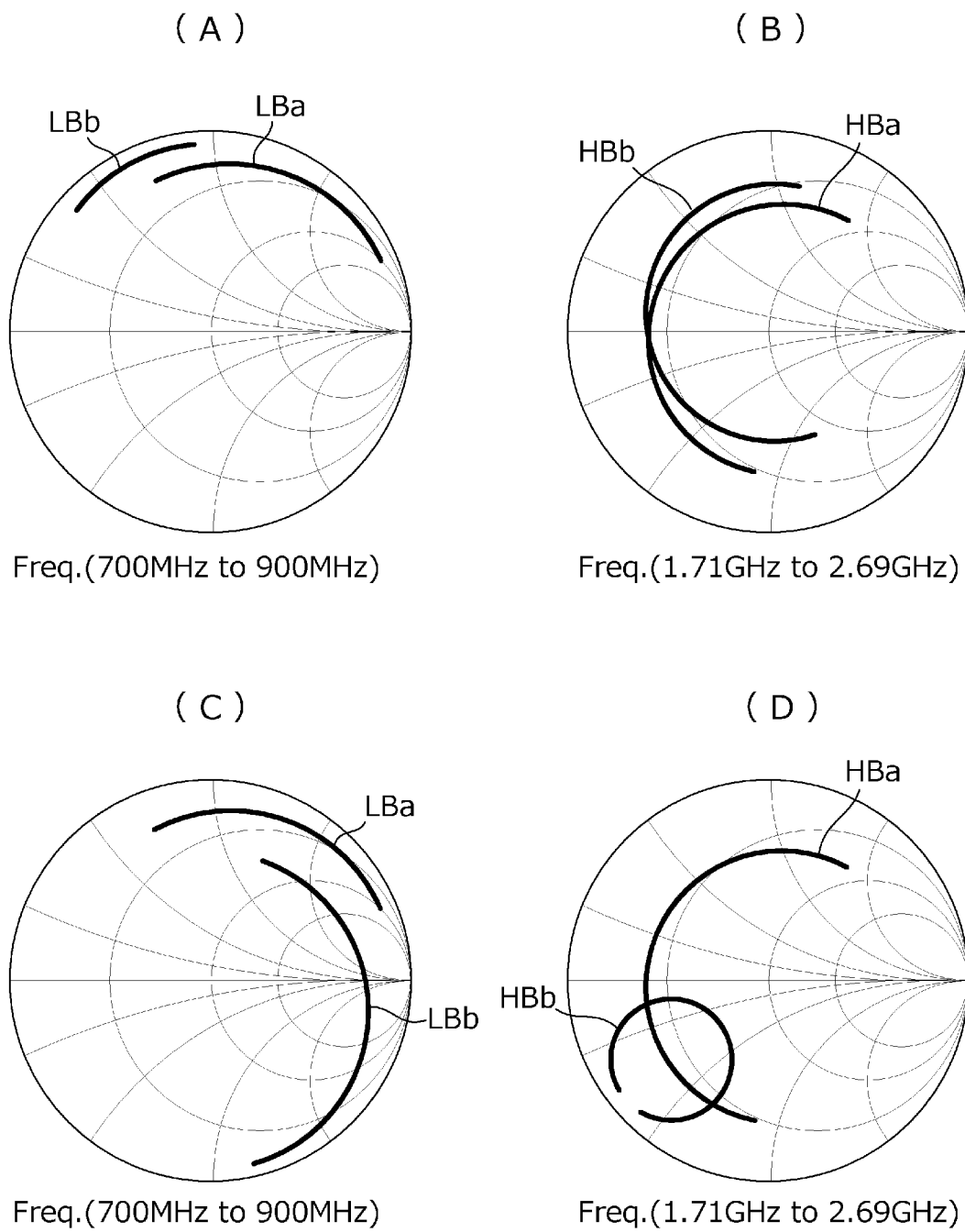
[図34]

Fig. 34



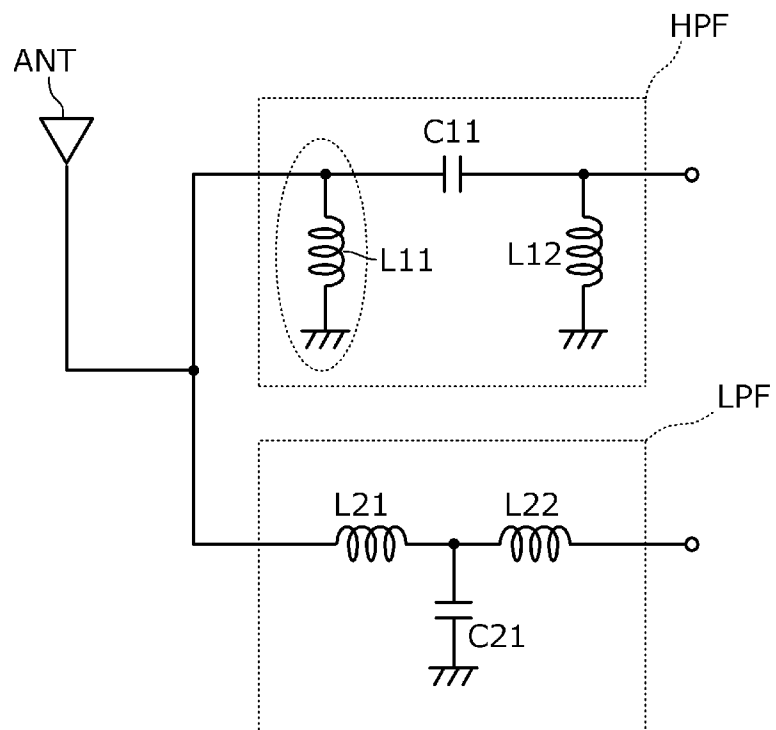
[図35]

Fig.35



[図36]

Fig. 36



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057914

A. CLASSIFICATION OF SUBJECT MATTER

H03H7/18(2006.01)i, H03H7/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/18, H03H7/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-38368 A (TDK Corp.), 07 February 1995 (07.02.1995), fig. 1 to 5 (Family: none)	1-17
A	JP 2015-56756 A (Fujitsu Semiconductor Ltd.), 23 March 2015 (23.03.2015), paragraph [0013]; fig. 1 & US 2015/0070242 A1 paragraph [0032]; fig. 1	1-17
A	JP 2012-235402 A (Murata Mfg. Co., Ltd.), 29 November 2012 (29.11.2012), fig. 1 to 7 (Family: none)	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 May 2016 (23.05.16)

Date of mailing of the international search report
31 May 2016 (31.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057914

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-318701 A (Sanyo Electric Co., Ltd.), 07 November 2003 (07.11.2003), fig. 3 (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H7/18(2006.01)i, H03H7/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H7/18, H03H7/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-38368 A（ディーディーケイ株式会社）1995.02.07, 図1-5（ファミリーなし）	1-17
A	JP 2015-56756 A（富士通セミコンダクター株式会社）2015.03.23, [0013], 図1 & US 2015/0070242 A1, [0032], FIG. 1	1-17
A	JP 2012-235402 A（株式会社村田製作所）2012.11.29, 図1-7（ファミリーなし）	1-17
A	JP 2003-318701 A（三洋電機株式会社）2003.11.07, 図3（ファミリーなし）	1-17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.05.2016

国際調査報告の発送日

31.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橋本 和志

5W

4183

電話番号 03-3581-1101 内線 3576