

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4838476号
(P4838476)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.

F 1

B81C 1/00 (2006.01)
G01P 15/125 (2006.01)
H01L 29/84 (2006.01)B81C 1/00
G01P 15/125
H01L 29/84Z
Z

請求項の数 7 (全 12 頁)

(21) 出願番号 特願2001-558361 (P2001-558361)
 (86) (22) 出願日 平成12年12月28日 (2000.12.28)
 (65) 公表番号 特表2003-531017 (P2003-531017A)
 (43) 公表日 平成15年10月21日 (2003.10.21)
 (86) 國際出願番号 PCT/DE2000/004673
 (87) 國際公開番号 WO2001/058803
 (87) 國際公開日 平成13年8月16日 (2001.8.16)
 審査請求日 平成19年12月26日 (2007.12.26)
 (31) 優先権主張番号 100 06 035.8
 (32) 優先日 平成12年2月10日 (2000.2.10)
 (33) 優先権主張国 ドイツ (DE)

(73) 特許権者 390023711
 ローベルト ポツシュ ゲゼルシヤフト
 ミツト ベシユレンクテル ハフツング
 ROBERT BOSCH GMBH
 ドイツ連邦共和国 シュツットガルト (番地なし)
 Stuttgart, Germany
 (74) 代理人 100061815
 弁理士 矢野 敏雄
 (74) 代理人 100099483
 弁理士 久野 琢也
 (74) 代理人 100114890
 弁理士 アインゼル・フェリックス=ライ
 ハルト

最終頁に続く

(54) 【発明の名称】マイクロマシーニング構造素子の製造法および該方法により製造された構造素子

(57) 【特許請求の範囲】

【請求項 1】

少なくとも 1 つの空隙 (22) および少なくとも部分的に空隙 (22) 中に設けられた機能素子 (12) を有するマイクロマシーニング構造素子 (100) を製造する方法であつて、

その際、機能素子 (12) に、少なくとも、次に 1 つ以上のエッティング段階で形成される空隙 (22) の空間を一時的に少なくとも部分的に占める第 1 の犠牲層 (52) と直接的または間接的に境を接している範囲内で第 1 の保護層 (41) を備えさせ、その際に第 1 の保護層 (41) の材料は、第 1 の犠牲層 (52) をエッティングする少なくとも 1 つのエッティング媒体により、第 1 の保護層 (41) が十分にエッティングされないかまたは単に第 1 の犠牲層 (52) に関して減少したエッティング速度でエッティングされるように選択され、その際、機能素子 (12) とは反対側の第 1 の犠牲層 (52) の少なくとも 1 つの面上に第 1 の犠牲層 (52) の第 2 の保護層 (71) を設け、この場合第 2 の保護層 (71) の材料は、第 1 の犠牲層 (52) をエッティングする少なくとも 1 つのエッティング媒体により、第 2 の保護層 (71) が十分にエッティングされないかまたは単に第 1 の犠牲層 (52) に関して減少したエッティング速度でエッティングされるように選択され、その際、第 1 の犠牲層 (52) とは反対側の第 2 の保護層 (71) の面上に、空隙 (22) を少なくとも部分的に包囲するキャップ層 (20; 82) を設け、その際、機能素子 (12) は、直接的または間接的に第 2 の犠牲層 (31) と境を接し、この第 2 の犠牲層 (31) は、第 2 の犠牲層 (31) をエッティングする少なくとも 1 つのエッティング媒体により、機能素子 (100) が形成される。

10

20

12) が十分にエッティングされないかまたは単に第2の犠牲層(31)に関して減少したエッティング速度でエッティングされるように選択され、この場合、機能素子(12)ならびに第1の犠牲層(52)および/または第2の犠牲層(31)には、同じ材料が選択される、マイクロマシーニング構造素子(100)の製造法。

【請求項2】

少なくとも1つの空隙(22)および少なくとも部分的に空隙(22)中に設けられた機能層(13a、13b、13c)を有するマイクロマシーニング構造素子(100)を製造する方法であって、

その際、機能層(13a、13b、13c)に、少なくとも、次に1つ以上のエッティング段階で形成される空隙(22)の空間を一時的に少なくとも部分的に占める第1の犠牲層(52)と直接的または間接的に境を接している範囲内で第1の保護層(41)を備えさせ、その際に第1の保護層(41)の材料は、第1の犠牲層(52)をエッティングする少なくとも1つのエッティング媒体により、第1の保護層(41)が十分にエッティングされないかまたは単に第1の犠牲層(52)に関して減少したエッティング速度でエッティングされるように選択され、その際、機能層(13a、13b、13c)とは反対側の第1の犠牲層(52)の少なくとも1つの面上に第1の犠牲層(52)の第2の保護層(71)を設け、この場合第2の保護層(71)の材料は、第1の犠牲層(52)をエッティングする少なくとも1つのエッティング媒体により、第2の保護層(71)が十分にエッティングされないかまたは単に第1の犠牲層(52)に関して減少したエッティング速度でエッティングされるように選択され、その際、第1の犠牲層(52)とは反対側の第2の保護層(71)の面上に、空隙(22)を少なくとも部分的に包囲するキャップ層(20；82)を設け、その際、機能層(13a、13b、13c)は、直接的または間接的に第2の犠牲層(31)と境を接し、この第2の犠牲層(31)は、第2の犠牲層(31)をエッティングする少なくとも1つのエッティング媒体により、機能層(13a、13b、13c)が十分にエッティングされないかまたは単に第2の犠牲層(31)に関して減少したエッティング速度でエッティングされるように選択され、この場合、機能層(13a、13b、13c)ならびに第1の犠牲層(52)および/または第2の犠牲層(31)には、同じ材料が選択される、マイクロマシーニング構造素子(100)の製造法。

【請求項3】

機能素子(12)および/または機能層(13a、13b、13c)には、多結晶性であるシリコンが選択される、請求項1または2記載の方法。

【請求項4】

機能素子(12)および/または機能層(13a、13b、13c)と第2の犠牲層(31)との間に第3の保護層を設け、この第3の保護層は、第2の犠牲層(31)をエッティングする少なくとも1つのエッティング媒体により、第3の保護層が十分にエッティングされないかまたは単に第2の犠牲層(31)に関して減少したエッティング速度でエッティングされるように選択され、この場合第2の犠牲層(31)は、第1の犠牲層(52)と同じ材料から製造され、および/または第3の保護層は、第1の保護層および/または第2の保護層(41、71)と同じ材料から製造される、請求項1から3までのいずれか1項に記載の方法。

【請求項5】

第1の保護層(41)および第2の保護層(71)が第1の犠牲層(52)を包囲し、および/または第3の保護層および第4の保護層が第2の犠牲層(31)を十分に完全に包囲する、請求項1から4までのいずれか1項に記載の方法。

【請求項6】

第1の保護層(41)および/または第2の保護層(71)および/または第3の保護層および/または第4の保護層には、少なくとも部分的に同じ材料を選択する、請求項1から5までのいずれか1項に記載の方法。

【請求項7】

第1の犠牲層(52)および/または第2の犠牲層(31)を1つ以上の等方性のエッ

10

20

30

40

50

チング工程で除去する、請求項 1 から 6 までのいずれか 1 項に記載の方法。

【発明の詳細な説明】

【0001】

技術水準

本発明は、当該独立請求項の上位概念に記載された、マイクロマシーニング構造素子の製造法およびこの方法により製造されたマイクロマシーニング構造素子から出発する。ドイツ連邦共和国特許出願公開第 19537814 号明細書 A1 には、センサー層状系の構造および表面マイクロマシーニング技術におけるセンサーを気密にキャッピングする方法に関する。

【0002】

10

発明の利点

これとは異なり、当該独立請求項の特徴部を有する本発明による方法は、殊に気密に密閉された構造素子を安価に製造することができるという利点を有する。従属請求項に記載された手段によって、本方法および構造素子の好ましい他の形成および改善は、当該独立請求項の記載により可能である。

【0003】

本発明による構造素子は、公知の構造素子と比較してキャッピングに必要とされる表面積の明らかな減少を示し、このことは、表面積の節約のために重要な費用の節約を伴なう。本発明による構造素子、例えばセンサーの場合には、構造素子中に設けられた可動構造体のための運動の自由度は、そのまま維持され、実際に前記の運動の自由度のために約 2 μ m を超える側方への振幅を達成しなければならない場合であってもそのまま維持される。これは、例えば可動構造体または機能素子が回転振動体の場合である。他面、可動構造体の最大の偏向は、例えばセンサーの際にこのセンサーに対して垂直方向に約 2 ~ 20 μ m の振幅に制限することができ、このことは、殊に公知の構造素子に対して本発明による構造素子の落下強度を明らかに上昇させる。可動構造体またはセンサー構造体は、本発明による構造素子において気密および / または水密になるように空隙によって包囲されており、したがって例えば空隙内に封入されているガスのガス圧により、可動構造体またはセンサー構造体の運動の定義された長時間安定な緩衝性を空隙内で調節することができる。本発明によるキャッピングは、高いマシーニング安定性を示し、したがって本発明による構造素子は、例えば所謂成形圧力の際にマイクロマシーニング構造素子の梱包過程の間にプラスチックケーシング内で発生するような静水圧に苦労もなく耐える。最後に、本発明による構造素子または本発明によるセンサーは、低いトポグラフィー (Topographie) を示し、それによって例えば構造素子の取付けの際に所謂フリップチップ技術の使用が可能になる。

20

【0004】

30

本発明による方法の場合、好ましくは、約 2 μ m を上廻る厚さを有する酸化物層の公知の使用は省略される。むしろ、有利に十分に多結晶性シリコン中に形成されている厚手の層が使用され、それによって機械的応力は、異なる熱膨張係数に基づいて明らかに減少させることができる。これは、基板の著しく改善された平坦性を生じる。本発明による方法は、光学的リソグラフィー工程の問題のない使用を可能にする。それというのも、6 μ m を上廻るトポグラフィーは、有利に回避されるからである。最後に、好ましくは、マイクロマシーニング構造素子において 1 つ以上の犠牲層 (充填材料) を除去する、1 つ以上の等方性のエッティング法は、例えば可動構造体を有する空隙の製造のために使用される。このような等方性の (シリコン) エッティング法は、エッティング媒体 XeF₂、ClF₃、ClF₅ またはプラズマ活性化された NF₃、Ar / F₂ もしくは SF₆ が使用される方法である。この場合には、公知方法と比較して、除去すべき充填材料の高い削磨速度の際に露出させるべき構造体が接着することの危険なしに除去が行なわれる。

40

【0005】

次に、本発明を必要に応じて一定尺度から外れた図面につき詳説し、この場合同じ参照符号は、同じかまたは同様に作用する層または部分を表わす。

50

【0006】

図2に表わされた基板10上には、加速センサー100のセンサー素子12が構造化されている。これは、ばね体16（これは、分かり易くするために、図1には単に唯一のばね体16が表わされている）に配置された可動中心物体または震動物体11aからなり、これらの物体は、ばね体に対して垂直に設けられた電極フィンガまたは電極11を有する。中心物体または震動物体11aは、ばね体16および固定化構造体17（これは、分かり易くするために、同様に単に1つだけが表わされている）上で基板10に丁番付けにされており、したがって中心物体11aは、この中心物体上に作用する加速度のために、本質的に電極フィンガ11に対して垂直方向である1つの方向に転向されうる。それによって、中心物体11aの位置は、固定された電極フィンガまたは対向電極12aおよび12bに対して変化される。この位置の変化は、公知方法で対向電極12aおよび12bでの電気的接触により評価され、ならびに外向きに案内されている導電路14aおよび14bにより評価される。3個の電極12a、11、12bは、それぞれ所謂インパルス列装置中に配置されており、この場合この装置は、側方向に隣接した2個の分離構造体または支持構造体13aの間に設けられた、それぞれ容量素子を形成する。可動電極フィンガ11の転向は、停止アーム18（これは、分かり易くするために、図1に単に1つだけが表わされている）および停止ノブ19a（x軸での転向）および19b（y軸での転向）によって制限されている。ばね体16の範囲内には、有利にばね体16の半分を阻止する停止ノブ19cおよび19dが設けられている。

【0007】

10

また、本発明によれば、2個以上の容量素子が2個の隣接した支持構造体13aの間に設けられていてよいことは、自明のことである。更に、中心物体11a中の切欠を通して係合されかつ基板10と結合されている支持構造体は、選択的または補充的に設けられていてよい（図示されていない）。

【0008】

20

支持構造体13aは、有利には完全にシリコン中に形成されており、それによって、以下図3～12につき記載された、本発明による構造素子を製造するための本発明による方法の場合のように、犠牲層のエッティング、即ち下部の犠牲層31および上部の犠牲層52のエッティングまたは除去の際に（図10および11参照）、支持構造体13aの下部でのエッティングは、有效地に回避される。導電路14aおよび14bは、支持構造体13cを通して支持構造体13a中に延在し、この場合犠牲層は、導電路を支持構造体から絶縁する。加速センサー100の接点15に対向した支持構造体13bは、導電路14aと14bまたは対向電極12aと12bの外部接触のために同様に14aと14bのための電気的に絶縁されたスルーホールを有する。

30

【0009】

次に、図3～図12につき詳細に記載された連続プロセスを用いた場合には、なかんずく支持するキャップ層20は、図1に部分的断面図で表された加速センサー100上に製造されている。キャップ層20は、結合部23により、空隙22が容量素子上に固定されるように支持構造体13a上に貯蔵される。空隙22は、有利に約20μm～200μmの範囲内の間にある固定幅を有する。キャップ層20は、加速センサー100の製造法において使用される犠牲層31および52を選択的に構造素子構造体に関連してエッティングしうるかまたは除去しうるために、分かり易いように単に2つの参照符号21で示されている穿孔21を備えている。犠牲層のエッティング後に、構造素子または加速センサー100の穿孔21は、密閉層24によって気密になるように閉鎖される。加速センサーまたはジャイロメーターのためには、真空またはガスを定義された圧力で空隙22内で機能素子、例えば可動電極フィンガ11の運動の定義された緩衝性を調節するために封入することができる。更に、別の構造素子、例えばアクチュエーターの場合には、適当な粘度を有する絶縁性液体、例えば油状液体の使用も考えることができる。

40

【0010】

図3は、深部構造化後および犠牲層エッティング前であるような、例示的に図2中でAで示

50

された、加速センサーの部分のための加速センサー 100 のセンサー構造体の原理的な構造を示す。支持体 10 上には、例えば 1 つ以上の SiO₂ 層からなることができる犠牲層 31 が付着されている。更に、犠牲層 31 上には、センサー素子または機能素子 12 が付着されており、この素子は、薄手のポリ-Si-種晶層 12 (出発ポリ) 上に付着されたエピポリシリコン、即ちエピタキシャルにより製造された多結晶性シリコンからなることができる。Si 深部構造化法 (トレンチエッティング) において、加速センサー 100 のセンサー素子 12、例えば固定されている電極フィンガ 12a および 12b ならびに可動中心物体 11a に対して垂直に配置された電極フィンガ 11 が製造される。犠牲層のエッティングの前に、この機能素子は、犠牲層 31 上に堅固に固定されている。平面 12 の付着および構造化の場合には、犠牲層 31 の前構造化によって、基板 10 に対する固定部、支持構造体 13a、を製造することができる。

【0011】

図 4 に示されているように、CVD 法を用いて約 10 nm ~ 1 μm の薄手の第 1 の保護層 41 は、センサー素子 12 の全体の上に付着される。それによって、第 1 の保護層 41 の範囲 41a および 41b の範囲内で、所謂電気機械的機能平面上でのセンサー素子 12 の完全な被覆を生じる。保護層 41 の範囲 41c で下部の犠牲層 31 は被覆されている。本発明によれば、保護層 41 がこの保護層 41 とは異なる材料からなる、電気化学的機能平面上でのセンサー素子 12、例えば殊に可動電極フィンガ 11 および対向電極 12a および 12b、ならびに加速センサー 100 の別の構成成分、例えば支持構造体 13a を気密に被覆していることに注目することができる。保護層 41 は、有利に SiO₂ からなる。更に、下部の犠牲層 31 は、例えばこの実施例に記載されているような SiO₂ からなることができる。

【0012】

犠牲層 31 は、選択的な実施態様の場合に他の保護層中に封入されていてよく (図示されていない)、さらに好ましくは多結晶性シリコンから製造されている。

【0013】

保護層 41 を製造するのに好ましい付着法は、CVD 法、例えば PECD (プラズマ強化 CVD) または LPCVD (低圧 CVD) であり、この場合には、電気化学的機能平面上でのセンサー素子 12 の構成成分の側面、範囲 41b、のできるだけ良好な被覆に注目することができる。

【0014】

図 5 に示されているように、もう 1 つの処理工程において、保護層 41 上には、薄手の出発 - ポリ - Si 層 51、即ち種晶層または核形成層の機能を有する多結晶性シリコン層が付着される。大きなアスペクト比、即ちセンサー素子 12 の領域 51c 内での間隙の高さと間隙幅との比に基づいて、出発 - ポリ - Si 層 51 は、なかんずくセンサー素子 12 上での上側領域 51a 内に付着し、センサー素子 12 の側壁 51b での付着は、この側壁の上側領域内でのみ行なわれることが生じる。保護層 41 の領域 41c の上方でのセンサー素子 12 の脚部の領域 51c は、センサー素子 12 の電極間または支持構造体間での間隙幅がよりいっそう大きい場合にのみ出発 - ポリ - Si 層 51 で被覆される。出発 - ポリ - Si 層 51 上には、エピタキシー法または LPCVD 法で多結晶性シリコン層、所謂充填 - エピポリ - Si 層、犠牲層 52、が施こされており、この場合出発 - ポリ - Si 層 51 は、上部の犠牲層 52 に合併されている。「エピ」は、「エピタキシャル」を意味し、「ポリ」は、「多結晶性」を表わす。上部の犠牲層 52 は、付着の際に既に焼がドープされていてよいが；しかし、好ましくは、ドープされないで付着される。上部の犠牲層 52 の層厚は、センサー素子 12 が完全に上部の犠牲層によって被覆されるように選択されている。これは、典型的には、約 5 ~ 30 μm の層厚の場合である。

【0015】

このような層厚の充填 - エピポリ - Si 層または犠牲層は、一般に著しい荒さを有する。その上、センサー素子 12 の微細構成部 (Topographie) は、上部の犠牲層 52 中に打ち込まれている。従って、センサー素子 12 の微細構成部および上部の犠牲層 52 の粗面は

10

20

30

40

50

、もう1つの処理工程で平坦化される。これは、化学機械研磨（C M P）によって行なわれ、この場合には、上部の犠牲層52は、平面53になるまで薄くされる。平面53は、センサー素子12の上方に存在する。センサー素子12の上方の高さhは、ほぼ1～30μmの間にあり；好ましい高さは、約4～6μmである。

【0016】

平坦化後、上部の犠牲層52の構造化は、公知のSiエッチング法で、例えば図6に明示されているように行なわれる。この場合、上部の犠牲層52は、その中に可動センサー素子、例えばね体16、可動電極フィンガ11、固定電極フィンガまたは対向電極12aおよび12bならびに中心物体または震動物体11aが配置されている領域内に放置されている。上部の犠牲層52は、分離構造体または支持構造体13aの上方で酸化シリコン保護層41に到るまで下向きに距離を有している。

10

【0017】

図7に相応して、構造化された上部の犠牲層52上には、第2の保護層71が施こされている。この保護層71は、有利に第1の保護層41と同じ材料、殊にSiO₂からなる。保護層71は、支持構造体13a上で領域72内で公知方法により距離を有している。本発明によれば、上部の犠牲層52は、加速センサー100の全体上で保護層41および71によって気密になるように包囲されており、センサー素子12と上部の犠牲層52との間が結合されていないことが保証されていなければならない。センサー素子12と上部の犠牲層52は、有利に同じ材料からなる。更に、保護層41および71が固定領域上または支持構造体13a上で互いの中へ移行しているかまたは互いに気密になるように存在していることは、好ましい。

20

【0018】

図8に示されているように、保護層71上および離れた領域72上には、全面的に約300nm～2μmの好ましい層厚を有する他の出発-ポリ-Si層または核形成層または種晶層81が施こされている。この出発-ポリ-Si層81上には、他のポリシリコン層82がエピタキシャル法またはLPCVD法で付着される。層厚は、有利に約2～50μmである。次に、ポリシリコン層82は、平面83に到るまで薄くされ、平坦化される。第2の保護層71と平面83との間の残りの厚さkは、好ましくは約2～50μmである。ポリシリコン層82は、付着の際にドープされてもよいし、次の処理工程でドープされてもよい。

30

【0019】

即ち、本発明の本質的な視点は、機能層または機能素子を少なくとも部分的に包囲する空隙をマイクロマシーニング構造素子中に得るために、構造化されたポリ-Si-機能層、例えば可動センサー素子または他の機能素子を、例えば酸化シリコンからの有利に薄手の保護層で完全に被覆し（図4参照）、この薄手の保護層上に他の多結晶性シリコン層または充填層、上部の犠牲層、を付着させる（図5参照）ことにある。構造素子の構造体平面または機能層は、多結晶性シリコン層によって埋設されており、完全に被覆されている。

【0020】

更に、本発明の重要な視点は、上部の犠牲層を平坦化し、他の薄手の保護層で外向きに密閉することにある（図6および7参照）。上部の犠牲層を外向きに密閉する前記保護層上には、厚手のポリ-Si層が付着されており、この厚手のポリ-Si層は、支持層として構造素子またはセンサー・キャップを形成している（図8参照）。

40

【0021】

本発明によれば、上部の犠牲層は機能層と同じ材料からなることが設けられている。本発明により使用される犠牲層は、2つの緊密な保護層によって包囲されており、したがって犠牲層は、保護層に対して選択的にエッチングされることができるかまたはエッチングによって除去されることができる。更に、保護層は、下部の犠牲層のエッチングの際に除去される。この点において、充填層または上部の犠牲層の本発明による使用により、機能層中の大きな間隙幅が充填されていてもよいことは、好ましく、例えばこの機能層の1つの層は、センサーである（図5参照）。それによって、構造素子の設計の場合またはセンサ

50

ーの設計の場合には、高い自由度を達成することができ、殊にこのことは、構造素子またはセンサー中に設けられた振動構造体または可動構造体の運動の自由度を許容しうる。

【 0 0 2 2 】

上部の犠牲層の平坦化工程により(図8参照)、微細構成部は平準化され、それによってさらに上部の犠牲層の構造化は、フォトリソグラフィーによって可能である。この種の平坦化は、充填層材料または犠牲層としてのシリコンの本発明による使用によって初めて可能となる。本発明による方法の場合には、好ましくは、等方性のシリコンエッティング工程が使用され、このシリコンエッティング工程は、上部の犠牲層または充填層の残留物を含まない迅速な除去を可能にする。

【 0 0 2 3 】

本発明による方法のもう1つの方法は、機能層またはセンサー素子を外部接触させるための金属接点およびセンサー素子によって発信される、評価のための測定信号の他の導線を処理の終結時に初めて取り付けることにある。

【 0 0 2 4 】

本発明による方法は、多数のセンサー構造素子およびアクチュエーター構造素子の製造のために表面マイクロマシーニング技術において使用されることがある。同様に、センサー構造体またはアクチュエーター構造体をこれらの構造体から発信される測定信号を評価するための評価回路と一緒に唯一のチップ上に組み込むことができる。

【 0 0 2 5 】

ポリシリコン層82の平坦化およびドーピングの後に、このポリシリコン層には、塗料マスクまたは酸化物マスク83が設けられ、このポリシリコン層は、公知のシリコン深部エッティング法で構造化される(図9参照)。この場合、ポリシリコン層82によって穿孔84は、上部の犠牲層52に接近するように導かれ、この上部の犠牲層は、犠牲層82の深部構造化の際に最初に第2の保護層71上で終わる。キャップ層20または閉鎖層24を堅固に結合させるための支持構造体13aの領域は、穿孔の際に節約される。深部構造化の場合、十分に厚手の側壁不動態化部85が付着され、この場合には、有利に弗素含有のポリマー化合物が重要である。側壁不動態化部85は、ポリシリコン層82が後のシリコンエッティング工程の際に攻撃されないことを保証する1つの層である。側壁不動態化部のためのポリマーと共に、側壁の保護のためには、保護層41および71と共に、例えば酸化シリコンからなる他の薄手の保護層を付着させることができる。

【 0 0 2 6 】

図10の記載と同様に、保護層71は、直ぐ次の工程で穿孔または溝84内で通常のエッティング法を用いて除去される。それによって、直ぐ次のエッティングのために上部の犠牲層52への直接の入口が得られる。

【 0 0 2 7 】

図11は、キャップ層20を得るための中心工程を示し、この場合、上部の犠牲層52は、保護層41および71に対して選択的にエッティングされている。このために、好ましくは等方的なエッティング法が使用され、例えばこの方法の場合には、 XeF_2 、 ClF_3 、 ClF_5 またはプラズマ活性化された NF_3 、 Ar/F_2 もしくは SF_6 のエッティング媒体が使用される。保護層41および71と比較して上部の犠牲層52の選択的なエッティングの場合には、上部の犠牲層52のエッティングは、保護層41および71に対する境界面で停止される。キャップ層20を形成するポリシリコン層82内の穿孔84の側壁のエッティングは、施された側壁不動態化部85によって抑制される。処理の終結時に、上部の犠牲層52は、完全にエッティングされているかまたは溶解されている。この上部の犠牲層は、センサー素子12上に空隙22を生じ、このセンサー素子上には、安定な支持ポリシリコン層82またはキャップ層20(特に図2参照)が懸吊されている。図12に相応して、上部の犠牲層52のエッティング後に、補助層である保護層41および71ならびに下部の犠牲層31は、センサー素子12およびキャップ層20(図2参照)を形成するポリシリコン層82に対して選択的にエッティングされる。このためには、例えば蒸気状 HF/H_2O 混合物の使用に基づく、 SiO_2 層をエッティングするための方法を使用すること

10

20

30

40

50

ができる。この方法の場合には、ガス状HFおよびH₂Oは、キャップ層20の穿孔84を突き進み、保護層41および71に到達し、ならびにこれらの保護層のエッティング後に下部の犠牲層31に到達する。このエッティング工程の後、保護層または酸化物層41および71ならびに下部の犠牲層31は除去されており、センサー素子12の全ての可動構造体、例えば中心物体11a、ばね体16、停止アーム18および可動電極フィンガ11は、基板10から自由に離れている（殊に、図1および2参照）。ガス状雰囲気中の前記エッティング工程に続いて、ポリシリコン層82またはキャップ層20の穿孔84は、被覆層120で封鎖される。被覆層120は、有利に約1～120μmの厚さであり、例えば有利にPECVD法で付着されている絶縁体、有利にSiO₂からなる。被覆層120を付着させる場合には、好ましくは同時にプロセスガスは、空隙22内に封入され、それによって封入されたプロセスガスの圧力および/または種類に依存して、本発明による加速センサーのセンサー素子12の可動構成成分の動的緩衝性を調節することができる。本発明による加速センサー100内に設けられた可動構成成分の運動を緩衝するガスの封入は、勿論、付着工程とは無関係の他の処理工程の場合にも行なうことができる。

【0028】

被覆層120の付着の後、金属導体路14aおよび14bならびに接点15は、公知方法で製造される。

【0029】

本発明の選択的な実施態様（図示されていない）の場合には、下部の犠牲層31および上部の犠牲層52は、それぞれポリシリコンから形成されており、これに対して、下部の犠牲層31は、図3～12に示された方法の場合にSiO₂から形成されている。選択的な実施態様の場合には、基板10上に下部の保護層（図示されていない）が付着される。これには、ポリシリコン緩衝層の付着が続き、次に、このポリシリコン緩衝層上には、上部の保護層（図示されていない）が付着され、したがって下部の犠牲層31は、下部の保護層および上部の保護層によって完全に包囲されている。下部の保護層は、基板10のエッティング攻撃からの保護に使用され、上部の保護層は、下部の犠牲層の選択的なエッティングまたは除去の際にエッティング攻撃からセンサー素子12または機能層13a、13b、13cを保護する。2つの緩衝層のための保護層は、有利に酸化シリコンから形成されており、したがって同じ材料の2つの緩衝層は、唯一かまたは多数のエッティング工程で除去されることができる。

【0030】

図に示された加速センサーのように、本発明による方法で製造しうる構造素子の平坦性に基づき、センサー/アクチュエーター構造体および組み込まれた評価開閉回路を唯一のチップまたは構造素子上に組み込むこと（図示されていない）は、簡単に可能である。このために、最初に上部の犠牲層およびキャップ層を有するセンサー素子の平面は、記載された方法で製造されなければならない。このようなチップまたは構造素子における電子回路の故障を回避するために、キャップ層の穿孔、上部の犠牲層のエッティング、保護層の除去および被覆層での空隙の密閉ならびにこのようなチップまたは構造素子の開閉回路の製造後の接点の電気的接続を実施することは、有利である。この処理工程の場合には、なお低い温度のみが発生し、したがって例えばトランジスタを有することができる開閉回路は、損なわれることがない。

【0031】

本発明の前記の説明により、本発明が本発明による加速センサーまたはこの加速センサーを製造するための本発明による方法に制限されるだけでなく、むしろ空隙、殊に気密になるように密閉された空隙を有する多数のマイクロマシーニング構造素子の製造を可能にすることが明らかになる。

【0032】

これは、殊に空隙内にマイクロマシーニング技術の全範囲からの可動要素、例えばセンサー素子またはマイクロポンプの構成成分等が設けられている場合に云えることである。

【図面の簡単な説明】

10

20

30

40

50

【図1】 機能素子またはセンサー素子の範囲内の加速センサーを示す断面図。

【図2】 付加的に接点が収容されている、図1中の切断線A - Bに沿っての図1に表わされた範囲を示す断面図。

【図3】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図4】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図5】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図6】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。 10

【図7】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図8】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図9】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図10】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【図11】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。 20

【図12】 図1および図2に表わされた本発明による加速センサーを製造するための本発明による1つの方法を示す略図。

【符号の説明】

10 基板、 11 可動電極フィンガ、 11a 中心物体、 12 センサー素子、
12a、12b 対向電極、 13a 側方向に隣接した2個の支持構造体、 13b
支持構造体、 13c 支持構造体、 14a、14b 導電路、 16 ばね体、 1
7 固定化構造体、 18 停止アーム、 19a 停止ノブ(x軸での転向)、 19
b 停止ノブ(y軸での転向)、 19c ばね体16の半分を阻止する停止ノブ、 1
9d ばね体16の半分を阻止する停止ノブ、 20、82 キャップ層、 21 穿孔
、 22 空隙、 23 結合部、 24 密閉層、 31 第2の犠牲層、 41 第
1の保護層、 41a、41b、41c 第1の保護層41の範囲、 51c センサー素
子12の脚部の領域、 52 第1の犠牲層、 71 第2の保護層、 81 核形成層
、 82 ポリシリコン層、 100 加速センサー 30

【 図 1 】

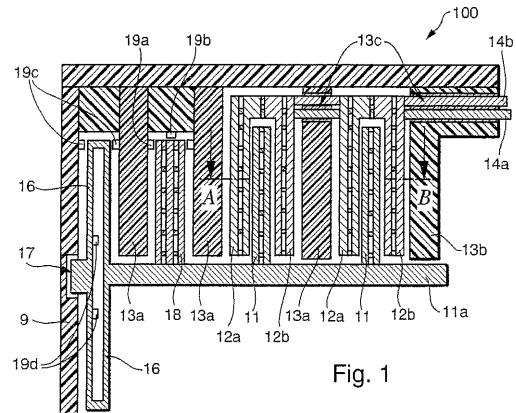


Fig. 1

【 図 2 】

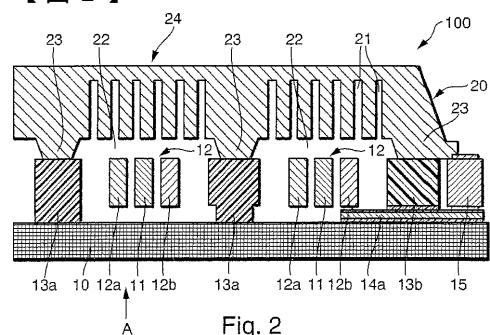


Fig. 2

【 図 5 】

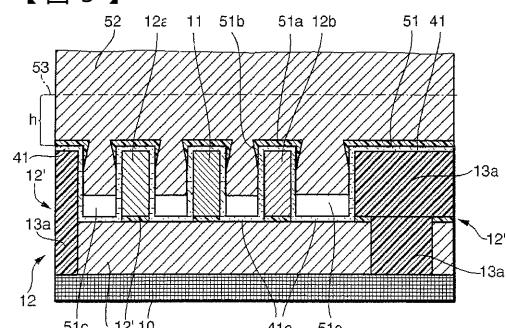


Fig. 5

〔 6 〕

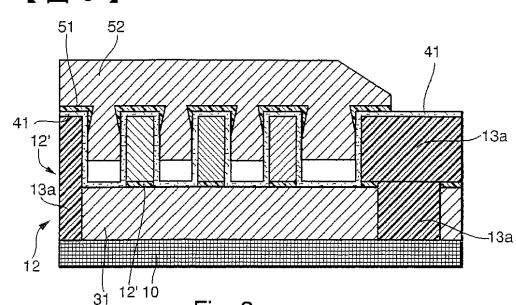


Fig. 6

【図3】

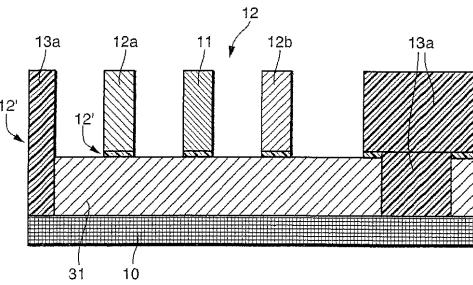


Fig. 3

【図4】

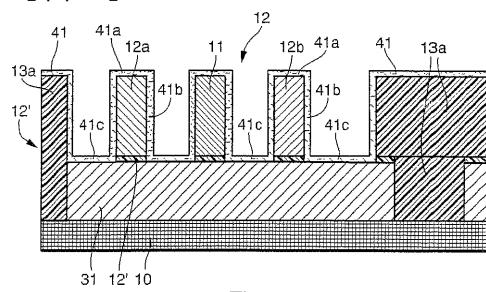


Fig. 4

【 図 7 】

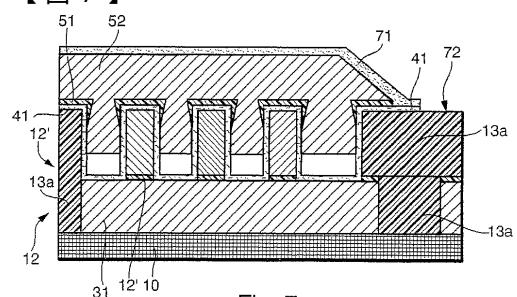


Fig. 7

【 図 8 】

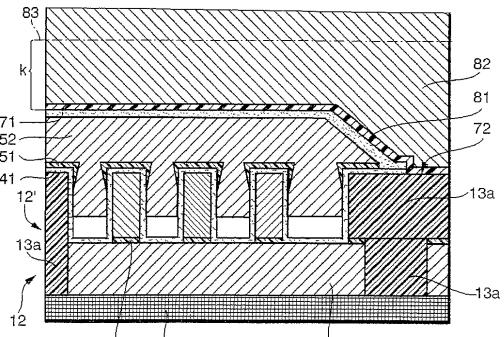
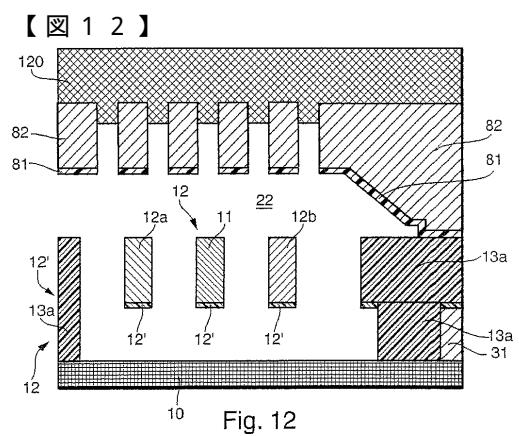
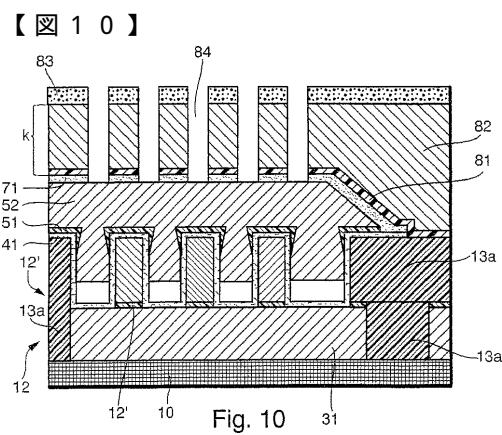
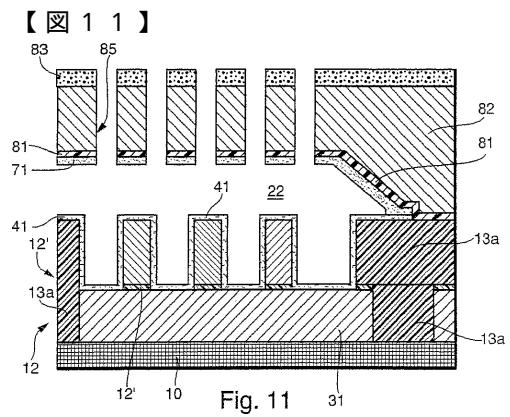
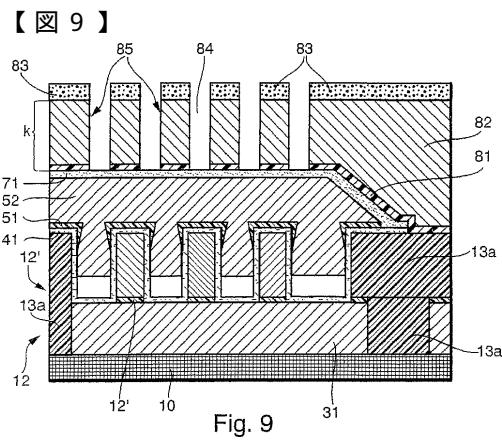


Fig. 8



フロントページの続き

(72)発明者 フランク フィッシャー
　　ドイツ連邦共和国 ゴーマリンゲン ローベルト - コッホ - シュトラーセ 8
(72)発明者 ペーター ハイン
　　ドイツ連邦共和国 ロイトリンゲン シックハルトシュトラーセ 31
(72)発明者 エックハルト グラフ
　　ドイツ連邦共和国 ゴーマリンゲン ジルヒャーシュトラーセ 4

審査官 太田 良隆

(56)参考文献 特開平06-123628 (JP, A)
　　米国特許第5285131 (US, A)
　　特開昭60-055655 (JP, A)
　　米国特許第5846849 (US, A)
　　特開平11-150278 (JP, A)
　　特開平05-332852 (JP, A)

(58)調査した分野(Int.Cl., DB名)

B81B 1/00 - 7/04
B81C 1/00 - 99/00
H01L29/84
G01P15/125