

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月29日(29.06.2017)



(10) 国際公開番号

WO 2017/110460 A1

- (51) 国際特許分類:
H01F 27/29 (2006.01) H01F 17/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/086296
- (22) 国際出願日: 2016年12月7日(07.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-255167 2015年12月25日(25.12.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 中庭 正貴(NAKANIWA, Masataka); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 矢崎 浩和(YAZAKI, Hirokazu); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 河本 尚志(KAWAMOTO, Takashi); 〒6128101 京都府京都市伏見区観音寺町2-18 武三ビルディング4-11号室 河本特許事務所 Kyoto (JP).

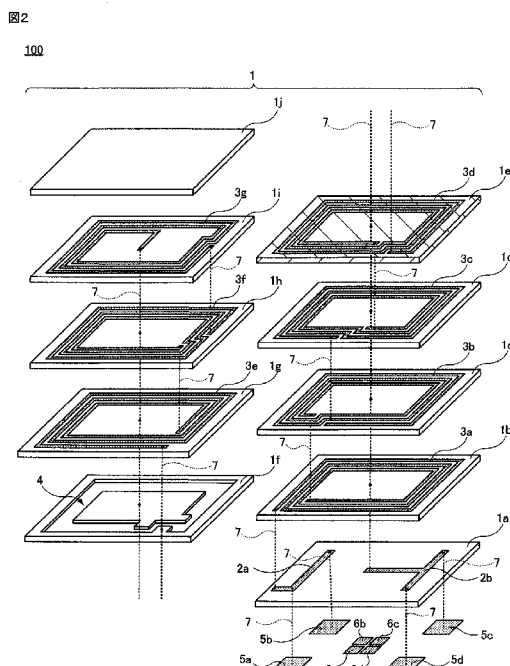
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: LOW-HEIGHT INDUCTOR

(54) 発明の名称: 低背インダクタ



(57) Abstract: Provided is a low-height inductor measuring 0.5 mm or less in thickness, in which there is minimal hindrance of magnetic field formation by surface electrodes. The present invention is provided with a rectangular thin-plate element assembly 1, loop shaped conductor patterns 3a to 3g having a winding axis in the lamination direction of a base material layer built into the element assembly, and four surface electrodes 5a to 5d formed on one main surface of the element assembly 1. The invention is of a surface-mounted type, and when seen through in the lamination direction, the centers of each of the four surface electrodes 5a to 5d are respectively arranged within areas on which the loop shaped conductor patterns 3a to 3g are formed. The four surface electrodes 5a to 5d are positioned, e.g., divided into four corners of one main surface of the element assembly 1.

(57) 要約: 表面電極による磁界形成の妨げが抑制された厚み0.5mm以下の低背インダクタを提供する。矩形薄板状の素体1と、素体1に内蔵された基材層の積層方向に巻回軸を有するループ状導体パターン3a~3gと、素体1の一方主面に形成された4つの表面電極5a~5dと、を備え、表面実装型であり、積層方向に透視した場合に、4つの表面電極5a~5dの各中心が、それぞれ、ループ状導体パターン3a~3gが形成された領域内に配置されるようにした。4つの表面電極5a~5dは、たとえば、素体1の一方主面の4隅に分けて配置される。

明 細 書

発明の名称：低背インダクタ

技術分野

[0001] 本発明は、表面実装型の超低背インダクタ（Ultra Thin Inductor）に関し、さらに詳しくは、表面電極による磁界形成の妨げが抑制された厚み0.5 mm以下の低背インダクタに関する。

背景技術

[0002] 複数の基材層が積層された素体に、コイル導体が内蔵されたインダクタが、種々の電子機器に使用されている。

[0003] そのようなインダクタが、特許文献1（WO2013-128702号公報）に開示されている。

[0004] 図7に、特許文献1に開示されたインダクタ（積層型インダクタ）500を示す。

[0005] インダクタ500は、複数の磁性体からなる基材層（磁性体層）101a～101hが積層された素体101を備える。基材層101b、101gは、図7から分かるように、他の基材層101a、101c～101f、101hよりも厚みが大きい。

[0006] 基材層101a～101hの層間には、ループ状導体パターン（線状導体）102a～102eや、配線導体103a、103bが配置されている。

[0007] また、基材層101a～101gには、それぞれ、両主面間を貫通して、ビア導体（層間接続導体）104が形成されている。

[0008] 素体101の一方主面（下側主面）には、1対の表面電極（外部接続導体）105a、105bが形成されている。

[0009] インダクタ500は、表面電極105aを起点にし、表面電極105bを終点にして、ループ状導体パターン102a～102e、配線導体103b、103aを、順に、ビア導体104により接続することにより、コイルが形成されている。

先行技術文献

特許文献

[0010] 特許文献1：WO 2013-128702号公報

発明の概要

発明が解決しようとする課題

[0011] 電子機器の小型化にともない、インダクタを含む電子部品においても、小型化が極めて重要な課題の1つになっている。

[0012] たとえば、ICカード型デバイスでは、0.5mm以下の厚みの低背インダクタが求められている。

[0013] しかしながら、0.5mm以下の厚みのインダクタを、従来のインダクタの構造、たとえば特許文献1に開示されたインダクタ500の構造で作製すると、大きなインダクタンス値や高いQを有するインダクタを得ることが難しいという問題があった。

[0014] すなわち、特許文献1に開示されたインダクタ500において、厚みを0.5mm以下にしようとした場合には、図7に示す、基材層101b、101gの厚みを小さくすることが必要になる。すなわち、基材層101b、101gの厚みを、少なくとも、他の基材層101a、101c～101f、101hと同じ程度に小さくするか、あるいは、ループ状導体パターン102a～102eの層数を減らさなければ、厚みが0.5mm以下のインダクタの作製は難しい。

[0015] しかしながら、ループ状導体パターン102a～102eの層数を減らすと、大きなインダクタンス値を得ることが難しくなってしまう。

[0016] また、コイル開口に面した基材層101b、101gの厚みを小さくすると、ループ状導体パターン102aと、表面電極105a、105bとの距離が小さくなってしまう。そして、ループ状導体パターン102aと、表面電極105a、105bとの距離が小さくなると、表面電極105a、105bが、ループ状導体パターン102a～102eによる磁界形成を妨げ、

インダクタ500が高いQ値を得ることができなくなってしまう。

[0017] 特に、インダクタ500は、表面電極105a、105bが、それぞれ、大きな面積を備えているため、ループ状導体パターン102aと表面電極105a、105bとの距離が小さくなると、表面電極105a、105bが磁界形成を妨げる影響が大きかった。

[0018] また、インダクタ500は、素体1の積層方向に透視した場合、表面電極105a、105bが、コイルの開口部（ループ状導体パターン102a～102eが形成された領域の内側の領域）と大きく重なっているため、ループ状導体パターン102aと表面電極105a、105bとの距離が小さくなると、表面電極105a、105bが磁界形成を妨げる影響が極めて大きかった。すなわち、コイルの開口部は、ループ状導体パターン102a～102eが形成する磁束が最も集中する領域であり、この領域を表面電極105a、105bが塞いでしまうことにより、磁界形成が大きく妨げられ、Q値が大きく低下してしまうという問題があった。

[0019] 以上のように、従来の構造のインダクタにおいて、厚みを小さく（0.5mm以下に）すると、十分に大きなインダクタンス値やQ値を得ることができないという問題があった。

課題を解決するための手段

[0020] 本発明は、上述した従来の問題を解決するためになされたものであり、その手段として、本発明の低背インダクタは、複数の基材層が積層され、厚みが0.5mm以下である矩形薄板状の素体と、素体に内蔵され、基材層の積層方向に巻回軸を有するコイル導体と、素体の一方主面の面内に形成された4つの表面電極と、を備え、コイル導体の一端が表面電極の少なくとも1つに接続され、コイル導体の他端が表面電極の他の少なくとも1つに接続された表面実装型の低背インダクタであって、基材層の積層方向に透視した場合に、4つの表面電極の各中心が、それぞれ、コイル導体が形成された領域内に配置されたものとした。

[0021] なお、コイル導体が形成された領域とは、平面視した場合（基材層の積層

方向に透視した場合)に、コイル導体の内周端と外周端との間の幅により形成される領域をいう。

[0022] なお、コイル導体は、1つのループ状導体パターンで構成される場合もあるが、複数のループ状導体パターンがビア導体などの層間接続導体により接続されて構成される場合もある。

[0023] また、低背インダクタは、少なくとも4つの表面電極を備えていれば良い。すなわち、低背インダクタの表面電極の個数は、4つには限られず、5つ、6つであっても良く、さらに多くであっても良い。

[0024] 4つの表面電極が、素体の一方主面の4隅に分けてそれぞれ配置されることが好ましい。この場合には、低背インダクタを実装した場合に、素体の一方主面が安定する。

[0025] 基材層の積層方向に透視した場合に、4つの表面電極が、それぞれ、コイル導体の開口と重なっていない、あるいは、コイル導体の開口と重なっていると、重なり面積が、表面電極の面積の10%以下であることが好ましい。この場合には、表面電極が磁界形成を妨げる影響をさらに抑制することができ、Q値の低下をより小さくすることができる。

[0026] また、コイル導体の一端が、表面電極の2つに接続され、コイル導体の他端が、表面電極の残りの2つに接続されたものとするのが好ましい。この場合には、コイル導体の両端が、それぞれ、2つの表面電極により外部(基板等)のランド電極に接続されるため電氣的接続が確実になり、抵抗成分も小さくできる。

[0027] また、素体の一方主面近傍の、基材層の層間に、第1分配電極と第2分配電極とが設けられ、コイル導体の一端が第1分配電極に接続され、第1分配電極が表面電極の2つに接続され、コイル導体の他端が第2分配電極に接続され、第2分配電極が表面電極の残りの2つに接続されることが好ましい。この場合には、容易に、コイル導体の一端を2つの表面電極に接続し、コイル導体の他端を残りの2つの表面電極に接続することができる。

[0028] この場合において、第1分配電極および第2分配電極は、それぞれ、基材

層の積層方向に透視した場合に、主にコイル導体が形成された領域内に配置されていることが好ましい。この場合には、第1分配電極および第2分配電極が磁界形成を妨げる影響を抑制することができる。

[0029] コイル導体の一端を、表面電極の1つに接続し、コイル導体の他端を、表面電極の他の1つに接続し、コイル導体が接続されなかった残りの2つの表面電極を、それぞれ、電氣的接続をおこなわない、第1ダミー表面電極としても良い。この場合には、第1ダミー表面電極により、実装強度を高めることができる。

[0030] また、本発明の別の低背インダクタは、上述した課題を解決するために、複数の基材層が積層され、厚みが0.5mm以下である矩形薄板状の素体と、素体に内蔵され、基材層の積層方向に巻回軸を有するコイル導体と、素体の一方主面の面内に形成された4つの表面電極と、を備え、コイル導体の一端が4つの表面電極のうちの2つに接続され、コイル導体の他端が4つの表面電極のうちの他の2つに接続されており、4つの表面電極が素体の一方主面の4隅に分けてそれぞれ配置されたものとした。

[0031] さらに、素体の一方主面の中央近傍に、電氣的接続をおこなわない、実装強度を高めるための、第2ダミー表面電極を形成することが好ましい。この場合には、第2ダミー表面電極により、プリント配線板への実装強度を高めることができる。なお、第2ダミー表面電極は、電氣的接続をおこなわず、基板に実装した後も、信号ラインやグランドに接続されないため、素体の一方主面の中央近傍に設けられていても、磁界形成を大きく妨げない。

[0032] また、第2ダミー表面電極が、複数に分割されていることが好ましい。第2ダミー表面電極を分割せずに大面積で形成した場合には、第2ダミー表面電極を基板のランド電極等にはんだ付けをした際に、はんだ膜厚が大きくなり過ぎて、低背インダクタの実装不良の原因となる虞がある。しかしながら、このように、第2ダミー表面電極を複数に分割した場合には、分割された各第2ダミー表面電極の面積が小さくなるため、はんだ付けをした際のはんだ膜厚が小さくなり、実装不良の発生を抑制することができる。また、第2

ダミー表面電極を複数に分割することで、磁界形成の妨げにもなりにくくなる。

[0033] また、素体がセラミックスからなり、素体の他方主面に、電氣的接続をおこなわない、第3ダミー表面電極が形成されることが好ましい。素体がセラミックスからなる場合には、製造工程中に焼成工程が必要になるが、素体の一方主面にのみ電極（表面電極等）が形成され、素体の他方主面に電極が形成されていない場合には、両主面間で熱収縮率や焼成挙動が異なってしまう、特に極薄のセラミックスの場合、焼成後の素体（焼結体）に反りが発生しやすい。しかしながら、このように、素体の他方主面に第3ダミー表面電極を形成すれば、焼成工程において素体に反りが発生することを抑制することができる。

[0034] この場合において、第3ダミー表面電極が複数からなり、基材層の積層方向に透視した場合に、第3ダミー表面電極が、それぞれ、表面電極と重なる位置に形成されているか、または、表面電極および第1ダミー表面電極と重なる位置に形成されているか、または、表面電極および第2ダミー表面電極と重なる位置に形成されているか、または、表面電極、第1ダミー表面電極および第2ダミー表面電極と重なる位置に形成されていることが好ましい。この場合には、これらの電極による磁界形成の妨げを最小限にとどめることができる。すなわち、第3ダミー表面電極が、表面電極等と重ならない位置に形成されていると、コイル導体により形成された磁束の一部が、素体の一方主面において表面電極等により妨げられ、コイル導体により形成された磁束の他の一部が、素体の他方主面において第3ダミー表面電極により妨げられることにより、これらの電極による磁界形成の妨げが大きくなる。しかしながら、第3ダミー表面電極が、表面電極等と重なる位置に形成されていると、素体の一方主面において表面電極等により妨げられた磁束は、素体の他方主面において第3ダミー表面電極によっても妨げられてしまうが、素体の一方主面において表面電極等により妨げられなかった磁束は、素体の他方主面において第3ダミー表面電極によっても妨げられない。すなわち、素体の

一方主面において表面電極等により妨げられる磁束と、素体の他方主面において第3ダミー表面電極により妨げられる磁束とを共通化することにより、素体の一方主面において表面電極等により妨げられず、かつ、素体の他方主面において第3ダミー表面電極に妨げられない磁束の量を十分に確保することができ、これらの電極による磁界形成の妨げを最小限にとどめることができる。

[0035] また、基材層が、複数の磁性体基材層と、少なくとも1層の非磁性体基材層とで構成され、素体において、非磁性基材層が、2層の磁性体基材層に挟まれて積層されていることが好ましい。素体が、全て磁性体基材層で形成されていると、大きな直流電流が流れた場合に磁気飽和が発生しやすく、インダクタンス値が急激に低下してしまう虞がある。しかしながら、このように、コイル導体間に、少なくとも1層の非磁性体基材層を積層しておくことにより、直流重畳特性が改善され、大きな直流電流が流れても、磁気飽和が発生しにくくなり、インダクタンス値が急激に低下してしまうことを抑制することができる。

[0036] また、素体がセラミックスからなり、素体の内部に、少なくとも1層の、基材層の積層方向に対して垂直方向に広がる空隙が形成され、基材層の積層方向に透視した場合に、空隙が、コイル導体が形成された領域と重なっていることが好ましい。素体がセラミックスからなる場合には、製造工程中に焼成工程が必要になるが、焼成した後の冷却時に、基材層とコイル導体との間に、熱収縮率の違いから応力が発生し、焼成後の素体に応力歪が生じて、磁気特性が低下（透磁率の低下等）してしまうという問題があった。しかしながら、このように、基材層の内部に少なくとも1層の空隙を形成しておくことにより、基材層とコイル導体との間に発生する応力を空隙によって緩和することができ、磁気特性の低下を抑制することができる。

発明の効果

[0037] 本発明の低背インダクタは、基材層の積層方向に透視した場合に、4つの表面電極の各中心が、それぞれ、コイル導体が形成された領域内に配置され

たものとしたため、厚みが0.5 mm以下であっても、表面電極による磁界形成の妨げが最小限に抑制されている。

[0038] また、本発明のもう1つの低背インダクタは、コイル導体の一端が4つの表面電極のうちの2つに接続され、コイル導体の他端が4つの表面電極のうちの他の2つに接続され、4つの表面電極が、素体の一方主面の4隅に分けて配置されたものとしたため、厚みが0.5 mm以下であっても、表面電極による磁界形成の妨げが最小限に抑制されている。

[0039] これらの本発明の低背インダクタは、個々の表面電極の面積が小さくなったとしても、4つの表面電極によりしっかりと外部の電極（基板のランド電極等）に固定されるため、実装強度の低下を最小限に抑制できる。

図面の簡単な説明

[0040] [図1]図1（A）、（B）は、それぞれ、第1実施形態にかかる低背インダクタ100を示す斜視図である。図1（A）は、低背インダクタ100を上側主面側（他方主面側）からみている。図1（B）は、低背インダクタ100を下側主面側（一方主面側）からみている。

[図2]低背インダクタ100を示す分解斜視図である。

[図3]図3（A）、（B）は、それぞれ、低背インダクタ100を下側主面側（一方主面側）からみた透視図である。

[図4]第2実施形態にかかる低背インダクタ200を示す要部分解斜視図である。

[図5]第3実施形態にかかる低背インダクタ300を示す分解斜視図である。

[図6]第4実施形態にかかる低背インダクタ400を示す斜視図である。低背インダクタ400を下側主面側（一方主面側）からみている。

[図7]特許文献1に開示されたインダクタ500を示す分解斜視図である。

発明を実施するための形態

[0041] 以下、図面とともに、本発明を実施するための形態について説明する。

[0042] なお、各実施形態は、本発明の実施の形態を例示的に示したものであり、本発明が実施形態の内容に限定されることはない。また、異なる実施形態に

記載された内容を組合せて実施することも可能であり、その場合の実施内容も本発明に含まれる。また、図面は、実施形態の理解を助けるためのものであり、必ずしも厳密に描画されていない場合がある。たとえば、描画された構成要素ないし構成要素間の寸法の比率が、明細書に記載されたそれらの寸法の比率と一致していない場合がある。また、明細書に記載されている構成要素が、図面において省略されている場合や、個数を省略して描画されている場合等がある。

[0043] [第1実施形態]

図1 (A)、(B)、図2、図3 (A)、(B)に、第1実施形態にかかる低背インダクタ100を示す。ただし、図1 (A)、(B)は、それぞれ、低背インダクタ100を示す斜視図である。図2は、低背インダクタ100の分解斜視図である。図3 (A)、(B)は、それぞれ、低背インダクタ100を下側主面側（一方主面側）からみた透視図である。

[0044] 低背インダクタ100は、素体1を備える。本実施形態においては、図1に示す素体1の外形寸法を、幅W3.5mm、奥行D3.2mm、厚みT0.35mmとし、極めて薄型（低背）に構成した。本発明の低背インダクタは、厚みTが0.5mm以下であるのに対し、幅Wおよび奥行Dが、それぞれ、2.0mm～10.0mm程度からなる、極めて薄型のインダクタを対象としている。

[0045] 素体1は、下から順に、磁性体基材層1a～1d、非磁性体基材層1e、磁性体基材層1f～1jが積層された構造からなる。非磁性体基材層1eは、低透磁率または非磁性のセラミックスにより形成されている。磁性体基材層1a～1d、1f～1jは、非磁性体基材層1eよりも透磁率が高いフェライトなどの磁性セラミックスにより形成されている。

[0046] 磁性体基材層1aと磁性体基材層1bの層間には、第1分配電極2aと、第2分配電極2bとが形成されている。

[0047] 磁性体基材層1bと磁性体基材層1cの層間には、3ターンのループ状導体パターン3aが形成されている。

- [0048] 磁性体基材層 1 c と磁性体基材層 1 d の層間には、3 ターンのループ状導体パターン 3 b が形成されている。
- [0049] 磁性体基材層 1 d と非磁性体基材層 1 e の層間には、3 ターンのループ状導体パターン 3 c が形成されている。
- [0050] 非磁性体基材層 1 e と磁性体基材層 1 f の層間には、3 ターンのループ状導体パターン 3 d が形成されている。
- [0051] 磁性体基材層 1 f と磁性体基材層 1 g の層間には、ループ状導体パターンは形成されていない。代わりに、磁性体基材層 1 f と磁性体基材層 1 g の層間には、環状の空隙 4 が形成されている。
- [0052] 磁性体基材層 1 g と磁性体基材層 1 h の層間には、3 ターンのループ状導体パターン 3 e が形成されている。
- [0053] 磁性体基材層 1 h と磁性体基材層 1 i の層間には、3 ターンのループ状導体パターン 3 f が形成されている。
- [0054] 磁性体基材層 1 i と磁性体基材層 1 j の層間には、3 ターン弱のループ状導体パターン 3 e が形成されている。
- [0055] 素体 1 の一方主面（下側主面）には、4 隅に分散させて、4 つの表面電極 5 a ～ 5 d が形成されている。なお、素体の下側主面のみに実装用の電極が形成された電子部品を、L G A（Land grid array）型と呼ぶ場合がある。
- [0056] また、素体 1 の一方主面の中央近傍には、電氣的接続をおこなわない、実装強度を高めるための、4 つの第 2 ダミー表面電極 6 a ～ 6 d が形成されている。第 2 ダミー表面電極は、プリント配線板に機械的には接合されるが、電氣的接続をおこなわず、基板等を実装した後も、信号ラインやグラウンドに接続されないものであるため、素体 1 の一方主面に設けられているにもかかわらず、磁界形成を大きく妨げない。なお、第 2 ダミー表面電極 6 a ～ 6 d は、本発明において必須の構成ではなく、省略することも可能である。
- [0057] 磁性体基材層 1 a ～ 1 d、非磁性体基材層 1 e、磁性体基材層 1 f ～ 1 i には、それぞれ、両主面間を貫通して、ビア導体 7 が形成されている。
- [0058] 表面電極 5 a、5 b が、ビア導体 7 により、第 1 分配電極 2 a に接続され

ている。同様に、表面電極 5 c、5 d が、ビア導体 7 により、第 2 分配電極 2 b に接続されている。

[0059] そして、第 1 分配電極 2 a、ループ状導体パターン 3 a～3 g、第 2 分配電極 2 b が、順に、ビア導体 7 により接続されている。なお、本実施形態においては、ループ状導体パターン 3 a～3 g がビア導体 7 により接続されて、コイル導体が構成されている。

[0060] この結果、低背インダクタ 100 は、表面電極 5 a、5 b と、表面電極 5 c、5 d との間に、コイルが形成されている。

[0061] 第 1 分配電極 2 a、第 2 分配電極 2 b、ループ状導体パターン 3 a～3 g、ビア導体 7 は、たとえば、銀を主成分としている。ただし、これらの材質は任意であり、銅や、その他の金属を主成分としても良い。また、複数の種類の金属が含まれていても良く、それらの金属が合金であっても良い。

[0062] 以上の構造からなる、第 1 実施形態にかかる低背インダクタ 100 は、次のような特徴を備える。

[0063] 低背インダクタ 100 は、図 3 (A) に示すように、4 つの表面電極 5 a～5 d が、素体 1 の一方主面（下側主面）の 4 隅に分散されて配置されている。そして、素体 1 の積層方向（基材層の積層方向）に透視した場合に、表面電極 5 a～5 d の各中心 P が、コイル導体（ループ状導体パターン 3 a～3 g）が形成された領域 E 内に配置されている。

[0064] 低背インダクタ 100 は、一方の表面電極が 2 つの表面電極 5 a、5 b に分割され、他方の表面電極が 2 つの表面電極 5 c、5 d に分割されたことにより、個々の表面電極 5 a～5 d の面積が小さくなっている。表面電極の面積が大きいほど、表面電極がコイルの磁界形成を妨げる影響は大きくなるが、低背インダクタ 100 では、表面電極 5 a～5 d の面積を小さくすることにより、表面電極 5 a～5 d より磁界形成の妨げを小さくしている。

[0065] また、素体 1 の積層方向（基材層の積層方向）に透視した場合に、表面電極 5 a～5 d が、コイルの開口 F 内にある場合の方が、コイル導体（ループ状導体パターン 3 a～3 g）の形成領域 E 内にある場合よりも磁界形成を妨

げる影響が大きい。低背インダクタ１００は、表面電極５ａ～５ｄの各中心Ｐを領域Ｅ内に配置することにより、表面電極５ａ～５ｄによる磁界形成の妨げを小さくしている。

[0066] さらに、低背インダクタ１００は、表面電極５ａ～５ｄが、それぞれ、コイルの開口Ｆと僅かにしか重なっていない。本実施形態においては、表面電極５ａ～５ｄとコイルの開口Ｆとの重なり面積は、表面電極５ａ～５ｄの面積の３％以下である。表面電極５ａ～５ｄとコイルの開口Ｆとは、重ならないことが最も良い。表面電極５ａ～５ｄとコイルの開口Ｆとが重なる場合であっても、その面積はできるだけ小さい方が良く、磁界形成の妨げを考慮すると、表面電極５ａ～５ｄの面積の１０％以下であることが好ましい。低背インダクタ１００は、表面電極５ａ～５ｄとコイルの開口Ｆとの重なりを小さくすることにより、表面電極５ａ～５ｄによる磁界形成の妨げを小さくしている。

[0067] 以上により、低背インダクタ１００は、厚みが０．３５ｍｍと小さく、ループ状導体パターン３ａと表面電極５ａ～５ｄとの距離が小さいにもかかわらず、表面電極５ａ～５ｄによる、コイル導体（ループ状導体パターン３ａ～３ｇ）による磁界形成の妨げが最小限に抑制されている。

[0068] なお、低背インダクタ１００は、表面電極５ａ～５ｄの面積が小さいが、４つの表面電極５ａ～５ｄを備えているため、外部の電極（基板のランド電極等）にしっかりと固定され、十分な実装強度を保つことができる。

[0069] また、低背インダクタ１００は、図３（Ｂ）に示すように、素体１の積層方向（基材層の積層方向）に透視した場合に、第１分配電極２ａ、第２分配電極２ｂが、それぞれ、主にコイル導体（ループ状導体パターン３ａ～３ｇ）が形成された領域Ｅ内に配置されている。第１分配電極２ａ、第２分配電極２ｂが、コイルの開口Ｆ内にある場合の方が、コイル導体（ループ状導体パターン３ａ～３ｇ）の形成領域Ｅ内にある場合よりも磁界形成を妨げる影響が大きい。低背インダクタ１００では、第１分配電極２ａ、第２分配電極２ｂを主に領域Ｅ内に配置することにより、第１分配電極２ａ、第２分配電

極 2 b による磁界形成の妨げを小さくしている。

[0070] また、低背インダクタ 100 は、素体 1 が、磁性体基材層 1 a ~ 1 d、1 f ~ 1 j と、非磁性体基材層 1 e とで構成されている。素体 1 が、全て磁性体基材層で形成されていると、大きな直流電流が流れた場合に磁気飽和が発生しやすく、インダクタンス値が急激に低下してしまう虞がある。しかしながら、低背インダクタ 100 は、素体 1 が非磁性体基材層 1 e を備えているため、直流重畳特性が改善されており、大きな直流電流が流れても、磁気飽和が発生しにくく、インダクタンス値が急激に低下してしまうことがない。

[0071] また、低背インダクタ 100 は、磁性体基材層 1 f と磁性体基材層 1 g の層間に、環状の空隙 4 が形成されている。素体 1 の積層方向（基材層の積層方向）に透視した場合に、空隙 4 は、コイル導体（ループ状導体パターン 3 a ~ 3 g）が形成された領域 E とほぼ重なって形成されている。本実施形態のように、素体 1 がセラミックスにより形成されている場合には、製造工程中に焼成工程が必要になるが、焼成した後の冷却時に、基材層（磁性体基材層 1 a ~ 1 d、1 f ~ 1 j、非磁性体基材層 1 e）とループ状導体パターン 3 a ~ 3 g との間に、熱収縮率の違いから応力が発生し、焼成後の素体 1 に応力歪が生じて透磁率が低下するなど磁気特性が低下してしまう虞がある。しかしながら、素体 1 の内部に空隙を形成すれば、その空隙によって、基材層とループ状導体パターンとの間に発生する応力を緩和することができる。低背インダクタ 100 は、空隙 4 を形成したことにより、基材層とループ状導体パターンとの間に発生する応力が緩和され、磁気特性の低下が抑制されている。

[0072] さらに、低背インダクタ 100 は、第 2 ダミー表面電極 6 a ~ 6 d が 4 つに分割されている。第 2 ダミー表面電極を分割せずに 1 つの大きな面積の電極とした場合には、第 2 ダミー表面電極を基板のランド電極等にはんだ付けをした際に、はんだ膜厚が大きくなり過ぎて、実装不良の原因となる虞がある。低背インダクタ 100 は、第 2 ダミー表面電極を 4 つの第 2 ダミー表面電極 6 a ~ 6 d に分割し、それぞれの面積を小さくすることにより、はんだ

付けの際にはんだ膜厚が大きくなり過ぎないようにし、実装不良の発生を抑制している。

[0073] 以上のような構造および特徴を備えた本実施形態にかかる低背インダクタ１００は、既存の、一般的な、複数の基材層が積層された素体にコイル導体が内蔵されたインダクタの製造方法により製造することができる。低背インダクタ１００は、たとえば、次の方法により製造することができる。

[0074] まず、磁性体基材層１ａ～１ｄ、１ｆ～１ｊを形成するための、磁性フェライト等からなるセラミックグリーンシートを準備する。また、非磁性体基材層１ｅを形成するための、非磁性フェライト等からなるセラミックグリーンシートを準備する。

[0075] 次に、これらのセラミックグリーンシートに、必要に応じて、ビア導体７を形成するための孔を形成する。続いて、形成した孔に導電性ペーストを充填する。また、セラミックグリーンシートの主面に、必要に応じて、ループ状導体パターン３ａ～３ｇ、表面電極５ａ～５ｄ、第２ダミー表面電極６ａ～６ｄを形成するための導電性ペーストを所定の形状に塗布する。

[0076] また、空隙４を形成するために、磁性体基材層１ｆを形成するためのセラミックグリーンシートの主面（上側主面）に、焼成により消失する材料を所定の形状に塗布する。焼成により消失する材料としては、たとえば、カーボンペーストを用いることができる。

[0077] セラミックグリーンシートを所定の順番に積層し、加圧して一体化させ、未焼成の素体を得る。続いて、未焼成の素体を、所定のプロファイルで焼成して、第１実施形態にかかる低背インダクタ１００を完成させる。なお、さらに、表面電極５ａ～５ｄ、第２ダミー表面電極６ａ～６ｄの表面に、めっきを施しても良い。

[0078] [第２実施形態]

図４に、第２実施形態にかかる低背インダクタ２００を示す。ただし、図４は、低背インダクタ２００の要部分解斜視図である。

[0079] 低背インダクタ２００は、第１実施形態にかかる低背インダクタ１００の

一部に変更を加えた。

[0080] 低背インダクタ１００では、２つの表面電極５ａ、５ｂを第１分配電極２ａに接続し、２つの表面電極５ｃ、５ｄを第２分配電極２ｂに接続していた。

[0081] 低背インダクタ２００では、第１実施形態の第１分配電極２ａを形状の異なる第１配線電極１２ａに置換え、第１実施形態の第２分配電極２ｂを形状の異なる第２配線電極１２ｂに置換えた。そして、表面電極５ａのみをビア導体７により第１配線電極１２ａに接続し、表面電極５ｃのみをビア導体７により第２配線電極１２ｂに接続した。

[0082] 第１実施形態の表面電極５ｂは、第１配線電極１２ａには接続せず、電氣的接続をおこなわない第１ダミー表面電極１６ａとした。第１実施形態の表面電極５ｄは、第２配線電極１２ｂには接続せず、電氣的接続をおこなわない第１ダミー表面電極１６ｂとした。

[0083] 低背インダクタ２００の他の構成については、第１実施形態にかかる低背インダクタ１００と同じにした。

[0084] [第３実施形態]

図５に、第３実施形態にかかる低背インダクタ３００を示す。ただし、図５は、低背インダクタ３００の分解斜視図である。

[0085] 低背インダクタ３００は、第１実施形態にかかる低背インダクタ１００に構成を追加した。

[0086] 低背インダクタ３００は、素体１（磁性体基材層１ｊ）の他方主面（上側主面）に、電氣的接続をおこなわない８つの第３ダミー表面電極２６ａ～２６ｈが追加されている。

[0087] 第３ダミー表面電極２６ａ～２６ｈは、焼成工程において、素体１に反りが発生しないように設けられたものである。すなわち、素体１がセラミックスからなる場合には、製造工程中に焼成工程が必要になるが、素体１の一方主面にのみ電極（表面電極５ａ～５ｄ、第２ダミー表面電極６ａ～６ｄ）が形成され、素体１の他方主面に電極が形成されない場合には、素体１の両主

面間で熱収縮率が異なってしまう、焼成後の素体 1 に反りが発生してしまう虞がある。低背インダクタ 300 は、素体 1 の他方主面に第 3 ダミー表面電極 26 a～26 h を形成することにより、素体 1 の両主面間の熱収縮率を均等にし、焼成工程において素体 1 に反りが発生することを抑制している。

[0088] なお、第 3 ダミー表面電極 26 a～26 h は、素体 1 を積層方向（基体の積層方向）に透視した場合、表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d と重なる位置に形成されている。これは、磁界形成の妨げを最小限にとどめるためである。すなわち、第 3 ダミー表面電極 26 a～26 h が、表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d と重ならない位置に形成された場合には、磁束の一部が、素体 1 の一方主面において表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d により妨げられ、磁束の他の一部が、素体 1 の他方主面において第 3 ダミー表面電極 26 a～26 h により妨げられる。この結果、これらの電極により、磁界形成が大きく妨げられる。しかしながら、第 3 ダミー表面電極 26 a～26 h を、表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d と重なる位置に形成すれば、素体 1 の一方主面において表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d により妨げられた磁束は、素体 1 の他方主面において第 3 ダミー表面電極 26 a～26 h によっても妨げられてしまうが、素体 1 の一方主面において表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d より妨げられなかった磁束は、素体の他方主面において第 3 ダミー表面電極 26 a～26 h によっても妨げられない。すなわち、低背インダクタ 300 は、素体 1 の一方主面において表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d により妨げられる磁束と、素体の他方主面において第 3 ダミー表面電極 26 a～26 h によっても妨げられる磁束とを共通化することにより、素体の一方主面において表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d により妨げられず、かつ、素体の他方主面において第 3 ダミー表面電極 26 a～26 h によっても妨げられない磁束の量を十分に確保することにより、表面電極 5 a～5 d、第 2 ダミー表面電極 6 a～6 d、第 3 ダミー表面電極 26 a～26 h による磁界形成の妨げを

最小限に抑制している。

[0089] 低背インダクタ300の他の構成については、第1実施形態にかかる低背インダクタ100と同じにした。

[0090] [第4実施形態]

図6に、第4実施形態にかかる低背インダクタ400を示す。ただし、図6は、低背インダクタ400を下側主面側（一方主面側）からみた斜視図である。

[0091] 低背インダクタ400は、第1実施形態にかかる低背インダクタ100の一部に変更を加えた。

[0092] すなわち、低背インダクタ100では、4つの表面電極5a～5dを、それぞれ、素体1の下側主面（一方主面）の4隅に分けて配置していた。

[0093] これに対し、低背インダクタ400では、4つの表面電極5a'～5d'を、それぞれ、素体1の下側主面（一方主面）の4つの辺の中間部分に沿わせて配置した。

[0094] 低背インダクタ400の他の構成については、第1実施形態にかかる低背インダクタ100と同じにした。

[0095] このように、表面電極の形成位置は、適宜、調整することができる。

[0096] 以上、第1実施形態～第4実施形態にかかる低背インダクタ100～400について説明した。しかしながら、本発明が上述した内容に限定されることはなく、発明の趣旨に沿って、種々の変更をなすことができる。

[0097] たとえば、低背インダクタ100～400は、厚みを0.35mmとしたが、厚みはこの大きさには限定されず、0.5mm以下の大きさから任意に設定することができる。

[0098] また、低背インダクタ100～400では、素体1をセラミックスにより形成したが、素体1の材質は任意であり、たとえば、樹脂等により形成しても良い。

[0099] また、低背インダクタ100～400では、ループ状導体パターン3a～3gを、それぞれ3ターンまたは3ターン弱に形成したが、ループ状導体パ

ターン 3 a ~ 3 g のターン数や形状は任意である。たとえば、ターン数を、1 ターンとしても良いし、2 ターン、あるいは、4 ターン以上としても良い。また、ループ状導体パターン 3 a ~ 3 g の形状を変更させても良い。

[0100] さらに、素体 1 を形成する基材層（磁性体基材層 1 a ~ 1 d、1 f ~ 1 j、非磁性体基材層 1 e）の層数や、ループ状導体パターン 3 a ~ 3 g の層数は任意であり、上述した内容には限定されず、それぞれ、増減することができる。

符号の説明

[0101] 1 . . . 素体

1 a ~ 1 d、1 f ~ 1 j . . . 磁性体基材層

1 e . . . 非磁性体基材層

2 a . . . 第 1 分配電極

2 b . . . 第 2 分配電極

3 a ~ 3 g . . . ループ状導体パターン

4 . . . 空隙

5 a ~ 5 d、5 a' ~ 5 d' . . . 表面電極

6 a ~ 6 d . . . 第 2 ダミー表面電極

7 . . . ビア導体

16 a、16 b . . . 第 1 ダミー表面電極

26 a ~ 26 h . . . 第 3 ダミー表面電極

E . . . コイル導体（ループ状導体パターン 3 a ~ 3 g）が形成された領域

F . . . コイルの開口

請求の範囲

- [請求項1] 複数の基材層が積層され、厚みが0.5 mm以下である矩形薄板状の素体と、
前記素体に内蔵され、前記基材層の積層方向に巻回軸を有するコイル導体と、
前記素体の一方主面の面内に形成された4つの表面電極と、を備え、
前記コイル導体の一端が前記表面電極の少なくとも1つに接続され、前記コイル導体の他端が前記表面電極の他の少なくとも1つに接続された表面実装型の低背インダクタであって、
前記基材層の積層方向に透視した場合に、4つの前記表面電極の各中心が、それぞれ、前記コイル導体が形成された領域内に配置されている、低背インダクタ。
- [請求項2] 4つの前記表面電極が、前記素体の前記一方主面の4隅に分けてそれぞれ配置された、請求項1に記載された低背インダクタ。
- [請求項3] 前記基材層の積層方向に透視した場合に、4つの前記表面電極が、それぞれ、前記コイル導体の開口と重なっていない、あるいは、前記コイル導体の開口と重なっているとしても、重なり面積が、前記表面電極の面積の10%以下である、請求項1または2に記載された低背インダクタ。
- [請求項4] 前記コイル導体の一端が、前記表面電極の2つに接続され、前記コイル導体の他端が、前記表面電極の残りの2つに接続された、請求項1ないし3のいずれか1項に記載された低背インダクタ。
- [請求項5] 前記素体の前記一方主面近傍の、前記基材層の層間に、第1分配電極と第2分配電極とが設けられ、前記コイル導体の一端が前記第1分配電極に接続され、前記第1分配電極が前記表面電極の2つに接続され、前記コイル導体の他端が前記第2分配電極に接続され、前記第2分配電極が前記表面電極の残りの2つに接続された、請求項4に記載

された低背インダクタ。

[請求項6] 前記基材層の積層方向に透視した場合に、前記第1分配電極および前記第2分配電極が、それぞれ、主に前記コイル導体が形成された領域内に配置されている、請求項5に記載された低背インダクタ。

[請求項7] 前記コイル導体の一端が、前記表面電極の1つに接続され、前記コイル導体の他端が、前記表面電極の他の1つに接続され、

前記コイル導体が接続されなかった残りの2つの前記表面電極が、それぞれ、電氣的接続をおこなわない、実装強度を高めるための第1ダミー表面電極である、請求項1ないし3のいずれか1項に記載された低背インダクタ。

[請求項8] 複数の基材層が積層され、厚みが0.5 mm以下である矩形薄板状の素体と、

前記素体に内蔵され、前記基材層の積層方向に巻回軸を有するコイル導体と、

前記素体の一方主面の面内に形成された4つの表面電極と、を備え、

前記コイル導体の一端が4つの前記表面電極のうちの2つに接続され、前記コイル導体の他端が4つの前記表面電極のうちの他の2つに接続されており、

4つの前記表面電極が前記素体の前記一方主面の4隅に分けてそれぞれ配置されている、低背インダクタ。

[請求項9] 前記基材層の積層方向に透視した場合に、4つの前記表面電極が、それぞれ、前記コイル導体の開口と重なっていない、あるいは、前記コイル導体の開口と重なっていると、重なり面積が、前記表面電極の面積の10%以下である、請求項8に記載された低背インダクタ。

[請求項10] 前記素体の前記一方主面近傍の、前記基材層の層間に、第1分配電極と第2分配電極とが設けられ、前記コイル導体の一端が前記第1分

配電極に接続され、前記第 1 分配電極が前記表面電極の 2 つに接続され、前記コイル導体の他端が前記第 2 分配電極に接続され、前記第 2 分配電極が前記表面電極の残りの 2 つに接続された、請求項 8 または 9 に記載された低背インダクタ。

[請求項 11] 前記基材層の積層方向に透視した場合に、前記第 1 分配電極および前記第 2 分配電極が、それぞれ、主に前記コイル導体が形成された領域内に配置されている、請求項 10 に記載された低背インダクタ。

[請求項 12] さらに、前記素体の前記一方主面の中央近傍に、電氣的接続をおこなわない、実装強度を高めるための、第 2 ダミー表面電極が形成された、請求項 1 ないし 11 のいずれか 1 項に記載された低背インダクタ。

[請求項 13] 前記第 2 ダミー表面電極が、複数に分割されている、請求項 12 に記載された低背インダクタ。

[請求項 14] 前記素体がセラミックスからなり、
前記素体の他方主面に、電氣的接続をおこなわない、第 3 ダミー表面電極が形成された、請求項 1 ないし 13 のいずれか 1 項に記載された低背インダクタ。

[請求項 15] 前記第 3 ダミー表面電極が複数からなり、
前記基材層の積層方向に透視した場合に、前記第 3 ダミー表面電極が、それぞれ、
前記表面電極と重なる位置に形成されているか、
または、前記表面電極および前記第 1 ダミー表面電極と重なる位置に形成されているか、または、前記表面電極および前記第 2 ダミー表面電極と重なる位置に形成されているか、または、前記表面電極、前記第 1 ダミー表面電極および前記第 2 ダミー表面電極と重なる位置に形成されている、請求項 14 に記載された低背インダクタ。

[請求項 16] 前記基材層が、複数の磁性体基材層と、少なくとも 1 層の非磁性体基材層とで構成され、前記素体において、前記非磁性基材層が、2 層

の前記磁性体基材層に挟まれて積層されている、請求項 1 ないし 15 のいずれか 1 項に記載された低背インダクタ。

[請求項17]

前記素体がセラミックスからなり、

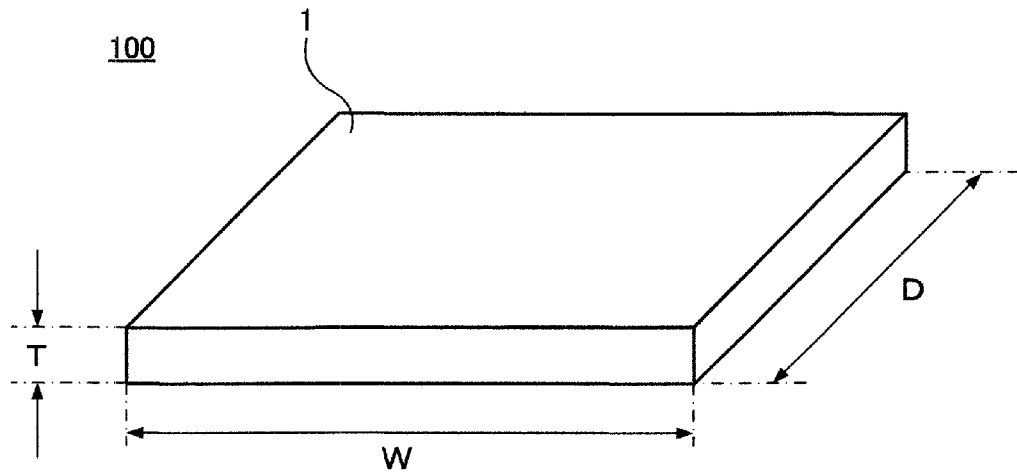
前記素体の内部に、少なくとも 1 層の、前記基材層の積層方向に対して垂直方向に広がる空隙が形成され、

前記基材層の積層方向に透視した場合に、前記空隙が、前記コイル導体が形成された領域と重なっている、請求項 1 ないし 16 のいずれか 1 項に記載された低背インダクタ。

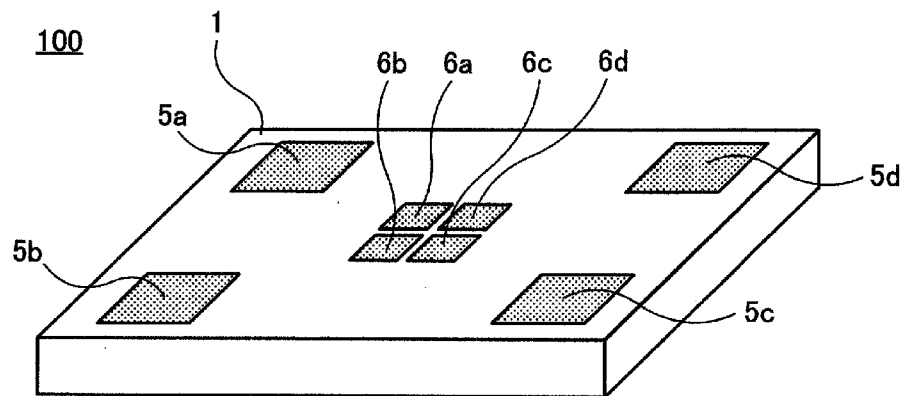
[図1]

図1

(A)



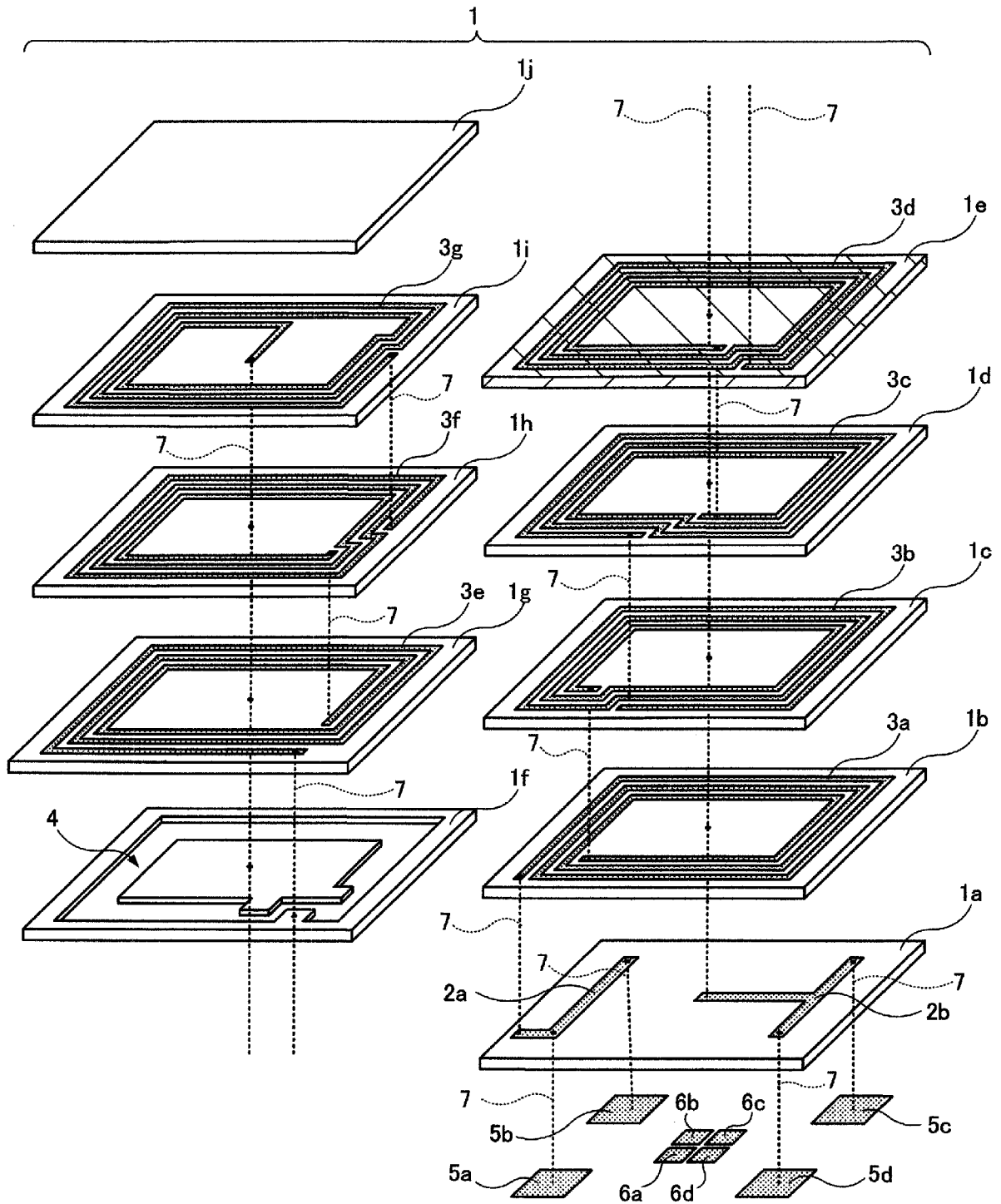
(B)



[図2]

図2

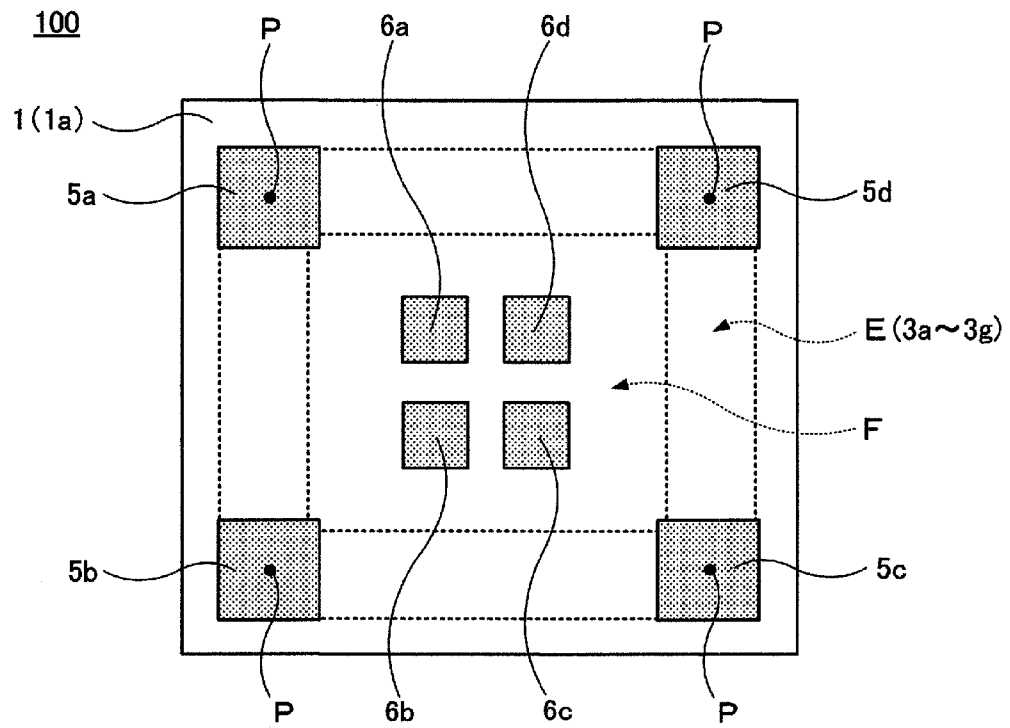
100



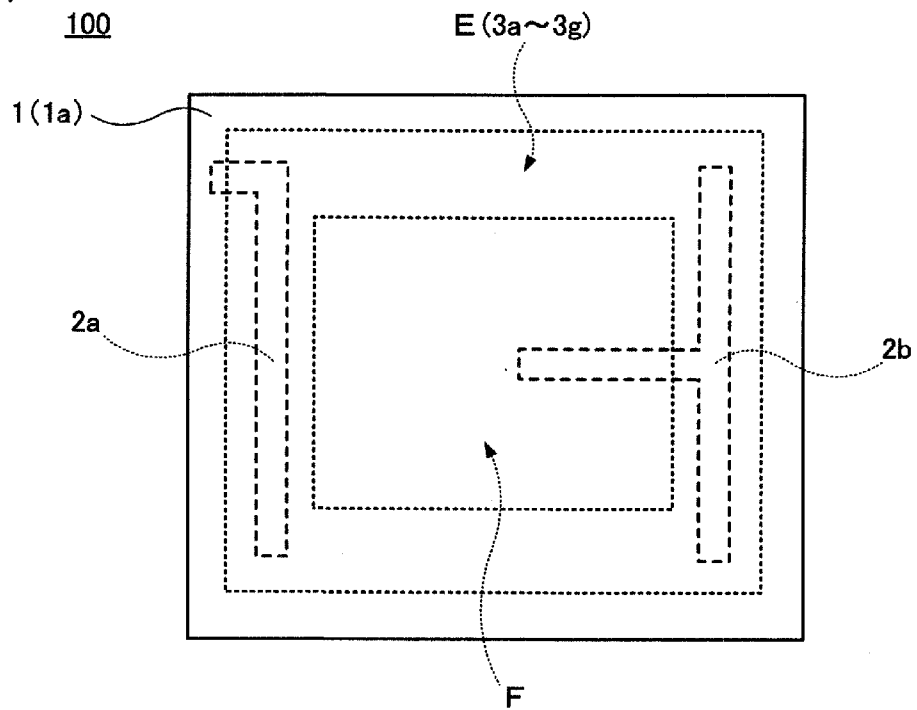
[図3]

図3

(A)



(B)

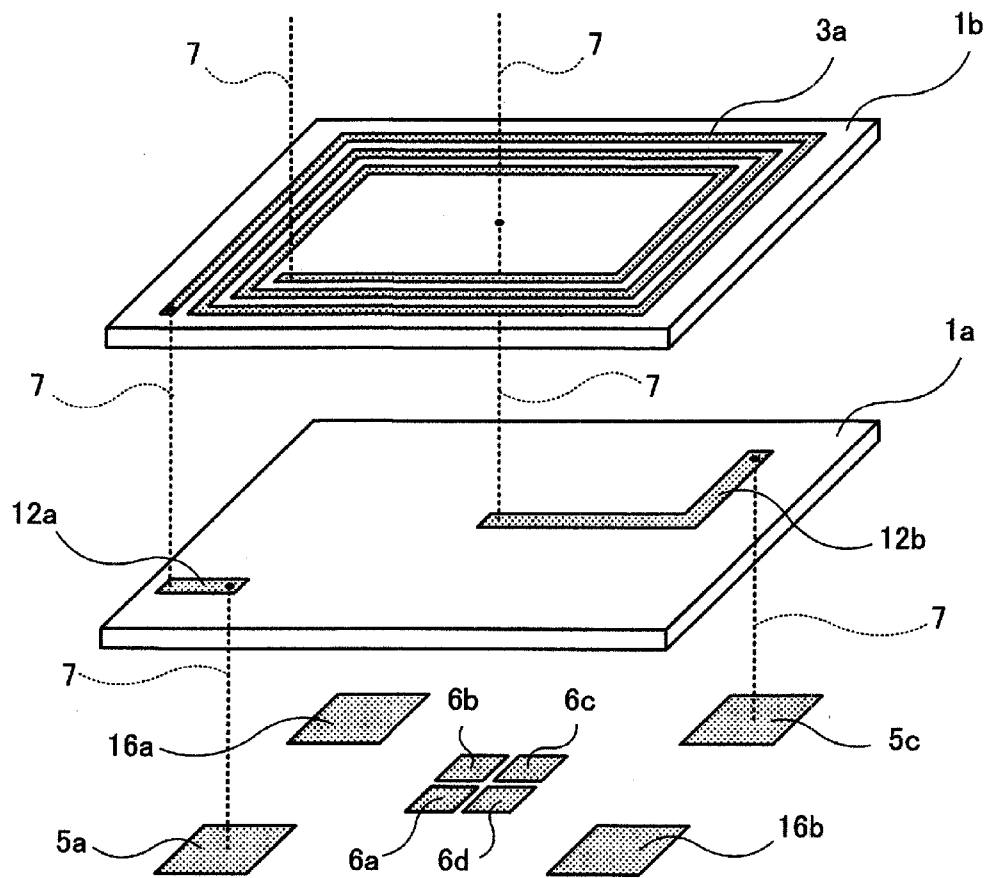


[図4]

図4

200

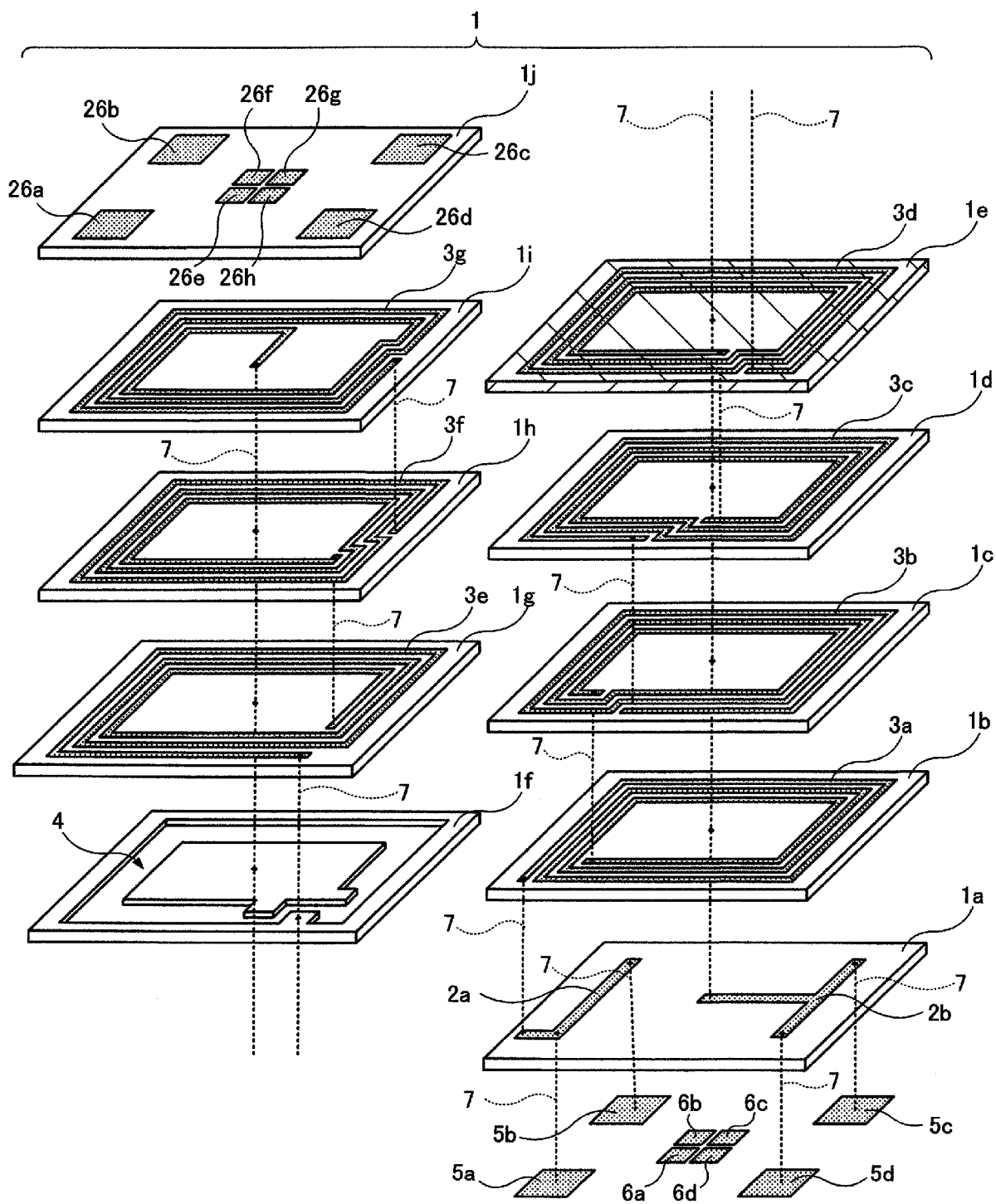
(これより上の基材層は図示を省略)



[図5]

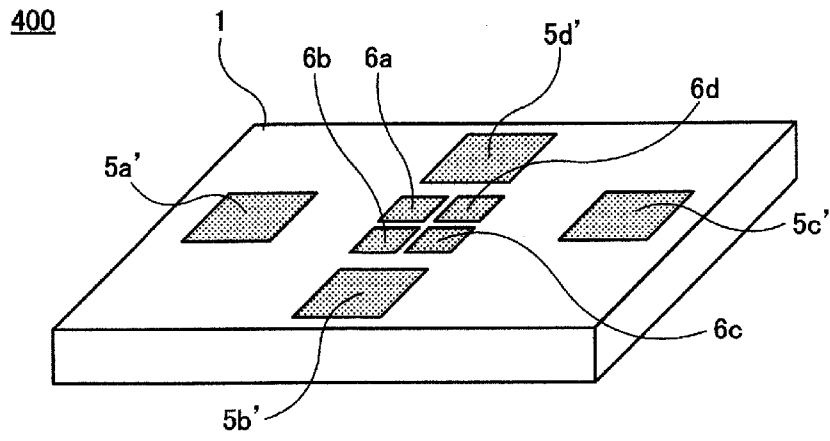
图5

300



[図6]

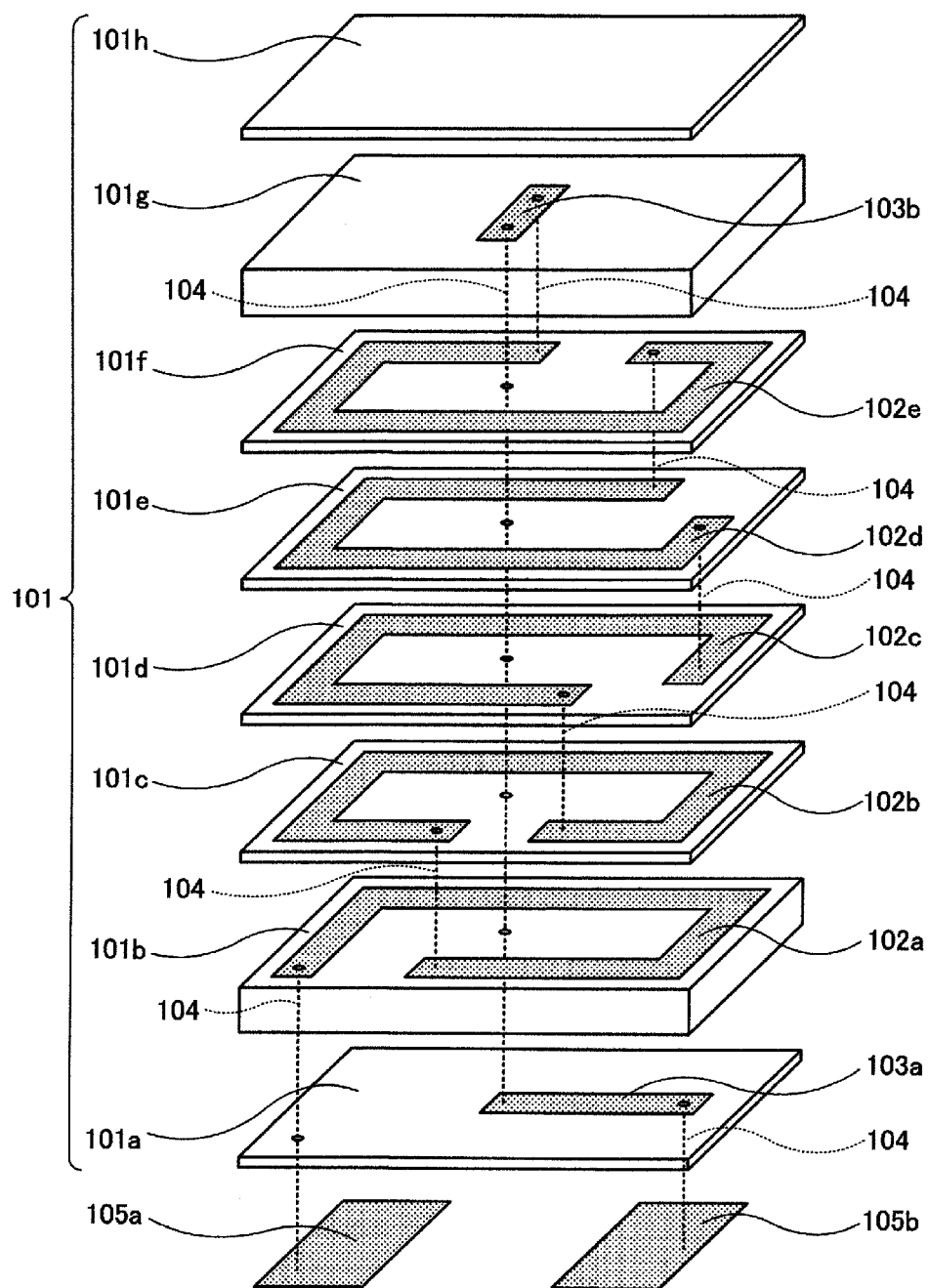
図6



[図7]

图7

500



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/086296

A. CLASSIFICATION OF SUBJECT MATTER

H01F27/29(2006.01) i, H01F17/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F27/29, H01F17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-207432 A (Murata Mfg. Co., Ltd.), 30 October 2014 (30.10.2014), paragraphs [0054] to [0062], [0077] to [0081]; fig. 24 & US 2014/0266949 A1 paragraphs [0112] to [0120], [0135] to [0139]; fig. 24 & GB 2524049 A & WO 2014/147881 A1 & FR 3003404 A1 & CN 104064318 A & TW 201440090 A	1-3, 7, 12-17 4-6, 8-11
Y A	JP 2012-138534 A (Kyocera Corp.), 19 July 2012 (19.07.2012), paragraph [0013]; fig. 1 to 3 (Family: none)	1-3, 7, 12-17 4-6, 8-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 February 2017 (21.02.17)

Date of mailing of the international search report
07 March 2017 (07.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/086296

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-138120 A (Murata Mfg. Co., Ltd.), 16 May 2000 (16.05.2000), paragraphs [0012] to [0018]; fig. 1 to 3 (Family: none)	3, 7, 12-17 1-2, 4-6, 8-11
X Y A	JP 2013-89640 A (TDK Corp.), 13 May 2013 (13.05.2013), paragraphs [0019] to [0021], [0027] to [0037]; fig. 6 to 9 (Family: none)	8-10 12-17 1-7, 11
Y	JP 2012-169407 A (Murata Mfg. Co., Ltd.), 06 September 2012 (06.09.2012), paragraphs [0014] to [0019], [0036] to [0038]; fig. 6 (Family: none)	16-17
A	JP 2002-270428 A (FDK Corp.), 20 September 2002 (20.09.2002), paragraphs [0006] to [0010], [0043], [0047] to [0048]; fig. 13 to 15 (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01F27/29(2006.01)i, H01F17/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01F27/29, H01F17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-207432 A（株式会社村田製作所）2014.10.30, 段落[0054]-[0062], [0077]-[0081], 図24 & US 2014/0266949 A1, 段落[0112]-[0120], [0135]-[0139], 図24 & GB 2524049 A & WO 2014/147881 A1 & FR 3003404 A1 & CN 104064318 A & TW 201440090 A	1-3, 7, 12-17 4-6, 8-11
Y A	JP 2012-138534 A（京セラ株式会社）2012.07.19, 段落[0013], 図1-3 （ファミリーなし）	1-3, 7, 12-17 4-6, 8-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.02.2017

国際調査報告の発送日

07.03.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

久保田 昌晴

5D

4230

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-138120 A (株式会社村田製作所) 2000.05.16, 段落[0012]-[0018], 図 1-3 (ファミリーなし)	3, 7, 12-17 1-2, 4-6, 8-11
X Y A	JP 2013-89640 A (TDK株式会社) 2013.05.13, 段落[0019]-[0021], [0027]-[0037], 図 6-9 (ファミリーなし)	8-10 12-17 1-7, 11
Y	JP 2012-169407 A (株式会社村田製作所) 2012.09.06, 段落[0014]-[0019], [0036]-[0038], 図 6 (ファミリーなし)	16-17
A	JP 2002-270428 A (エフ・ディー・ケイ株式会社) 2002.09.20, 段落[0006]-[0010], [0043], [0047]-[0048], 図 13-15 (ファミリーなし)	1-17