

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4874500号
(P4874500)

(45) 発行日 平成24年2月15日 (2012. 2. 15)

(24) 登録日 平成23年12月2日 (2011.12.2)

(51) Int. Cl.		F I			
G09G	3/22	(2006.01)	G09G	3/22	D
G09G	3/20	(2006.01)	G09G	3/20	6 2 1 F
			G09G	3/20	6 2 2 G
			G09G	3/20	6 7 0 J

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2002-512961 (P2002-512961)	(73) 特許権者	502124444
(86) (22) 出願日	平成13年7月12日 (2001. 7. 12)		コミッサリア ア レネルジー アトミー
(65) 公表番号	特表2004-504639 (P2004-504639A)		ク エ オ ゼネルジ ザルタナテイヴ
(43) 公表日	平成16年2月12日 (2004. 2. 12)		フランス国 エフー75015 パリ、
(86) 国際出願番号	PCT/FR2001/002276		パテイマン 「 ル ポナン デー 」、
(87) 国際公開番号	W02002/007139		リュ ルブラン 25
(87) 国際公開日	平成14年1月24日 (2002. 1. 24)	(74) 代理人	100108453
審査請求日	平成20年6月12日 (2008. 6. 12)		弁理士 村山 靖彦
(31) 優先権主張番号	00 09194	(74) 代理人	100064908
(32) 優先日	平成12年7月13日 (2000. 7. 13)		弁理士 志賀 正武
(33) 優先権主張国	フランス (FR)	(74) 代理人	100089037
前置審査			弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 マトリクス構造とされた電子供給源を放出電荷によって制御するための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス構造とされた電子供給源を制御するための方法であって、
前記電子供給源が、アドレッシングされる少なくとも1つの列と、アドレッシングされる少なくとも1つの行と、を具備し、前記列がアノードとして機能するとともに前記行がカソードとして機能し、これら列と行との交差によって、画素と称される1つまたは複数の放出ゾーンが規定され、電子が、前記行によって供給されるようになっている、場合において、

- まず最初に、選択された列および行に対して、電子放出を可能とする電位を印加することによって電子放出をトリガーし、この放出の持続時間全体にわたってその行の電位を、放出を可能とする前記電位に維持し、これと同時に、その行から前記画素によって放出された電荷量をその行内において測定し、

- 前記行において測定された電荷量が所望電荷量に到達した時点で、その行の電位を、電子放出を阻止するような値へとスイッチングする、
ことを特徴とする方法。

【請求項 2】

請求項 1 記載の方法において、
電子放出を可能とする前記電位を、アドレッシングされていない列の電位に等しいものとすることを特徴とする方法。

【請求項 3】

マトリクス構造とされた電子供給源を制御するためのデバイスであって、

前記電子供給源が、アドレッシングされる少なくとも1つの列と、アドレッシングされる少なくとも1つの行と、を具備し、前記列がアノードとして機能するとともに前記行がカソードとして機能し、これら列と行との交差によって、画素と称される領域が規定され、電子が、前記行によって供給されるようになっている、場合において、

- 選択された列に対して選択された電位を印加することによって列のアドレッシングを制御するとともに、選択された時間以外の時間においては、列を、対応画素からの放出を阻止する電位に維持する、列制御手段と、

- 行を制御するための行制御手段であって、列選択時に各行に関して、放出を可能とする第1電圧と、行を放出禁止とする第2電圧と、のいずれかを印加する印加手段を備えた行制御手段と、

- 放出時に放出された電荷量を当該行内において測定し得るとともに、この測定時に当該行からの放出を可能とし得るよう電圧を一定に保持するための、測定手段と、

- 電荷量の測定値と電荷量の参照値とを比較して、比較結果を前記行制御手段の動作に対して反映させる手段と、

を具備していることを特徴とするデバイス。

【請求項4】

請求項3記載のデバイスにおいて、

さらに、既に放出された電荷量を電圧レベルへと変換するための手段を備えていることを特徴とするデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マトリクス構造とされた電子供給源を制御するための方法および装置に関するものである。

【0002】

様々な電子供給源または電子放出デバイスが、公知である。これら公知のデバイスは、互いに様々な相違するような物理的原理をベースとしている。

【0003】

例えば、ホットカソード、光放出カソード、電界効果マイクロチップカソード（発明の詳細な説明の最後の部分において他の文献と一緒に列記されている文献[1]を参照されたい）、電界効果ナノクラックデバイス（文献[2]を参照されたい）、グラファイトまたはダイヤモンドタイプの平面電子供給源（文献[3]を参照されたい）、LEDと称されるデバイス、が存在する。

【0004】

そのような電子供給源は、主にフラットスクリーンタイプのディスプレイ応用のために使用され、また、例えば物理的計測やレーザーやX線放射源（文献[4]を参照されたい）といったような他の分野のためにも使用される。以下において例示される本発明の例は、（フラットスクリーンも含めて）最も応用されているディスプレイ応用に限定されている。

【0005】

しかしながら、本発明は、この分野に限定されるものではなく、例えばパルス型で駆動される単一画素スクリーンの場合といったような、1つまたは複数の電子供給源を使用している（1列×1行のマトリクスの場合も含む）任意のデバイスに対して応用することができる。

【0006】

図1は、電界放出型電子供給源(2)を使用したディスプレイスクリーンの動作原理を概略的に示している。

【0007】

図1のスクリーンは、さらに、アノード導体(6)を有したアノード(4)を備えている

10

20

30

40

50

。

【0008】

電子供給源(2)を形成するカソードは、通常は、電圧制御される。電子供給源は、この電圧の影響によって、電子束(8)を放出する。

【0009】

図2において斜視図によって概略的にかつ部分的に図示されているような、電界放出型ディスプレイの特別の場合について考察する。このスクリーンは、カソードを備えている。カソードは、基板(10)と、この基板(10)上に形成されたカソード導体(12)と、このカソード導体(12)上に形成された複数のマイクロチップと、を有している。スクリーンは、さらに、グリッド(16)を備えている。グリッド(16)は、カソード導体の上方に形成されているとともに、マイクロチップに対向する穴(18)を有している。スクリーンは、さらに、アノードを備えている。アノードは、基板(20)と、グリッド(16)に対向するアノード導体(22)と、を有している。

10

【0010】

図1に話を戻すと、アノード導体(6)に対して高電圧(V_a)を印加するために、電圧源(24)が使用されている。電子供給源(2)のグリッドに対して電圧(V_g)を印加するとともにこの電子供給源(2)のカソードに対して電圧(V_c)を印加するために、分極手段(26)が使用されている。 $V_g - V_c$ に等しい制御電圧は、 V_{gc} として表される。カソードの特性 $I_{cath} = f(V_{gc})$ が図3に示されている(曲線IおよびII)。しきい値電圧は、 V_{th} として表されている。 V_{th} よりも大きな制御電圧 V_0 に対しては、曲線Iは、カソード電流 I_0 に対応し、一方、曲線IIは、電流 $I_0 - I$ に対応する。

20

【0011】

電子供給源によって放出される電子は、高電圧(V_a)が印加されているアノードによって、加速され収集される。蛍光材料層(28)がアノード導体(6)上に成膜されている場合には、電子の運動エネルギーは、光へと変換される。

【0012】

図1の基本構造を、マトリクス構造の形態でもって組織化することによって、ディスプレイスクリーンを得ることができる。このマトリクス構造は、スクリーン上の各画素をアドレスリングできなければならず、そのため、対象をなす画素の輝度を制御できなければならない(文献[5]を参照されたい)。

30

【0013】

マトリクス構造(30)とされた電子供給源を使用したマトリクス構造スクリーンが、図4に概略的に示されている。電子供給源(30)内の各画素は、この電子供給源上の列電極と行電極との交差によって規定されている。この電子供給源の列電極は、 $L_1, L_2, \dots, L_i, \dots, L_n$ として表されており、この電子供給源の行電極は、 $C_1, C_2, \dots, C_j, \dots, C_m$ として表されている。図4のスクリーンは、列走査実行器(34)を備えている。この走査実行器には、電圧(V_{ins})を有した電圧源(36)と、電圧(V_{is})を有した電圧源(38)と、が設けられている。列(L_i)の制御電圧は、 V_{li} として表される。このスクリーンには、さらに、行制御電圧を生成するための手段(40)が設けられている。行(C_j)の制御電圧は、 V_{cj} として表される。

40

【0014】

より詳細には、制御回路は、スクリーン上の各列および各行に対して割り当てられており、アドレスリングは、時刻(t_{lig})において1つの列に関して一度に行われる。その場合、列電位が、列選択電圧と称される V_{is} へと、順次的に増大される。一方、行電位は、表示すべき情報に対応した電位へと増大される。この時刻(t_{lig})においては、選択されていない列は、行の上に存在する電圧が列上の表示に影響を与えないよう、電位(V_{ins})へと増大される。値($V_{li} - V_{cj}$)または制御電圧の持続時間(t_{com})は、グレーレベルを制御し得るように変更することができる。しかしながら、持続時間は、 t_{lig} 以下でなければならない。

50

【 0 0 1 5 】

他の制御手法も可能である。例えば、『電荷制御手法』と単純に称されるような、電荷を使用した制御手法が存在する（文献[6]を参照されたい）。『電流制御手法』と単純に称されるような、電流を使用した制御手法も存在する（文献[7]を参照されたい）。

【 0 0 1 6 】

以下においては、様々な制御手法について考察する。特に、電荷制御手法について考察する。

【 0 0 1 7 】

【従来の技術および発明が解決しようとする課題】

上述した3つの制御手法は、マトリクス構造とされた電子供給源の制御に関して、完全に満足いく解決手段をもたらさない。主要な技術的制約を要することなく一様で定量化された電子放出が得られることが、通常は必要とされる。

【 0 0 1 8 】

グレーレベルを得るために、様々な手法において電圧制御を行うことが、広く使用されている。それは、実施が容易であるからである。しかしながら、これは、電子供給源の電気的応答が安定的でありかつ一様であることを前提とする。しかしながら、安定でありかつ一様であるという状況は、公知のマトリクス構造電子供給源においては、得ることが困難である。スクリーンに対しての高度の一様性要求は、不合格率を大きなものとしかねない。同様に、電子供給源の特定領域が使用される度合いの関数として電子供給源の一様性を破壊することによって、実質的な寿命を劣化させるような様々な経時劣化という問題が存在する。

【 0 0 1 9 】

この問題点を解決するために、電流制御を考えることができる。それは、電流制御においては、電流が注入される。したがって、所定量の電子が注入される。この原理は、静的条件においても当てはまる。他方、電子供給源の電流を急速に変更することが要求された場合には、キャパシタンス充電という問題点が発生する。行電極は、行が通過している複数の列に対してのキャパシタと同等であり、このキャパシタを急速に充電するために必要な電流は、放出電流よりも数桁大きなものである。

【 0 0 2 0 】

例えば、 $1/4 \text{ V G A}$ という解像度と 1 dm^2 という面積とを有した電界放出ディスプレイにおいては、複数の列に対しての1つの行のキャパシタンス (C_{c01}) は、約 400 pF に等しい。画素を照光することが必要とされたときには、すなわち、画素を励起することが必要とされたときには、この画素を流れる電流は、ほぼ0という値から約 $10 \mu\text{A}$ という値へと変化し、これは、列-行電圧を約 40 V だけ増大させることにより行われる。スイッチングを $1 \mu\text{s}$ ($60 \mu\text{s}$ という列時間と比較して) 以内で行うべきである場合には、容量性電流は、 $I = C_{c01} \times dV / dt$ に等しい。すなわち、約 16 mA に等しい。

【 0 0 2 1 】

よって、容量性電流は、制御されるべき放出電流よりも 1000 倍も大きなものである。明らかに、このタイプの手法は、マトリクスタイプの電子供給源構造に関する高速制御には、不適切である。

【 0 0 2 2 】

電荷制御は、この問題点を解決するために既に提案されている（文献[6]を参照されたい）。図5は、電荷制御を使用しているような、マトリクス構造とされた電子供給源を備えたディスプレイスクリーンを概略的に示している。図5のスクリーンと図4のスクリーンとの間における唯一の相違点は、スクリーン上の電子供給源の行に対して制御電圧を印加するための手段である。図5の場合には、例えば C_j といったようなある1つの行に対して制御電圧を印加するための手段(42)は、同期ライン信号($E1$)が入力される論理モジュール(44)と、設定値($A1$)が入力されるとともに図5に示すようにして論理モジュール(44)に対して接続されている比較器(46)と、を備えている。電圧印加手段(42)は、さらに、3状態出力ステージ(48)を備えている。3状態出力ステ

10

20

30

40

50

ージ(48)も、また、論理モジュール(44)に対して接続されている。3状態出力ステージ(48)には、図示しない電圧源から電圧(V_{c-on} および V_{c-off})が入力されている。3状態出力ステージと比較器とは、電子供給源の対応行(考慮している例においては C_j)に対して接続されている。

【0023】

電荷制御の場合には、考慮している行導体は、電子供給源からの放出を可能とするように、予備充電される(V_{c-on})。その後、回路が開放され、行キャパシタが、内部インピーダンスによって放電され、最終的には、浮遊電位(V_{c_j})が、要求された電子量に相当する設定値($A1$)に到達する。その後、行は、放出停止電位(V_{c-off})へと調節される。この手順は、理想的なものであり、理想的な特性の構成要素の使用を必要とする。この

10

【0024】

上記においては、行電極が、マトリクス構造とされた電子供給源の列に対してのキャパシタとして見なすことができるものとして説明した。しかしながら、対象としている行と複数の列との間を循環する漏洩電流も存在し、これら漏洩電流は、電極間の電位差に応じて変化する。したがって、回路が開放されたときには、電位降下は、放出電流だけに依存するのではなく、電位降下に応じてそれ自体が変動する漏洩電流にも依存する。

【0025】

より詳細には、この電位変動は、行の自己キャパシタンス内に収集された電荷を測定する必要がある。しかしながら、この変動が問題点を引き起こす。時刻(t_{lig})においては、各行は、選択された列に対して漏洩することとなる。しかしながら、選択されていないすべての列に対しても漏洩することとなる。この問題を簡単化するために、この欠陥が、すべての画素に関して、理想的な漏洩抵抗(R_{lc})と同等であるものと仮定する。この値は、任意の1つの行に関しての列/行漏洩インピーダンスを示す。ある行に関して放出時刻においては、この漏洩電流(I_f)は、以下のように表される。

20

$$I_f = I_{f(l_s)} + I_{f(l_{ns})}$$

$$= (V_{l_s} - V_{c_j}(t)) / R_{lc} + (n - 1) \times (V_{l_{ns}} - V_{c_j}(t)) / R_{lc}$$

ここで、 I_f は、すべての列に対してのある行の漏洩電流であり、

$I_{f(l_s)}$ は、選択された列に対してのある行の漏洩電流であり、

$I_{f(l_{ns})}$ は、選択されていない列に対してのある行の漏洩電流であり、

30

V_{l_s} は、選択された列に対して印加された電位であり、

$V_{l_{ns}}$ は、選択されていない列に対して印加された電位であり、

$V_{c_j}(t)$ は、放出時刻における行(j)の浮遊電位であり、

n は、列の数である。

【0026】

簡単化のために、 $V_{l_{ns}}$ は、0Vに等しいものと仮定することができる。それは、 $V_{c_j}(t)$ が、 V_{l_s} よりもずっと小さいからである。これにより、以下の式を得る。

$$I_f = I_{f(l_s)} + I_{f(l_{ns})}$$

$$= V_{l_s} / R_{lc} - (n - 1) \times (V_{c_j}(t) / R_{lc})$$

【0027】

40

これは、様々なスクリーン行の値(R_{lc})に対して深刻な制約を付加する。漏洩電流は、無視できるものである(R_{lc} 値が大きい)か、あるいは、漏洩電流が完全には無視できないものであるか、のいずれかである。無視できない場合には、最小の必須要求は、これら抵抗(R_{lc})が、非常に一様であることである。

【0028】

また、不適切な R_{lc} の値を有した単一画素が、上記式における項($n - 1$)を通して、考慮している行全体に対しての漏洩を課することとなることがわかる。

【0029】

考慮している例においては、放出に基づく行の電圧降下は、次のものに等しい。

$$V_{c_j} = I \times t_{lig} / C_{col}$$

50

つまり、 $I = 10 \mu A$ 、 $t_{lig} = 50 \mu s$ 、 $C_{col} = 400 pF$ である場合には、 $V_{cj} = 1.25 V$ となる。

【0030】

この変化 V_{cj} が、設定値 (A1) と比較されなければならないことに注意されたい。この電圧変化 V_{cj} は、行のキャパシタンスの値に依存する。このことは、スクリーンに関しての (このスクリーンの寸法に関連した) 技術的変数を、制御回路設計パラメータ内に組み込む。実施に際しては、比較器 (46) が行制御電圧の生成手段をなすアセンブリの出力ステージのところに配置されていることがわかる。このことは、この比較器が、行の制御のために必要な電圧範囲の全体 (約 $40 V$) に耐えなければならないこと、あるいは、付加的なステージを設けることによって比較器を出力から切り離し可能でなければならないこと、を意味する。

10

【0031】

【課題を解決するための手段】

本発明の目的は、上述した様々な欠点を克服することである。

【0032】

本発明の目的は、マトリクス構造とされた電子供給源を制御するための方法であって、電子供給源が、アドレッシングされる少なくとも1つの列と、アドレッシングされる少なくとも1つの行と、を具備し、これら列と行との交差によって、画素と称される1つまたは複数の放出ゾーンが規定され、電子が、行によって供給されるようになっている、場合において、本発明による方法は、

20

- まず最初に、選択された列および行に対して、電子放出を可能とする電位を印加することによって電子放出をトリガーし、この放出の持続時間全体にわたってその行の電位を、放出を可能とする電位に維持し、これと同時に、その行から画素によって放出された電荷量をその行内において測定し、

- その後、その行において測定された電荷量が所望電荷量に到達した時点で、その行の電位を、電子放出を阻止するような値へとスイッチングする、ことを特徴としている。

【0033】

本発明による方法の好ましい実施形態においては、電子放出を可能とする電位を、アドレッシングされていない列の電位に等しいものとする。

30

【0034】

本発明の他の目的は、マトリクス構造とされた電子供給源を制御するためのデバイスであって、電子供給源が、アドレッシングされる少なくとも1つの列と、アドレッシングされる少なくとも1つの行と、を具備し、これら列と行との交差によって、画素と称される領域が規定され、電子が、行によって供給されるようになっている、場合において、このデバイスは、

- 選択された列に対して選択された電位を印加することによって列のアドレッシングを制御するとともに、選択された時間以外の時間においては、列を、対応画素からの放出を阻止する電位に維持する、列制御手段と、

- 行を制御するための行制御手段であって、列選択時に各行に関して、放出を可能とする第1電圧と、行を放出禁止とする第2電圧と、のいずれかを印加する印加手段を備えた行制御手段と、

40

- 放出時に放出された電荷量を当該行内において測定し得るとともに、この測定時に当該行からの放出を可能とし得るよう電圧を一定に保持するための、測定手段と、

- 電荷量の測定値と電荷量の参照値とを比較して、比較結果を行制御手段の動作に対して反映させる手段と、

を具備していることを特徴としている。

【0035】

本発明の特別の実施形態においては、本発明によるデバイスは、さらに、既に放出された電荷量を電圧レベルへと変換するための手段を備えている。本発明によるデバイスは、

50

さらに、残留漏洩電流補償手段を具備することができる。

【0036】

本発明によるデバイスは、さらに、行間容量性結合に関する補償手段を具備することができる。

【0037】

【発明の実施の形態】

本発明は、添付図面を参照しつつ、本発明を何ら限定するものではなく単なる例示としての好ましい実施形態に関する以下の詳細な説明を読むことにより、明瞭に理解されるであらう。

【0038】

したがって、文献[6]において言及されているような上述した電荷制御技術は、制御される行の電位が変動するという主要課題を有している。

【0039】

上述したようにして、漏洩電流 I_{leak} の表式について考察する。

$$I_{leak} = I_{leak\ ls} + I_{leak\ lns} \\ = (V_{ls} - V_{cj-on}(t)) / R_{lc} + (n - 1) \times (V_{lns} - V_{cj-on}(t)) / R_{lc} \quad (1)$$

【0040】

この表式は、選択された列に関する漏洩電流成分と、選択されていない $(n - 1)$ 個の列に関する漏洩電流成分と、を明瞭に示している。第1成分は、必然のもの(不可避なもの)である。それは、スクリーン操作の基本原理に関連するものであるからである。第2成分は、 $V_{cj}(t)$ と V_{lns} との双方が同じ定数に等しければ、キャンセルできるものである。

【0041】

本発明は、そのような条件下で動作する制御回路を提案する。

【0042】

上記説明においては、図5に関連した従来技術(文献[6])に基づいた、電荷制御のために必要な様々な機能モジュールについて言及した。本発明に基づいた様々な機能モジュールは、図6に概略的に示されている。図6において、符号(50)は、スクリーン行(C_j)に関する制御手段を示している。図からわかるように、制御手段(50)は、制御論理モジュール(52)と、比較器(54)と、 V_{col} の制御機能を有した電流積分器(56)と、出力ステージ(58)と、を備えている。

【0043】

本発明のこの例においては、以下の複数の機能が順次的に実行される。この行(C_j)上の画素は、出力ステージ(58)を使用して、放出($V_{cj} = V_{c-on}$)へと初期化される。放出デバイスへと供給された電流は、 V_{c-on} という値において安定とされた行電位を維持しつつ、集積される。これは、後述する機能モジュールを使用して行われる。その結果、放出電荷に比例した $A2$ という電圧(図6参照)が得られる。外部設定値($A1$)によって選択された必要電荷が供給された時点で、出力ステージ(58)によって、画素からの放出(画素の発光)が、停止される($V_{cj} = V_{c-off}$)。この動作モードにおいて、考慮している画素からの放出時には、式(1)は、式(2)となる。

$$I_{leak} = I_{leak\ ls} + I_{leak\ lns} \\ = (V_{ls} - V_{cj-on}) / R_{lc} + (n - 1) \times (V_{lns} - V_{cj-on}) / R_{lc} \quad (2)$$

【0044】

この行の電圧は、固定的なものとなり、 $V_{cj-on}(t)$ と V_{c-on} との双方は、共に同じ一定値に等しい。 $(n - 1)$ 個の列に関する漏洩項は、 V_{c-on} を、 V_{lns} と等しいように選択することにより、キャンセルすることができる。簡単化の理由のために、これら2つの電位を、デバイス全体のグラウンド参照に等しいものと定義する。その結果、次の式となる。

$$I_{leak} = I_{leak\ ls} = V_{ls} / R_{lc} \quad (3)$$

10

20

30

40

50

【 0 0 4 5 】

本発明のこの例において使用した制御手法の利点が、漏洩電流がなおも存在するにしても、この漏洩電流が、アドレッシングされた画素だけに依存し、同じ行内におけるアドレッシングされていない他の $(n - 1)$ 個の画素にはもはや依存しないことであることは、即座に理解されるであろう。言い換えれば、本発明のこの例において使用されるアドレッシング手法は、同じスクリーン（抵抗 R_{lc} という点において同じスクリーン）に対して、より良好な像品質をもたらすことができる。

【 0 0 4 6 】

このような状況下においては、残留電流を補償することができる。それは、この残留電流が、電圧 (V_{ls}) が固定されていることのために一定であるからである。したがって、反対符号の電流を、各列時間中において、各行に対して注入することができる。

10

【 0 0 4 7 】

したがって、本発明は、

- 行の電位を、アドレッシングされていない列の電位の対して等しいものであるように維持し得るとともに、放出時間全体にわたって行を經由して画素から放出された電荷量を同時に測定し得るような、また、

- 測定された電荷量が所望電荷量に到達した時点で、放出を停止し得るようなレベルにまで行電位を復帰させ得るような、

電子供給源の制御のための順次的な方法に関するものである。

【 0 0 4 8 】

20

次に、図 7 に示されているような、本発明による行制御デバイスの例について説明する。

【 0 0 4 9 】

この制御デバイス (60) は、プッシュ - プルタイプの出力ステージ (62) と、電流積分回路 (64) と、比較器 (66) と、を備えている。

【 0 0 5 0 】

出力ステージ (62) を使用することによって、行電極 (C_j) 上へと、画素が放出停止するようなレベルに対応した電力供給電圧 V_{c-off} を接続するか、あるいは、仮想的なグラウンド（選択されていない列と同じ電位とする）によってレベル V_{c-on} をもたらず積分回路 (64) への入力ポートに対して接続するか、を切り換えることができる。出力ステージ (62) は、論理レベルを変換するための公知手段 (68) と、2つの MOSFET (70, 72) と、を備えている。トランジスタ (70) は、Pタイプのものであり、トランジスタ (72) は、Nタイプのものであり、そして、手段 (68) およびトランジスタ (70, 72) は、図 7 に示すようにして配置されている。

30

【 0 0 5 1 】

積分回路 (64) は、増幅器 (74) を備えている。増幅器 (74) は、キャパシタンス値 (C_{int}) を有したキャパシタ (76) によってループバックされている。キャパシタ (76) は、制御スイッチ (SW1) と並列に設置されている。増幅器 (74) からの出力 (A2) は、比較器 (66) の (-) 側入力ポートに対して接続されている。

【 0 0 5 2 】

制御スイッチは、各列の最初における電位 (A2) を、ゼロとする。

40

【 0 0 5 3 】

比較器 (66) の (+) 側入力ポートは、放出される電荷量に対応した設定電圧 (A1) に対して接続されている。本発明においては、この設定電圧値 (A1) は、本発明が適用される用途に応じた様々な手段によって、供給することができる。図 7 に示す例においては、デジタルアナログコンバータ (DAC、図 7 においては CDA として示されている) が使用されている。このデジタルアナログコンバータは、デジタル設定電圧データ (DN) を入力として受領するとともに、設定電位 (A1) を出力として供給する。

【 0 0 5 4 】

比較器回路からの出力 (S2) は、データがフィードバックを行い得るようにして、プッシュ - プルタイプの出力ステージを制御する。

50

【 0 0 5 5 】

後述するタイミングチャートに基づいた信号 (S 1) (1 つの列に対して割り当てられた時刻の最初に対応) が、スイッチ (S W 1) を制御する。信号 (S 1) を供給している制御論理モジュール (5 2) が、また、図示しない列制御回路 (P L) も、制御していることがわかる。

【 0 0 5 6 】

図 8 は、列アドレッシングサイクル時におけるデバイス内の様々な電圧に関するタイミングチャートを示している。サイクルは、(図 8 のパート B に示すような) 開始パルス信号 (S 1) によって、(図 8 のパート A において示すように) 時刻 (t_0) において開始される。開始パルス信号 (S 1) は、信号 (S 2) の立上りをトリガーし (図 8 のパート C)、これにより、出力ステージを使用することによって、列電位 (V_{c_j}) を V_{c-on} (仮想グラウンド) に変更する。 V_{c_j} が電圧 V_{c-on} に等しくなるまでの時間経過後 (時刻 t_{on}) に、信号 (S 1) は、ローレベルへと変化し、これにより、スイッチ (S W 1) を開放して、 C_{int} 内における電流積分を開始させる。放出は、 V_{Li} を、電位 V_{InS} (回路グラウンドとして定義されている) から選択電位 V_{Is} へと設定することによって開始される。増幅器 (U 1) とキャパシタ (C_{int}) とからなるアセンブリは、以下の式に従って A 2 へと充電される (図 8 におけるパート D)。

$$A 2 = - I \times t / C_{int}$$

【 0 0 5 7 】

電位 (A 2) が設定電位 (A 1) へと到達した時点で、比較器 (U 2) が、出力 (S 2) を切り換える (S 2 を降下させる)。これにより、時刻 $t = t_{off}$ において、 V_{c_j} が、出力ステージを使用することによって、 V_{c-off} へと復帰させる (図 8 におけるパート B)。これにより、次のようになる。

$$Q = I \times (t_{off} - t_{on}) = C_{int} \times A 1$$

【 0 0 5 8 】

したがって、上述したデバイスが、対象となっている画素に対して、放出時間中に行に対して印加された電圧を変更することなく、供給された設定値 (A 1) によって制御された電荷を出力し得ることがわかる。

【 0 0 5 9 】

行電位 (V_{c_j}) が (V_{c-on} へと) 設定され終わった後に、列電位 (V_{Li}) が選択電位 (V_{Is}) へとスイッチングされ、これにより、充電すべきキャパシタンスを、対象となっている画素だけのキャパシタンスに等しくなる程度にまで、低減させることができることに、注意されたい。したがって、行内における容量性電流が、最小化されることとなる。

【 0 0 6 0 】

電位 (V_{Li}) が時刻 (t_{on}) よりも前に上昇した場合には、放出電流は、積分の開始よりも先に、開始される (そのため、対応する電荷が測定されなくなってしまう)。電位 (V_{Li}) が、積分開始 (時刻 t_{on}) 時点においてまたは積分開始後に上昇した場合には、画素容量性電流に対応する電荷が、測定され、A 2 における初期電圧オフセットが形成されてしまう。したがって、 V_{Li} の上昇時点と S 1 の立ち下がり時点との間のわずかの時間ズレは、用途に応じた最良の妥協が得られるように、調節することができる。

【 0 0 6 1 】

黒色で表示すべき行を、理由もなく V_{c-on} へとスイッチングすることを防止するために、このレベルを、ローレベルにおける対応行に関する信号 (S 1) を維持することによって、制御論理により直接的に管理することができることに、注意されたい。

【 0 0 6 2 】

本発明による行制御デバイスの他の例示としての実施形態が、図 9 において概略的に示されている。これは、図 7 の変形例である。

【 0 0 6 3 】

要約すれば、先のシステム (図 7) は、既に放出された電荷量を電圧レベルへと変換し、設定電荷量 (Q_{ref}) へと到達した時点で、時刻 (t_{off}) において行制御ステージの制

10

20

30

40

50

御を変更する。

【0064】

同様の結果は、電流 - 電圧コンバータ (CCT) タイプの回路を使用することによって得ることができる。電流 (I_j) は、列時間にわたって安定であり、デジタル式またはアナログ式計算回路 (CCN) に関連させてこの電流の瞬時測定を使用することによって、列時間の最初において、 $t_{off} = Q_{ref} / I_j$ として行スイッチング時刻 (t_{off}) を計算することができる。

【0065】

この手段は、図9に示されている。この図において、スイッチ (SW2) は、測定時間を除いては、電流を直接的にグラウンドへと流す。大きな容量性電流は、列/行スイッチング時には、電流電圧コンバータ (CC2) を妨害することができる。

10

【0066】

図9は、コンバータ (CCT) が、図7の例において既に使用されていた増幅器 (74) を備えていることを示している。しかしながら、図9の場合には、増幅器 (74) は、増幅器 (74) の (-) 側入力ポートと出力ポートとの間に設置された抵抗 (R) と関連している。

【0067】

また、回路 (CCN) が、適切な手段 (DNA) からデジタルデータまたはアナログデータを受領していることがわかる。

【0068】

さて、残留漏洩電流の補償について説明する。

20

【0069】

各列時間の際に、各行に対して、 $I_{leak\ is}$ と反対符号の補償電流を注入するために、電流源が、積分測定入力 (図6, 7参照) に対して接続される。例えば、この接続は、電流源として設置されたトランジスタ、あるいは、図10に示すように可変電圧源 (GT) によって制御された抵抗 (R_{comp}) として設置されたトランジスタ、を備えることができる。

【0070】

次に、行間容量性結合の補償に関連しているような、本発明の他の見地について説明する。

30

【0071】

任意の行 (j) の電位が V_{c-on} から V_{c-off} へとスイッチングされたときには、 C_{par} を行間結合キャパシタンスとして表した場合、寄生電荷 $Q_{par} = C_{par} (V_{c-on} - V_{c-off})$ が、隣接している行 ($j - 1$) または ($j + 1$) 上に誘起される。行 ($j - 1$) または ($j + 1$) が、この時点でなおも放出している場合には、電荷 (Q_{par}) は、これら行上に配置されている積分器によって測定されてしまうこととなる。これは、それら行内の画素から放出された電荷に関する測定を乱してしまう。この電荷 (Q_{par}) が、与えられたスクリーンサイズに関して一定であることにより、複数の手段によって、この問題を解決することができる。これら手段を互いに組み合わせることによって、所望数のグレーシェイドに関する仕様を得ることができる。キャパシタンス (C_{par}) を低減するための技術的改良に加えて、主要な2つのクラスの手段を考慮することができる。

40

【0072】

1) 電荷 (Q_{par}) が、電荷積分器によって測定されることを防止するという手段。これには、この積分器の入力側においてアナログフィルタリング手段が構築される必要がある。

【0073】

図11は、行間キャパシタンスに基づく寄生電荷をフィルタリングするためのダイオードを使用した例を示している。これは、積分器よりもずっと高速に応答する高速スイッチングダイオードをベースとした非同期手段である。言い換えれば、容量性電流の変動が放出電流の変動と比較して急速に起こるという事実を利用している。容量性電流の変動は、列

50

時間における定常条件下では、実質的にゼロである。同様に、アナログフィルタや論理フィルタを使用することによって、放出電流と寄生容量性電流とを識別することができる。

【0074】

図11に示す例においては、2つのフィルタリングダイオード(D F 1, D F 2)が使用されており、これにより、行間キャパシタンスに基づく寄生電荷をフィルタリングし得るようになっている。

【0075】

図12は、行間キャパシタンスに基づく寄生電荷をトランジスタによってフィルタリングすることを含んでいるような、行制御デバイスの例示としての実施形態を示している。これは、同期タイプ的手段である。この場合には、比較器からの出力は、正に使用される瞬間に、論理供給モジュール(52)によって再確認される。この場合、行を V_{c-on} から V_{c-off} へとスイッチングする瞬間は、固定される。したがって、この消費に関連した容量性電流が、電荷測定において積分されることを同期的に防止することができる。図12に示す例においては、必要なことのすべては、すべての行に関して、S2と同期させて、SW2を閉塞するとともにSW3を開放することである。容量性電流の消滅に必要な最小時間の後に(隣接した行がスイッチングされている場合)、SW2を開放しかつSW3を閉塞することによって、標準測定モードが再開される。両スイッチ(SW2, SW3)の動作周波数(F_{SW})は、所望数のグレーシェイド(N_{grey})に適合し得るよう十分に高速でなければならない。 F_{row} をスクリーン列のアドレッシング周波数としたときに、 $F_{SW} > N_{grey} \times F_{row}$ という条件が満たされなければならない。

【0076】

II) 積分器の出力側においてアナログまたはデジタルタイプ的手段を使用可能とすることによって、電荷(Q_{par})を補償すること(固定された電荷であることにより)。

【0077】

図13は、互いに隣接している行どうしの間における行間キャパシタンスに基づく寄生電荷をアナログ的に補償することを含んでいるような、行制御デバイスの例示としての実施形態を示している。任意の行(j)に関し、行($j-1$, および, $j+1$)を V_{c-off} へとスイッチングする信号を使用することによって、加算器を使用することにより $V_{par} = Q_{par} / C_{int}$ によって設定値(A1)を再調整することができる。明らかのように、この加算は、デジタルアナログコンバータ(CDA)の入力側においてデジタル的に行うことができる。

【0078】

図13の例においては、加算器は、記号(ADD)によって示されている。行($j-1$, $j+1$)のそれぞれに対してのスイッチング信号は、記号($S2_{j-1}$, $S2_{j+1}$)によって示されている。

【0079】

これら信号が、図13に示すようにして加算器(ADD)に対して接続されている各対応スイッチ(SW_j , SW_{j+1})を制御することがわかる。

【0080】

次に、本発明によってもたらされる様々な利点について説明する。

【0081】

要約すれば、本発明において提供される制御方法は、パルス幅が放出電荷によって制御されるようになっているパルス幅変調(PWM)タイプの一定行電圧制御である。このタイプの行制御回路は、有利な実施形態に関して上述したように、以下の多くの利点を有している。

- 行漏洩電流を、アドレッシングされた行だけに関しての漏洩電流に等しくなるように、制限することができる。これにより、与えられたスクリーンに関しての一様性という観点において、より良好な像品質をもたらすことができる。
- 残留漏洩電流を列時間において安定化することができ、残留漏洩電流を、考慮している画素から放出されることとなる電荷量とは無関係なものとするすることができる。

10

20

30

40

50

- さらに漏洩電流に関し、電流積分回路内における漏洩電流の効果を、時間に対して線形なものとするのができ、漏洩電流を単純に補償することができる。

- 従来技術による電荷制御とは異なり、本発明による制御モードによれば、放出全体にわたって行電圧を一定に維持することができる。このことは、画素からの放出を最大に維持できること、そのため、与えられた列時間に関して、輝度を最大化することができることを意味する。

- 本発明により提供された制御回路は、スクリーンの技術的特徴点や寸法的特徴点に関して『無関係な』ものである。

- 電圧という観点において、本発明による制御回路は、放出電荷の測定機能（積分器および比較器）と、出力ステージの機能と、を完全に分離することができる。例えば、測定機能を5ボルトで動作させ、一方、出力ステージによってスイッチングされる行電位を数十ボルトとすることを、想定することができる。

10

【0082】

本明細書においては、以下の文献に言及している。

[1] Ecrans fluorescents a micropointes (Fluorescent field emission displays), R. Baptist, L'onde électrique, November - December 1991, vol.71, No. 6, pp. 36-42

[2] Flat panel displays based on surface-conduction electron emitters, K. Sakai et al., Proceedings of the 16th international display research conference, ref.1 8.3L., pp. 569-572

20

[3] Carbon nanotube FED elements, S. Uemura et al., SID 1998 Digest, pp. 1052-1055

[4] Recent progress in field emitter array development for high performance applications, Dorota Temple, Materials science & engineering, vol. R 24, No. 5, January 1999, pp. 185-239

[5] Microtips displays addressing, T. Leroux et al., SID 91 Digest, pp. 437-439

[6] J-F Clerc 氏および A. Ghis 氏による “Procédé d'adressage d'un écran matriciel fluorescent a micropointes (Addressing process for fluorescent field emission display)” と題する仏国特許出願公開明細書第 2 6 3 2 4 3 6 号。欧州特許出願公開明細書第 0 3 4 5 1 4 8 号および米国特許明細書第 5 1 3 8 3 0 8 号に対応。

30

[7] H.F. Gray 氏による “Regulatable field emitter device and method of production thereof” と題する米国特許明細書第 5 3 5 9 2 5 6 号。

【0083】

本発明に話を戻すと、電子供給機能を果たすための電荷制御回路は、国際公開特許明細書第 9 6 0 5 5 8 9 号および米国特許明細書第 6 0 2 0 8 6 4 号に開示されている。これら回路は、マトリクス構造の電子供給源の列および行に対して電圧を印加することによって、電子放出を可能とするとともに、放出された電荷量を測定し、測定値と設定値とを比較することを可能としている。

40

【0084】

これら公知技術と本発明との基本的相違点は、公知技術においては、高電圧（数 kV）が印加されている『アノード側』において電荷測定を行っているのに対し、本発明においては、低電圧側（数十 V）である『カソード側』において放出と同時に電荷測定を行っていることである。

【0085】

電荷は、他の大きさも考慮すれば、通常は、1 V という程度の電圧変動を引き起こす抵抗上において測定される。この測定電圧は、電源回路に影響を与える。従来技術においては、数 kV が印加されていることにより、1 V 程度の変動は、無視できる程度の誤差しか引き起こさない。本発明においては、この誤差は、非常に大きいものであり（数十ボルトと

50

比較しての1Vという意味において)、絶対的に許容できないものである。

【0086】

したがって、上述した公知の測定技術は、『カソード側』においては不可能である。この問題点は、本発明によって解決される。

【図面の簡単な説明】

【図1】 電界放出デバイスを使用したディスプレイスクリーンの動作原理を概略的に示す図である。

【図2】 マイクロチップディスプレイの構造を概略的に示す図である。

【図3】 トライオードタイプのマイクロチップディスプレイの場合における特性 I_{c_a}
 $t_h = f(V_{g_c})$ を示すグラフである。

10

【図4】 マトリクス構造とされた電界放出デバイスを使用したディスプレイスクリーンを概略的に示す図である。

【図5】 マトリクス構造とされた電子供給源の制御のための公知装置を概略的に示す図である。

【図6】 本発明による装置の特別の実施形態を概略的に示す図である。

【図7】 本発明による装置における、1つの行のための制御デバイスの一例を概略的に示す図である。

【図8】 図7のデバイスにおいて使用される様々な電圧を示すタイミングチャートである。

【図9】 図7の変形例を概略的に示す図である。

20

【図10】 本発明による装置における、漏洩電流補償を行いつつ1つの行を制御するための制御デバイスの一例を概略的に示す図である。

【図11】 本発明による、行間キャパシタンスに基づく寄生電荷をフィルタリングするためのダイオードを使用しているような、1つの行のための制御デバイスの一実施形態を概略的に示す図である。

【図12】 本発明による、行間キャパシタンスに基づく寄生電荷をフィルタリングするためのトランジスタを使用しているような、1つの行のための制御デバイスの一実施形態を概略的に示す図である。

【図13】 本発明による、行間キャパシタンスに基づく寄生電荷に対してのアナログ補償を行っているような、1つの行のための制御デバイスの一実施形態を概略的に示す図である。

30

【図1】

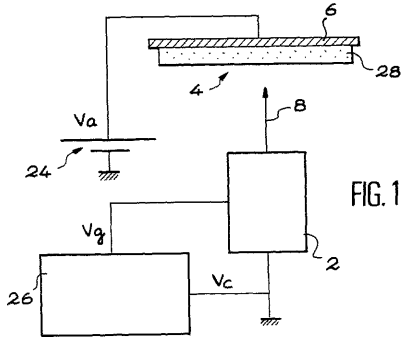


FIG. 1

【図2】

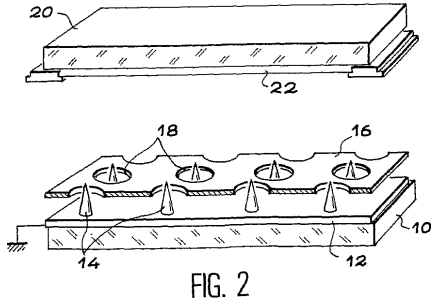


FIG. 2

【図3】

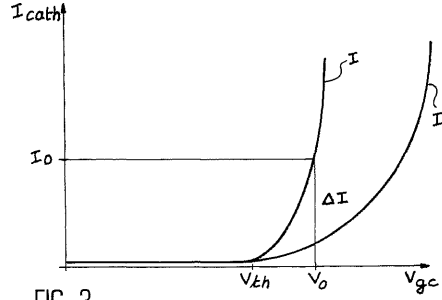


FIG. 3

【図4】

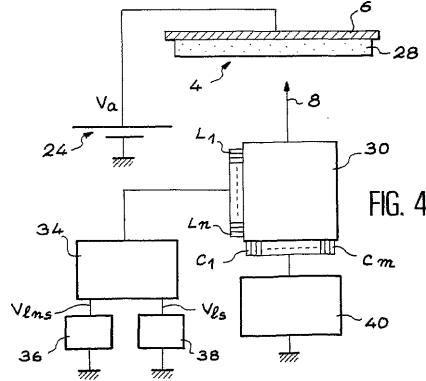
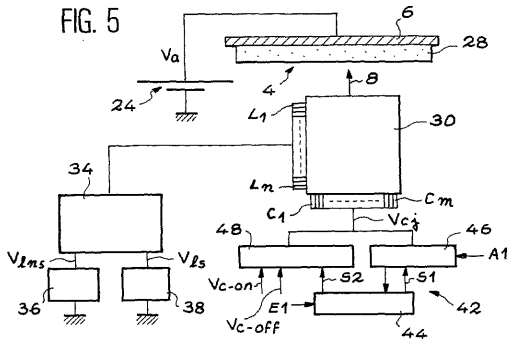


FIG. 4

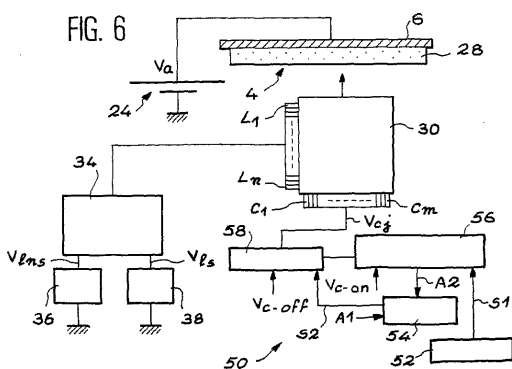
【図5】

FIG. 5



【図6】

FIG. 6



【図7】

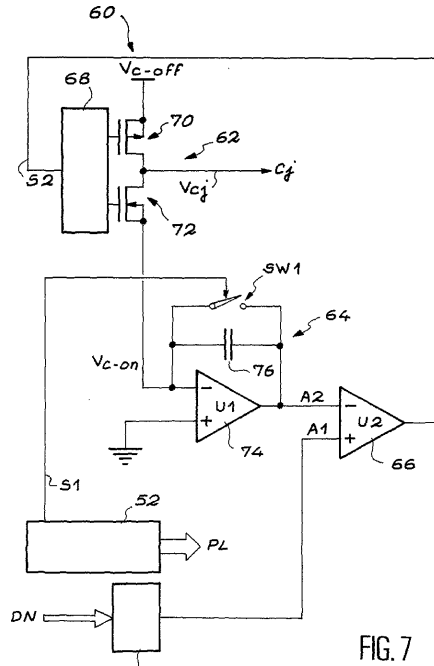


FIG. 7

フロントページの続き

- (72)発明者 ピエール・ニコラ
フランス・F - 3 8 1 2 0・サン・テグレーヴ・リュ・ドゥ・ランシアン・フェルム・2 0
- (72)発明者 ドゥニ・サラサン
フランス・F - 3 8 3 6 0・サッセナージュ・シュマン・デュ・ドラック・2 1

審査官 居島 一仁

- (56)参考文献 特開平08 - 2 6 5 6 7 4 (J P , A)
特開平02 - 0 2 8 6 9 3 (J P , A)
特開平10 - 3 1 9 9 0 8 (J P , A)
国際公開第96 / 0 0 5 5 8 9 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B名)
G09G3/00-5/42