



# (12) 发明专利申请

(10) 申请公布号 CN 102347350 A

(43) 申请公布日 2012. 02. 08

(21) 申请号 201010240547. 0

(22) 申请日 2010. 07. 30

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 尹海洲 骆志炯 朱慧珑

(74) 专利代理机构 北京汉昊知识产权代理事务

所(普通合伙) 11370

代理人 朱海波

(51) Int. Cl.

H01L 29/06(2006. 01)

H01L 21/02(2006. 01)

H01L 29/78(2006. 01)

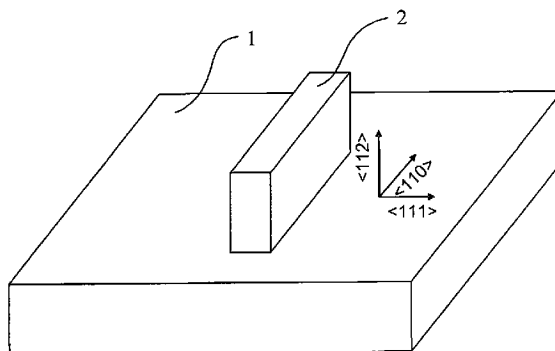
权利要求书 2 页 说明书 5 页 附图 4 页

## (54) 发明名称

一种半导体结构及其制造方法

## (57) 摘要

本申请公开了一种半导体结构及其制造方法。该半导体结构包括半导体衬底和位于半导体衬底上方的半导体鳍片,在所述半导体衬底和所述半导体鳍片之间还包括刻蚀停止层,所述半导体鳍片的侧壁方向接近或位于硅的 {111} 晶面。所述半导体鳍片具有良好的表面质量和减少的晶体缺陷,可用于制造 FinFET。



1. 一种半导体结构,包括半导体衬底和位于半导体衬底上方的半导体鳍片,所述半导体衬底和半导体鳍片之间包括刻蚀停止层,所述半导体鳍片的侧壁方向接近或位于硅的 {111} 晶面。

2. 根据权利要求 1 所述的半导体结构,其中所述半导体衬底为 {112} Si 衬底

3. 根据权利要求 1 所述的半导体结构,其中所述半导体鳍片的侧壁与硅的 {111} 晶面之间的夹角小于 5 度。

4. 根据权利要求 1 所述的半导体结构,其中所述半导体鳍片由选自由 Si、Ge、GaAs、InP、GaN 和 SiC 构成的组中的至少一种材料组成。

5. 根据权利要求 1 所述的半导体结构,其中所述刻蚀停止层由高掺杂的 P 型半导体或 SiGe 组成。

6. 根据权利要求 5 所述的半导体结构,其中所述 P 型半导体中的掺杂剂为选自由 B、Al、Ga、In、Tl 构成的组中的至少一种。

7. 根据权利要求 5 所述的半导体结构,其中所述刻蚀停止层为掺杂浓度高于  $5 \times 10^{19}/\text{cm}^3$  的 P 型半导体。

8. 根据权利要求 5 所述的半导体结构,其中所述刻蚀停止层为 Ge 的原子百分比在 10-30%之间的 SiGe。

9. 根据权利要求 1 至 8 中任一项所述的半导体结构,其中所述半导体鳍片为一个或多个。

10. 根据权利要求 1 至 8 中任一项所述的半导体结构,其中所述半导体鳍片中的沟道方向为  $\langle 110 \rangle$  方向。

11. 一种制造半导体结构的方法,包括:

a) 在半导体衬底上外延生长蚀刻停止层;

b) 在所述蚀刻停止层上外延生长半导体层;

c) 在所述半导体层上形成图案化的掩模层;

d) 通过各向异性的湿法蚀刻,去除所述半导体层未被所述掩模层遮挡的部分,

其中,所述湿法蚀刻停止在所述蚀刻停止层的上表面上,使得所述半导体层被所述掩模层遮挡的部分形成半导体鳍片,并且所述半导体鳍片的侧壁接近或位于硅的 {111} 晶面。

12. 根据权利要求 10 所述的半导体结构,其中所述半导体衬底为 {112} Si 衬底。

13. 根据权利要求 11 所述的半导体结构,其中所述半导体鳍片的侧壁与硅的 {111} 晶面之间的夹角小于 5 度。

14. 根据权利要求 11、12 或 13 的方法,其中形成图案化的掩模层的步骤包括以下步骤:

在所述半导体层上形成氧化物层;

在所述氧化物层上形成图案化的光致抗蚀剂层;

通过蚀刻去除氧化层未被光致抗蚀剂层遮挡的部分;以及

去除所述光致抗蚀剂层,

其中所述氧化物层被所述光致抗蚀剂层遮挡的部分形成所述图案化的掩模层。

15. 根据权利要求 11、12 或 13 所述的方法,其中所述湿法蚀刻采用的蚀刻剂为选自由

KOH、TMAH、EDP、 $N_2H_4 \cdot H_2O$  构成的组中的一种。

16. 根据权利要求 11、12 或 13 所述的方法,其中所述蚀刻停止层由高掺杂的 P 型半导体或 SiGe 组成。

17. 根据权利要求 16 所述的方法,其中所述蚀刻停止层为掺杂浓度高于  $5 \times 10^{19}/cm^3$  的 P 型半导体。

18. 根据权利要求 16 所述的方法,其中所述 P 型半导体中的掺杂剂为选自由 B、Al、Ga、In、Tl 构成的组中的至少一种。

19. 根据权利要求 16 所述的方法,其中所述蚀刻停止层为 Ge 的原子百分比在 10-30% 之间的 SiGe。

20. 根据权利要求 11、12 或 13 所述的方法,其中所述半导体鳍片中的沟道方向为  $\langle 110 \rangle$  方向。

## 一种半导体结构及其制造方法

### 技术领域

[0001] 本发明涉及包含鳍片的半导体结构及其制造方法，具体地涉及用于 FinFET 的半导体鳍片及其制造方法。

### 背景技术

[0002] 随着半导体器件的尺寸按比例缩小，出现了阈值电压随沟道长度减小而下降的问题，也即，在半导体器件中产生了短沟道效应。

[0003] 为了抑制短沟道效应，在美国专利 US6, 413, 802 中公开了在 SOI 上形成的 FinFET，包括在硅鳍片 (Fin) 的中间形成的沟道区，以及在硅鳍片两端形成的源 / 漏区。为了形成所需形状的鳍片，需要进行光刻和刻蚀工艺。具体地讲，需要在用来形成鳍片的硅衬底上形成硬掩膜和光刻胶掩膜，然后，通过光刻工艺，将光刻胶掩膜图案化，进而，利用图案化的光刻胶掩膜，通过刻蚀工艺，在硬掩膜和硅衬底上形成希望的鳍片形状。

[0004] 已经认识到半导体鳍片的表面质量会受到刻蚀步骤的不利影响。通常采用例如反应离子刻蚀 (RIE) 的干法刻蚀工艺形成上述半导体鳍片，离子轰击很容易造成晶体结构的损伤，进而导致最终的鳍片表面质量变劣 (即不平整以及高缺陷密度)，最终导致 FinFET 的栅极对沟道的控制能力下降。

[0005] 因此，需要一种半导体结构，以改善刻蚀对所形成的半导体结构，尤其是鳍片式半导体结构造成的损伤。

### 发明内容

[0006] 本发明的目的是提供一种具有改善的表面质量的半导体鳍片及其制造方法。

[0007] 根据本发明的一个方面，提供一种半导体结构，包括半导体衬底和位于半导体衬底上方的半导体鳍片，在所述半导体衬底和所述半导体鳍片之间包括刻蚀停止层，所述半导体鳍片的侧壁接近硅的 {111} 晶面，或位于硅的 {111} 晶面上，优选地，所述半导体鳍片的侧壁与硅的 {111} 晶面之间的夹角小于 5 度。

[0008] 优选地，所述半导体鳍片由选自 Si、Ge、GaAs、InP、GaN 和 SiC 构成的组中的至少一种材料组成。

[0009] 优选地，所述刻蚀停止层由高掺杂的 P 型半导体或 SiGe 组成。

[0010] 优选地，所述 P 型半导体中的掺杂剂为选自 B、Al、Ga、In、Tl 构成的组中的至少一种。

[0011] 优选地，所述刻蚀停止层为掺杂浓度高于  $5 \times 10^{19}/\text{cm}^3$  的 P 型半导体。

[0012] 优选地，所述刻蚀停止层为 Ge 的原子百分比在 10-30% 之间的 SiGe。

[0013] 优选地，所述半导体衬底为 {112} Si 衬底。

[0014] 优选地，所述半导体鳍片为一个或多个。

[0015] 根据本发明的另一个方面，提供一种制造半导体结构的方法，包括：

[0016] a) 在半导体衬底上外延生长蚀刻停止层；

- [0017] b) 在所述蚀刻停止层上外延生长半导体层；
- [0018] c) 在所述半导体层上形成图案化的掩模层；
- [0019] d) 通过各向异性的湿法蚀刻，去除所述半导体层未被所述掩模层遮挡的部分，
- [0020] 其中，所述湿法蚀刻停止在所述蚀刻停止层的上表面上，使得所述半导体层被所述掩模层遮挡的部分形成半导体鳍片，并且所述半导体鳍片的侧壁接近或位于硅的 {111} 晶面；并且
- [0021] 所述半导体衬底为 {112} Si 衬底。
- [0022] 优选地，所述半导体鳍片的侧壁与硅的 {111} 晶面之间的夹角小于 5 度。
- [0023] 优选地，形成图案化的掩模层的步骤包括以下步骤：
- [0024] 在所述半导体层上形成氧化物层；
- [0025] 在所述氧化物层上形成图案化的光致抗蚀剂层；
- [0026] 通过蚀刻去除氧化层未被光致抗蚀剂层遮挡的部分；以及
- [0027] 去除所述光致抗蚀剂层，
- [0028] 其中所述氧化物层被所述光致抗蚀剂层遮挡的部分形成所述图案化的掩模层。
- [0029] 优选地，所述湿法蚀刻采用的蚀刻剂为选自由 KOH、TMAH、EDP、 $N_2H_4 \cdot H_2O$  构成的组中的一种。
- [0030] 优选地，所述蚀刻停止层由高掺杂的 P 型半导体或 SiGe 组成。
- [0031] 优选地，所述蚀刻停止层为掺杂浓度高于  $5 \times 10^{19}/cm^3$  的 P 型半导体。
- [0032] 优选地，所述 P 型半导体中的掺杂剂为选自由 B、Al、Ga、In、Tl 构成的组中的至少一种。
- [0033] 优选地，所述蚀刻停止层为 Ge 的原子百分比在 10-30% 之间的 SiGe。
- [0034] 在形成本发明的半导体鳍片的过程中，引入了附加的刻蚀停止层，从而可以采用湿法刻蚀代替干法刻蚀，避免了干法刻蚀中由于离子轰击造成的表面质量变劣。
- [0035] 由于湿法蚀刻对半导体层的选择性很优异，采用湿法蚀刻形成半导体鳍片时，鳍片的高度将等于半导体层的厚度，从而可以利用半导体层的厚度精确地控制鳍片的高度。
- [0036] 并且，在湿法刻蚀步骤中对半导体层进行各向异性刻蚀，鳍片的侧壁是刻蚀速度最慢的 {111} 晶面，不仅避免了底切等缺陷的出现，而且鳍片的侧壁也可以获得良好的平整度和结晶质量。
- [0037] 此外，在得到本发明的半导体鳍片后，为了硅鳍片的两端形成源 / 漏区以及可选的源 / 漏延伸区，需要执行离子注入。然而，离子注入导致硅的非晶化，这需要在随后的步骤中执行退火，使得非晶硅通过固相外延生长重新转变为单晶硅。优选地，本发明鳍片的侧壁为 {111} 晶面，则在之后的固相外延生长中可以使得高缺陷区的面积最小化。
- [0038] 而且，本发明采用的半导体衬底优选是 {112} Si 衬底，有利于 SiGe 刻蚀停止层更快地生长。
- [0039] 另外，采用本发明的 {112} Si 衬底，对位于鳍片中的沟道产生更大的应力响应，从而可以改善载流子的迁移率。
- [0040] 该半导体鳍片尤其适合于制作 FinFET，特别是 p 型 FinFET 或 pMOS。

附图说明

[0041] 图 1a 和 1b 示意地示出根据本发明的半导体鳍片在硅衬底上的取向。

[0042] 图 2 至图 7 是示意性地示出形成根据本发明的制造半导体鳍片的方法各阶段半导体结构的截面图。

[0043] 图 8 是现有技术中,在不同晶面取向的 Si 衬底上, SiGe 的生长速度作为所采用的  $\text{GeH}_4$  (用于生产 SiGe 的反应原料) 流速的函数的曲线图。

[0044] 图 9 是现有技术中,在 (111) 单轴应变 Si 中,驱动电流作为沟道取向与鳍片表面取向之间夹角的函数的曲线图。

## 具体实施方式

[0045] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。

[0046] 应当理解,在描述器件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将器件翻转,该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0047] 如果为了描述直接位于另一层、另一个区域上面的情形,本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

[0048] 在下文中描述了本发明的许多特定的细节,例如器件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按照这些特定的细节来实现本发明。例如,衬底和鳍片的半导体材料可以选自 IV 族半导体,如 Si 或 Ge,或 III-V 族半导体,如 GaAs、InP、GaN、SiC,或上述半导体材料的叠层。

[0049] 此外,在下文中描述晶面或晶向时采用了晶面族或晶向族的表示方法。例如,特定的晶向 [110] 和  $[\bar{1}\bar{1}0]$  是彼此垂直的两个方向,但由于硅晶体的对称性,可以将两个特定的晶向统一表示为晶向族  $\langle 110 \rangle$ 。由于硅晶体的对称性是本领域公知的,当表述“晶向  $\langle 110 \rangle$  与晶向  $\langle 110 \rangle$  相垂直”,可以理解指的是“特定的晶向 [110] 与特定的晶向  $[\bar{1}\bar{1}0]$  相垂直”或类似的方向关系。

[0050] 在本文中,术语“刻蚀停止层”是指其刻蚀速度小于将刻蚀掉的半导体层的刻蚀速度的层。利用刻蚀停止层与半导体层之间刻蚀速度的差异,可以选择性地去除半导体层。刻蚀停止层可由高掺杂(例如掺杂浓度高于  $5 \times 10^{19}/\text{cm}^3$ ) 的 P 型半导体或 SiGe 组成,其中掺杂剂可为选自由 B、Al、Ga、In、Tl 构成的组中的至少一种。

[0051] 本发明的半导体鳍片适合于制作 FinFET,特别是 p 型 FinFET 或 pMOS。为了简便起见,在本文后面提到时,以半导体鳍片用于 p 型 FinFET 或 PMOS 为例进行说明,当然,本领域技术人员可以理解的是,本发明的半导体鳍片也可适用于其他任何常规的半导体器件。参见图 1a,本发明意图制作位于半导体衬底 1 上方的半导体鳍片 2。仅仅作为示例,半导体衬底 1 和鳍片 2 都由硅组成。鳍片 2 可以形成在半导体衬底 1 的 (112) 表面上,通过外延生长半导体层并刻蚀该半导体层而形成,所述外延生长方法例如分子束外延法 (MBE),并且鳍片 2 沿着硅的  $\langle 112 \rangle$  方向延伸,侧壁接近硅的 {111} 晶面或位于硅的 {111} 晶面上。

[0052] 参见图 1b,为了在随后的光刻和刻蚀步骤中,形成沿着硅的  $\langle 112 \rangle$  方向延伸、侧壁为 {111} 晶面的鳍片 2,需要依据定位缺口 3 的位置确定图案方向。这里,为了获得图 1a 所

示的鳍片 2 的取向,典型地,将硅晶片 1 的定位缺口 3 的位置设定为标记硅的  $\langle 111 \rangle$  晶向。当硅晶片 1 的定位缺口 3 初始标记的不是  $\langle 111 \rangle$  晶向时,需要将硅晶片 1 旋转适当的角度。例如,当硅晶片 1 的定位缺口 3 初始标记的是  $\langle 110 \rangle$  晶向时,需要以硅晶片 1 的中心为轴顺时针旋转大约 35.3 度,从而将硅晶片 1 的定位缺口 3 的位置改为标记硅的  $\langle 111 \rangle$  晶向。

[0053] 实际上,由于工艺上的变化,例如上述旋转的角度可能在一定程度上出现偏差,鳍片的侧壁可能偏离硅的  $\{111\}$  晶面。发明人认为,在鳍片的侧壁与硅的  $\{111\}$  晶面之间的夹角小于 5 度的情形下,仍然可能在鳍片中获得理想的表面质量。

[0054] 图 2 至 7 示意性地示出在固相外延生长步骤之前形成半导体鳍片的各个步骤。

[0055] 本发明的方法开始于单晶 Si 衬底 10。

[0056] 参见图 2,通过已知的沉积工艺,如 PVD、CVD、原子层沉积、溅射等,在 Si 衬底 10 的表面上从下至上依次外延生长含 Ge 约为 10-30% (以 Ge 原子%计,即 Ge 原子的数目占总原子数的百分比)、厚度约为 5-20nm 的 SiGe 层 11 (用作刻蚀停止层)、以及厚度约为 20-70nm 的 Si 层 12。这里,外延生长工艺主要用来控制将要成型为鳍片的 Si 层 12 的厚度。在随后的步骤中,将利用对 Si 层 12 的图案化形成鳍片, Si 层 12 的厚度可以按照在器件设计方面对鳍片高度的要求来选择。

[0057] 参见图 3,在 Si 层 12 的表面上形成将用作硬掩模和保护层的氧化硅层 13 和氮化物层 14。

[0058] 可以通过热氧化,将 Si 层 12 的表面层转变为氧化硅层 13。替代地,可以通过上述已知的沉积工艺形成氧化硅层 13。氧化硅层的厚度约为 5nm。

[0059] 通过上述已知的沉积技术,在氧化硅层 13 上形成厚度约为 10nm 的氮化物层 14 (如氮化硅)。

[0060] 参见图 4,在氮化物层 14 的表面上涂敷光致抗蚀剂层,然后通过包含曝光和显影的光刻工艺,形成图案化的光致抗蚀剂掩模 15。

[0061] 替代地,可以利用电子束刻印 (e-beam lithography) 或其他合适的方法形成光致抗蚀剂掩模 15。

[0062] 光致抗蚀剂掩模 15 中的条带对应于 Si 鳍片的形状,从而确定了鳍片的延伸方向、长度和宽度。

[0063] 参见图 5,利用光致抗蚀剂掩模 15,通过其中使用刻蚀剂溶液的常规湿法刻蚀,或者通过干法刻蚀,如离子铣刻蚀、等离子刻蚀、反应离子刻蚀 (RIE)、激光烧蚀,从上至下依次去除氮化硅层 14 和氧化硅层 13 未被遮挡的部分。然后,通过在溶剂中溶解或灰化去除光抗蚀剂掩模。

[0064] 该步骤将光致抗蚀剂掩模 15 的图案转换到氮化硅层 14 和氧化硅层 13 中,使得后者形成硬掩模。

[0065] 参见图 6,通过其中使用刻蚀剂溶液的常规湿法刻蚀,选择性地去除 Si,该刻蚀步骤停止在 SiGe 层 11 的上表面上,从而在 Si 层 12 中形成了硅鳍片。

[0066] 由于湿法刻蚀对 SiGe 与 Si 的优异的选择性,结果,硅鳍片的厚度等于 Si 层 12 的厚度。通过在前述的沉积步骤 (即外延生长过程) 中控制所形成的 Si 层 12 的厚度,可以容易地控制最终的鳍片厚度。

[0067] 为了通过湿法刻蚀形成鳍片,在本发明中采用了附加的刻蚀停止层,待形成的鳍

片的高度等于半导体层的厚度,从而可以利用半导体层的厚度精确地控制鳍片的高度。有利的是,利用湿法刻蚀的高度选择性可以形成期望厚度的鳍片,并且完全代替了干法刻蚀,避免了干法刻蚀中由于粒子轰击碰撞等造成的表面质量缺陷等问题。

[0068] 可以将本领域所熟知的用于 Si 的各向异性刻蚀剂用在本发明中,例如 KOH(氢氧化钾)、TMAH(四甲基氢氧化铵)、EDP(乙二胺-邻苯二酚)、 $N_2H_4 \cdot H_2O$ (水合肼)等。

[0069] 在使用 KOH 或 EDP 等作为刻蚀剂时,高掺杂的 P 型半导体或 SiGe 等材料可以作为刻蚀停止层。高掺杂的 P 型半导体的掺杂剂可以选自 B、Al、Ga、In、Tl 等,可以实现相对于 Si 极佳的刻蚀选择性。上述各向异性刻蚀剂在硅的各个晶面上的刻蚀速度不相同,在硅的 {111} 晶面上的刻蚀速度比其他晶面上的刻蚀速度小至少一个数量级,从而,湿法刻蚀同时对硅的不同晶面实现良好的选择性。

[0070] 对于图 1a 所示的取向的鳍片,在垂直方向(硅的  $\langle 112 \rangle$  晶向)上的刻蚀速度将明显高于在横向方向(硅的  $\langle 111 \rangle$  晶向)刻蚀速度。这样,不仅可以避免在鳍片中产生底切,而且鳍片的侧壁是由于刻蚀而暴露的 {111} 晶面。

[0071] 鳍片的顶部表面和侧壁表面都可以获得良好的平整度和晶体质量,尤其适合于制作双栅设计的 FinFET。

[0072] 需要指出的是,根据本发明,在衬底上外延生长用作刻蚀停止层的 SiGe 时(如图 2 所示),与采用其他取向的 Si 衬底(例如 {110} Si 衬底)相比,选用 {112} Si 衬底会有利于 SiGe 刻蚀停止层更快地生长。图 8 描述了对于不同晶面取向的 Si 衬底, SiGe 的生长速度作为所采用的  $GeH_4$ (用于生产 SiGe 的反应原料)流速的函数的曲线图。从图 8 中可以清楚地看出,在其他条件相同的情况下,与在其他衬底,例如 {110} Si 衬底上相比,在 {112} Si 衬底上生长 SiGe 的速度更快。

[0073] 而且,对于 FinFET 半导体器件,沟道位于鳍片中。当分别采用本发明的 {112} Si 衬底和作为对比例的 {110} Si 衬底时,鳍片侧壁的表面取向可以是相同的,都是 {111} 晶面;在鳍片中形成的沟道的取向却不相同:{112} Si 衬底对应于 [110] 方向的沟道(本发明);{110} Si 衬底对应于 [112] 方向的沟道(对比例),不同的沟道取向对于半导体性能会产生不同的影响。图 9 显示了 (111) 单轴应变 Si 中驱动电流作为沟道取向与鳍片表面取向之间夹角的函数的曲线图。本领域技术人员可以采用公知的向量叉乘法算出沟道取向与鳍片表面取向之间的夹角。对于单轴应变硅而言,在 (111) 硅晶面上, [110] 方向(本发明)对应于大约 35 度的夹角, [112] 方向(对比例)对应于大约 20 度的夹角。根据图 9 中的曲线,本发明的沟道方向对应于相对更大的驱动电流。换句话说,在 PMOS 半导体器件中,与采用对比例的 {110} Si 衬底相比,采用本发明的 {112} Si 衬底,对鳍片中的沟道产生更大的应力响应,从而可以改善空穴的迁移率。因此,本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改,均在本发明的保护范围之内。



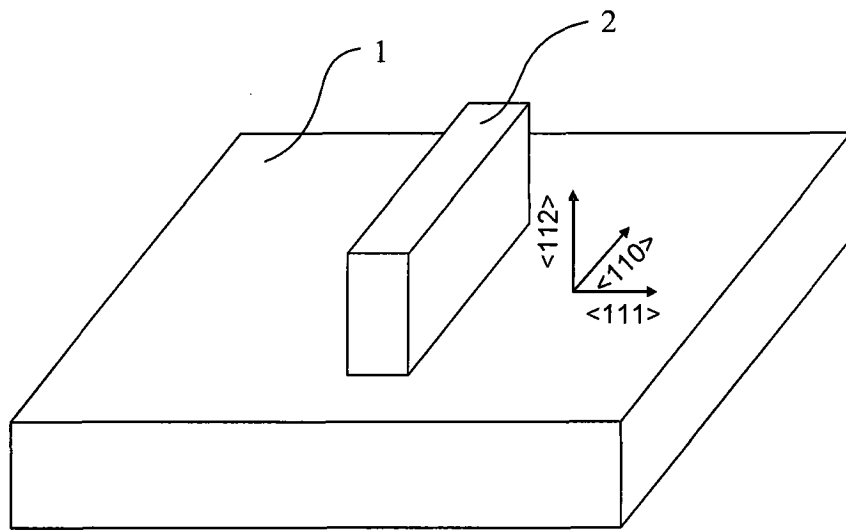


图 1a

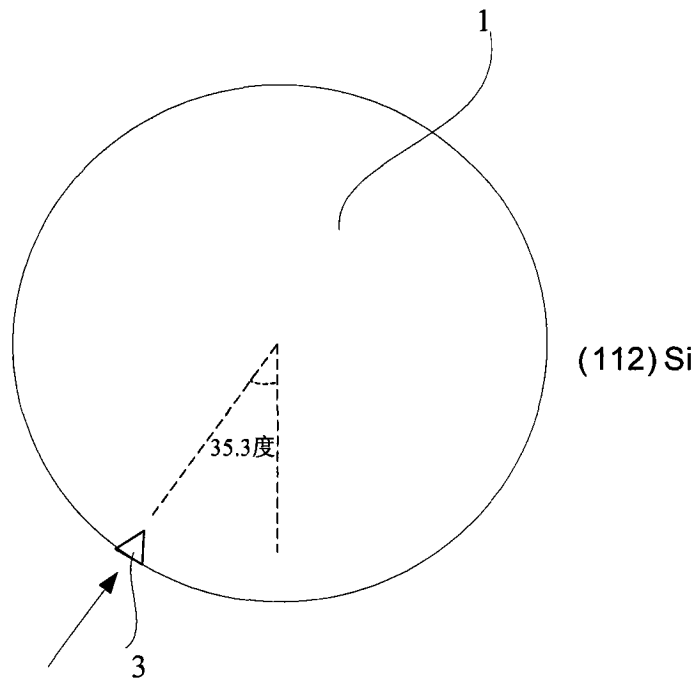


图 1b

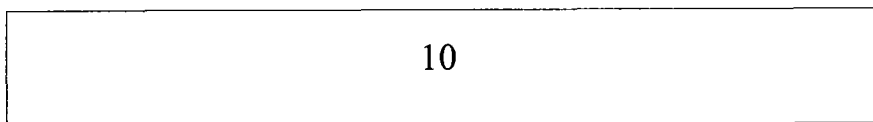


图 2

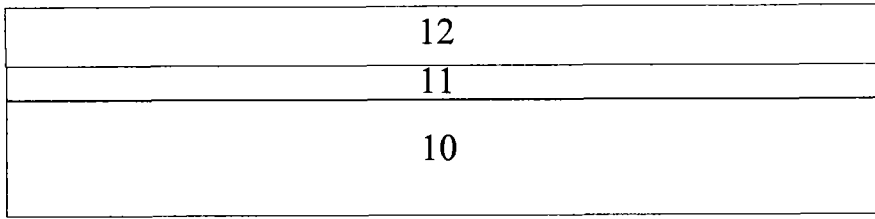


图 3

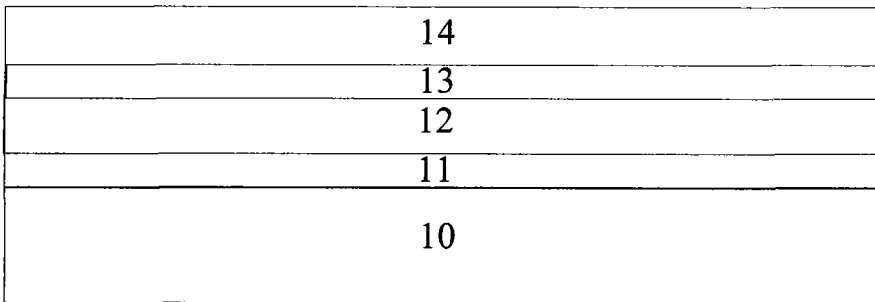


图 4

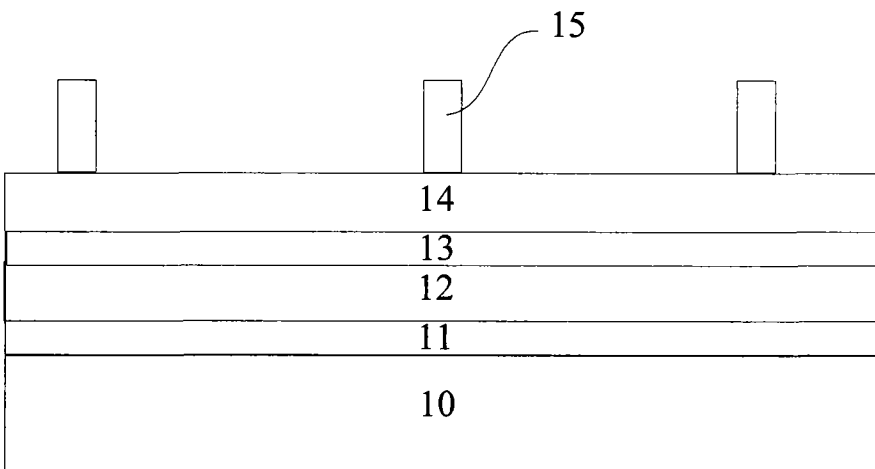


图 5

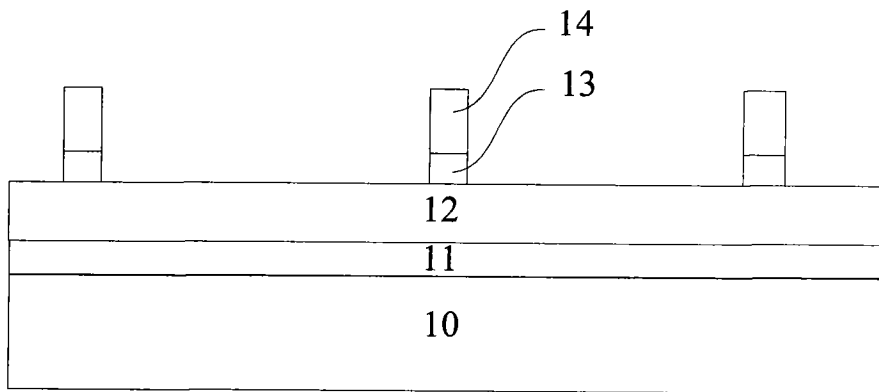


图 6

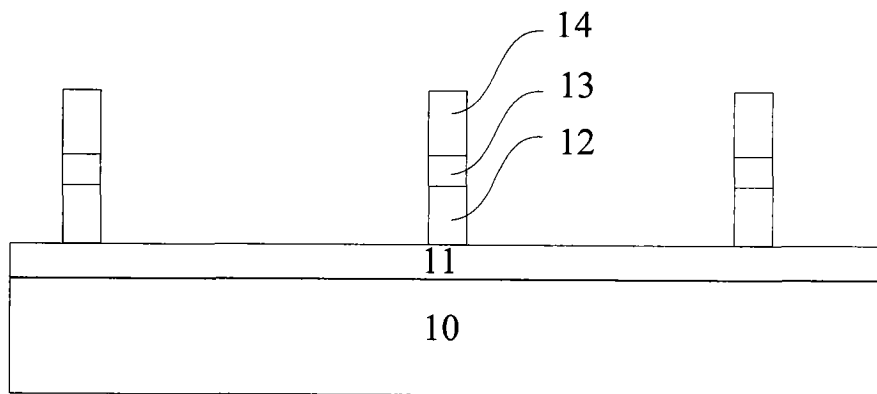


图 7

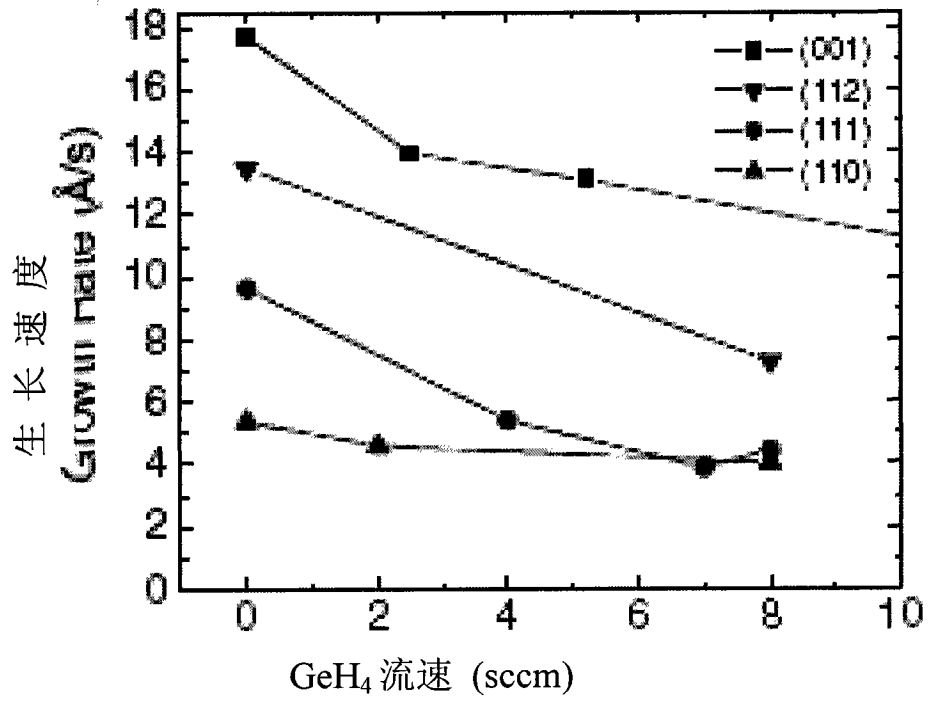


图 8

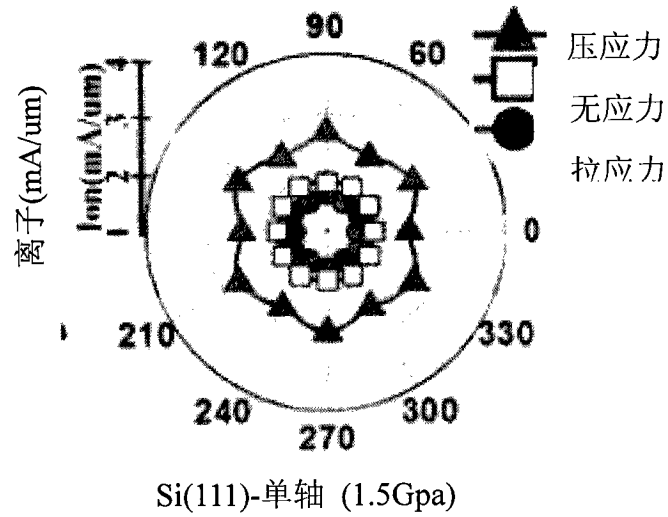


图 9