

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2012 年 2 月 2 日 (02.02.2012)

PCT

(10) 国际公布号
WO 2012/013036 A1

- (51) 国际专利分类号:
H01L 29/10 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2011/071351
- (22) 国际申请日: 2011 年 2 月 27 日 (27.02.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010239273.3 2010 年 7 月 27 日 (27.07.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Hui-long) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。骆志炯 (LUO, Zhijiong) [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。
- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FORMING THE SAME

(54) 发明名称: 半导体器件及其制造方法

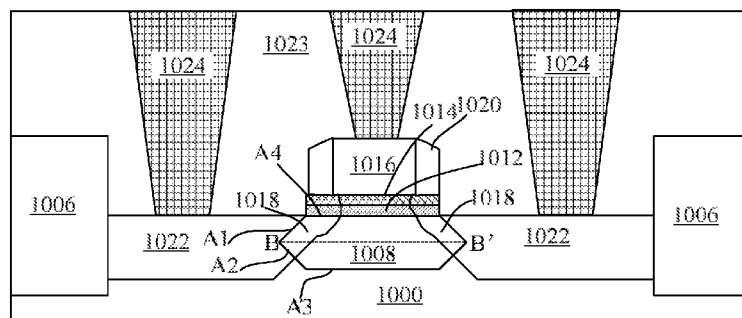


Fig. 14

(57) Abstract: A semiconductor device and a method for forming the same are provided. The device comprises: a semiconductor substrate (1000); a stress layer (1008) embedded in the semiconductor substrate; a channel region situated above the stress layer; a gate stack situated above the channel region; source/drain regions (1022) situated on both sides of the channel region and embedded in the semiconductor substrate, wherein, the surface of the stress layer comprises a top wall (A4), a bottom wall (A3) and side walls, the side walls are composed of a first side wall (A1) and a second side wall (A2), the first side wall connects the top wall to the second side wall, the second side wall connects the first side wall to the bottom wall, the angle between the first side wall and the second side wall is less than 180°, and the first side wall and the second side wall are symmetrical about a plane parallel to the semiconductor substrate.

[见续页]

WO 2012/013036 A1



(57) 摘要:

提供了一种半导体器件及其制造方法。该器件包括：半导体衬底（1000）；应力层（1008），其嵌入到半导体衬底中；沟道区，其位于应力层上；栅堆叠，其位于沟道区上；源/漏区（1022），其位于沟道区两侧且嵌入到半导体衬底中，其中，应力层表面包括顶壁（A4）、底壁（A3）和侧壁，侧壁由第一侧壁（A1）和第二侧壁（A2）构成，第一侧壁使顶壁和第二侧壁连接，第二侧壁使第一侧壁和底壁连接，第一侧壁和第二侧壁之间的角度小于 180°，并且第一侧壁和第二侧壁关于平行于半导体衬底的平面对称。

半导体器件及其制造方法

技术领域

本发明涉及半导体领域，更具体地，涉及一种带有应变结构的半导体器件及其制造方法。

背景技术

随着半导体技术的不断发展，集成电路集成化程度越来越高，器件的尺寸也不断减小。然而器件尺寸的不断减小导致器件的性能也受到很大的影响。

能够到场效应晶体管中保持适当性能的一个重要因素是载流子迁移率，载流子迁移率会影响能够在半导体器件沟道中流动的电流或电荷量。90nm 节点的 CMOS（互补型金属氧化物半导体晶体管）技术之后，应力技术开始应用以增强载流子的迁移率，从而提高器件的驱动电流。例如 MOSFET（金属氧化物半导体场效应管），可以通过在源/漏之间的沟道上施加应力来改善载流子的迁移率，从而改善集成电路的性能。具体地，对于 nMOSFET，沟道中的载流子是电子，沟道两端的拉应力能够增加电子的迁移率；对于 pMOSFET，沟道中的载流子是空穴，沟道两端的压应力能够增加空穴的迁移率。

随着集成电路集成度的进一步提高，工业界对半导体器件制造中应力应用的要求也进一步提高了。有鉴于此，需要提供一种新颖的半导体器件及其制造方法，以进一步提高沟道区的应力。

发明内容

本发明的目的在于提供一种半导体器件及其制造方法，能够进一步提高 MOSFET 沟道区中的应力。

根据本发明的一个方面，提出了一种半导体器件，该半导体器件包括：半导体衬底；应力层，嵌入于所述半导体衬底中；沟道区，位于所述应力层上；栅堆叠，位于所述沟道区上；源/漏区，位于所述沟道区的

两侧且嵌入所述半导体衬底中；其中，所述应力层的表面包括顶壁、底壁和侧壁，侧壁由第一侧壁和第二侧壁构成，第一侧壁连接顶壁与第二侧壁，第二侧壁连接第一侧壁与底壁，第一侧壁和第二侧壁之间的夹角小于 180° ，并且第一侧壁和第二侧壁关于平行于所述半导体衬底的平面对称。

其中，顶壁和底壁所在的方向都与半导体衬底的表面平行。该应力层的形状可以称为钻石形状。

其中，栅堆叠包括：栅介质层和栅极导体层；该栅介质层优选为高 k 栅介质层；栅极导体层的两侧可以进一步包括栅极侧墙。

其中，对于 nMOSFET，所述应力层具有压应力；对于 pMOSFET，所述应力层具有拉应力。

优选地，在应力层中靠近第一侧壁的区域中，进一步包括源/漏延伸区；或者在沟道区中或沟道区下方，进一步包括晕环注入区。

在本发明的实施例中，若半导体器件周围包括隔离结构，则源/漏区的表面高度低于隔离结构的表面高度。

优选地，该半导体衬底所在的晶面为 Si 的 {100} 晶面；第一侧壁和第二侧壁所在的晶面为 Si 的 {111} 晶面；或者，该半导体衬底所在的晶面为 {100} 晶面；或者第一侧壁和第二侧壁之间的夹角为 $(109^{\circ} 29' \pm 2^{\circ})$ 。

根据本发明的另一方面，提供了一种半导体器件的制造方法，包括：提供半导体衬底；嵌入半导体衬底中形成应力层；在应力层上形成沟道区；在沟道区上形成栅堆叠；在栅堆叠的两侧且嵌入半导体衬底中形成源/漏区；其中，所述应力层的表面包括顶壁、底壁和侧壁，所述侧壁由第一侧壁和第二侧壁构成，所述第一侧壁连接顶壁与第二侧壁，所述第二侧壁连接第一侧壁与底壁，所述第一侧壁和第二侧壁之间的夹角小于 180° ，并且所述第一侧壁和第二侧壁关于平行于所述半导体衬底的平面对称。其中，顶壁和底壁所在的方向都与半导体衬底的表面平行。

优选地，形成应力层包括：在半导体衬底上形成介质层；刻蚀介质层和半导体衬底，直至形成嵌入半导体衬底中且与所述应力层共形的凹槽；在所述凹槽中外延形成应力层。

其中，在刻蚀介质层和半导体衬底之前，该方法可以进一步包括：嵌入介质层和半导体衬底形成隔离结构。

其中，在半导体衬底上形成凹槽的步骤，具体可以包括：在半导体衬底上形成长方形凹槽；采用湿法刻蚀长方形凹槽以形成与所述应力层共形的凹槽；其中，湿法刻蚀沿着 Si 的 {111} 晶面进行。湿法刻蚀采用的溶液可以为 KOH 或 TMAH。

其中，形成沟道区的方法可以包括：在应力层上外延形成 Si 层。

其中，形成栅堆叠的方法可以包括：在沟道区上形成栅介质层，在刻蚀后的介质层的内壁上形成牺牲侧墙；在牺牲侧墙围绕的区域内形成栅极导体层；去除介质层和牺牲侧墙。

其中，在去除介质层之后，该方法可以进一步包括：在栅极导体层的两侧进一步形成栅极侧墙。

可选地，在去除介质层之后，该方法可以进一步包括：进行倾角离子注入，从而在应力层中靠近第一侧壁的区域中形成源/漏延伸区；和/或，进一步包括：进行倾角离子注入，从而在沟道区中或沟道区下方形成晕环注入区。

本发明实施例提供的半导体器件及其制造方法，通过在沟道区的下方形成顶部和底部小而中部最大的应力层，或者说该应力层具有钻石形状，位于该应力层的上面的部分能够对上方的沟道区产生向上且向外的压力或者是向下且向内的拉力，从而导致在沟道区的两侧的作用力为拉应力或压应力，因而提高了沟道区中载流子的迁移率，改善了器件性能。

附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1~14 示出了根据本发明实施例制造半导体器件的流程中各步骤的剖面图。

具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，

这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

图1~14详细示出了根据本发明实施例制造半导体器件流程中各步骤的截面图。以下，将参照这些附图来对根据本发明实施例的各个步骤以及由此得到的半导体器件予以详细说明。

首先，如图1所示，提供半导体衬底1000。衬底1000可以包括任何适合的半导体衬底材料，具体可以包括但不限于硅、锗、锗化硅、SOI（绝缘体上硅）、碳化硅、砷化镓或者任何III/V族化合物半导体等。根据现有技术公知的设计要求（例如p型衬底或者n型衬底），衬底1000可以包括各种掺杂配置。此外，衬底1000可以可选地包括外延层，可以被应力改变以增强性能。采用不同的衬底，后续的工艺略有不同，本发明采用最常规的衬底来说明如何实现本发明。

因此对于本发明的一个实施例，选择Si作为半导体衬底，并且该半导体衬底表面为Si的{100}晶面。

可选地，在半导体衬底1000上先形成一垫氧化层(Pad Oxide)1002，厚度可以为5-8Å。接着在垫氧化层1002上形成一介质层1004，通常为Si₃N₄或者是其他的氮化物，厚度与将要形成的栅极的高度持平，例如可以为50-200nm。

接着在半导体衬底1000上形成隔离结构1006，例如常用的STI（Shallow Trench Isolation，浅沟槽隔离），从而将器件结构与其他器件结构进行隔离。

然后，如图2所示，半导体衬底1000上的垫氧化层1002和介质层1004上形成开口。例如可以通过光刻胶将其他部分保护起来，将未保护

的部分进行反应离子刻蚀，从而形成开口。

如图 3 所示，将开口进一步向下刻蚀，直至深入到半导体衬底 1000 中，从而嵌入半导体衬底 1000 中形成长方形凹槽。例如可以采用各项异性的干法或湿法刻蚀。

接着，如图 4 所示，以半导体衬底 1000 为基础形成中部大、上下小的钻石型凹槽。该凹槽具有底壁 A3 和侧壁，侧壁由第一侧壁 A1 和第二侧壁 A2 构成，第二侧壁 A2 分别与第一侧壁 A1 和底壁 A3 连接，第一侧壁 A1 和第二侧壁 A2 之间的夹角小于 180° ，并且第一侧壁 A1 和第二侧壁 A2 关于平行于半导体衬底 1000 的表面对称，例如图 4 中 BB' 所在、并与 {100} 晶面平行的平面。具体地，采用 KOH、TMAH 或其他刻蚀液在长方形凹槽中对半导体衬底进行湿法刻蚀，刻蚀将沿着 Si 的 {111} 晶面进行，结果是在这个钻石形凹槽中，第一侧壁 A1 与第二侧壁 A2 所在的晶面为 Si 的 {111} 晶面。

然后如图 5 所示，在钻石型凹槽中外延形成应力层 1008，在应力层 1008 上外延形成 Si 层 1010。对于 nMOSFET，外延形成的应力层 1008 需具有压应力，例如可以为 SiGe，其中 Ge 含量为 10-60%；对于 pMOSFET，外延形成的应力层 1008 需具有拉应力，例如可以为 Si:C，其中 C 含量为 0.2-2%。外延形成的 Si 层 1010 将作为器件的沟道区。可见，对于 nMOSFET，应力层 1008 能够对两侧的第一侧壁 A1 产生向外的压力；而对于 pMOSFET，应力层 1008 能够对两侧的第一侧壁 A1 产生向内且向下的拉力。

参照图 6 所示，为形成的应力层 1008 的侧壁示意图。在形成应力层 1008 之后，可以看到凹槽的第一侧壁 A1、第二侧壁 A2 以及底壁 A3 同时也是应力层的侧壁和底壁，同时应力层 1008 还具有顶壁 A4。其中，顶壁 A4 和底壁 A3 所在的方向都与半导体衬底的表面平行，或者说，顶壁 A4 和底壁 A3 处在 Si 的 {100} 晶面，而第一侧壁 A1 和第二侧壁 A2 处在 Si 的 {111} 晶面。

在应力层 1008 上的外延 Si 层 1010 将作为最终形成的半导体器件的沟道区。

接着，在 Si 外延层 1010 以及两侧的介质层 1006 形成的开口中形成

栅介质层。按照现在常规的工艺,一般采用高 k 介质,并采用金属作为栅极导体层。如图 7 所示,可以在整个器件的表面上形成高 k 介质层 1012,例如可以是 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的任一种或几种的组合。然后在上述开口中,紧邻栅介质层 1012 的侧壁形成牺牲侧墙 1014。牺牲侧墙 1014 能够定义出栅长,例如可以根据需要定义的栅长来确定牺牲侧墙需要刻蚀到什么厚度,从而有效控制栅极的长度,进一步控制沟道区的长度。牺牲侧墙 1014 的形成方法具体可以为,在高 k 栅介质层 1012 上形成介质层,例如 Si_3N_4 ,厚度可以为 50-150nm,然后进行反应离子刻蚀,从而在高 k 栅介质层 1012 的侧壁上形成牺牲侧墙。

如图 8 所示,在牺牲侧墙 1014 的内壁围绕的空间内形成栅极导体层 1016。栅极导体层可以是金属层或金属/多晶硅叠层,其中金属层可以包括功函数金属层,能够调节器件的功函数。在形成栅极导体层 1016 后,优选对栅极导体层 1016 进行回刻,形成图 8 所示的形状。

接着,将牺牲侧墙 1014 去除,然后将介质层 1004 和垫氧化层 1002 也去除,形成的结构如图 9 所示。

如图 10 所示,进行 LDD (Lightly Doped Drain, 轻掺杂漏) 步骤,从而在应力层 1008 中靠近第一侧壁 A1 的区域形成源/漏延伸区 1018。例如,对于 nMOSFET,可以轻掺杂 As 或 P,对于 pMOSFET,可以轻掺杂 B 或 In。可选地,还可以倾角离子注入,对于 pMOSFET,可以注入 As 或 P,对于 nMOSFET,可以注入 B 或 In;从而在 Si 层 1010 中或者是其下方形成晕环注入区(图中未示出),能够较好地抑制短沟道效应。

进一步地,如图 11 所示,在栅极导体 1016 的两侧形成栅极侧墙 1020,从而在形成源/漏区之后,能够有效地将栅极导体 1016 和源/漏区进行隔离。

接着,如图 12 所示,进行重掺杂离子注入,从而形成如图 13 所示的源/漏区 1022。同样地,可以掺杂 As 或 P;对于 pMOSFET,可以掺杂 B 或 In。之后,在 $800-1200^{\circ}\text{C}$ 的温度范围内进行退火,以激活掺杂离子。因而 Si 层 1010 成为了源区和漏区之间的沟道区。

进一步地,如图 14 所示,还可以在半导体器件的上方还形成了层间

介质层 1023，在层间介质层 1023 中形成了接触 1024。

因此，根据本发明一个实施例得到的半导体器件如图 13 所示。该半导体器件包括：半导体衬底 1000；应力层 1008，嵌入与半导体衬底中；沟道区 1010，位于应力层 1008 上；栅堆叠，位于沟道区 1010 上；源/漏区 1022，位于沟道区 1010 的两侧且嵌入半导体衬底 1000 中；其中，所述应力层 1008 具有顶壁 A4、底壁 A3 和侧壁，侧壁由第一侧壁 A1 和第二侧壁 A2 构成，第一侧壁 A1 连接顶壁 A4 与第二侧壁 A2，第二侧壁 A2 连接第一侧壁 A1 与底壁 A3，第一侧壁 A1 和第二侧壁 A2 之间夹角小于 180° ，并且第一侧壁 A1 和第二侧壁 A2 关于平行于半导体衬底 1000 的平面对称，例如图 13 中 BB' 所在、且与半导体衬底表面平行的平面。其中，底壁 A3 和顶壁 A4 与半导体衬底 1000 的表面平行。此外，所形成的应力层的形状为钻石形状。

其中，栅堆叠包括：栅介质层 1012 和栅极导体层 1016；栅介质 1012 层为高 k 栅介质层。

优选地，在栅极导体 1016 的两侧进一步包括栅极侧墙 1020。

其中，对于 nMOSFET，应力层 1008 具有拉应力，例如可以包括 SiGe 形成，Ge 含量可以为 10-60%；对于 pMOSFET，应力层 1008 具有压应力，例如可以由 Si:C 形成，Si:C 中 C 含量可以为 0.2-2%。

优选地，在本发明的一个实施例中，在应力层 1008 中靠近第一侧壁 A1 的区域中，进一步包括源/漏延伸区 1018。优选地，在沟道区 1010 中或沟道区 1010 下方，进一步包括晕环注入区（图中未示出）。

在现有技术中，由于各种工艺流程对 STI 的腐蚀和蚀刻，STI 结构的顶部高度很可能会低于源/漏区的表面高度，那么源/漏区上的应力可能会越过 STI 的顶部而释放出去。而在本发明的实施例中，源/漏区的表面高度低于 STI 的高度，因而，应力不会越过 STI 结构而释放，大大增强了沟道区两侧的应力。

对于 nMOSFET，应力区具有压应力，应力层上部由于具有压应力，则能够向沟道区 1010 的两侧提供向上且向外压的力，这个力的效果是最后在沟道区 1010 的两侧产生了拉应力，则能够提高 nMOSFET 的沟道区中电子的迁移率；对于 pMOSFET，应力区具有拉应力，应力层上部由

于具有拉应力，则能够向沟道区 1010 的两侧提供向下且向内拉的力，这个力的效果是最后在沟道区 1010 的两侧产生了压应力，则能够提高 pMOSFET 的沟道区中空穴的迁移率。

对于本发明的一个实施例，其中，半导体衬底 1000 所在的晶面为 Si 的{100}晶面；第一侧壁 A1 和第二侧壁 A2 所在的晶面为 Si 的{111}晶面。应力层 1008 的外形与钻石形状的凹槽相同，凹槽可以通过湿法刻蚀形成，在湿法刻蚀中，刻蚀将沿着 Si 的{111}晶面进行，从而形成了钻石形状的凹槽。A1、A2、A3 和 A4 这四个面的位置关系，请参考图 6。其中 A1 和 A2 位于 Si 的{111}晶面，A3 和 A4 位于 Si 的{100}晶面。

由于湿法刻蚀可能存在部分偏差，在半导体衬底的表面为{100}晶面的情况下，对于应力层，第一侧壁 A1 和第二侧壁 A2 之间的夹角为($109^{\circ} 29' \pm 2^{\circ}$)。

进一步地，如图 14 所示，在半导体器件的上方还包括层间介质层 1023，在层间介质层 1023 中形成了接触 1024。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种半导体器件，包括：

半导体衬底；

应力层，嵌入于所述半导体衬底中；

沟道区，位于所述应力层上；

栅堆叠，位于所述沟道区上；

源/漏区，位于所述沟道区的两侧且嵌入所述半导体衬底中；

其中，所述应力层的表面包括顶壁、底壁和侧壁，所述侧壁由第一侧壁和第二侧壁构成，所述第一侧壁连接顶壁与第二侧壁，所述第二侧壁连接第一侧壁与底壁，所述第一侧壁和第二侧壁之间的夹角小于 180° ，并且所述第一侧壁和第二侧壁关于平行于所述半导体衬底的平面对称。

2. 根据权利要求 1 所述的半导体器件，其中，所述栅堆叠包括：高 k 栅介质层和栅极导体层。

3. 根据权利要求 2 所述的半导体器件，其中，所述栅极导体层的两侧进一步包括栅极侧墙。

4. 根据权利要求 1 所述的半导体器件，其中，对于 nMOSFET，所述应力层具有压应力；对于 pMOSFET，所述应力层具有拉应力。

5. 根据权利要求 1 所述的半导体器件，其中，所述应力层中靠近第一侧壁的区域中，进一步包括源/漏延伸区。

6. 根据权利要求 1 所述的半导体器件，其中，在所述沟道区中或沟道区下方，进一步包括晕环注入区。

7. 根据权利要求 1 所述的半导体器件，其中，若所述半导体器件周围包括隔离结构，则所述源/漏区的表面高度低于所述隔离结构的表面高度。

8. 根据权利要求 1 所述的半导体器件，其中，所述顶壁和底壁与所述半导体衬底表面平行。

9. 根据权利要求 1 至 8 中任一项所述的半导体器件，其中，所述半导体衬底所在的晶面为 Si 的 {100} 晶面；所述第一侧壁和第二侧壁所在的晶面为 Si 的 {111} 晶面。

10. 根据权利要求 1 至 8 中任一项所述的半导体器件, 其中, 所述半导体衬底所在的晶面为{100}晶面; 所述第一侧壁和第二侧壁之间的夹角为 $(109^{\circ} 29' \pm 2^{\circ})$ 。

11. 一种半导体器件的制造方法, 包括:

提供半导体衬底;

嵌入所述半导体衬底中形成应力层;

在所述应力层上形成沟道区;

在所述沟道区上形成栅堆叠;

在所述栅堆叠的两侧且嵌入所述半导体衬底中形成源/漏区;

其中, 所述应力层的表面包括顶壁、底壁和侧壁, 所述侧壁由第一侧壁和第二侧壁构成, 所述第一侧壁连接顶壁与第二侧壁, 所述第二侧壁连接第一侧壁与底壁, 所述第一侧壁和第二侧壁之间的夹角小于 180° , 并且所述第一侧壁和第二侧壁关于平行于所述半导体衬底的平面对称。

12. 根据权利要求 11 所述的方法, 其中, 形成应力层包括:

在所述半导体衬底上形成介质层;

刻蚀所述介质层和半导体衬底, 直至形成嵌入所述半导体衬底中且与所述应力层的表面形状相同的凹槽;

在所述凹槽中外延形成所述应力层。

13. 根据权利要求 12 所述的方法, 在刻蚀所述介质层和半导体衬底之前, 所述方法进一步包括:

嵌入所述介质层和半导体衬底形成隔离结构。

14. 根据权利要求 12 所述的方法, 其中, 形成嵌入所述半导体衬底中的凹槽, 包括:

在所述半导体衬底中形成长方形凹槽;

采用湿法刻蚀所述长方形凹槽以形成与所述应力层的表面形状相同的凹槽;

其中, 湿法刻蚀沿着 Si 的{111}晶面进行。

15. 根据权利要求 14 所述的方法, 其中, 所述湿法刻蚀采用的溶液为 KOH 或 TMAH。

16. 根据权利要求 11 至 15 中任一项所述的方法, 其中, 形成沟道

区包括：在所述应力层上外延形成 Si 层。

17. 根据权利要求 11 至 15 中任一项所述的半导体器件，其中，对于 nMOSFET，所述应力层具有压应力；对于 pMOSFET，所述应力层具有拉应力。

18. 根据权利要求 12 至 15 中任一项所述的方法，其中，形成栅堆叠包括：

在所述沟道区上形成栅介质层，
在刻蚀后的所述介质层的内壁上形成牺牲侧墙；
在所述牺牲侧墙围绕的区域内形成栅极导体层；
去除所述介质层和牺牲侧墙。

19. 根据权利要求 18 所述的方法，其中，在去除所述介质层之后，进一步包括：在所述栅极导体层的两侧进一步形成栅极侧墙。

20. 根据权利要求 18 所述的方法，其中，在去除所述介质层之后，进一步包括：

进行倾角离子注入，从而在所述应力层中靠近第一侧壁的区域中形成源/漏延伸区。

21. 根据权利要求 18 所述的方法，其中，在去除所述介质层之后，进一步包括：

进行倾角离子注入，从而在所述沟道区中或所述沟道区下方形成晕环注入区。

附 图

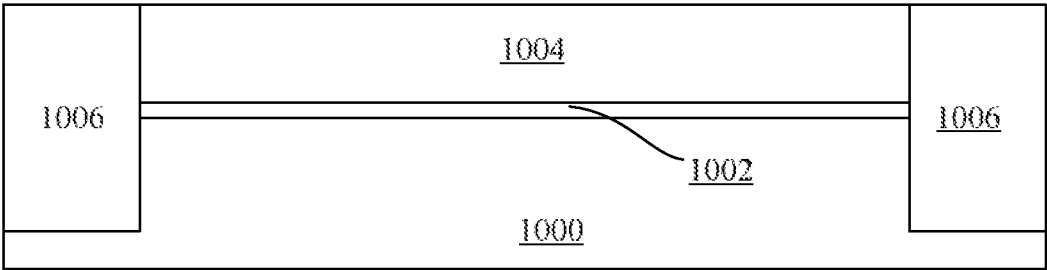


Fig.1

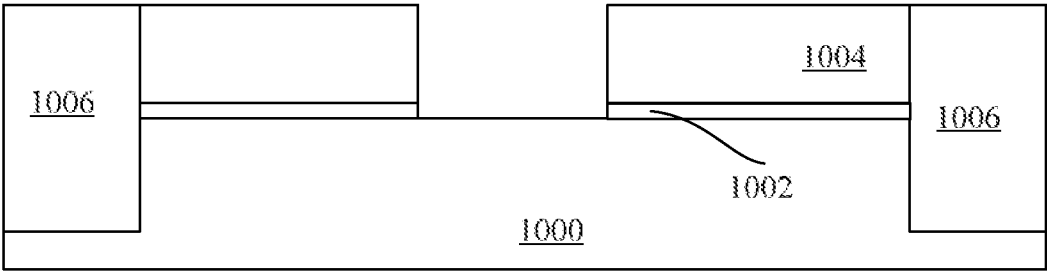


Fig.2

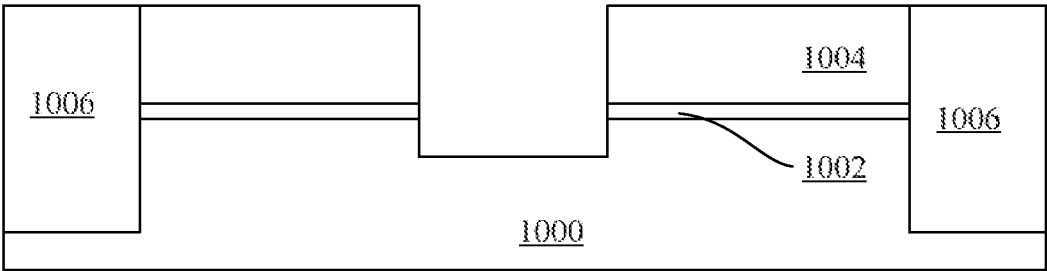


Fig.3

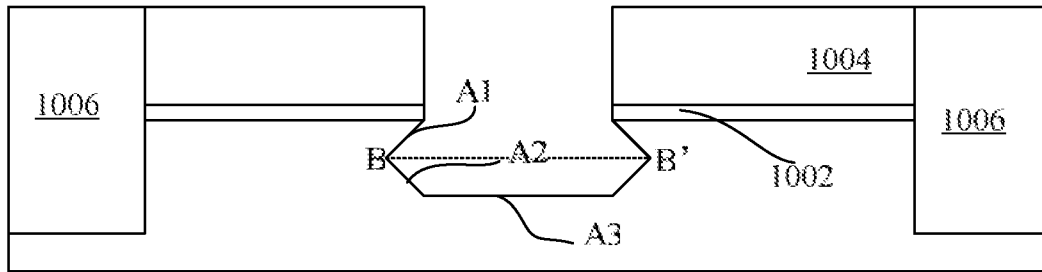


Fig.4

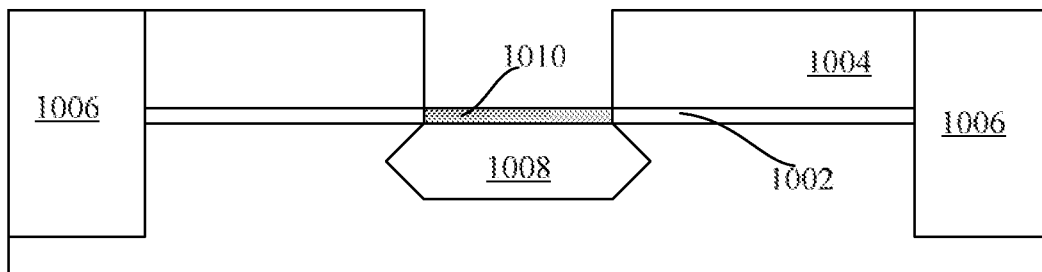


Fig.5

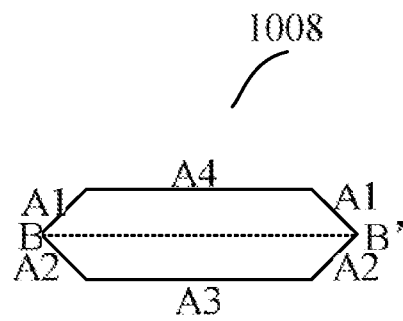


Fig.6

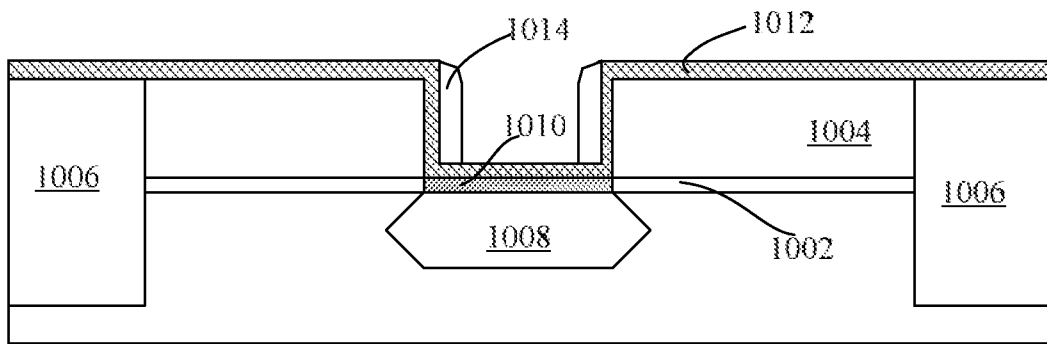


Fig.7

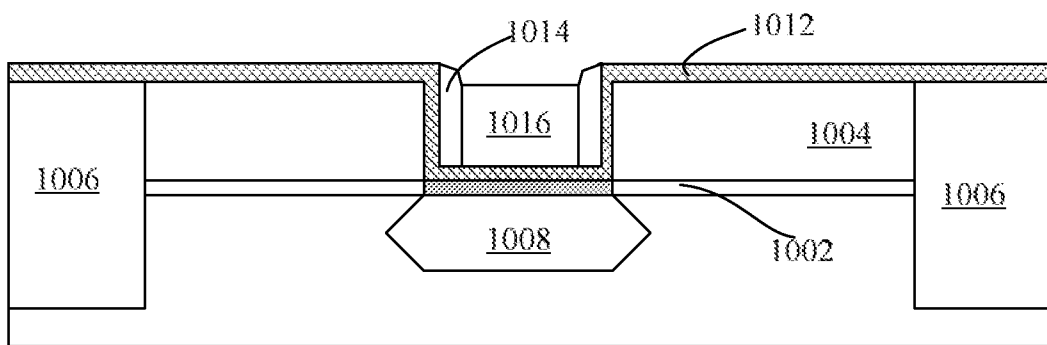


Fig.8

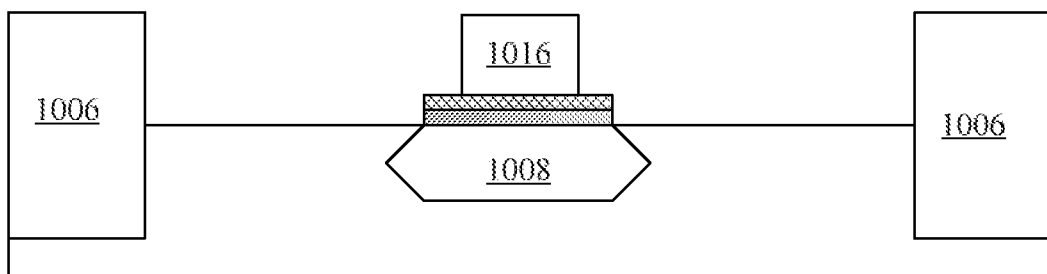


Fig.9

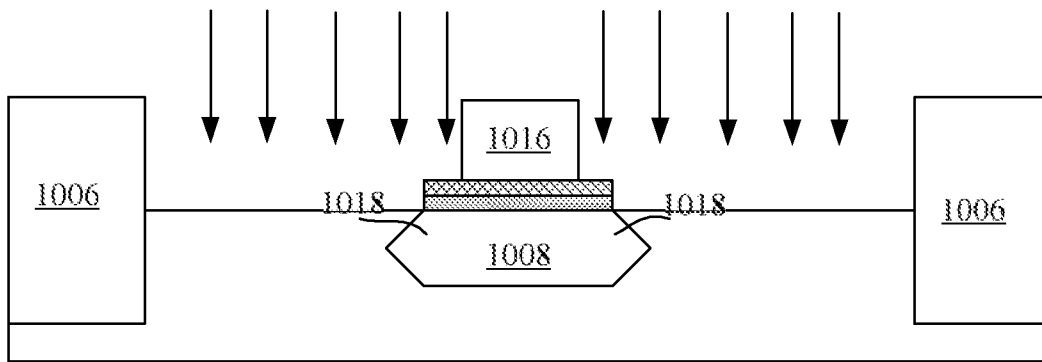


Fig.10

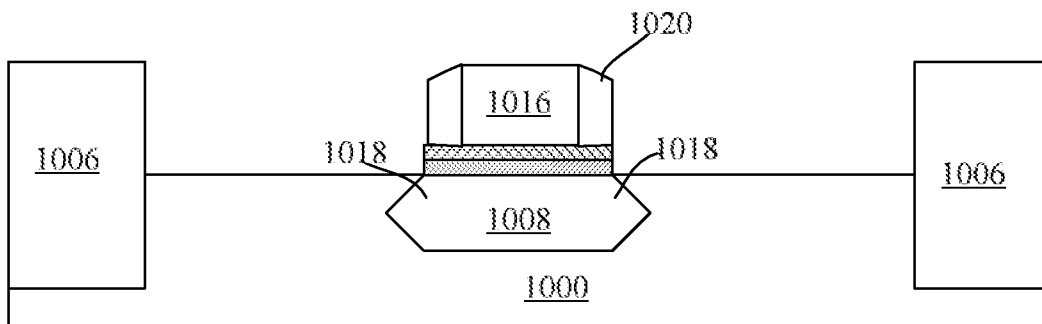


Fig.11

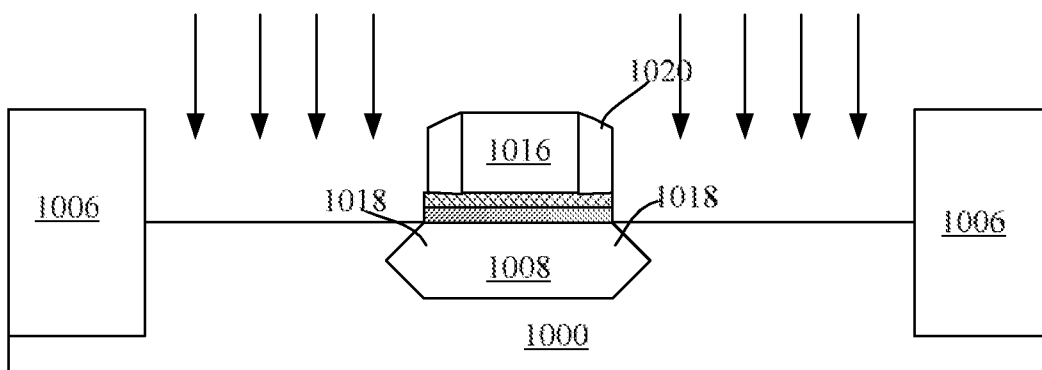


Fig.12

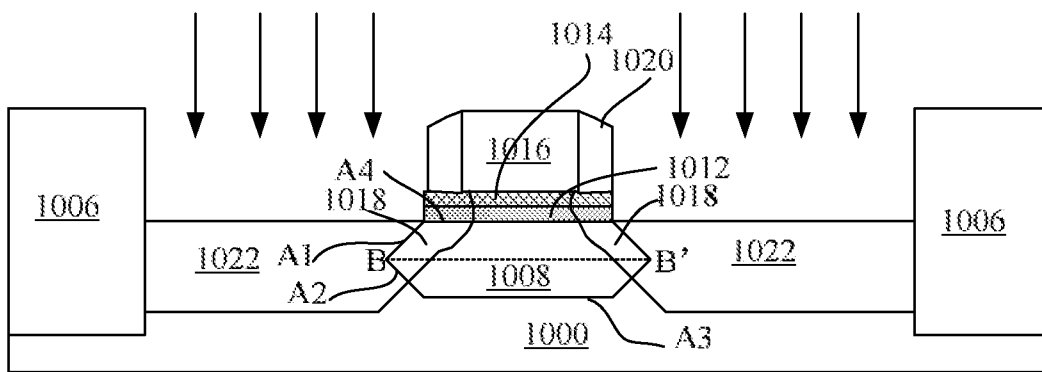


Fig.13

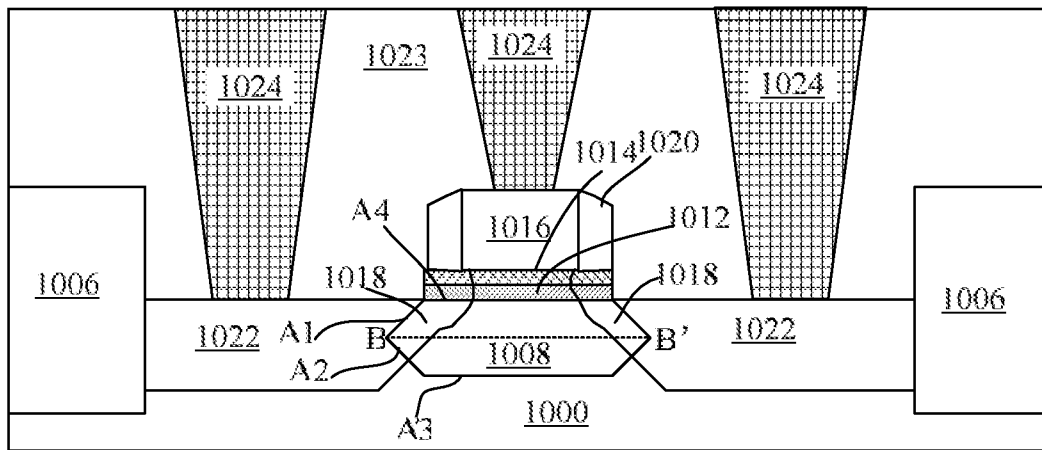


Fig.14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071351

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI,CPRS,EPODOC,WPI: stress, strain, channel, wall, symmetr+, mobility

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US2007/0152277A1(FUJITSU LIMITED) 05 Jul. 2007 (05.07.2007) the whole document	1—21
A	CN1716554A (IBM CORP) 04 Jan. 2006 (04.01.2006)the whole document	1—21
A	US2009/0250771A1(NEC CORPORATION) 08 Oct. 2009 (08.10.2009) the whole document	1—21

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 May 2011 (20.05.2011)	Date of mailing of the international search report 09 Jun. 2011 (09.06.2011)
---	--

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

Zhi,Yue

Telephone No. (86-10)62411788

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/071351

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2007/0152277A1	05.07.2007	WO2006030505A1	23.03.2006
		JP2006534989T2	08.05.2008
CN1716554A	04.01.2006	US2005285192A1	29.12.2005
		JP2006019727A	19.01.2006
		US7288443B2	30.10.2007
		CN100444336C	17.12.2008
		TW200625460A	16.07.2006
US2009/0250771A1	08.10.2009	WO2007023979A1	01.03.2007
		JP2007532213T2	05.03.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071351

A. CLASSIFICATION OF SUBJECT MATTER:

H01L 29/10 (2006.01)i

H01L 21/336 (2006.01)i

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CPRS,EPODOC,WPI:应力, 沟道, 壁, 对称, 迁移率, stress, strain, channel, wall, symmetr+, mobility

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2007/0152277A1 (FUJITSU LIMITED) 05.7 月 2007 (05.07.2007) 全文	1-21
A	CN1716554A (国际商业机器公司) 04.1 月 2006 (04.01.2006) 全文	1-21
A	US2009/0250771A1 (NEC CORPORATION) 08.10 月 2009 (08.10.2009)	1-21

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

20.5 月 2011 (20.05.2011)

国际检索报告邮寄日期

09.6 月 2011 (09.06.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

智月

电话号码: (86-10) 62411788

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/071351

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2007/0152277A1	05.07.2007	WO2006030505A1	23.03.2006
		JP2006534989T2	08.05.2008
CN1716554A	04.01.2006	US2005285192A1	29.12.2005
		JP2006019727A	19.01.2006
		US7288443B2	30.10.2007
		CN100444336C	17.12.2008
		TW200625460A	16.07.2006
US2009/0250771A1	08.10.2009	WO2007023979A1	01.03.2007
		JP2007532213T2	05.03.2009

A. 主题的分类:

H01L 29/10 (2006.01)i

H01L 21/336 (2006.01)i