

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4421036号

(P4421036)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl. F I
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 6 2 S

請求項の数 5 (全 13 頁)

(21) 出願番号	特願平11-326876	(73) 特許権者	308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号
(22) 出願日	平成11年11月17日(1999.11.17)	(74) 代理人	100068755 弁理士 恩田 博宣
(65) 公開番号	特開2001-143468(P2001-143468A)	(74) 代理人	100105957 弁理士 恩田 誠
(43) 公開日	平成13年5月25日(2001.5.25)	(72) 発明者	古山 孝昭 愛知県春日井市高蔵寺町二丁目1844番 2 富士通ヴィエルエスアイ株式会社内
審査請求日	平成16年3月11日(2004.3.11)	合議体	
審判番号	不服2007-5613(P2007-5613/J1)	審判長	相田 義明
審判請求日	平成19年2月22日(2007.2.22)	審判官	加藤 俊哉
		審判官	北島 健次

最終頁に続く

(54) 【発明の名称】 半導体記憶装置のデータ書き込み方法及び半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ワード線活性化コマンドの入力からクロック信号に基づく所定のレイテンシーを経てライトコマンドを入力し、前記ライトコマンドからあらかじめ設定されたライトレイテンシーを経た後に書き込みデータを入力して、データ書き込み動作を行う半導体記憶装置において、

前記ライトコマンドに基づいて書き込みデータの入力回路を活性化し、前記ライトレイテンシーを1より大きな値に設定して書き込みデータを入力し、前記ワード線活性化コマンドからライトコマンドまでのレイテンシーを、前記ライトレイテンシーの伸長を相殺するように短縮したことを特徴とする半導体記憶装置のデータ書き込み方法。

【請求項2】

ワード線活性化コマンドの入力からクロック信号に基づく所定のレイテンシーを経てライトコマンド若しくはリードコマンドを入力し、前記ライトコマンドからあらかじめ設定されたライトレイテンシーを経た後に書き込みデータを入力して、データ書き込み動作を行うとともに、前記リードコマンドからあらかじめ設定されたリードレイテンシーを経た後に読み出し動作を行う半導体記憶装置において、

前記ライトコマンドに基づいて書き込みデータの入力回路を活性化し、前記ライトレイテンシーを1より大きい値で、かつ、前記リードレイテンシーの値より1小さい値に設定して書き込みデータを入力し、前記ワード線活性化コマンドからライトコマンドまでのレイテンシーを、前記ライトレイテンシーの伸長を相殺するように短縮したことを特徴とす

10

20

る半導体記憶装置のデータ書き込み方法。

【請求項 3】

前記ワード線活性化コマンドの入力からライトコマンドの入力までのレイテンシーを、前記ワード線活性化コマンドの入力からリードコマンドの入力までのレイテンシーより短くしたことを特徴とする請求項 1 乃至 2 のいずれかに記載の半導体記憶装置のデータ書き込み方法。

【請求項 4】

クロック信号に基づいてアドレス信号を取り込む第一の入力回路と、
前記クロック信号に基づいて各種コマンド信号を取り込む第二の入力回路と、
前記クロック信号に基づいて書き込みデータを取り込む第三の入力回路と、
前記第一及び第二の入力回路と内部回路との間に介在され、前記クロック信号に基づいてライトレイテンシーを設定するライトレイテンシー設定部と
を備え、前記第一の入力回路で取り込んだアドレス信号及び第二の入力回路で取り込んだライトコマンドに基づいて、前記ライトコマンドの取り込み動作から前記ライトレイテンシーを経た後に、前記内部回路において前記第三の入力回路で取り込んだ書き込みデータの書き込み動作を行う半導体記憶装置において、

10

前記第二の入力回路から出力されるライトコマンドに基づいて前記第三の入力回路を活性化する初段制御回路を有し、

前記ライトレイテンシーは、あらかじめ設定されたリードレイテンシーより小さく、かつ 1 より大きい値に設定されていることを特徴とする半導体記憶装置。

20

【請求項 5】

前記ライトレイテンシー設定部には、リードレイテンシーの値より 1 小さい値をライトレイテンシーとして設定したことを特徴とする請求項 4 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、データ書き込み動作及びデータ読み出し動作をクロック信号に同期して行うシンクロナス D R A M に関するものである。

【0002】

近年、メモリ周辺機器の動作速度の高速化にともない、D R A M 等のメモリの動作速度の高速化が進み、データ書き込み動作及びデータ読み出し動作をクロック信号に同期して行うシンクロナス D R A M (S D R A M) が実用化されるに至った。また、S D R A M においても、動作速度の更なる高速化を図るために、S D R (single data rate) から D D R (double data rate) へと移行している。そして、このような S D R A M において、動作速度の高速化を図りながら、消費電力の低減を図ることが必要となっている。

30

【0003】

【従来の技術】

ライトレイテンシーが 1 である従来の D D R S D R A M の書き込み動作関連回路を図 7 に示す。第一の入力回路 1 a にはコラムアドレス信号 A D が入力され、第二の入力回路 1 b にはコマンド信号 C M が入力され、第三の入力回路 1 c には書き込みデータ D Q が入力される。

40

【0004】

前記コラムアドレス信号 A D は、F I F O メモリ 2 a を経て、プリデコーダ 3 に入力される。F I F O メモリ 2 a は、入力回路 1 a から出力されるアドレス信号を、この S D R A M のクロック信号の 1 周期分 (1 クロック) 遅延させて、プリデコーダ 3 に順次出力する。

【0005】

プリデコーダ 3 の出力信号は、メインデコーダ 4 に入力され、そのメインデコーダ 4 から出力されるコラム選択信号が該当するセンスアンプ 5 に出力される。

前記第二の入力回路 1 b は、入力されたコマンド信号 C M を F I F O メモリ 2 b に出力す

50

る。F I F Oメモリ2 bは、入力されたコマンド信号C Mを1クロック遅延させて制御回路6に順次出力する。制御回路6は、コマンド信号C Mに基づいて前記メインデコーダ4及びライトアンプ7に活性化信号を出力する。

【0006】

前記第三の入力回路1 cに入力される書き込みデータD Qは、前記ライトアンプ7に入力される。

そして、書き込み動作時には、コマンド信号C Mに基づいてライトアンプ7及びメインデコーダ4が活性化され、かつアドレス信号A Dに基づいて特定コラムのセンスアンプ5が活性化されるとき、第三の入力回路1 cからライトアンプ7に書き込みデータD Qが入力されて、その書き込みデータD Qがセンスアンプ5から記憶セルに書き込まれる。

10

【0007】

上記のような書き込み動作の動作タイミングを図8に従って説明する。書き込み動作時に前記コマンド信号C Mとして外部から入力されるワード線活性化コマンドA C T Vから所定のレイテンシー（latency）を経てライトコマンドW Rが入力される。

【0008】

ライトレイテンシーW Lが1のD D R S D R A Mでは、ライトコマンドW Rの入力から1クロック後に、入出力制御信号D Q Sとともに書き込みデータD Qが外部から入力される。

【0009】

そして、入出力制御信号D Q Sの立ち上がり及び立ち下がりに基づいて、第三の入力回路1 cで書き込みデータD Qを取り込み、その書き込みデータD Qの取り込みにほぼ同期して活性化されるライトアンプ7、メインデコーダ4及びセンスアンプ5の動作により、アドレス信号A Dに基づいて選択した記憶セルに取り込んだ書き込みデータD Qを2ビット分ずつ順次書き込む。

20

【0010】

また、セル情報の読み出し動作時には、ワード線活性化コマンドA C T VからライトコマンドW Rが入力されるまでのレイテンシーと同一のレイテンシーでリードコマンドR Dが入力され、そのリードコマンドR Dの入力に基づいて、アドレス信号A Dに基づいて選択された記憶セルからセル情報が読み出される。

【0011】

このような読み出し動作では、リードコマンドの入力に基づいて直ちに読み出し動作が開始されるのに対し、上記書き込み動作では、ライトコマンドW Rの入力からライトレイテンシーW Lを経て書き込みデータD Qの取り込みを開始し、データの取り込みが完了した後に書き込み動作が開始されるため、ワード線選択コマンドA C T Vの入力から書き込み動作が完了するまでの時間は、ワード線選択コマンドA C T Vの入力から読み出し動作が完了するまでの時間より長くなっている。

30

【0012】

【発明が解決しようとする課題】

上記のようなD D R S D R A Mでは、消費電力を低減するために、書き込みデータD Qを取り込むための第三の入力回路1 cは、書き込みデータD Qの入力タイミングに合わせ、ライトコマンドW Rの入力に基づいて活性化することが望ましい。

40

【0013】

ところが、ライトコマンドW Rの入力から書き込みデータD Qが入力されるまでのライトレイテンシーは1、すなわち1クロック分の時間である。そして、近年のD D R S D R A Mの動作速度の高速化によるクロック信号C L Kの高周波数化にともない、1クロック分の時間が極めて短くなっている。

【0014】

従って、ライトコマンドW Rに基づいて第三の入力回路1 cを活性化しても、書き込みデータD Qの取り込み動作の開始までに、第三の入力回路1 cを確実に活性化することはできず、書き込みデータD Qの取り込みに支障を来すおそれがある。

【0015】

50

そこで、書き込み動作時には第三の入力回路 1 c を常時活性化する必要があるが、クロック信号 C L K , パー C L K の高周波数化にともない、消費電力が増大するという問題点がある。

【 0 0 1 6 】

一方、ライトコマンド W R の入力から書き込みデータ D Q の取り込みまでの時間、すなわちライトレイテンシーを長く設定すれば、ライトコマンド W R に基づいて第三の入力回路 1 c を活性化しても書き込みデータ D Q の取り込みに支障を来すことはない。

【 0 0 1 7 】

ところが、従来の D D R S D R A M では、ワード線活性化コマンド A C T V の入力からライトコマンド W R の入力までのレイテンシーは、ワード線活性化コマンド A C T V の入力からリードコマンドの入力までのレイテンシーと同一に設定されているので、ライトレイテンシーを長く設定すると、ワード線活性化コマンド A C T V が入力されてから、書き込み動作が終了するまでに要する時間が長くなる。従って、書き込み動作の速度が低下するという問題点がある。

【 0 0 1 8 】

この発明の目的は、書き込み速度を低下させることなく、消費電力を低減し得る S D R A M 及びそのデータ書き込み方法を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

上記目的を達成するためのデータ書き込み方法は、ワード線活性化コマンドの入力からライトコマンドの入力までのレイテンシーが短縮され、ライトレイテンシーは 1 より大きな値に設定される。書き込みデータは、ライトコマンドに基づいて活性化される入力回路で取り込まれ、取り込まれた書き込みデータに基づいて書き込み動作が行われる。

【 0 0 2 0 】

上記目的を達成するための半導体記憶装置は、クロック信号に基づいてアドレス信号を取り込む第一の入力回路と、前記クロック信号に基づいて各種コマンド信号を取り込む第二の入力回路と、前記クロック信号に基づいて書き込みデータを取り込む第三の入力回路と、前記第一及び第二の入力回路と内部回路との間に介在され、前記クロック信号に基づいてライトレイテンシーを設定するライトレイテンシー設定部とを備え、前記第一の入力回路で取り込んだアドレス信号及び第二の入力回路で取り込んだライトコマンドに基づいて、前記ライトコマンドの取り込み動作から前記ライトレイテンシーを経た後に、前記内部回路において前記第三の入力回路で取り込んだ書き込みデータの書き込み動作を行う。そして、ライトレイテンシー設定部には、あらかじめ設定されたリードレイテンシーより小さく、かつ 1 より大きいライトレイテンシーを設定し、前記第二の入力回路から出力されるライトコマンドに基づいて前記第三の入力回路を活性化する初段制御回路を備える。

【 0 0 2 1 】

【発明の実施の形態】

図 1 は、この発明を具体化した D D R S D R A M の書き込み関連回路の一実施の形態を示す。

【 0 0 2 2 】

この実施の形態は、前記従来例に対し、F I F O メモリ 1 1 a , 1 1 b の動作と、初段制御回路 1 2 とを除いて同一であり、同一構成部分は同一符号を付してその詳細な説明を省略する。

【 0 0 2 3 】

D D R S D R A M のリードレイテンシー R L は、クロック信号 C L K の周波数に応じて設定され、周波数が高くなるにつれて 2 あるいは 3 というように大きな値が設定される。そして、この実施の形態ではクロック信号 C L K に基づいてリードレイテンシー R L が 3 に設定され、ライトレイテンシー W L は (R L - 1)、すなわち 2 に設定されている。

【 0 0 2 4 】

前記 F I F O メモリ 1 1 a , 1 1 b は、2 に設定されたライトレイテンシー W L に対応し

10

20

30

40

50

て、入力回路 1 a , 1 b の出力信号をクロック信号 C L K の 2 周期分遅延させて順次出力するように構成される。

【 0 0 2 5 】

前記入力回路 1 b は、図 2 に示すように、具体的には 4 つの入力回路 1 3 a ~ 1 3 d で構成され、各入力回路 1 3 a ~ 1 3 d には各制御信号 C S ー、 R A S ー、 C A S ー、 W E ーがそれぞれ入力され、各信号をそれぞれ次段の F I F O メモリに出力する。

【 0 0 2 6 】

前記入力回路 1 c は、図 4 に示す差動回路で構成される。すなわち、 1 対の N チャンネル M O S トランジスタ T r 1 , T r 2 のゲートには、入力信号 i n すなわち書き込みデータ D Q と基準電圧 V r e f がそれぞれ入力され、各トランジスタ T r 1 , T r 2 のソースは、 N チャンネル M O S トランジスタ T r 3 のドレインに接続され、同トランジスタ T r 3 のソースは低電位側電源 V s s に接続されている。前記入力回路 1 a , 1 3 a ~ 1 3 d も入力回路 1 c と同様な回路で構成される。

【 0 0 2 7 】

前記トランジスタ T r 1 のドレインは P チャンネル M O S トランジスタ T r 4 , T r 5 のドレインに接続され、同トランジスタ T r 4 , T r 5 のソースには高電位側電源 V D D が供給される。

【 0 0 2 8 】

前記トランジスタ T r 2 のドレインは P チャンネル M O S トランジスタ T r 6 , T r 7 のドレインに接続され、同トランジスタ T r 6 , T r 7 のソースには高電位側電源 V D D が供給される。

【 0 0 2 9 】

前記トランジスタ T r 5 , T r 6 のゲートは互いに接続されるとともに、前記トランジスタ T r 2 のドレインに接続されている。

前記トランジスタ T r 4 , T r 7 のゲートには、活性化信号 e n b がインバータ回路 1 4 a を介して入力され、前記トランジスタ T r 3 のゲートには、活性化信号 e n b がインバータ回路 1 4 a を介して入力される。

【 0 0 3 0 】

前記トランジスタ T r 1 のドレインであるノード N 1 の電位は、 3 段のインバータ回路 1 4 c ~ 1 4 e を介して出力信号 o u t z として出力され、かつ 2 段のインバータ回路 1 4 c , 1 4 d を介して出力信号 o u t x として出力される。

【 0 0 3 1 】

このような入力回路 1 c では、活性化信号 e n b が H レベルとなると、トランジスタ T r 3 がオフされ、トランジスタ T r 4 , T r 7 がオンされる。従って、入力信号 i n に関わらずノード N 1 は H レベルに固定され、出力信号 o u t z は L レベル、出力信号 o u t x は H レベルに固定される。

【 0 0 3 2 】

また、活性化信号 e n b が L レベルとなると、トランジスタ T r 3 がオンされ、トランジスタ T r 4 , T r 7 がオフされて活性状態となる。

そして、入力信号 i n の電圧レベルが基準電圧 V r e f より高くなると、ノード N 1 が L レベルとなり、 H レベルの出力信号 o u t z と、 L レベルの出力信号 o u t x が出力される。

【 0 0 3 3 】

また、入力信号 i n の電圧レベルが基準電圧 V r e f より低くなると、ノード N 1 が H レベルとなり、 L レベルの出力信号 o u t z と、 H レベルの出力信号 o u t x が出力される。

【 0 0 3 4 】

前記初段制御回路 1 2 の具体的構成を図 2 及び図 3 に従って説明する。 N A N D 回路 1 5 a には、前記入力回路 1 3 a の出力信号 o u t x と、前記入力回路 1 3 b の出力信号 o u t z が入力され、 N A N D 回路 1 5 b には、前記入力回路 1 3 c の出力信号 o u t x と、前記入力回路 1 3 d の出力信号 o u t x が入力される。

【 0 0 3 5 】

前記 N A N D 回路 1 5 a , 1 5 b の出力信号は N O R 回路 1 6 に入力される。従って、 N

10

20

30

40

50

OR回路16の出力信号であるノードN2は、前記NAND回路15a, 15bの入力信号がすべてHレベルとなったとき、すなわち書き込みコマンドWRが入力されたとき、Hレベルとなる。

【0036】

前記ノードN2は、NチャンネルMOSトランジスタTr8のゲートに入力されるとともに、インバータ回路14fを介してNチャンネルMOSトランジスタTr9に入力される。

【0037】

前記トランジスタTr8のドレインはPチャンネルMOSトランジスタTr10のドレインに接続されるとともに、同トランジスタTr10のソースには電源VDDが供給される。

【0038】

前記トランジスタTr9のドレインはPチャンネルMOSトランジスタTr11のドレインに接続されるとともに、同トランジスタTr11のソースには電源VDDが供給される。

【0039】

前記トランジスタTr8のソースは、NチャンネルMOSトランジスタTr12, Tr13を介して電源Vssに接続され、前記トランジスタTr9のソースは、NチャンネルMOSトランジスタTr14, Tr15を介して電源Vssに接続されている。また、トランジスタTr8, Tr9のソースは、NチャンネルMOSトランジスタTr16を介して接続されている。

【0040】

前記トランジスタTr8, Tr10のドレイン、すなわちノードN4は、NチャンネルMOSトランジスタTr17及びPチャンネルMOSトランジスタTr18のドレインに接続されるとともに、NチャンネルMOSトランジスタTr19及びPチャンネルMOSトランジスタTr20のゲートに接続される。

【0041】

前記トランジスタTr17, Tr18のドレインは互いに接続され、前記トランジスタTr19, Tr20のドレインは互いに接続されている。前記トランジスタTr18, Tr20のソースには電源VDDが供給されている。

【0042】

前記トランジスタTr9, Tr11のドレイン、すなわちノードN3は、前記トランジスタTr19, Tr20のドレインに接続されるとともに、前記トランジスタTr17, Tr18のゲートに接続されている。

【0043】

前記トランジスタTr10, Tr11, Tr12, Tr14のゲートには、クロック信号CLKが2段のインバータ回路14g, 14hを介して入力され、トランジスタTr13, Tr15, Tr16のゲートには、クロック信号CLKが3段のインバータ回路14g, 14i, 14jを介して入力される。

【0044】

また、前記トランジスタTr17, Tr19のソースには、クロック信号CLKが3段のインバータ回路14g, 14i, 14jを介して供給される。そして、前記トランジスタTr17 ~ Tr20は、ノードN3, N4の電位差を拡大するように動作して、ノードN3, N4の立ち上がり動作及び立ち下がり動作を高速化する。

【0045】

前記ノードN3の電圧レベルは、PチャンネルMOSトランジスタTr21のゲートに入力されるとともに、インバータ回路14kを介してNチャンネルMOSトランジスタTr22のゲートに入力される。

【0046】

前記ノードN4の電圧レベルは、PチャンネルMOSトランジスタTr24のゲートに入力されるとともに、インバータ回路14mを介してNチャンネルMOSトランジスタTr23のゲートに入力される。

【0047】

前記トランジスタTr21, Tr24のソースには、電源VDDが供給され、前記トランジスタT

10

20

30

40

50

r23, Tr22のソースは電源Vssに接続される。

そして、前記トランジスタTr21, Tr23のドレインから信号wrtbが出力され、前記トランジスタTr24, Tr22のドレインから信号wrtが出力される。また、トランジスタTr21, Tr23のドレインと、トランジスタTr24, Tr22のドレインとの間にはラッチ回路17aが接続されている。

【0048】

図3に示すように、前記信号wrtbはNAND回路15cに入力され、そのNAND回路15cの出力信号は、NAND回路15dに入力される。

前記NAND回路15dには、信号rstbが入力される。この信号rstbは、常にはHレベルの信号が入力され、前記各制御信号CSバー、RASバー、CASバー、WEバーに基づいて書き込み動作の終了が検出されたとき、Lレベルとなるワンショットパルス信号が入力される。

10

【0049】

そして、NAND回路15dの出力信号が前記NAND回路15cに入力される。

前記NAND回路15cの出力信号は、インバータ回路14nを介して転送ゲート18aに入力される。前記転送ゲート18aの出力信号は、ラッチ回路17bに入力され、そのラッチ回路17bの出力信号は転送ゲート18bに入力される。

【0050】

前記転送ゲート18bの出力信号は、ラッチ回路17cに入力され、そのラッチ回路17cの出力信号は転送ゲート18cに入力される。

20

前記転送ゲート18cの出力信号は、ラッチ回路17dに入力され、そのラッチ回路17dの出力信号は転送ゲート18dに入力される。

【0051】

前記転送ゲート18dの出力信号は、ラッチ回路17eに入力され、そのラッチ回路17eの出力信号(ノードN7)はNAND回路15eに入力される。また、前記インバータ回路14nの出力信号(ノードN5)と、前記ラッチ回路17cの出力信号(ノードN6)がNAND回路15eに入力される。

【0052】

前記各転送ゲート18a~18dは、クロック信号CLKと同相の信号と、反転信号とが入力されて、転送ゲート18a, 18cと、同18b, 18dとが交互に導通するようになっている。

30

【0053】

前記NAND回路15eの出力信号は、インバータ回路14pに入力され、そのインバータ回路14pの出力信号が活性化信号enbとして前記入力回路1cに入力される。

【0054】

上記のような初段制御回路12の動作を図5に従って説明する。

書き込みモード時以外には、制御信号WEバーがHレベルとなるため、少なくともNAND回路15bの出力信号がHレベルとなり、ノードN2はLレベルに維持される。すると、トランジスタTr8はオフ状態に維持され、トランジスタTr9はオン状態に維持される。

【0055】

クロック信号CLKにより、トランジスタTr10, Tr11は間歇的にオンされ、トランジスタTr12, Tr13及び同Tr14, Tr15はクロック信号CLKがLレベルからHレベルに立ち上がる時、1段分のインバータ回路の動作遅延時間にかぎり同時にオンして、トランジスタTr8, Tr9のソースと電源Vssとを導通させる。

40

【0056】

この結果、ノードN4はHレベルに固定され、ノードN3はクロック信号CLKの反転信号となる。

すると、トランジスタTr21, Tr22, Tr23, Tr24はすべてオフされるか、あるいはトランジスタTr21, Tr22のみがオンされる状態のいずれかとなり、ラッチ回路17aの動作により、信号wrtbはHレベル、信号wrtはLレベルに維持される。

50

【 0 0 5 7 】

信号 $w r t b$ が H レベルの状態では、NAND 回路 1 5 c の出力信号は、前サイクルでリセット信号 $r s t b$ の入力に基づいて L レベルに維持される。すると、インバータ回路 1 4 n の出力信号は H レベルに維持され、NAND 回路 1 5 e の入力信号はすべて H レベルに維持される。

【 0 0 5 8 】

従って、インバータ回路 1 4 p から出力される活性化信号 $e n b$ は、H レベルに維持され、第三の入力回路 1 c は不活性状態に維持される。

入力回路 1 3 a ~ 1 3 d にライトコマンドが入力されたとき、すなわち L レベルの制御信号 $C S$ バーと、H レベルの制御信号 $R A S$ バーと、L レベルの制御信号 $C A S$ バーと、L レベルの制御信号 $W E$ バーが入力されると、ノード N 2 は各制御信号の重なる時間範囲で H レベルとなる。

10

【 0 0 5 9 】

ノード N 2 が H レベルとなると、トランジスタ $T r 8$ がオンされるとともに、トランジスタ $T r 9$ がオフされる。この状態でクロック信号 $C L K$ が L レベルから H レベルに立ち上がると、トランジスタ $T r 12$, $T r 13$ は 1 段分のインバータ回路の動作遅延時間分だけ同時に導通して、ノード N 4 が L レベルとなり、次いでクロック信号 $C L K$ の立ち下がりに基づいて、ノード N 4 は H レベルに復帰する。

【 0 0 6 0 】

ノード N 4 の立ち下がりに基づいて、信号 $w r t b$ は L レベルに立ち下がり、信号 $w r t$ は H レベルに立ち上がり、次にノード N 3 が L レベルに立ち下がるまで、この状態が維持される。

20

【 0 0 6 1 】

信号 $w r t b$ の立ち下がりに基づいて、活性化信号 $e n b$ が L レベルに立ち下がる。また、信号 $w r t b$ の立ち下がりに基づいてノード N 5 が L レベルに立ち下がり、ノード N 5 の立ち下がりから 1 クロック後にノード N 6 が立ち下がり、ノード N 6 の立ち下がりから 1 クロック後にノード N 7 が立ち下がる。

【 0 0 6 2 】

次いで、信号 $w r t b$ が H レベルに復帰した状態で、リセット信号 $r s t b$ が H レベルから L レベルに立ち下ると、ノード N 5 は L レベルから H レベルに復帰し、次いで 1 クロック後にノード N 6 が L レベルから H レベルに復帰し、次いで 1 クロック後にノード N 7 が L レベルから H レベルに復帰する。

30

【 0 0 6 3 】

このような動作により、活性化信号 $e n b$ はノード N 5 が立ち下がってからノード N 7 が立ち上がるまでの範囲で L レベルとなり、その活性化信号 $e n b$ により前記第三の入力回路 1 c が所定時間の範囲で活性化される。

【 0 0 6 4 】

次に、上記のように構成された DDR SDRAM の書き込み動作を図 6 に従って説明する。

この DDR SDRAM では、前記従来例に対しクロック信号 $C L K$ の高周波数化により、リードレイテンシー $R L$ が 3 に設定されている。

40

【 0 0 6 5 】

書き込み動作時には、外部からワード線選択コマンド $A C T V$ の入力に続いてライトコマンド $W R$ を入力する。このライトコマンド $W R$ は、前記各制御信号 $C S$ バー、 $R A S$ バー、 $C A S$ バー、 $W E$ バーを所定レベルに制御することである。

【 0 0 6 6 】

ライトコマンド $W R$ の入力に基づいて、前記初期制御回路 1 2 により第三の入力回路 1 c が活性化される。また、ライトコマンド $W R$ の入力から 2 に設定されたライトレイテンシー $W L$ を経て、入出力制御信号 $D Q S$ が外部から入力されるとともに、書き込みデータ $D Q$ が入力され、その書き込みデータ $D Q$ が活性化された第三の入力回路 1 c により取り込

50

まれる。

【0067】

第一の入力回路1aに入力されたアドレス信号ADは、FIFOメモリ11aを経てプリデコーダ3に入力され、そのプリデコーダ3の出力信号がメインデコーダ4に入力される。

【0068】

第二の入力回路1bに入力されたライトコマンドWRは、FIFOメモリ11bを経て制御回路6に入力され、その制御回路6の出力信号に基づいてライトアンプ7及びメインデコーダ4が活性化され、メインデコーダ4の動作に基づいてセンスアンプ5が活性化される。

10

【0069】

このような動作により、書き込みデータDQの取り込みに合わせて、ライトアンプ7及びセンスアンプ5が活性化され、2ビットずつの書き込みデータDQが、アドレス信号ADに基づいて選択された記憶セルに順次書き込まれる。

【0070】

上記のように構成されたDDRSDRAMでは、次に示す作用効果を得ることができる。
 (1) ライトレイテンシーWLを2としたことにより、ライトコマンドWRに基づいて書き込みデータDQを取り込むための第三の入力回路1cを活性化しても、書き込みデータDQの取り込み動作に十分間に合わせることができる。従って、書き込み動作時にのみ第三の入力回路1cを活性化することができるので、消費電力を低減することができる。特に、入出力ビット数が16ビットあるいは32ビットというように、多ビットになるほど書き込みデータDQを取り込むための入力回路の数が増大するため、消費電力の低減効果は顕著である。

20

【0071】

(2) ライトレイテンシーWLは、3に設定されたリードレイテンシーRLより1小さい2とした。すなわち、ライトレイテンシーWLを(RL-1)としたことにより、ライトコマンドWRに基づく第三の入力回路1cの活性化を可能としながら、ライトレイテンシーWLを必要以上に長く設定することなく、ワード線活性化コマンドACTVの入力から書き込み動作が完了するまでに要する時間を短縮化することができる。

【0072】

(3) ワード線活性化コマンドACTVが入力されてから、ライトコマンドWRが入力されるまでのレイテンシーを短縮したので、従来例に比してライトレイテンシーWLを長く設定しても、ワード線活性化コマンドACTVの入力から書き込み動作が完了するまでに要する時間を短縮することができる。

30

【0073】

上記実施の形態は、次に示すように変更することもできる。

・上記実施の形態は、SDRSDRAMに実施することもできる。

【0074】

【発明の効果】

以上詳述したように、この発明は書き込み速度を低下させることなく、消費電力を低減し得るSDRAM及びそのデータ書き込み方法を提供することができる。

40

【図面の簡単な説明】

【図1】 一実施の形態の書き込み関連回路を示すブロック図である。

【図2】 初段制御回路を示す回路構成図である。

【図3】 初段制御回路を示す回路構成図である。

【図4】 入力回路を示す回路構成図である。

【図5】 初段制御回路の動作を示すタイミング波形図である。

【図6】 DDRSDRAMの書き込み動作を示すタイミング波形図である。

【図7】 従来のDDRSDRAMの書き込み関連回路示すブロック図である。

【図8】 従来例の書き込み動作を示すタイミング波形図である。

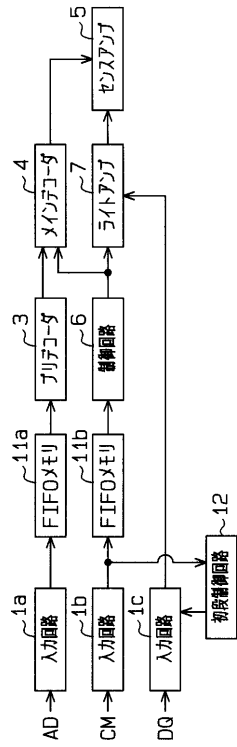
50

【符号の説明】

- 1 a 第一の入力回路
- 1 b 第二の入力回路
- 1 c 第三の入力回路
- 1 1 ライトレイテンシー設定部
- 1 2 初段制御回路
- A C T V ワード線活性化コマンド
- W R ライトコマンド
- W L ライトレイテンシー
- D Q 書き込みデータ

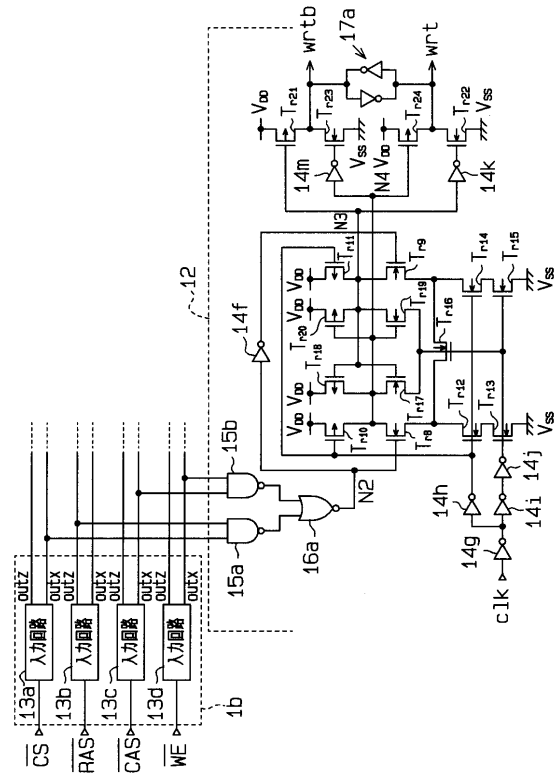
【図1】

一実施の形態の書き込み関連回路を示すブロック図



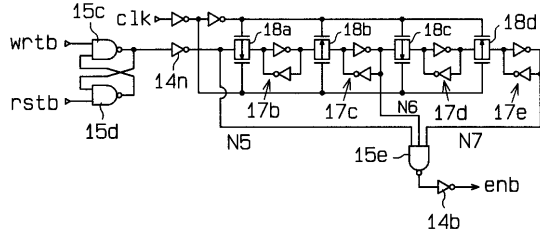
【図2】

初段制御回路を示す回路構成図



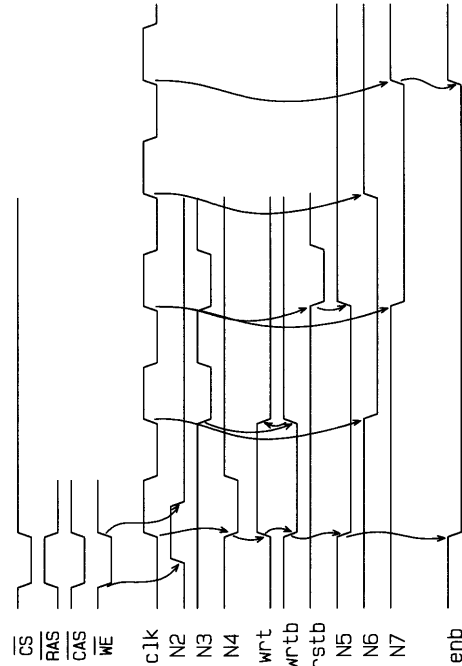
【図3】

初段制御回路を示す回路構成図



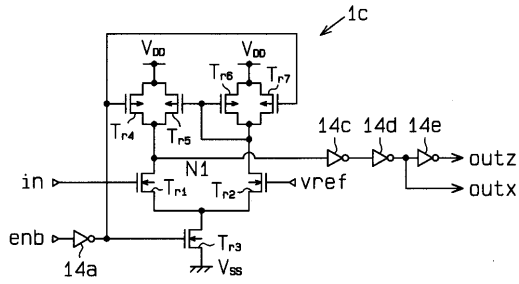
【図5】

初段制御回路の動作を示すタイミング波形図



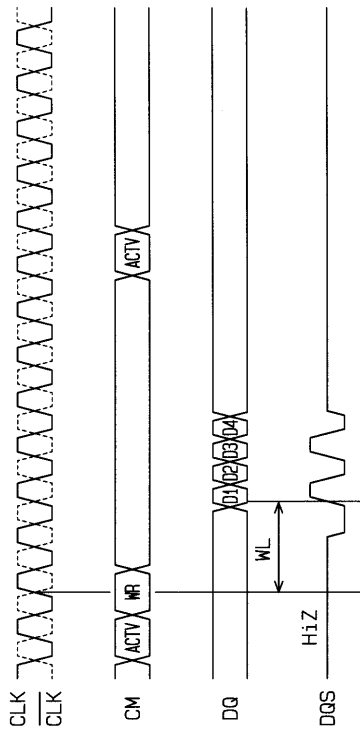
【図4】

入力回路を示す回路構成図



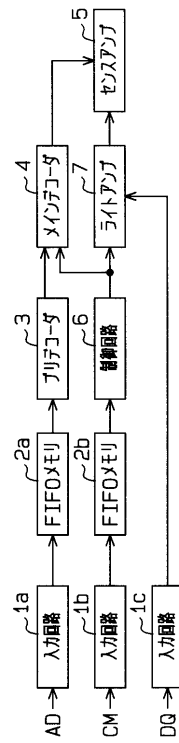
【図6】

DDRSDRAMの書き込み動作を示すタイミング波形図



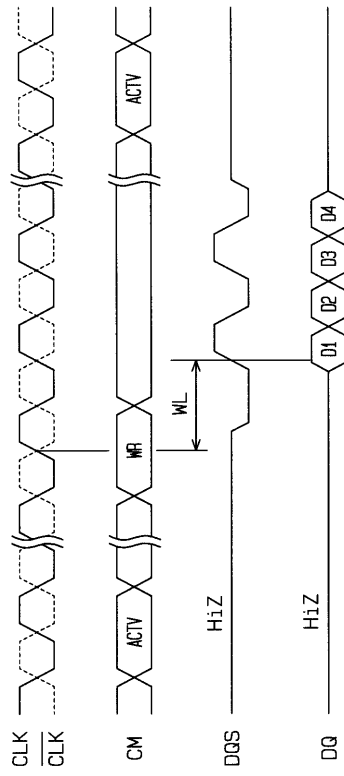
【図7】

従来のDDRSDRAMの書き込み関連回路を示すブロック図



【 図 8 】

従来例の書き込み動作を示すタイミング波形図



フロントページの続き

- (56)参考文献 特開2001-67877(JP,A)
特開平9-17819(JP,A)
特開平11-45567(JP,A)
特開平10-241355(JP,A)
特開平11-312970(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C11/407