

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型名稱	中 文	
	英 文	
二、發明 創 作人	姓 名	5.愛德華 W. 寇納德 EDWARD W. CONRAD 6.威廉 C. 黎朋德 WILLIAM C. LEIPOLD
	國 籍	5-6均美國
	住、居所	5.美國維蒙特州傑弗森維爾市北劍橋路4139號 6.美國維蒙特州艾諾斯堡瀑布市東喜來登路4214號
三、申請人	姓 名 (名 稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

五、發明說明 (1)

發明背景

發明領域

本發明相關於嵌入式去耦合電容器，特別式絕緣物上的矽 (SOI) 技術，其可降低雜訊並有助於解決邊緣單元近似效應的問題，藉之，消除分開去耦合電容器與 OPC 結構的需求。

相關技藝的說明

現今科學出現越來越多對微電子技術的需求。今天，晶片已經工作在接近千兆赫範圍的速度而目前的趨勢繼續需要晶片處理增加電子信號的數量，利用更少的空間與更少的時間。晶片廣泛的用在種類繁多的應用上，例如個人電腦，記憶庫、蜂巢電話，以及熟習本技藝的人所熟知的其他電子裝置。不考慮到實際的應用，晶片的結構控制晶片可以工作的速度以及晶片可以處理的電子信號數量。

每個晶片有上千個儲存並處理電子信號之電路的半導體基質。要符合日益增加的高速及高信號量的微電子，晶片上電路的數目要增加。然而，電路的數目，及因而在微電子的進步，受限於晶片表面上可用空間。

晶片上的空間受限於晶片上電路的兩個次最佳運用特色。首先，要降低高速資料傳輸造成的雜訊，電路區塊需要去耦合電容器。去耦合電容器的結構相當大並且是用在電源供應及地電位之間提供正常電路動作的足夠雜訊免除。例如，圖 1 為顯示緩衝單元 10 的簡單圖，電源供應 12 及電源線上的雜訊 11 被大的去耦合電容器 14 阻絕。

五、發明說明 (2)

第二，裝置需要至少兩個外部的光學近似修正(OPC)結構來降低在作用閘極線邊緣上近似環境中的改變造成的光學繞射效應。此OPC結構由一處理配置來修正完整的晶片佈局資料集。這個處理可以在晶片佈局由所謂的光學近似修正技術產生的晶片佈局之後執行或是在設計處理期間，此OPC結構可以放在電路中作用閘極線的任一端點。在這個位置，OPC結構降低近似效應藉由提供作用閘極與在閘極陣列中間的作用閘極相同的局部環境。OPC結構的使用在陣列周邊是可接收的解決方案對於單獨的陣列晶片或甚至是應用指定積體電路(ASIC)晶片，其陣列元件形成整個晶片面積的小部分，因為OPC結構所佔的相對空間量很小。

要最佳化晶片處理速度並增加資料處理的數量，需要有效的使用晶片表面上的空間。結果，最好的整合去耦合電容器與OPC結構而不增加雜訊或是繞射效應。

發明概要

因此，本發明的目的在提供一結構與方法來提供半導體晶片，其包含有儲存及處理資料的第一單元的第二區域，以及在第二區域外有OPC結構的第一區域，其中OPC結構包含去耦合電容器。第一單元的作用閘極的線寬度與OPC結構的大小相同或類似大小。此OPC結構降低第一單元中作用裝置的近似效應，並包含N-型態FETs及P-型態FETs，其位在第二區域中。此OPC結構可以有大大於第一單元的寬度。第二區域可以是多個OPC結構，藉之第二區域包含多

五、發明說明 (3)

個去耦合電容器。第一單元中的作用裝置分開第一距離而此OPC結構與此作用裝置分開第一距離。

本發明的進一步具體實例是半導體裝置，其包含一底材，一有第一複數個平行延長閘極的第一電晶體，此第一電晶體形成在此底材的區域中，以及至少一個OPC結構形成在第一複數個拉長閘極的最外圍閘極的相同平面並與之平行的延伸，其中OPC結構是當作去耦合電容器以及光學近似修正器。此第一複數個平行延長的閘極的線寬度與OPC結構的相同，其中OPC結構降低第一單元的近似效應而第一複數個平行延長閘極係用來儲存及處理資料。此OPC結構的寬度大於第一複數個平行延長閘極的一個閘極。第一電晶體包含多個OPC結構而此電晶體包含多個去耦合電容器。第一單元的第一複數個平行延長閘極的每個閘極分開第一距離，而OPC結構與此第一複數個平行延長閘極分開第一距離。

本發明還以具體實例說明一包含有用來儲存及處理資料之第一單元的第一區域的半導體裝置，其中每個第一單元包含分開第一距離的裝置，以及在第一區域外有OPC結構的第二區域，其中此OPC結構與第一單元中第一單元的最外面裝置平行且共面，而OPC結構之一與最外面的第一單元分開第一距離，其中此OPC結構包含去耦合電容器。此第一單元包含與OPC結構相同或類似的線寬度。此OPC結構降低第一單元的近似效應並還包含N-型態FET及P-型態FET，其中的N-型態FET及P-型態FET每一個均包含第一區

五、發明說明 (4)

域及第二區域。此 OPC 結構可以包含的寬度大於第一單元的寬度，而第二區域可能包含多個 OPC 結構，藉之第二區域包含多個去耦合電容器。

圖示簡述

本發明將參考下面的圖示做詳細說明，其中類似的號碼參考類似的元件且其中：

圖 1 為具有去耦合電容器之電路佈局；

圖 2 A 為傳統去耦合電容器的佈局；

圖 2 B 為包含緩衝單元的 NFET 及 PFET 概要圖；

圖 2 C 為對應在圖 2 A 中所顯示結構的電路圖之概要圖；

圖 3 A 為根據本發明有去耦合電容器之緩衝單元的佈局；

圖 3 B 為對應在圖 3 A 中所顯示結構電路圖的概要圖；以及

圖 4 為跨過裝置部分及去耦合電容器之橫切面的概要圖。

本發明較佳具體實例的詳細說明

本發明提供一種結構給結合成為一個裝置的半導體裝置表面有去耦合電容器及 OPC 結構。結果，僅需要較少的半導體表面空間來降低與高速處理有關的雜訊及近似效應。如圖 1 及 2 A-2 C 中描述的，本發明之前，需要兩個裝置來控制這些次最佳運用特色的問題。圖 1 中的去耦合電容器 14 及圖 2 A 及 2 C 中的 20 消除雜訊，而 OPC 結構(未顯示在圖 1 中)降低近似效應。圖 2 A 為傳統去耦合電容器的圖，其允許用在晶圓中來降低雜訊。每個 OPC 結構 P- 型態場效電

五、發明說明 (5)

晶體 (PFET) 100 及 N- 型態場效電晶體 (NFET) 110 用一個去耦合電容器 20。如圖 2C 電路圖描述的，去耦合電容器接線至在 VDD 橫軌 38 及地電位橫軌 50 間的 PFET 100 及 NFET 110。此去耦合電容器有一閘極 22、一源汲極接觸 24、一擴散區域 26 及一 N- 井 28。

圖 2B 描述一組 PFET 100 及 NFET 110。OPC 結構 30 及 40 分別在 PFET 100 及 NFET 110 的外面部份。PFET 裝置 100 的整個結構包含連串的閘極 102，N- 井區域 104 有源/汲極擴散區域 106 及 OPC 結構 30 位在源/汲極擴散區域 106 的外面。源/汲極接觸區域 109 同樣提供在源/汲極擴散區域 106 內。閘極區域 102 提供在源/汲極擴散區域 106 及延伸的閘極部分 108 從源/汲極擴散區域 106 外延伸出來。多晶矽閘極延伸在擴散區域外，來允許在遮罩不對齊或其他處理變易的條件下適當定義 PFET。

類似的，此 NFET 裝置 110 包含連串的閘極 112、源/汲極擴散區域 114 及位在源/汲極擴散區域 114 外的 OPC 結構 40。此 NFET 裝置 110 還包含源/汲極擴散接觸區域 118 以及在源/汲極擴散區域 114 內的閘極區域 112 以及延伸的閘極部分 116 其延伸到源/汲極擴散區域 114 外。

PFET 裝置 100 與 NFET 110 裝置的 OPC 結構 30 與 40 及連串的閘極 102 與 112 的每一個是用傳導材料例如多晶矽做的。此 OPC 結構 30 與 40 也可以與個別閘極有相同的線寬度，大小及形狀。然而，在 OPC 結構 30 與 40 及閘極 102 與 112 間有兩個主要的差異。首先，此 OPC 結構 30 與 40 為非作用中的而閘

五、發明說明 (6)

極 102 與 112 為作用中的。第二，此 OPC 結構 30 與 40 整個位在擴散區域 106 及 114 外，而只有閘極的最外面部分 108 與 116 位在擴散區域 106 及 114 外。

金屬層 (未顯示) 連接 PFET 裝置 100 的源極區域與正電源 16 並連接 NFET 裝置 110 的源極區域與地電位。每個裝置的汲極區域連接在共同的輸出上。

圖 2C 更特定的顯示 PFET 裝置 100 有連接到正電源 38 的源極區域以及閘極區域 102 連接 (經由 103) 到輸入端子 52。此 NFET 裝置 110 的閘極區域 112 連接 (經由 105) 到輸入 52 端子而其源極區域連接到地電位 50。NFET 裝置 110 的汲極區域在輸出端子 54 連接到 PFET 裝置 100 的汲極區域。去耦合電容器 20 的閘極區域 22 連接到地電位 50 而其擴散區域 26 連接到正電源 38。根據這個傳統的設計，OPC 結構及去耦合電容器所利用晶片空間的總和等於作用中晶片面積的 20%。

本發明延伸 NFET 及 PFET 的擴散區域並將去耦合電容器嵌入到 OPC 結構中。藉之，本發明可消除如圖 2A 描述的分別去耦合電容器 20 的需求。圖 3A 描述本發明的簡化結構並包含根據本發明的一組 PFET 200 及 NFET 210 的圖。

圖 3A 包含類似於圖 2A 所描述特色的特色，但是圖 3A 已經根據本發明加以修改。類似圖 2A，此 PFET 裝置 200 包含串連的閘極 202，OPC 結構 230，有源極/汲極擴散區域 206 的 N-井區域 204。源極/汲極接觸區域 208 提供有源極/汲極擴散區域 206。閘極 202 提供在此源極/汲極擴散區域 206 中並且有延伸部分 203，其延伸到源極/汲極擴散區域 206 外。此擴

五、發明說明 (7)

散區域206還有兩個側面延伸207，相較於圖2B中的NFET擴散區域106。

同樣，類似圖2A，NFET裝置210包含連串的閘極212，OPC結構240，在擴散區域216中源極/汲極接觸區域214。閘極區域212提供在擴散區域216中並有一延伸部分213，其延伸到擴散區域216之外。擴散區域216還有兩個側延伸217，相較於圖2B中的NFET擴散區域114。

本發明如圖3A及3B中描述的與圖2A-C所顯示結構的關鍵差異是使用嵌入式去耦合電容器來降低雜訊與近似效應，而不是OPC結構及分開的去耦合電容器20。此去耦合電容器係嵌入到OPC結構230與240中，藉由擴大此擴散區域206與216，如此擴散區域206與216的側面部分207與217包含了OPC結構230及240。擴散區域的擴大允許使得多晶矽OPC結構的承受電容特性變為作用中的並提供去耦合電容。因此，本發明可以只用OPC結構來降低雜訊及近似效應，而最後的組合OPC結構及嵌入式去耦合電容器明顯的比圖2A的兩個分開裝置為小。

圖3B顯示對應圖3A裝置的電路圖。如示，此PFET裝置200的源極區域連接到正電源供應120而其閘極區域202連接到輸入端子122。此NFET裝置210的源極區域連接到地電位124而其閘極區域212連接到輸入端子。此PFET裝置200的汲極區域以及NFET 210的汲極區域共同的連接到輸出端子128。圖3B進一步顯示OPC結構230與240。此OPC結構之連接如圖3B所示。更特定的，OPC結構240連接到地電位，而

五、發明說明(8)

OPC結構230連接到正電源供應。

雖然圖3A描述每個OPC結構230及240最好能有與對應的閘極區域相同的寬度，外面OPC結構230及240可以做得更寬或是可以加進好幾個。就與圖2A設計的相同空間而言，提供了較好的電源供應去耦合。

圖4為經由部分晶片105及嵌入式去耦電容器66的部分橫切面。上方電容器板68最好是用閘極多晶矽做的。電容器的底板62為矽突塊，最好接地。電容器電介質是閘極電介質。如此，電容器並不需用到分開之電介質。此電容器使用與NFETs及PFETs相同的電介質層。圖4顯示兩個閘極區域64而其中一個嵌入式電容器OPC結構66。如符號AA@指示的，此OPC結構維持相鄰閘極間相同的間隔。

將此電容器嵌入到多晶矽OPC結構中有好幾個益處。首先，嵌入式電容器消除大型電容器的需求並只需要較少的晶片上空間。空出來的空間可接著填入更多的單元而使得晶片可以較快的速率處理更多數量的資料。其次，OPC結構與去耦合電容器的整合使得設計方法學可以更容易，其中去耦合電容器在裝置佈局時間點加入的，或是簡單的根據裝置大小或是根據電路圖中設計者-特定的參數。這引導最佳化的放置及密度，相較於稍後個別元件的放置。結果，本發明提供在去耦合電容器與裝置間較少的串聯電阻，比傳統的個別的去耦合電容器。這可以增加去耦合電容器的效益特別是在高頻，藉由降低電阻/電容器(RC)延遲並提升閘極的效能。最後，將電容器建造成陣列，可以

五、發明說明 (9)

讓去耦合電容器更緊密的符合陣列接近環境。

雖然本發明已經參考特定具體實例的說明，此說明只做為說明用途並且不是用來限制本發明的範疇。不同的其他修改及改變發生在熟習本技藝的人身上，而不背離本發明的精神與範疇。

圖式元件符號說明

10	緩衝單元
11	雜訊
12	電源供應
14	去耦合電容器
20	去耦合電容器
22	閘極
24	源洩極接觸
26	擴散區域
28	N-井
30	OPC 結構
38	正電源
40	OPC 結構
50	地電位
52	輸入端子
54	輸出端子
62	電容器底板
64	閘極區域
66	嵌入式電容器

五、發明說明 (10)

- 68 電容器上板
- 100 P型場效電晶體
- 102 連串的閘極
- 103 連接線
- 104 N-井區域
- 105 連接線
- 106 源/汲極擴散區域
- 108 延伸閘極部分
- 109 源/汲極接觸區域
- 110 NFET裝置
- 112 N-型態場效電晶體
- 114 源/汲極擴散區域
- 116 延伸閘極部分
- 118 源/汲極接觸區域
- 120 正電源
- 122 輸入端子
- 124 地電位
- 200 PFET裝置
- 202 閘極區域
- 204 N-井區域
- 206 源/汲極擴散區域
- 207 側面延伸
- 208 源/汲極接觸區域
- 210 NFET裝置

五、發明說明 (11)

- 212 連串閘極
- 213 延伸部分
- 214 源/汲極接觸區域
- 216 擴散區域
- 217 側面延伸
- 230 OPC 結構
- 240 OPC 結構

四、中文發明摘要(發明之名稱：

半導體晶片及半導體裝置

一種半導體晶片的結構，其包含有第一單元來儲存並處理資料的第一區域，以及在第一區域外有OPC結構的第二區域，其中OPC結構包含去耦合電容器。第一單元的作用閘極的線寬度與OPC結構有相同或類似的大小。此OPC結構降低第一單元中作用裝置的近似效應，並包含N-型態FETs及P-型態FETs，其位在第二區域中。OPC結構可以有大大於第一單元的寬度。第二區域可以是多個的OPC結構，藉此第二區域包含多個去耦合電容器。第一單元中的作用裝置以第一距離彼此分開而OPC結構與作用裝置以第一距離彼此分開。

英文發明摘要(發明之名稱：

SEMICONDUCTOR CHIP AND
SEMICONDUCTOR DEVICE THEREFOR

A structure for a semiconductor chip which includes a first region having first cells for storing and processing data, and a second region outside the first region having OPC structures, wherein the OPC structures comprise decoupling capacitors. The line widths of the active gates of first cells are the same size or similar in size as the OPC structures. The OPC structures reduce proximity effects of active devices in the first cells, and comprise N-type FETs and P-type FETs, that are located in the second region. The OPC structures may have a width greater than the first cells. The second region can be multiple OPC structures, whereby the second region comprises multiple decoupling capacitors. The active devices in the first cells are separated by a first distance and the OPC structures are separated from the active devices by the first distance.

六、申請專利範圍

1. 一種半導體晶片，其包含：

- 一有儲存及處理資料用的第一單元的第一區域；以及
- 一在有光學近似修正(OPC)結構的第一區域外的第二區域；

其中該OPC結構包含去耦合電容器。

2. 如申請專利範圍第1項的半導體晶片，其中該第一單元包含與OPC結構相同的線寬。

3. 如申請專利範圍第1項的半導體晶片，其中該OPC結構降低該第一單元的近似效應。

4. 如申請專利範圍第1項的半導體晶片，還包含N-型態FET及P-型態FET，其中每一該N-型態FET及該P-型態FET個均包含該第一區域及該第二區域。

5. 如申請專利範圍第1項的半導體晶片，其中該OPC結構包含大於該第一單元的寬度。

6. 如申請專利範圍第1項的半導體晶片，其中該第二區域包含多個OPC結構，藉此該第二區域包含多個去耦合電容器。

7. 如申請專利範圍第1項的半導體晶片，其中該第一單元包含以第一距離彼此分開的裝置，而該OPC結構與該裝置的距離為該第一距離。

8. 一種半導體裝置，其包含：

- 一底材；
- 一具有第一複數個平行拉長的閘極的第一電晶體，該第一電晶體形成在該基質中的一區域中；以及

六、申請專利範圍

至少一個光學近似修正(OPC)結構形成在該第一複數個拉長閘極的最外圍閘極的相同平面並與之平行的延伸，

其中該 OPC 結構係當作去耦合電容器及一光學近似修正器。

9. 如申請專利範圍第 8 項的半導體裝置，其中該第一複數個平行拉長閘極包含與該 OPC 結構相同的線寬度。

10. 如申請專利範圍第 8 項的半導體裝置，其中該 OPC 結構降低該第一單元的近似效應。

11. 如申請專利範圍第 8 項的半導體裝置，其中該第一複數個平行拉長閘極適合儲存及處理資料。

12. 如申請專利範圍第 8 項的半導體裝置，其中該 OPC 結構包含大於該第一複數個平行拉長閘極的一個閘極寬度。

13. 如申請專利範圍第 8 項的半導體裝置，其中該第一電晶體包含多個 OPC 結構，藉此該電晶體包含多個去耦合電容器。

14. 如申請專利範圍第 8 項的半導體裝置，其中該第一複數平行拉長閘極的每一個閘極與該第一單元分開第一距離，而該 OPC 結構與該第一複數個拉長閘極的距離為該第一距離。

15. 一種半導體裝置，其包含：

有著第一單元來儲存及處理資料的第一區域，其中每個第一單元包含彼此分開有第一距離的裝置；以及

在有著光學近似修正(OPC)結構的第一區域外面的第

六、申請專利範圍

二區域，其中該 OPC 結構與第一區域的第一單元中最外面的裝置平行且共平面而其中一個該 OPC 結構與該最外面的第一單元分開第一距離；

其中該 OPC 結構包含去耦合電容器。

- 16.如申請專利範圍第15項的半導體裝置，其中該第一單元包含與該 OPC 結構相同的線寬度。
- 17.如申請專利範圍第15項的半導體裝置，其中該 OPC 結構降低該第一單元的近似效應。
- 18.如申請專利範圍第15項的半導體裝置，更包含 N-型態 FET 及 P-型態 FET，其中每一該 N-型態 FET 及該 P-型態 FET 均包含該第一區域及該第二區域。
- 19.如申請專利範圍第15項的半導體裝置，其中該 OPC 結構包含大於該第一單元寬度的寬度。
- 20.如申請專利範圍第15項的半導體裝置，其中該第二區域包含多個 OPC 結構，並藉此該第二區域包含多個去耦合電容器。

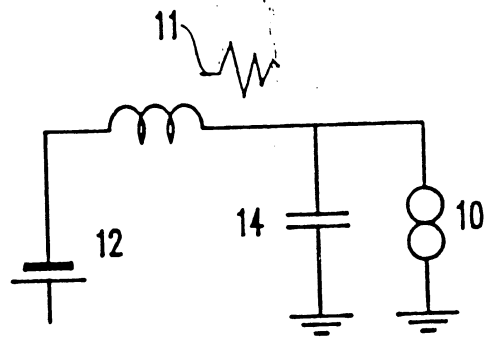


圖 1

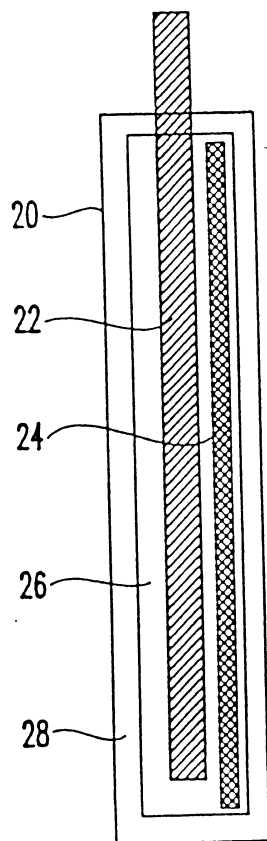


圖 2A

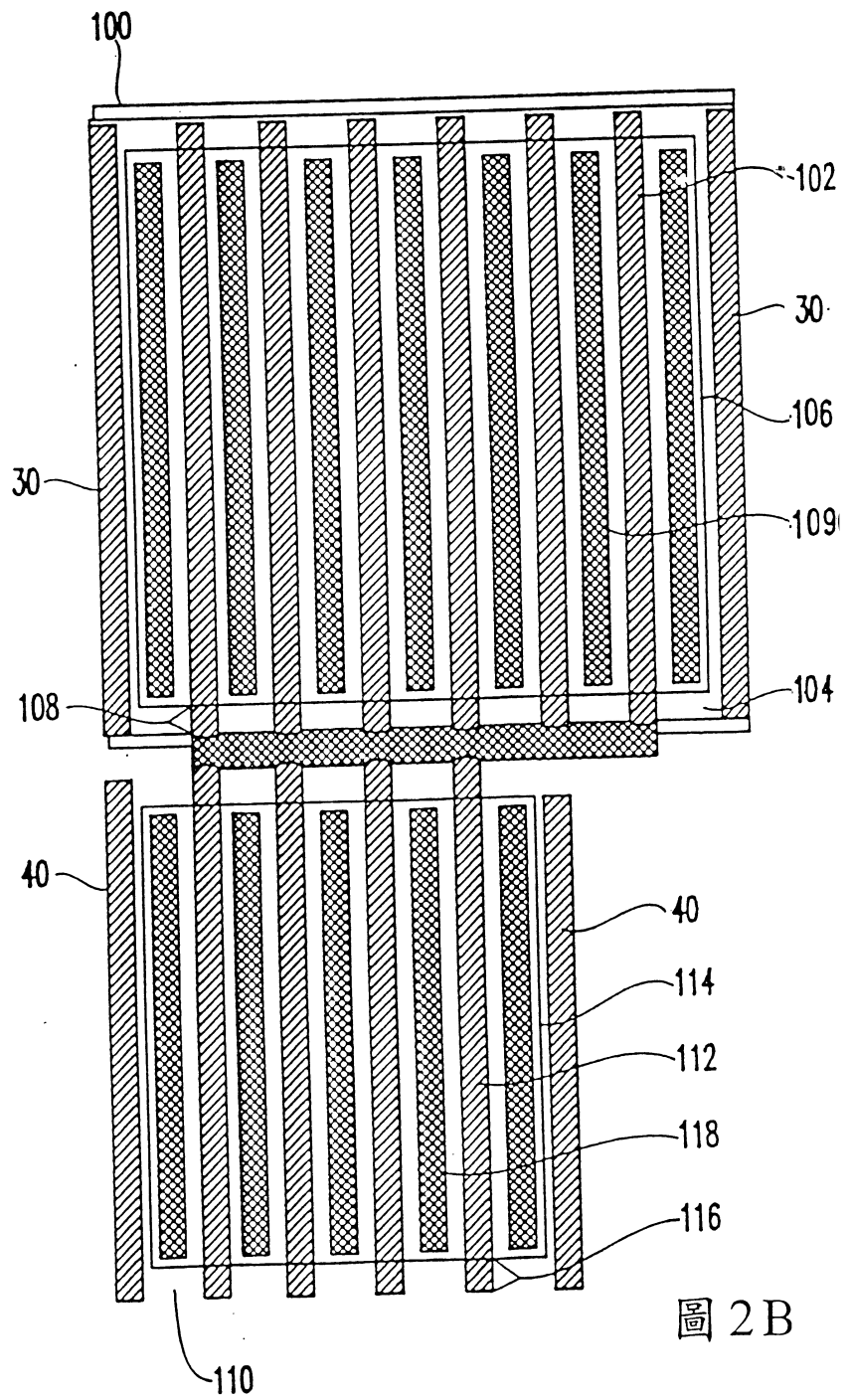


圖 2B

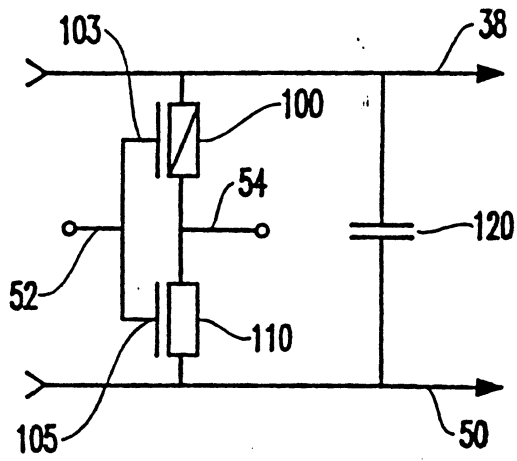


圖 2C
先前技藝

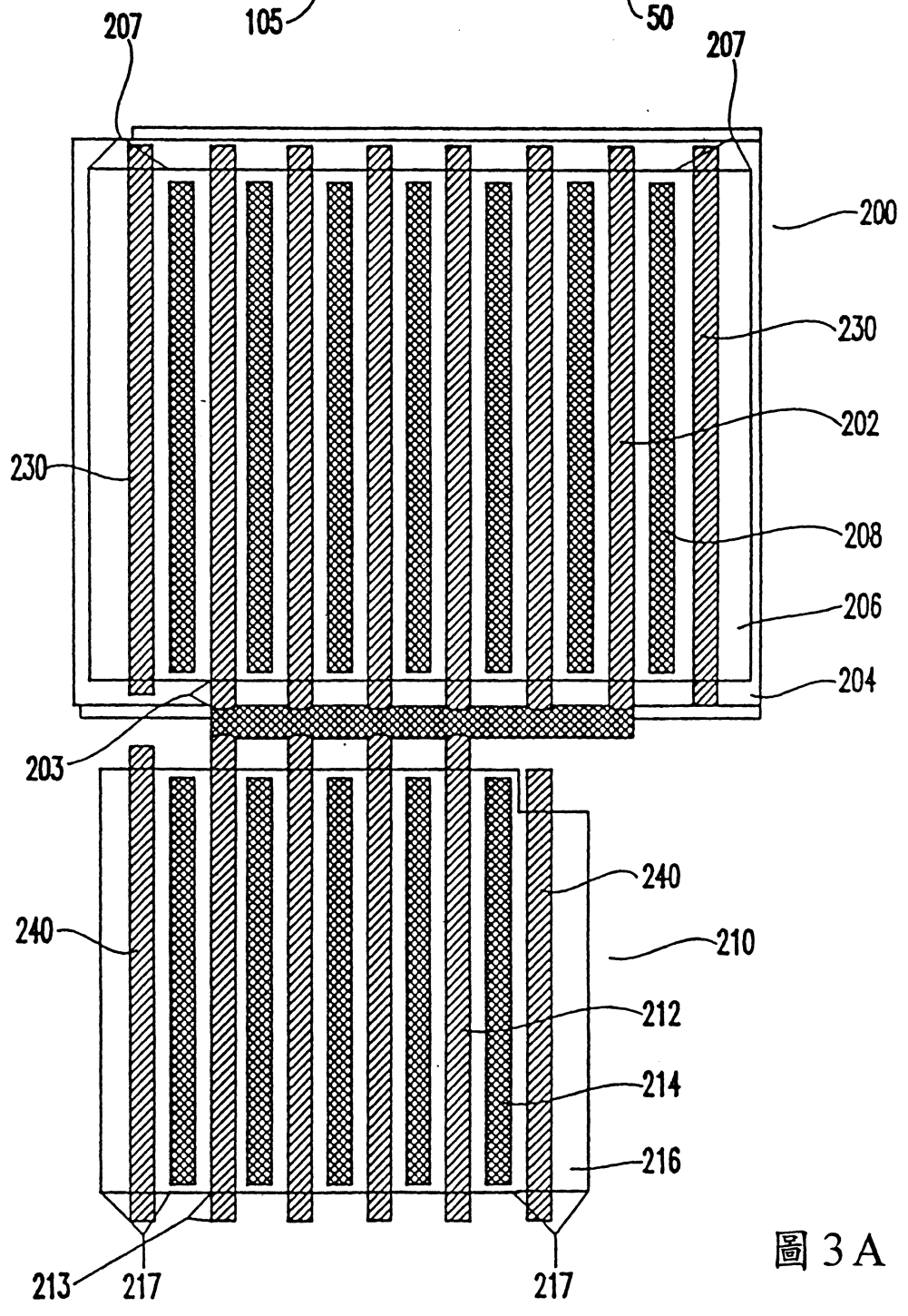


圖 3A

公告本

1992年10月24日修正
補充

申請日期	90.7.11
案 號	090116974
類 別	H01L27/06

A4
C4

中文說明書替換本(92年10月)

(以上各欄由本局填註)

582111

發明專利說明書

一、發明名稱	中 文	半導體晶片及半導體裝置
	英 文	SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE THEREFOR
二、發明人	姓 名	1.亞契巴德 J. 艾倫 ARCHIBALD J. ALLEN 2.歐瑞斯特 布勒 OREST BULA 3.約翰 M. 寇翰 JOHN M. COHN 4.丹尼爾 寇爾 DANIEL COLE
	國 籍	1-4均美國
三、申請人	住、居所	1.美國維蒙特州聖島市東北岸區140號 2.美國維蒙特州雪伯尼市花園路236號 3.美國維蒙特州理奇蒙市達斯貝利路20號舊瓊斯學舍 4.美國維蒙特州傑利寇市鮑谷路130號
	姓 名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

93年1月9日 修正補充

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

1.美國	2000年11月02日	1.09/705,031	☒ 有 ☐ 無主張優先權
2.美國	2000年07月14日	2.09/616,485	☐ 有 ☒ 無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

修正
第 10 頁
B3

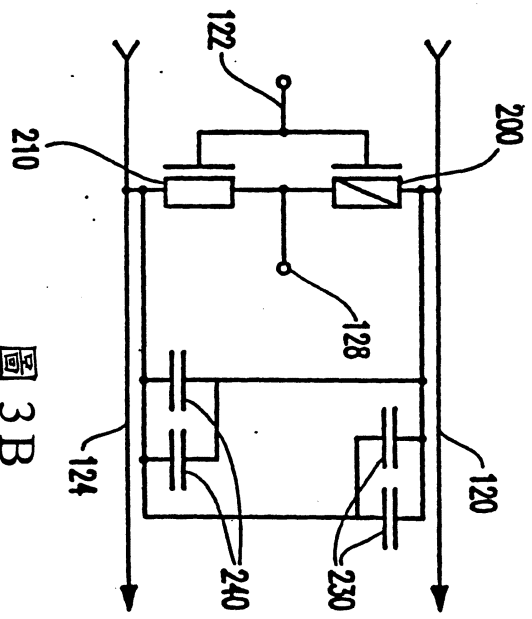


圖 3 B

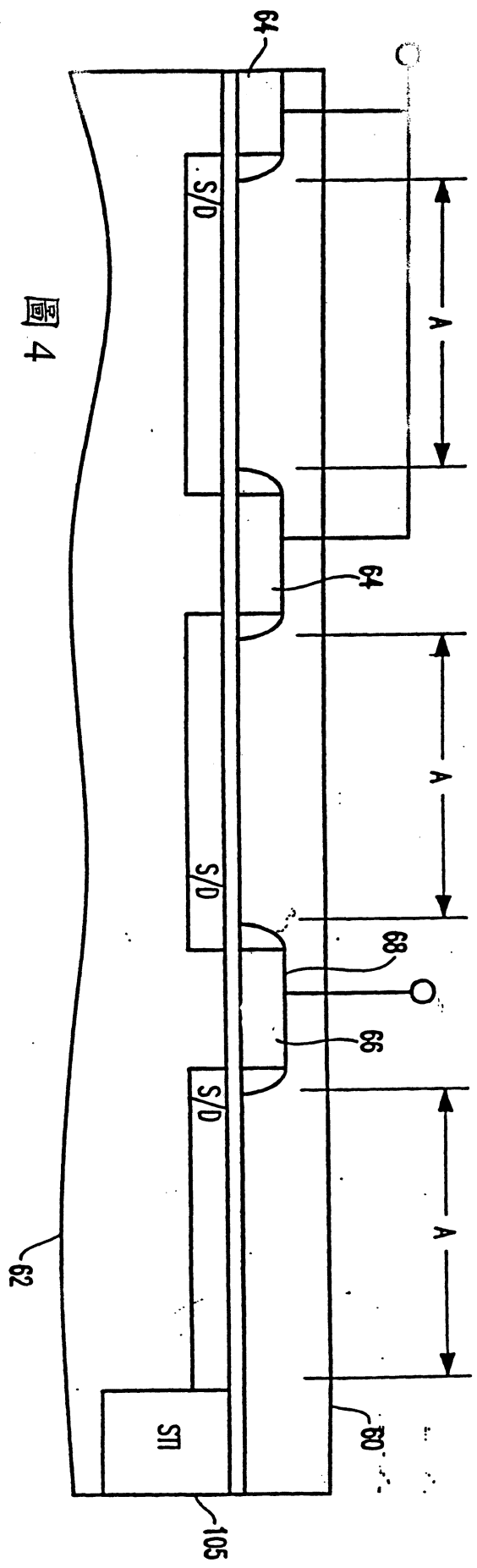


圖 4