[19]中华人民共和国专利局

[51]Int.Cl[6]
G06F 13/00
G06F 13/28

[12]发明专利说明书

[21] ZL 专利号 94191073.3

[45]授权公告日 1998 年 4 月 22 日

[11] 授权公告号 CN 1038160C

[22]申请日 94.11.1 [24]颁证日 98.1.24

[21]申请号 94191073.3

[30]优先权

[32]93.11.1 [33]US[31]08/143,640

[73]专利权人 艾利森.GE.流动通讯有限公司

地址 美国北卡罗莱纳州

[72]发明人 P·W·邓特

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 杜有文 王 岳

[56]参考文献

US4,912,636 1990. 3.27 G06F13/28

US4,991,112 1991. 2. 5 G06F15/20

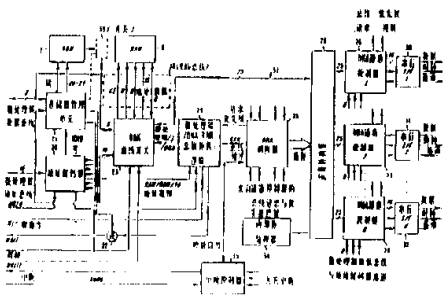
审查员 夏国红

权利要求书 10 页 说明书 32 页 附图页数 9 页

[54]发明名称 多处理器数据存储器共享

[57]摘要

在一个包含一个控制处理器（5）、一个协处理器（19）、一个程序存储器（7）及一个数据存储器（8）的系统中，控制处理器在取指令周期中存取程序存储器，在指令执行周期中存取数据存储器，用于控制存取所述数据存储器的一个装置耦合在控制处理器接口装置上，用于检测控制处理器何时请求存取程序存储器并作为响应生成一个第一存取信号。该装置还具有调度逻辑（25），耦合在协处理器接口上。



权 利 要 求 书

1．在一个包括一个控制处理器、一个协处理器、一个程序存储器及一个数据存储器的系统中，所述控制处理器在一个取指令周期中存取所述程序存储器而在指令执行周期中则存取所述数据存储器，用于控制存取所述数据存储器的一种装置其特征在于包括:

用于耦合到所述控制处理器的控制处理器接口装置；

用于耦合到所述协处理器的协处理器接口装置；

耦合到所述控制处理器接口装置上的检测装置，用于检测何时所述控制处理器请求存取所述程序存储器并对此作出响应生成一个第一存取控制信号；

耦合到所述协处理器接口装置上的调度装置，用于检测何时所述协处理器请求存取所述数据存储器并对此作出响应生成一个第二存取控制信号；

一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据与存储器控制信号上的一个第一接口装置、用于耦合到与所述协处理器相关联的存储器地址、存储器数据与存储器控制信号上的一个第二接口装置、以及用于耦合到所述数据存储器的一个数据存储器接口装置，其中所述开关响应从所述控制输入端接收的一个开关控制信号交替地将所述第一接口装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及

仲裁装置，耦合在所述检测装置、所述调度装置及所述开关上，用于响应所述第一与第二存取控制信号，生成一个开关控制信号。

2．权利要求1的装置，其特征在于所述控制处理器接口装置包

括一个用于由所述控制处理器生成的存储器地址信号的接口，以及

其中所述检测装置响应指定不在与所述数据存储器相关联的存储器地址范围内的一个存储器地址的所述存储器地址信号，生成所述第一存取信号。

3．权利要求1的装置，其特征在于所述控制处理器接口装置包括一个用于由所述控制处理器生成的控制处理器状态信号的接口，以及

其中所述检测装置响应指示所述控制处理器的一个取指令操作的所述控制处理器状态信号，生成所述第一存取信号。

4．在一个包括一个控制处理器、一个协处理器、一个程序存储器及一个数据存储器的系统中，所述控制处理器在一个取指令周期中存取所述程序存储器而在指令执行周期中存取所述数据存储器，用于控制存取所述数据存储器的一种装置其特征在于包括:

用于耦合到所述控制处理器上的控制处理器接口装置；

用于耦合到所述协处理器上的协处理器接口装置；

耦合到所述协处理器接口装置并包含先进先出存储器装置的通道控制装置，所述通道控制装置将与请求存取所述数据存储器的一个协处理器请求相关联的数据存储在所述先进先出存储器装置中，并且响应所述先进先出存储器装置是满的，确立一个先进先出满信号；

检测装置，耦合在所述控制处理器接口装置上，用于检测何时所述控制处理器请求存取所述程序存储器 ，并对此作出响应生成一个第一存取控制信号；

调度装置，耦合在所述通道控制装置上，用于响应存取所述数据存储器的一个协处理器请求，生成一个第二存取控制信号，及用于响

应确立了所述先进先出满信号，生成一个优先权信号；

一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第一接口装置、用于耦合到与所述协处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第二接口装置、以及用于耦合到所述数据存储器上的一个数据存储器接口装置，其中所述开关响应从所述控制输入端接收的一个开关控制信号，交替地将所述第一接口装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及

耦合在所述检测装置、所述调度装置与所述开关上的仲裁装置，用于响应所述第一与第二存取控制信号与所述优先权信号，生成一个开关控制信号。

5．权利要求4的装置，其特征在于所述控制处理器接口装置包括一个用于由所述控制处理器所生成的存储器地址信号的接口，以及

其中所述检测装置响应指定一个不在与所述数据存储器相关联的存储器地址范围内的存储器地址的所述存储器地址信号，生成所述第一存取信号。

6．权利要求4的装置，其特征在于所述控制处理器接口装置包括一个用于由所述控制处理器所生成的控制处理器状态信号的接口，以及

其中所述检测装置响应指示所述控制处理器的一个取指令操作的所述控制处理器状态信号，生成所述第一存取信号。

7．权利要求4的装置，其特征在于所述调度装置响应表示所述先进先出存储器装置不空的一个信号，生成所述第二存取控制信号。

8．权利要求4的装置，其特征在于所述优先权信号指定多个优

先级之一，所述优先级中包含一个高优先级，以及其中所述调度装置响应所述先进先出满信号的确立，生成一个指定所述高优先级的一个优先权信号。

9．权利要求8的装置，其特征在于响应所述优先权信号为一个高优先级信号，无论是否确立了所述第一存取控制信号，所述生成的开关控制信号都使所述开关将所述第二接口装置耦合到所述数据存储器接口装置上。

10．权利要求8的装置，其特征在于所述仲裁装置响应所述优先权信号为一个高优先级信号，生成一个协处理器选择开关控制信号，无论是否确立了所述第一存取控制信号，都使所述开关将所述第二接口装置耦合到所述数据存储器接口装置上，然后继续生成所述协处理器选择开关控制信号直到检测到一个表示所述先进先出存储器装置为空的一个信号为止。

11．在一个包括一个控制处理器、一个协处理器、一个程序存储器及一个数据存储器的系统中，所述控制处理器在一个取指令周期中存取所述程序存储器并在一个指令执行周期中存取所述数据存储器，用于控制存取所述数据存储器的一种装置其特征在于包括：

用于耦合到所述控制处理器的控制处理器接口装置；

用于耦合到所述协处理器的协处理器接口装置；

通道控制装置，耦合在所述协处理器接口装置上，并包括先进先出存储器装置，所述通道控制装置将与请求存取所述数据存储器的一个协处理器请求相关联的数据存储在所述先进先出存储器装置中，并响应所述先进先出存储器装置是满的，确立一个先进先出满信号；

检测装置，耦合在所述控制处理器接口装置上，用于检测所述控

制处理器何时请求存取所述程序存储器，并对此作出响应，生成一个第一存取控制信号；

调度装置，耦合在所述通道控制装置上，用于响应所述先进先出满信号的确立，生成一个优先权信号；

一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据及存储器控制信号的一个第一接口装置、用于耦合到与所述协处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第二接口装置、以及用于耦合到所述数据存储器的一个数据存储器接口装置，其中所述开关响应从所述控制输入端接收的一个开关控制信号，交替地将所述第一接口装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及

耦合在所述检测装置、所述调度装置及所述开关上的仲裁装置，用于响应所述第一存取控制信号与所述优先权信号生成一个开关控制信号。

１２．权利要求１１的装置，其特征在于所述控制处理器接口装置包括一个用于由所述控制处理器所生成的存储器地址信号的接口，以及 中所述检测装置响应指示在与所述数据存储器相关联的存储器

其中所述检测装置响应指示在与所述数据存储器相关联的存储器地址范围内的一个存储器地址的所述存储器地址信号，生成所述第一存取信号。

１３．权利要求１１的装置，其特征在于所述控制处理器接口装置包括一个用于由所述控制处理器所生成的控制处理器状态信号的接口，以及

其中所述检测装置响应指示所述控制处理器的一个取指令操作的

所述控制处理器状态信号，生成所述第一存取信号。

14．权利要求11的装置，其特征在于所述调度装置响应表示所述先进先出存储器装置不空的一个信号，生成所述优先权信号。

15．权利要求11的装置，其特征在于所述优先权信号指定多个优先级之一，所述优先级中包括一个高优先级，以及其中所述调度装置响应所述先进先出满信号的确立，生成一个指示所述高优先级的优先权信号。

16．权利要求15的装置，其特征在于响应所述优先权信号为一个高优先级信号，无论是否确立了所述第一存取控制信号，所述生成的开关控制信号都使所述开关将所述第二接口装置耦合到所述数据存储器接口装置上。

17．权利要求15的装置，其特征在于所述仲裁装置响应所述优先权信号为一个高优先级信号，无论是否确立了所述第一存取控制信号，都生成一个协处理器选择开关控制信号，使所述开关将所述第二接口装置耦合到所述数据存储器接口装置上，然后继续生成所述协处理器选择开关控制信号直到检测到表示所述先进先出存储器装置为空的一个信号为止。

18．在一个包括一个控制处理器、一个第一协处理器、一个第二协处理器、一个程序存储器及一个数据存储器的系统中，所述控制处理器在一个取指令周期中存取所述程序存储器，并在一个指令执行周期 中存取所述数据存储器，用于控制存取所述数据存储器的一种装置其特征在于包括:

用于耦合到所述控制处理器的控制处理器接口装置；

用于耦合到所述第一协处理器的第一协处理器接口装置；

用于耦合到所述第二协处理器的第二协处理器接口装置；

第一与第二通道控制装置，分别耦合到所述第一与第二协处理器接口装置上，并且各包括先进先出存储器装置，各所述第一与第二通道控制装置将与来自一个对应的协处理器的存取所述数据存储器的一个请求相关联的数据存储在所述先进先出存储器装置中，并响应所述先进先出存储器装置是满的，确立一个先进先出满信号；

检测装置，耦合在所述控制处理器接口装置上，用于检测所述控制处理器何时请求存取所述程序存储器，并对此作出响应，生成一个第一存取控制信号；

多路转换器装置，具有耦合在与所述对应的第一与第二协处理器相关联的存储器地址、存储器数据及存储器控制信号上的第一与第二输入端；

调度装置，耦合在所述第一与第二通道控制装置及所述多路转换器上，用于响应所述第一与第二通道控制装置中至少一个所确立的所述先进先出满信号，生成一个优先权信号，及用于生成一个多路转换器控制信号；

一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第一接口装置、用于耦合到与所述多路转换器的一个输出相关联的存储器地址、存储器数据与存储器控制信号的一个第二接口装置、以及用于耦合到所述数据存储器的一个数据存储器接口装置，其中所述开关响应从所述控制输入端接收的一个开关控制信号，交替地将所述第一接口装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及

耦合在所述检测装置、所述调度装置及所述开关上的仲裁装置，

用于响应所述第一存取控制信号与所述优先权信号,生成一个开关控制信号。

19．权利要求18的装置，其特征在于所述调度装置响应所述第一通道控制装置所确立的所述先进先出满信号，生成具有一个第一值的优先权信号，响应所述第二通道控制装置所确立的所述先进先出满信号，生成具有一个第二值的优先权信号，以及响应所述第一与第二通道控制装置两者所确立的所述先进先出满信号，生成具有所述第一值的所述优先权信号。

20．权利要求19的装置，其特征在于所述调度装置响应所述第一与第二通道控制装置两者所确立的所述先进先出满信号，生成一个选择所述第一多路转换器输入的多路转换器控制信号。

21．权利要求20的装置，其特征在于所述优先权信号指定多个优先级之一，所述优先级中包含一个高优先级，以及其中所述调度装置响应任何一个确立的所述先进先出满信号，生成一个指定所述高优先级的优先权信号。

22．权利要求21的装置，其特征在于响应所述优先权信号为一个高优先级信号，无论是否确立了所述第一存取控制信号，所述生成的开关控制信号都使所述开关将所述第二接口装置耦合到所述数据存储器接口装置上。

23．权利要求19的装置，其特征在于响应为所述第二值的所述优先权信号，所述生成的开关控制信号使所述开关在所述控制处理器与所述多路转换器之间交错数据存储器存取。

24．权利要求18的装置，还包括直接存储器存取计数器装置，其特征在于包含:

具有与所述第一与第二协处理器对应的存储单元的一个随机存取存储器；

第一装置，耦合在所述第一与第二通道控制装置上，用于判定所述第一与第二协处理器中哪一个具有数据存储器存取的最高优先级请求，及用于生成一个总线请求信号；

第二装置，耦合在所述第一装置与所述控制处理器接口装置上，用于响应依赖于来自所述控制处理器的取指令与地址信号的所述总线请求信号，生成一个总线授权信号；

第三装置，耦合在所述第一装置、所述第二装置及所述随机存取存储器上，用于响应所述总线授权信号，从所述随机存取存储器中读取一个值，所述值是从对应于确定为具有所述最高优先级请求的所述协处理器的一个存储单元中读取的；以及

第四装置，用于作为用来寻址所述数据存储器的所述存储器地址信号的至少一部分提供所述值，及用于在此后修改所述值并将所述修改后的值存储在所述随机存取存储器中的所述存储单元中，该单元对应于确定为具有所述最高优先级请求的所述协处理器。

25．在一个包括一个控制处理器、多个协处理器及一个数据存储器的系统中，一个直接存储器存取计数器装置其特征在于包括：

用于耦合到所述控制处理器的控制处理器接口装置；

用于耦合到所述多个协处理中对应的一个上的多个协处理器输入装置；

具有与所述多个协处理器相对应的存储单元的一个随机存取存储器；

第一装置，耦合在所述多个输入装置上，用于判定所述多个协处

理器中哪一个具有用于数据存储器存取的最高优先级请求，及用于生成一个总线请求信号；

第二装置，耦合在所述第一装置与所述控制处理器接口装置上，用于响应依赖于来自所述控制处理器的取指令与地址信号的所述总线请求信号，生成一个总线授权信号；

第三装置，耦合在所述第一装置、所述第二装置及所述随机存取存储器上，用于响应所述总线授权信号，从所述随机存取存储器中读取一个值，所述值是从对应于确定为具有所述最高优先级请求的所述协处理器的一个存储单元中读取的；以及

第四装置，用于作为在存储器存取期间提供给所述数据存储器的所述存储器地址信号的至少一部分提供所述值，及用于在此后修改所述值并将所述修改后的值存储在所述随机存取存储器中的所述存储单元中，该单元与确定为具有所述最高优先级请求的所述协处理器相对应。

说 明 书

多处理器数据存储器共享

本发明涉及计算机体系结构中由一个控制处理器、一个或多个协处理器及一个共享的数据存储器构成的一个装置，更具体地，涉及这样一个系统中的一个装置，它允许控制处理器连续地从控制存储器中取指令，同时允许其它协处理器存取共享的存储器，而更进一步具体地涉及这样一种装置，它允许控制处理器与协处理器共享数据存储器而基本上不妨碍控制处理器执行控制程序。

称作冯·诺伊曼体系结构的类型的先有技术微处理器具有一条单一的总线用于连接所有类型的存储器，其中包括随机存取存储器（ＲＡＭ）、只读存储器（ＲＯＭ）、可编程只读存储器（PROM）、电可编程只读存储器（ＥＰＲＯＭ）及电可擦除与可重新编程只读存储器（ＥＥＰＲＯＭ）。

ＲＯＭ、ＰＲＯＭ与ＥＰＲＯＭ通常用于存储程序指令，因为这些类型的存储器为“非易失性的”。即当切断电源时，它们不会丢失程序内容。对于能够暂时切断电源来节省电池能量的蓄电池操作的设备，这一点是重要的。

另一方面，RAM 与 EEPROM 则用于存储暂时工作变量（ＲＡＭ），或者作为程序执行的结果计算机可能要改变的但必须在断电期间保留的数据 (EEPROM)。

在冯·诺伊曼体系结构中，所有的不同存储器模块都是耦合在同一条电子地址与数据总线上的，从而计算机每次只能存取程序存储器或数据存储器之一而不能同时存取两者。具有一条总线还意味着固定

数据变量可存储在程序ＲＯＭ中，而需要时可从数据ＲＡＭ中执行程序指令。

先有技术冯·诺伊曼体系结构的实例为英特尔 8085 与 IBM PC 系列微处理器 8088、8086、80186、286、386、486；ZILOG Z80 及莫托罗拉 6800、6801、6802、6803 … 6809 及 68000 系列处理器。

在认识到可使用一种存储器来存储程序指令而另一种存储器来存储动态改变的数据的情况下，先有技术中经常采用一种哈佛(Harvard) 体系结构。哈佛体系结构的特征在于对于程序存储器与数据存储器具有分开的总线，从而程序指令不能从数据存储器中执行，并且取决于实现，有可能不能将数据写入程序存储器中。

哈佛与冯·诺伊曼这两种体系结构通常允许从程序存储器中读取常量，这是一种通常称作直接寻址的模式，因为否则将无法初始化原本是空的数据ＲＡＭ。

哈佛体系结构在处理器正在从程序ＲＯＭ中取出其下一条指令的同时通过允许操作ＲＡＭ中的数据，而使处理速度不受人所共知的存储器存取瓶颈现象的阻碍而得以提高。这种重叠过程称作流水线操作。然而并非所有哈佛体系结构都采用流水线操作。

哈佛体系结构的实例为诸如德克萨斯仪器公司的 TMS320 系列与模拟设备公司的 ADSP2100 系列等数字信号处理器芯片，它们是采用流水线操作的。

哈佛体系结构也能实现在只有一条单一的总线用于在计算机与程序及数据两种存储器类型之间寻址与传送数据的体系结构中。这里，不同种类的传送（即程序指令或数据）是以对不同类型的存储器具有独立的读、写或控制信号来区别的。这些体系结构不能采用流水线操

作。这种体系结构的实例为 INTEL 8048、8049、8051 系列微控制器。当然，为了达到减少集成电路上的管脚数目，在这些部件中牺牲了哈佛体系结构的速度优点。然而这一情况中分开的程序与数据存储器的优点是一条单一的16位地址总线不仅能寻址 65,536 字节的数据，还能寻址 65,536 字节的程序指令。这是与诸如Z80或8085等冯·诺伊曼体系结构的强烈对比，后者所具有的16位地址总线总共只能寻址 65,536 字节，这必须将程序指令与数据分开，例如56K程序与8K数据，或32K程序与32K数据。

用于加快计算机系统的处理速度的另一种先有技术称作直接存储器存取（DMA）。DMA这种技术是设计成允许诸如磁盘驱动器、磁带机、通信调制解调器等外围设备从计算机数据存储器中抽取数据供传输或将数据存储在外围媒体中，或者反过来将从存储设备检索到的或由通信调制解调器接收到的数据直接放入计算机存储器而不明显减慢使用同一存储器的计算机的执行速度。这当然只是在所谓多道程序应用中才有用的，其中在一个第一作业正在等待DMA操作的完成时，计算机能够同时执行其它作业。DMA是一种输入／输出（I／O）技术，它起到替代执行向或从存储器输入或输出数据字节的计算机指令的作用。因而计算机并不被I／O操作占用，这些操作是由DMA控制电路自动执行的。计算机只初始化一个DMA控制器从起始在一个预定单元的存储器中取出预定数目的字节N，或将它们接收进存储器中。然后计算机挂起在DMA操作完成以前不能恢复的任何任务，并执行下一最高优先级的任务。DMA完成时，为了通知计算机该DMA操作已经完成，DMA控制器生成一个中断。对此作出响应，计算机挂起当前的任务并恢复原先请求DMA的任务。在完成了

恢复的任务时，便恢复被挂起的任务或一个更高优先级的任务。

结束一次DMA或任何I／O操作的另一种方法是通过将DMA或I／O控制器编程为探测最后传送的一个特定的数据模式，诸如文件结束（EOF）或传送结束（EOT）字符。

虽然先有技术 DMA I/O 技术允许计算机在等待I／O完成的同时执行其它任务，由于对存取同一存储器的竞争，这些其它的任务不一定能以没有活跃的DMA操作时相同的速度继续执行。如果计算机与DMA控制器两者同时试图存取的存储器的速度至少两倍于单一存取所需的速度，则可在交替的DMA与计算机存取之间进行分时而使两者都不经历延时。反之，如果速度受到存储器存取时间的限制，则为了允许另一进程进行，先有技术要求保存计算或I／O之一的一个进程或另一个，这具有下述缺点，即如果DMA操作在任何时刻都能挪用RAM存取周期时，一个给定的程序的实际执行时间便不能绝对肯定。在诸如控制时分多路存取无线电通信设备的操作定时等实时应用中，保持精确的定时是重要的。

因此希望提供一种改进的DMA控制器，这种控制器允许外围设备控制器或专用协处理器以非竞争的方式存取通用微处理器的数据RAM，借此避免扰乱程序执行的定时。

将专用协处理器与通用微处理器连接在一起也是先有技术中已知的。适合于执行快速定点或浮点运算的某些现代数字信号处理器包括一个所谓的主端口。一个主端口是一组连接管脚，用于连接到协调信号处理器的活动的一个通用微处理器上。然而，这种主端口连接的本质不允许协处理器直接存取微处理器数据存储器，即使主机能够反向直接存取协处理器存储器。后者较少竞争，因为包含它们的内部存储器

在内的协处理器速度通常比通用主处理器要快一个数量级。因此通用主处理器不可能明显地延迟快速的协处理器，但另一方面，协处理器却能明显地延迟主机的操作。

存在于先有技术中这种由协处理器对主处理器的DMA进行控制的实例是这样一种已知的DMA类型，即通过仲裁竞争 中的主处理器与协处理器允许对存储器存取，而反过来主机对协处理器存储器的存取是通过周期挪用达到的。因此希望提供一种允许一个或多个协处理器对主机的随机存取存储器非竞争存取的一种装置。

因此，本发明的一个目的为提供一种改进的DMA控制器，该控制器允许外围设备控制器或专用协处理器以非竞争方式存取一个通用微处理器的数据RAM，借此避免扰乱定时。

本发明的另一目的为提供一种装置，该装置允许一个通用微处理器连续地从程序存储器中取指令，与此同时允许外围设备控制器或专用协处理器存取通用微处理器的数据RAM。

本发明的又一目的为提供具有上述特征并与具有冯·诺伊曼体系结构的一个通用微处理器一起工作的一种装置。

本发明在一个系统中操作，其中一个控制微处理器执行存储在一个只读存储器（ROM）中的一个控制程序。该控制程序的指令经常但并不总是从用作数据存储器的一个随机存取存储器（RAM）中读取数据，或将数据写入其中。从而，在从ROM中读取指令时数据存储器不受到控制处理器的存取，甚至在指令执行期间对指令的某些部分也如此。然而，当控制处理器正在从只读存储器中取出其下一条指令时，由于微处理器通常使用同一条地址与数据总线来连接所有的存储器类型，无论是控制存储器（ROM）还是数据存储器（RAM），

另一个实体对数据存储器的同时存取通常是不可能的。然而，本发明通过利用一个开关至少在当控制处理器正在从ROM中读取指令时将数据存储器与控制处理器相隔离，而为ROM与数据存储器建立分开的总线。开关可由微处理器所提供的表明正在进行一个“取指令”操作的一个控制信号来操作。这一及其它信号是RAM总线仲裁逻辑用来确定何时RAM总线可以分配给其它处理器的。作为替代，可以设置检测装置来检测控制处理器是否正在试图存取与数据存储器相关联的一个地址区域不对应的一个地址。

取决于数据存储器与ROM的相对速度，在控制处理器执行取指令期间，可允许一次或多次存取数据存储器来为协处理器的需要服务。在一个直接存储器存取 调度器 已服务于这一数目的数据存储器存取之后，它便在控制处理器确立（必要时）重新将RAM总线连接到控制处理器的开关控制信号时，及时停止存取数据存储器。因此，其它处理器的这种存取完全不会减慢控制处理器的程序执行。

按照本发明的另一方面，一种例外是允许高优先级的RAM总线请求优先于控制处理器。例如，当DMA 调度器 所维护的数据存储器存取队列已达到最大允许队列长度时，便可确立高优先级，在这一点上授权 调度器 延长使用数据存储器直到它清空讨论中的队列为止，而这时如果控制处理器企图存取数据存储器则向它发布一个WAIT（等待）信号。

从而，按照本发明的一个方面，用于控制对数据存储器的存取的一种装置包括：用于耦合到所述控制处理器上的控制处理器接口装置；用于耦合到协处理器上的协处理器接口装置；耦合到控制处理器接口装置上的检测装置，它用于探测何时控制处理器请求存取程序存储器

并对此作出响应而生成一个第一存取控制信号；耦合在协处理器接口装置上的调度装置，它用于探测协处理器何时请求存取数据存储器，并对此作出响应而生成一个第二存取控制信号；一个开关，具有一个开关控制输入装置、用于耦合与控制处理器相关联的存储器地址、存储器数据及存储器控制信号的一个第一接口装置、用于耦合与协处理器相关联的存储器地址、存储器数据及存储器控制信号的一个第二接口装置以及用于耦合到数据存储器的一个数据存储器接口装置，其中该开关响应从所述控制输入端接收的一个开关控制信号交替地将第一接口装置与第二接口装置耦合到数据存储器接口装置上；以及耦合在检测装置、调度装置及开关上的仲裁装置，用于响应第一与第二存取控制信号生成一个开关控制信号。

按本发明的又一个方面，用于控制存取数据的存储器的装置包括：用于耦合到所述控制处理器上的控制处理器接口装置；用于耦合到所述协处理器上的协处理器接口装置；耦合到所述协处理器接口装置并包含先进先出存储器装置的通道控制装置，所述通道控制装置将与请求存取所述数据存储器的一个协处理器请求相关联的数据存储在所述先进先出存储器装置中，并且响应所述先进先出存储器装置是满的，确立一个先进先出满信号；检测装置，耦合在所述控制处理器接口装置上，用于检测何时所述控制处理器请求存取所述程序存储器，并对此作出响应生成一个第一存取控制信号；调度装置，耦合在所述通道控制装置上，用于响应存取所述数据存储器的一个协处理器请求，生成一个第二存取控制信号，及用于响应确立了所述先进先出满信号，生成一个优先权信号；一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据与存储器

控制信号的一个第一接口装置、用于耦合到与所述协处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第二接口装置、以及用于耦合到所述数据存储器上的一个数据存储器接口装置，其中所述开关响应从所述控制输入端接收的一个开关控制信号，交替地将所述第一接口装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及耦合在所述检测装置、所述调度装置与所述开关上的仲裁装置，用于响应所述第一与第二存取控制信号与所述优先权信号，生成一个开关控制信号。

按本发明的另一个方面，用于控制存取数据的存储器的装置包括：用于耦合到所述控制处理器的控制处理器接口装置；用于耦合到所述协处理器的协处理器接口装置；通道控制装置，耦合在所述协处理器接口装置上，并包括先进先出存储器装置，所述通道控制装置将与请求存取所述数据存储器的一个协处理器请求相关联的数据存储在所述先进先出存储器装置中，并响应所述先进先出存储器装置是满的，确立一个先进先出满信号；检测装置，耦合在所述控制处理器接口装置上，用于检测所述控制处理器何时请求存取所述程序存储器，并对此作出响应，生成一个第一存取控制信号；调度装置，耦合在所述通道控制装置上，用于响应所述先进先出满信号的确立，生成一个优先权信号；一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据及存储器控制信号的一个第一接口装置、用于耦合到与所述协处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第二接口装置、以及用于耦合到所述数据存储器的一个数据存储器接口装置，其中所述开关响应从所述控制输入端接收的一个开关控制信号，交替地将所述第一接口

装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及耦合在所述检测装置、所述调度装置及所述开关上的仲裁装置，用于响应所述第一存取控制信号与所述优先权信号生成一个开关控制信号。

按本发明的再另一个方面，用于控制存取数据的存储器的装置包括：用于耦合到所述控制处理器的控制处理器接口装置；用于耦合到所述第一协处理器的第一协处理器接口装置；用于耦合到所述第二协处理器的第二协处理器接口装置；第一与第二通道控制装置，分别耦合到所述第一与第二协处理器接口装置上，并且各包括先进先出存储器装置，各所述第一与第二通道控制装置将与来自一个对应的协处理器的存取所述数据存储器的一个请求相关联的数据存储在所述先进先出存储器装置中，并响应所述先进先出存储器装置是满的，确立一个先进先出满信号；检测装置，耦合在所述控制处理器接口装置上，用于检测所述控制处理器何时请求存取所述程序存储器，并对此作出响应，生成一个第一存取控制信号；多路转换器装置，具有耦合在与所述对应的第一与第二协处理器相关联的存储器地址、存储器数据及存储器控制信号上的第一与第二输入端；调度装置，耦合在所述第一与第二通道控制装置及所述多路转换器上，用于响应所述第一与第二通道控制装置中至少一个所确立的所述先进先出满信号，生成一个优先权信号，及用于生成一个多路转换器控制信号；一个开关，具有一个开关控制输入装置、用于耦合到与所述控制处理器相关联的存储器地址、存储器数据与存储器控制信号的一个第一接口装置、用于耦合到与所述多路转换器的一个输出相关联的存储器地址、存储器数据与存储器控制信号的一个第二接口装置、以及用于耦合到所述数据存储器的一个数据存储器接口装置，其中所述开关响应从所述控制输入端

接收的一个开关控制信号，交替地将所述第一接口装置与所述第二接口装置耦合到所述数据存储器接口装置上；以及耦合在所述检测装置、所述调度装置及所述开关上的仲裁装置，用于响应所述第一存取控制信号与所述优先权信号,生成一个开关控制信号。

按本发明的一个方面的直接存储器存取计数器装置包括：用于耦合到所述控制处理器的控制处理器接口装置；用于耦合到所述多个协处理中对应的一个上的多个协处理器输入装置；具有与所述多个协处理器相对应的存储单元的一个随机存取存储器；第一装置，耦合在所述多个输入装置上，用于判定所述多个协处理器中哪一个具有用于数据存储器存取的最高优先级请求，及用于生成一个总线请求信号；第二装置，耦合在所述第一装置与所述控制处理器接口装置上，用于响应依赖于来自所述控制处理器的取指令与地址信号的所述总线请求信号，生成一个总线授权信号；第三装置，耦合在所述第一装置、所述第二装置及所述随机存取存储器上，用于响应所述总线授权信号，从所述随机存取存储器中读取一个值，所述值是从对应于确定为具有所述最高优先级请求的所述协处理器的一个存储单元中读取的；以及第四装置，用于作为在存储器存取期间提供给所述数据存储器的所述存储器地址信号的至少一部分提供所述值，及用于在此后修改所述值并将所述修改后的值存储在所述随机存取存储器中的所述存储单元中，该单元与确定为具有所述最高优先级请求的所述协处理器相对应。

通过结合附图阅读下述详细说明将能理解本发明的上述与其它特征、目的与优点，其中：

图 1 为包含本发明的特征的时分多路存取 (Time Division Multiple Access - TDMA) 数字移动蜂窝式电话的方框图；

图 2 为按照本发明的 D M A 控制器的方框图；

图3为按照本发明的DMA通道控制器的方框图；

图4为按照本发明的DMA计数器的结构的方框图；以及

图5－9展示结合按照本发明的DMA优先级方案的各种定时实例。

本发明涉及快速、专用的计算机体系结构，诸如可用于处理供传输或接收或同时进行传输与接收的声音、无线电或雷达数据。这种计算机体系结构通常包括一个诸如通用微处理器芯片之类的控制处理器，该控制处理器用来协调一块或多块专用信号处理器芯片的活动。本发明允许所有处理器共享一块公共的随机存取存储器（RAM）芯片，以便该RAM芯片可用作通过它将已由一块芯片以一种方式处理过的数据供给另一块芯片利用来以另一种方式处理的媒介。

本发明的一种特征包括即使在所述处理器为只设置一条单一的数据总线的诸如Z80这样的冯·诺伊曼类型时，也建立一条单独的数据总线用于将主处理器连接到其数据RAM上。为了允许协处理器存取，设置了一个开关，当要求从数据RAM存取时便将该示例性 Z80 冯·诺伊曼计算机总线连接到该数据RAM上，否则便断开它。与先有技术相反，当需要对数据RAM进行存取时，从不拒绝计算机这种存取（至少在正常环境下如此），因此不会出现程序减速。由于对该创造性DMA控制器提供了允分的机会来实现其数据RAM存取，而不须挪用计算机周期，所以这是可能的。示例性Z80冯·诺伊曼计算机必须在定期的基础上从程序存储器（诸如ROM）中找到其下一条程序指令，并且其固有的单总线冯·诺伊曼体系结构不能同时请求RAM存取。因此，计算机的每一个指令执行周期形成了计算机不能存取RAM的一个时间期间，因为这时计算机正在从ROM中取指令。

按照本发明，为了控制一个将数据RAM与计算机的冯·诺伊曼总线相隔离并将其连接到DMA控制器总线的开关的操作，而探测计算机的“取指令”周期的出现，通过DMA控制器总线诸如外围控制器或协处理器的其它设备能够接受访问。许多计算机提供“取指令”指示信号，在本发明中可将它用于这一目的。例如，示例性Z80处理器提供一个指示取指令周期出现的称作M1的信号。其它处理器也提供这种信号，但可能是以不同的方式，诸如8085的S0、S1模式信号。

作为替代，开关的操作也能由检测到处理器正试图存取位于与数据RAM相关联的范围内的一个存储器地址而导出的一个信号来控制。未确立这一信号表明数据RAM可从计算机的冯·诺伊曼总线上隔离而代之以连接到DMA控制器总线上。下面将对此极为详尽地加以描述。

创造性DMA控制器便是这样用来自主处理器的一个取指令控制信号进行同步而将对数据RAM的存取授权给DMA设备的。在本发明的另一方面中，DMA控制器还包括基于先到先服务形成由协处理器所请求的一个DMA存取队列的装置。DMA控制器还可进一步包括形成多个相同优先级的存取请求队列的装置，不同的队列具有不同的优先级的装置。只在所有较高优先级的队列都是空的情况下，一个较低优先级的队列才接受存取授权。作为替代，也可按照一个“循环”调度程序授予分离的等优先级的线性队列以存取的机会。

通常可以假定DMA请求的平均速率容易与可利用的DMA机会的平均数相适应。如上所述每当计算机执行一条指令时便出现一次DMA机会，而这通常至少以每秒一百万次的速率出现。从而，通常

的情况是存在每秒一兆字节的ＤＭＡ容量不会减慢微处理器。甚至有可能在一个取指令的间隔内容纳两次ＤＭＡ存取，从而提供２兆字节／秒的ＤＭＡ容量。

此外，可以知道一部分指令各包含从ＲＯＭ中取出两或三个字节，从而对ＲＡＭ给予了若干连续的ＤＭＡ的存取时间。同时，一部分指令可能完全不寻址ＲＡＭ，但代之以只包含对 ROM、EEPROM、内部寄存器或Ｉ／Ｏ端口的存取。从而，即使在全速运行时，典型的通用处理器平均起来并不使用超过可利用的ＲＡＭ总线带宽的一小部分，因此大部分ＲＡＭ总线带宽可供协处理器用本创造性ＤＭＡ控制器来利用。平均起来，每秒２至４兆字节的ＤＭＡ足以支持诸如实时话音Ｉ／Ｏ设备等许多高速外围设备或协处理器，如包含在示例性时分多路存取（ＴＤＭＡ）蜂窝式移动电话实施例中的。这种协处理器通常读取有限数目的数据字节，然后将这些数据字节用在执行大量的数学或逻辑运算中以产生有限数目的结果，然后通过ＤＭＡ将其存储回数据ＲＡＭ中。如果通常在每一个通过ＤＭＡ的字节上执行四十次数学运算，则１兆字节／秒的ＤＭＡ可支持以每秒４千万条指令（MIPS）的速度操作的协处理器。然而，通常存在着若干协处理器在紧密相间的时间内生成成群的ＤＭＡ请求的可能性，从而填满ＤＭＡ控制器中的可利用的队列空间。本创造性ＤＭＡ控制器通常采用先进先出存储器（ＦＩＦＯ）来实现队列。ＦＩＦＯ存储器大小限定了能够不溢出地排队的准同时接收的请求的最大数目。在示例性数字ＴＤＭＡ蜂窝式电话中，１６个字节入口的ＦＩＦＯ长度给出足够流畅的ＤＭＡ活动。但是，熟悉本技术的人员应能认识到适当的ＦＩＦＯ存储器大小的选择是依赖于应用的，并且因此可以与本实例不同。

为了对更高效地处理成群的ＤＭＡ请求提供更大的灵活性，本创造性ＤＭＡ控制器还可为了服务于其ＦＩＦＯ已填满的一个高优先级ＤＭＡ队列而包括违背“非竞争”规则的装置。当为这一队列生成了“FIFO FULL”（ＦＩＦＯ满）指示信号时，可给予ＤＭＡ控制器高于计算机的数据ＲＡＭ存取的优先级。首先允许已启动的微处理器ＲＡＭ的存取运行到完成，诸如用清除从计算机至ＲＡＭ的一个读或写信号来指明这一完成。然后，如果计算机接着自ＲＯＭ取指令，便释放ＲＡＭ总线并授予ＤＭＡ控制器对ＲＡＭ的存取。ＤＭＡ控制器保持存取直到完成了对该队列的服务并为该队列生成一个 FIFO EMPTY（ＦＩＦＯ空）信号为止。然而，如果微处理器请求另一次数据存储器存取而不是自ＲＯＭ取指令，则通过向给计算机确立一个ＷＡＩＴ（等待）信号而保留该请求，直到确立 FIFO EMPTY（FIFO空）信号为止。如果在生成 FIFO EMPTY 信号时，计算机不在寻址ＲＡＭ，便立即授予ＤＭＡ队列存取并保持存取直到队列空为止。如果当生成 FIFO FULL 信号时，计算机正在寻址ＲＡＭ，则允许计算机的操作运行到完成，如果下面的计算机存取请求也是对ＲＡＭ的，则拒绝该请求并控制住计算机，以给ＤＭＡ清空队列的时间。

作为对上述违背非竞争策略来处理一组紧急的ＤＭＡ请求的手段的一种替代，可采用“交错”策略，借此每当两者要求一系列相继的存取时，分配给ＤＭＡ控制器与计算机交替的ＲＡＭ存取。这一交错技术的作用是减慢计算机与ＤＭＡ控制器两者，而不是完全延迟计算机直到清空ＤＭＡ队列为止。

在生成一个ＦＩＦＯ满信号时一个ＤＭＡ队列是否接受无特权的处理（具有全面超过计算机的优先权）、或者在生成ＦＩＦＯ满信号

时与竞争中的计算机ＲＡＭ存取请求交替地具有优先权，这取决于分配给该ＤＭＡ队列的优先级。优先级可以是固定的（硬接线的）或者也可以是在建立时或随后由计算机本身编程的。通过使优先级可编程，能够提供极大的灵活性来按照应用或应用内的当前操作模式动态地改变ＤＭＡ优先级。

在本发明的另一方面中，除了将ＤＭＡ队列的优先级确定为高于处理器作出的请求的优先级之外，还可将一个ＤＭＡ设备的ＲＡＭ存取请求的优先级确定为高于其它ＤＭＡ请求。在先有技术中允许外围设备中断一个正在进行的计算机程序来接受特别关注的按优先级排列中断的观点中，这种分层次的优先级是已知的。然而，永不允许按优先级排列的中断去中断在执行中的一条指令，在本创造性ＤＭＡ控制器中就是这样，它们也不为了接受对存储器的直接存取而引发中断。另一方面，先有技术中需要直接存取存储器的设备都中断处理器的程序执行。这是通常这样进行的，首先对微处理器确立一个 "BUS REQUEST"（“总线请求”）信号，然后等待微处理器回答一个 "BUS GRANT"（“总线授权”）信号。在这种先有技术方法中执行的微处理器程序停止执行直到清除了 BUS REQUEST（总线请求）信号为止。

本发明的一个示例性应用在图１中示出为一种时分多路存取（ＴＤＭＡ）蜂窝式数字移动电话。然而，对于本技术中的普通技术人员而言，显然本发明的各个方面能够应用在一个微处理器与一个或多个协处理器共享一个数据ＲＡＭ的任何计算机体系结构中，该微处理器为程序指令利用一个不同的存储器源。从而，对于本发明的彻底理解而言，ＴＤＭＡ蜂窝式数字移动电话的操作的完整描述不是必要的。下面为了例示本发明的各种特征对如何能提供一个控制处理器、

若干协处理器及一个共享的数据存储器之间的相互作用这一主要目的而提出这种电话的操作的概貌。

参见图1，所例示的TDMA蜂窝式数字移动电话具有两种基本操作模式：空闲与对话中。在空闲模式中，电话机监听蜂窝式网络（未示出）的广播呼叫或寻呼信道，但并不发送。因此在空闲模式中信号处理活动是低的，并且每秒的DMA请求次数也是低的。

在对话模式中，电话机用天线1与接收机2接收来自蜂窝式网络的携带有编码的数字化话音信息的TDMA信号脉冲串，电话机必须缓冲存储这些数字化话音信息、解调、解码它们并将它们转换成连续的话音波形。差不多在同时，至少在用户觉察到时，便从话筒17输入他的话音、加以数字化与编码，并在一个分配的传输时隙(timeslot)中以数据脉冲串形式发送。传输时隙与接收时隙是交错的，因此电话机不需要在同一时间发送与接收，从而有利于使用了同一天线1的。这样，在一个TDMA帧周期内，必须执行如下的若干操作：

1．用发送／接收（T／R）开关4将天线1转换到接收机2上并启动接收机。

2．在接收机2中接收一个模拟信号脉冲串，用模数（A／D）转换器9数字化该脉冲信号，并通过DMA控制器6将数字化的信号传送到数据存储器8的一个缓冲区中，然后将天线1转换到发送机3上并关掉接收机。

3．激活一个脉冲串解调协处理器11来解调存储在数据存储器8的缓冲区中的脉冲串并将解调结果返回到数据存储器8。

4．激活一个编码／解码单元12顺序地从数据存储器8中检索

供传输的下一脉冲串，加以编码，并将编码的数据存储回存储器8中。

5．激活发射机3来传输序列中的下一编码的数据脉冲串，这一数据脉冲串的数据是从数据存储器8中检索的，并在发送以前用数模（D／A）转换器10转换成模拟形式。

6．每次执行步骤3之后，便激活编码／解码协处理器12来解码该编码的数字话音。

7．每当完成了步骤6的四次执行之后，便激活一个纠错解码器协处理器13来解开交错及解码该编码的结果以生成解码的话音数据或控制数据。

8．每次完成步骤7之后，便激活一个话音数据解码器14将解码后的话音数据转换成若干脉冲码调制的（pulse code modulation-PCM）波形样本，并将它们放入数据存储器8的一个循环缓冲器中。

9．同时，每125μS从数据存储器8中抽取一个以前存储的PCM样本，用D／A转换器10将其从数字转换成模拟形式，并以模拟话音波形驱动耳机；也是每125μS，将来自话筒17的一个模拟波形样本用A／D转换器9转换成数字形式，并将其存储在位于数据存储器8中的传输话音循环缓冲器中。

10．每20ms处理来自传输话音缓冲器的160个PCM样本以生成话音数据并将其放置在存储器中。

11．在步骤10的每次执行之后，激活一个信道编码器16对话音数据进行纠错编码并在若干TDMA脉冲串上交错编码数据及顺序地在数据存储器8中构造脉冲串。

从以上所述可见，必须在不同的时间上激活若干协处理器19，并且某些进程是准同步的或具有不确定的定时。由于这些不同步的进

程可能对同一存储器生成大量的存取请求，因此DMA控制器6必须根据特定的DMA通道的优先级交错地授权这些请求。例如，DMA控制器6必须维护一种规范，其中请求对数据存储器8进行存取的最高优先级的DMA通道优先于较低优先级的通道及控制处理器5的存取请求，并且其中优先级相等的DMA通道的请求在分配给它们的DMA机会中在轮转的基础上交错操作。在后一情况中，DMA机会既可以优先于控制处理器5的请求进行授权（当各该DMA通道具有高优先级时），或者它们也可以与控制处理器5的请求在交替的基础上授权（当各该DMA通道具有中等优先级时）。

某些进程只是伴随其它进程或伴随另一种操作的一定数目的完成次数而启动的。这种协调是主计算机或控制处理器5的功能。控制处理器5激活DMA控制器6将来自数据存储器8的一定数目的字节发送给协处理器19之一或将从协处理器19之一接收的一定数目的字节发送给数据存储器8，并且还激活协处理器执行所要求的操作。在完成操作时，控制处理器5接收来自DMA控制器6的一个中断。然后控制处理器5判定是否要触发另一个协处理器与DMA活动。虽然DMA控制器6与协处理器是自主操作的，但控制处理器5处理诸如更新用户显示器及扫描用户键盘这些一起称作人机界面（MMI）（未示出）的较慢较低优先级任务。

本发明理想地适合于实现上述系统。图1中所示的示例性应用将在下面进一步详细讨论。

天线1用受控制处理器5控制的T／R开关4连接到发送机3上，或者连接到接收机2上。控制处理器5还能启动接收机2与A／D转换器9去接收一个TDMA信号脉冲串，最好采用美国专利号

5,048,059（通过引用结合在此）中所公开的 logpolar 技术来数字化，并启动按照本发明所构造的一个ＤＭＡ控制器 6 将数字化的接收数据引导到 随机存取数据存储器 8 中。Ａ／Ｄ转换器 9 还耦合到话筒１７上用于对话筒信号进行数字化的目的，并且该信号也经由 DMA 控制器 6 引导到数据存储器 8 中。控制处理器 5 也能编程ＤＭＡ控制器 6 在采集到一定数目的接收数据样本之后生成一个中断，在这一时刻，控制处理器 5 重新激活解调协处理器１１，在本创造性ＤＭＡ控制器 6 的帮助下自主地从数据存储器 8 中读回所接收的数据，以其本身的速度处理它，并在ＤＭＡ控制器 6 的帮助下将处理结果存储回数据存储器 8 中。控制处理器 5 可编程ＤＭＡ控制器 6 在将来自解调协处理器１１的所期望数目的处理结果经ＤＭＡ传输进存储器之后，生成一个中断。这时，控制处理器 5 便能激活编码／解码协处理器１２从数据存储器 8 中类似地读回结果，解码它们，并将解码的结果返回给数据存储器 8。在一种较佳的实现中，为了避免过多的存储器读与重写，解密操作是在解调协处理器１１与ＤＭＡ控制器 6 的输出结果之间的传输中执行的。在这种实现中，编码／解码协处理器１２将是ＤＭＡ控制器 6 的一部分，从而它便能在将来自解调协处理器１１的数据存储回数据存储器 8 之前对其进行操作，这样便能避免将数据写入数据存储器 8，重新读取然后再一次重新写入。

在一个替代实施例中，控制处理器 5 执行一种软件解码算法，直接对存储在数据存储器 8 中的结果进行运算来解码它们。这些选择取决于编码算法的选择。再者，本发明的ＤＭＡ控制器 6 能由控制处理器 5 重新编程来按照上述解码技术中任何一种确定数据的路径，从而允许相同的硬件根据环境执行不同的解码模式。

解码操作之后，可将DMA控制器6预编程以向控制处理器5生成一个表示一块新的解码数据已存储在存储器中的中断。然后控制处理器5将已处理的块的计数加一，并判定是否到了激活纠错解码协处理器13来一起执行块的交错的解开及解码的时间。如果是，便激活DMA控制器6将用于解码的数据发送给纠错解码协处理器13，并从该处理器接收预期数目的解码结果以引导回数据存储器8。可将DMA控制器6设置成在处理了预期数目的结果并将它们存储进数据存储器8时，中断控制处理器5。

当有必要生成一个由该示例性TDMA蜂窝式数字移动电话传输的信号时，便执行与上述过程反向的类似操作。然而，需要指出的是，在编码／解码协处理器位于DMA控制器6内的实施例中，编码／解码协处理器最好从称作“脉冲串构成器”(burst builder)(未示出)的一个第二协处理器中得到要编码的数据，该协处理器将编码数据与同步字及其它控制位组合成规定的传输格式，将组合脉冲串转换成用一序列数字样本表示的一个调制波形，然后将它们输出到D／A转换器10供以后调制发射机3。诸如正在讨论的那样的一个内部脉冲串构成器将包括一个DMA地址发生器，该地址发生器能从交错格式发生器所定义的一个序列的位置中检索数据。

操作的描述将不再继续进行，由于现在应已明了主控处理器5如何应用DMA控制器6来协调依赖于或独立于其它协处理器活动的协处理器活动，并通过简单地编程要找出供处理的数据或者放置处理后的数据的存储器起始地址便可确定任何要求的中间结果在协处理器之间的发送。

要指出的是诸如具有冯·诺伊曼型体系结构的 ZILOG Z80 这样

的控制处理器5具有连接在DMA控制器6上的一条单一地址总线及双向数据总线。创造性DMA控制器6包括将控制处理器总线连接在ROM7上的装置，ROM7中包含控制处理器5所执行的程序指令序列。DMA控制器6还包括在控制处理器5存取ROM7时将数据存储器8的数据与地址总线连接到所述协处理器19之一或其它的装置，以及在控制处理器5请求时将数据存储器8的总线连接到控制处理器5的总线的装置。如果控制处理器5的地址总线上的一个地址对应于与数据存储器8相关联的地址区，便指示这一请求。例如，数据存储器地址区可以是地址范围 32,768 - 65,535，而地址范围0至32,767 则对应于被ROM7占用的地址。为了允许在ROM7中存储32K字节以上的程序，DMA控制器6中可含有一个存储器管理单元（MMU），该单元为一个一字节存储器地址扩充寄存器。这一寄存器具有一个8位字节，它由控制处理器5执行的一条I／O或存储器映射的I／O指令写入，以便选择要映射到程序存储器地址范围的上一半，即范围 16,384 - 32,767 的ROM的1个至256个可能的16K字节段，而ROM的同一16K段则总是映射到程序存储器范围的下一半中，即 0 - 16,383。需要一个称作根 ROM (root ROM) 的永久性映射部分的理由是其中包含电源起动例程，这样便能独立于MMU寄存器的任意接通内容而操作。再者，根ROM中可包含通过操纵MMU而在 16K ROM 段之间进行段跳转所需的永久性代码。这种MMU是先有技术中已知的并包括在日立销售的称作 64180 的可购得的处理器中。

下面参照图2说明创造性DMA控制器的内部细节。

地址解码器20探测存在于16位处理器地址总线上的专用地址

或地址范围的出现。地址探测可用诸如“MREQ”（当存在一个Z80微处理器时）或“ALE”（当存在一个8085微处理器时）处理器信号同步。例如，一个专用地址是一个分配给包含在 MMU21 中的一个8位寄存器（未示出）的I／O地址。当在地址总线上探测到这一I／O地址连同来自控制处理器5的表示I／O操作的一个控制信号时，便从控制处理器5向MMU寄存器传送用于构成ROM地址的高位的一个8位数据值。当探测到来自控制处理器5的地址位在ROM地址范围内（例如，由控制处理器5的地址总线所定义的低32K地址空间）以及一个来自控制处理器5的READ（读）控制信号时，便将控制处理器地址位（例如，在示例中，至少15个低位）与MMU21输出的8位组合而构成取决于实现的在20与24位宽度之间的一个扩充的地址，从而允许寻址至少多达一兆字节的ROM。包含在表示从MMU21连接到ROM7的20－24个针中的为诸如可能需要的 CHIP ENABLE 信号等控制信号。

当探测到控制处理器5正在寻址ROM7时，至RAM总线仲裁逻辑24的RAM／ROM／IO ADDRESS RANGE 信号是不活跃的。这时，RAM总线仲裁逻辑24可通过将总线开关23切换成将 DMA 地址与数据总线以及读／写控制信号（所有这些都与协处理器19之一所作出的数据存储器存取相关）连接到数据存储器8上而授权 DMA 调度器 25存取RAM总线36。如果探测到的处理器地址在与数据存储器8相关联的范围内，并且来自处理器的控制信号表示读或写存取是迫切的时，则RAM总线仲裁逻辑24的表现依赖于从DMA 调度器 25接收的优先级信号及依赖于操作序列的当前状态。即，总是允许任何已开始的控制处理器数据存储器完成一个字节的存取，

但如果DMA 调度器 25 指明一个适当优先级的DMA请求正在等待，则挂起紧跟在后面的访问。控制处理器通常能接受为此目的而提供给它们的一个等待信号。

DMA队列（FIFO）（下面描述的）为DMA通道控制器26、27、29的一部分。各通道控制器26、27、29经由一个实际上是一组可寻址的开关的多路转换器28连接到RAM总线36上。多路转换器28在DMA 调度器 25的控制下操作，将DMA通道控制器26、27、29中选定的一个连接到RAM总线开关23上。图2中所示的25线接线器37通常包括一条15位地址总线、一条8位双向数据总线及指示读或写的控制信号。如果与各DMA控制器相关联的优先级不是固定的而是从协处理器19中相关的一个接收的，则可包括优先级信号。

为了减少管脚数及功率消耗，最好将DMA控制器6与控制处理器5实现在同一芯片上。ROM 7与数据存储器8通常在这一芯片外部，但为了减少外部存取，可以有选择地将数据存储器8中主要由DMA操作寻址的部分最好包含在同一芯片上。可以有选择地将开关33包含在该芯片上以防止在RAM总线开关23切换微处理器总线来寻址数据存储器8时触发ROM数据总线。可将存储器管理单元21设计成在控制处理器8正在寻址数据存储器8时防止触发ROM地址线。防止这些线的不必要触发可以降低功耗，这是本发明将 RAM与ROM总线分开所得到的一种优点。

当要将许多外部协处理器连接到该芯片上时，还希望用位串行接口减少管脚数目。诸如德克萨斯仪器公司的 TMS320 - C53 或模拟设备公司的 ADSP2101 等许多市场上可购得的协处理器具有适当的串行

接口。这些接口用串行数据线将16位字传送给本创造性芯片或从其上向外传送。位传送是与一条时钟线同步的，而字边界则由一条选通线指示。按照本发明构成的芯片能适当地包含串行到并行的转换接口电路（串行I／F电路）30、31、32，在这种串行接口与具有相关的DMA通道控制器26、27、29的一个16位并行字接口的协议之间转换。通道控制器执行16位协处理器传送与8位DMA传送之间的转换，即一次16位传送是作为两次去往或来自数据存储器8的一字节传送处理的。当然，16位的字长及8位的数据存储器数据宽度只是示例性的而并不意味着是限制性的。

串行I／F电路30、31、32设计成实现输出或输入。在这两种情况中，伴随数据传送的位时钟可从协处理器19中对应的一个流向串行I／F电路30、31、32中对应的一个，或者反过来。同样，字选通也能双向流动。能够适当地使时钟与选通方向可编程，从而一个串行I／F电路通常有可能用于与一批协处理器接口。图2中的串行I／F电路30示出为一个串行输出端，I／F电路为时钟与选通的源。这意味着DMA控制器6控制接口去判定何时协处理19中相关的一个应接收及接受一个串行字的传输。另一方面，串行I／F电路31示出为一个输入端。然而，时钟是由本创造性芯片提供给协处理器19中的对应的一个的，但现在该协处理器为选通源。例如，为了表示该协处理器正在请求一次传送，选通线从低触发到高。如果对应的DMA通道控制器27能接受该传送（即FIFO不满），它便允许串行接口发送一个时钟信号到该协处理器，然后后者计时输出16位数据，然后将选通信号拉低。在这一情况中协处理器确定何时它结束了计算并希望要将其传送给存储器，但是但果存在着到数据

存储器6的瓶颈，DMA控制器6不一定非立即接受它不可。但是，本创造性配置的总意图是尽可能保证不出现这种瓶颈，以及即使出现数据存储器瓶颈，只要FIFO缓冲不满，便没有必要延迟处理器的活动。

串行I／F电路32示出第三种接口。这是一个输出端，但选通方向是从协处理器到本创造性芯片的，而时钟则在反方向上流动。这允许协处理器请求一次输出，但是在不能立即利用时，允许DMA通道控制器6通过延迟将时钟信号发送到协处理器而延迟输出。

如果单片上包含诸如内部协处理器34等协处理器，它可以是诸如编码／解码逻辑，便不需要串行接口。单片上也可设置一个并行接口，它也能允许来／去往数据存储器8的读与写。

下面参照图3与4提出适当的DMA通道控制器的更详细的描述与有关特征。如上所述，控制处理器5通过设定它们将从中取出供处理的数据及向之发送处理结果的数据存储器地址，而互相协调协处理器的数据传送。数据存储器起始地址（即使只有15位传递有意义的信息，但通常作为一个16位的量对待）是由控制微处理器的两字节I／O操作写入一个16位计数器的。如图4中所示，可将用于若干DMA通道控制器26、27、29的这些计数器有利地集中在一个小的单片RAM40上，由于这是一种硅面积高效解决方案。RAM40可有利地实现为多路转换器28的一部分，从而使多路转换器28与各DMA通道控制器26、27、29之间的接口可从图2中所示的25线降低到仅仅传递数据的8线。最终放置在RAM总线36上的其余地址信息来自RAM40。

RAM40的计数器操作（增加或减少）可由使用修改逻辑41

及用于生成适当控制信号的定序器44的一个RAM读/修改与重写周期来实现。修改逻辑41可包含下述三种类型之一的一个计数结束检测器：（1）可将它编程为从单片RAM40上检测某一16位地址，（2）可在宽度上扩展单片RAM40以包含预置为要传送的字节数并总是由修改逻辑41减少的一个计数器，或者（3）它可包含对从串行接口电路31传输的表示传输结束的一个特定数据模式的检测。在所有情况中，当检测到计数结束或传输结束时，便将其送至DMA调度器 25，将DMA通道设定为不活跃直到重新激活，并且如果选择了这一特征，还经由中断控制器35（见图2）生成一个中断到控制处理器5。

接收到从DMA 调度器25至定序器44的表示已受权对数据存储器8的DMA存取的任何读信号，便触发该读/修改/重写序列。对本技术领域的普通技术人员是显而易见并众所周知的，复杂与快速逻辑电路的实现得益于采用一个主时钟来定序与同步电路各部分中的操作。描述具有接近 100,000 个逻辑门的一块芯片的每一个逻辑细节是不现实的，但不妨假定定序器44包罗了所有这些从一个 13MHz 主时钟导出的定序与定时要求。

受权存取的DMA通道还将读信号接收到其 FIFO 42（图3），后者顺序地输出下一字节并检验它当时是否为空。一个 EMPTY(空）信号将该通道从DMA调度器 25试图服务的表中去掉，并不再接收对FIFO42的读取，直到由于通过串行输入电路31的进一步串行输入而使 EMPTY（空）信号消失为止。EMPTY（空）信号的出现还复位DMA通道通过生成满信号而在前面得到的任何优先级。

另一方面，DMA调度器 25可利用不确立空信号作为存在总

线请求的指示。

上面已提到过若干种可想象的ＤＭＡ优先级，下面在一张表中重复它们，但该表并不一定是完整的。

1）HIGH PRIORITY DMA "QUEUE FULL"（高优先级ＤＭＡ“队列满”）优先控制信号使ＤＭＡ控制器6得到高于控制处理器数据存储器存取与较低优先级ＤＭＡ的绝对优先级直到该ＤＭＡ通道控制器生成 "QUEUE EMPTY"（“队列空”）优先控制信号。

2）MEDIUM PRIORITY DMA "QUEUE FULL"（中等优先级ＤＭＡ“队列满”）信号得出与控制处理器总线存取或不在“队列满”条件下的较高优先级ＤＭＡ的交替的优先级直到生成与接收到队列空信号为止。必要时，控制处理器总线存取只与ＤＭＡ存取交错；否则ＤＭＡ以高于除类型（１）的较高优先级ＤＭＡ之外的所有ＤＭＡ的优先级进行连续的存取。

3）LOW PRIORILTY DMA QUEUE FULL（低优先级ＤＭＡ队列满）接受在轮转基础上的与控制处理器总线存取或队列不满的较高优先级的ＤＭＡ存取交替的ＲＡＭ总线３６的存取。

4）LOWEST PRIORITY DMA QUEUE FULL（最低优先级ＤＭＡ队列满）并不接受较高优先权，但代之以将一个 WAIT（等待）信号送至相关的ＤＭＡ控制器，如果必要，后者将其转发到相关协处理器来禁止再度进入队列ＦＩＦＯ。

下面参照图５－９描述与按照本发明的ＤＭＡ优先级方案相关联的定时。图５示出ＤＭＡ具有正常优先级的情况中授权的ＤＭＡ存取，即未曾确立 FIFO FULL 信号的情况。在点５０１上，ＦＩＦＯ中包

含6个等待服务的存取的一个队列。这六个存取以成群方式刚从一个或多个协处理器中到达，或者它们是在控制处理器5正在使用数据存储器8期间累积在FIFO中的。然而，在点501上，授权第一个DMA存取。这可能是由于一次允许的处理器与DMA存取的多路转换，或者它可以是由于一个新的处理器取指令周期的开始。图5中的定时图示出DMA存取紧接在取指令信号前面启动，表示在点501上启动的存取是来自控制处理器5多路转换DMA存取与前面的数据存储器8的存取序列的结果。然而在点503上，取指令信号的确立表示如果需要，DMA可继续存取数据存储器8，而不与控制处理器存取多路转换。如果允许控制处理器5从数据存储器8中取指令（取决于体系结构及给予程序员的限制），"RAM address detected"（“检测到RAM地址”）信号必须也是低的，并且取指令是高的（一个“与”函数），这是为了结束多路转换。

在图5中所示的实例中，在点503上同时将队列长度增加到7，这是由于DMA存取堆积得比它们能受到的服务快。然而FIFO并不满，如 FIFO FULL 信号的连续低状态所指示的。在点503上，DMA接受连续的存取授权而FIFO的队列长度迅速地从7减至6、5、4与3。然后在点505上，检测到处理器在指令执行期间生成一个数据存储器地址（注：未曾确立处理器取指令信号）。由于从生成上一个 EMPTY 信号以来FIFO未满过，在点505上处理器接受高于DMA存取的优先级，而生成一个 READ 或 WRITE 信号。然后，在点507上，DMA接受一个允许的多路转换存取。紧接在点509前面恢复取指令，借此使队列中剩下的DMA存取得到服务。这造成出现在509上的FIFO空信号。即使由于正在进行取指令

而在这一点上DMA可得到对数据存储器8的存取，但此时队列中已没有需要存取的DMA。

图6示出FIFO成为满时的事件中的时序，但由于控制处理器的指令执行并不寻址数据存储器8，可以清空FIFO而无须将处理器暂时置于WAIT（等待）状态中。

在点601上，9个存取正在等待而DMA开始。由于在授权了一次存取后堆积了更多的DMA，现在在点603上有十个请求存取等待着，而生成 FIFO FULL（满）信号。但是，由于在点605与607之间的指令执行周期或取指周期期间，控制处理器5完全不寻址数据存储器8，DMA接受对数据存储器8的连续存取，借此使队列受到完全的服务直到在点607上出现 EMPTY（空）信号为止。在点607上的 EMPTY（空）信号的确立结束DMA存取。可以看出在此期间由于不存在对数据存储器8的存取冲突而控制处理器5完全不会减慢。

图7示出当 FIFO FULL（满）条件导致的一个高优先级DMA请求与数据存储器8的控制处理器存取冲突时出现的时序。在点701上，FIFO成为满的，但紧接着在点703上，由于控制处理器5立即执行一次取指令（由确立取指令信号指示）操作而DMA开始接受存取。如果控制处理器5实际上在点703上一直在寻址数据存储器8，则将允许完成控制处理器的存取，但随后的控制处理器5对数据存储器8的存取将让位给DMA，然后在任何情况下后者将在点703上接受优先权。授权第一次存取（即当在FIFO中有十个请求排队时）之后，FIFO不再满但仍然不空。因此，继续进行 DMA存取。当处理器在点705上试图存取数据存储器8时，DMA仍保

持优先权并向控制处理器5生成WAIT（等待）信号，导致其地址与控制信号（即读或写）的延长或延迟直到服务完所有DMA为止。最终，FIFO成为空的，并在点709上生成 EMPTY（空）信号。作为应答，复位WAIT（等待）信号，借此允许进行控制处理器的被延迟了的数据存储器存取。

在点711上，FIFO在上一次清空之后已接收到许多DMA请求，因此 EMPTY（空）信号消失。然而由于已将DMA的优先级复位到正常，因此对数据存储器的存取DMA并不比控制处理器5优越，在完成了一次控制处理器的数据存储器存取之后直到点713上并不授权新的DMA存取。这是一种由于数据存储器8快得足以交替进行DMA与控制处理器请求而允许的“多路转换”存取。如果数据存储器8并不快得足以允许这种多路转换，新的DMA存取必须等待处理器取指令开始。然而很快便完成了新的DMA存取而在点715上再次出现 EMPTY（空）信号，借此结束DMA。

从图5与6的时序图中可见本发明提供显著的DMA容量而从不减慢处理器，图7中所示的时序图示出大群的准同时DMA请求如何被本发明以只是最有节制的控制处理器5的减慢（诸如单一的 WAIT（等待）状态）加以处理。然而一旦DMA获得了优先权，便保持它直到FIFO清空为止就保证了不大可能再一次使处理器等待某一时间，即直到准同时及快于自然产生的DMA存取授权机会而再次出现大量的DMA请求。本发明的一个目的便是降低这种事件的可能性，从而能同时服务于DMA与处理两者的需求而不相互减慢。

进一步考虑全部利用了数据存储器8的速度而使得多路转换交替的控制处理器与DMA存取不可能没有速度损失的情况，能起到更好

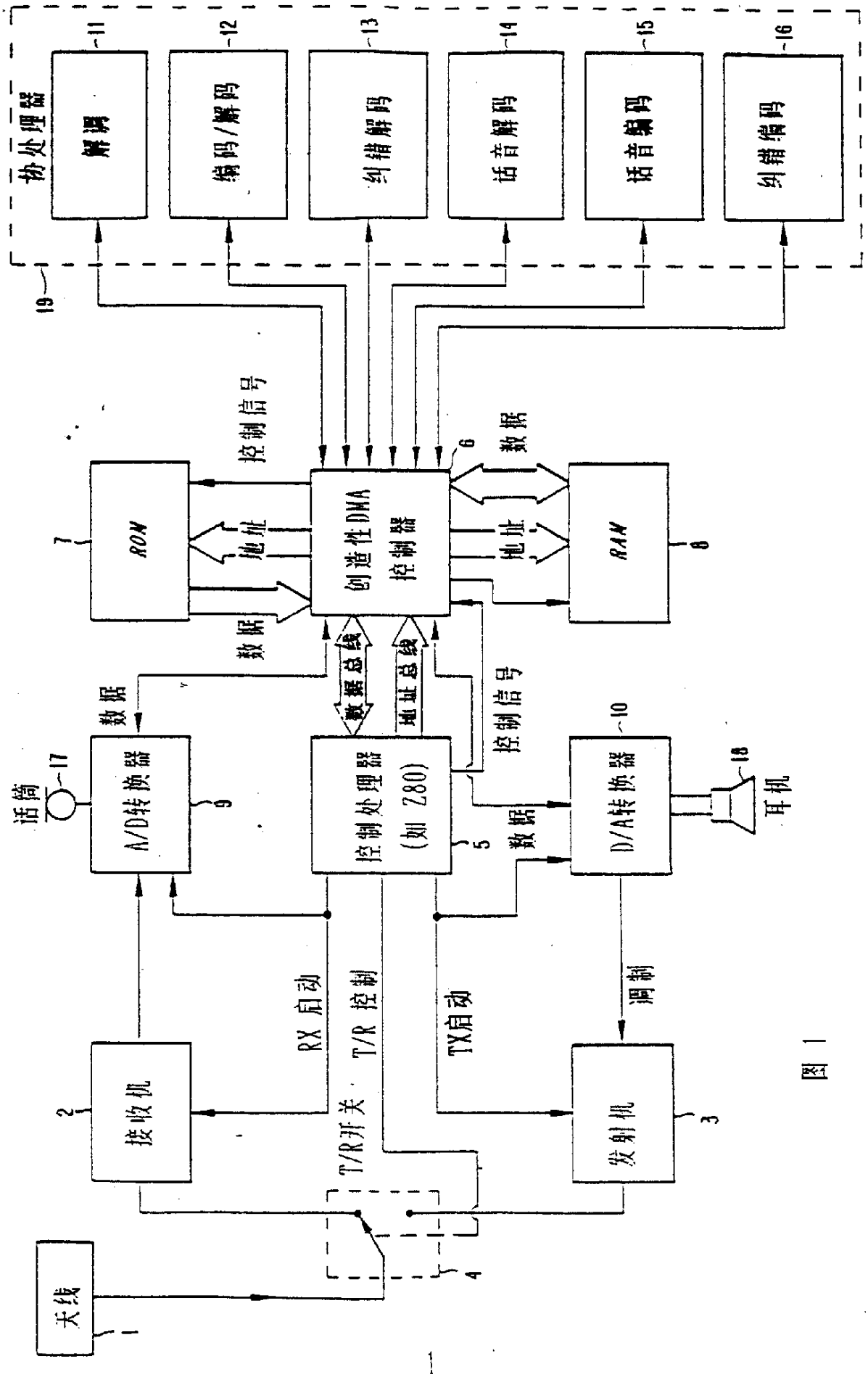
地展示利用存取控制与优先级信号的作用。在这一情况中，如果 FIFO 队列不空，DMA通常在检测到处理器取指令信号时开始接受存取，如图 8 中点 801 上所示。在点 803 上在处理器寻址数据存储器 8 之前执行了三次DMA。接着，控制处理器 5 接受优先权并保持优先权进行两次或者它所需要的次数的连续的数据存储器存取，控制处理器优先权只受下一个取指令信号的复位，或者控制处理器优先权只被一个 FIFO FULL 信号的出现所抢占。如果发生后一情况，便授予交替型DMA优先权，如上面所公开的。最高的DMA优先级为接受所有的数据存储器存取直到其 FIFO EMPTY 信号出现为止。稍低的 DMA 优先级通道能够与控制处理器 5 交替地接受交替的存取直到 FIFO EMPTY 信号出现为止。这一情况示出在图 9 中。

在点 901 上，授权DMA存取服务于其九个等待中的存取请求的队列。但是接收到了更多的DMA请求，因此在点 903 上生成 FIFO FULL 信号。尽管这样，控制处理器 5 仍在点 905 上接受对数据存储器 8 的存取，因为DMA刚轮到过一次。然而，在包含在执行指令中的一对控制处理器存取之后，在点 907 上DMA接受另一次存取并生成一个 WAIT（等待）信号到该处理器。即使尚未出现 FIFO EMPTY 信号而将DMA优先级复位到正常，由于DMA刚轮到过一次而在点 909 上控制处理器 5 接受下一次对数据存储器 8 的存取。这种交替的处理器／DMA行为标志了这种DMA优先级的特征。在点 911 上，DMA因另一原因而接受存取，即控制处理器 5 正在执行从ROM 7 中取指令，因此RAM总线 36 是空闲的。如果在控制处理器 5 下一次请求存取数据存储器 8 之前，这未能使DMA队列清空，控制处理器 5 将再度接受与DMA存取交替的数据存储器存取，直到

FIFO EMPTY 信号将DMA优先级复位到正常为止。

已参照一个特定的实施例说明了本发明。然而对于熟悉本技术的人员而言显然有可能在上述较佳实施例以外的特定形式中实现本发明。这一点可以在不脱离本发明的精神下做到。较佳实施例只是示例性的，在任何情况下都不应视为是限制性的。本发明的范围是由所附的权利要求书而不是由前面的说明给定的，而一切落入权利要求书的范围内的变化与等效物都应视为包含在本发明中。

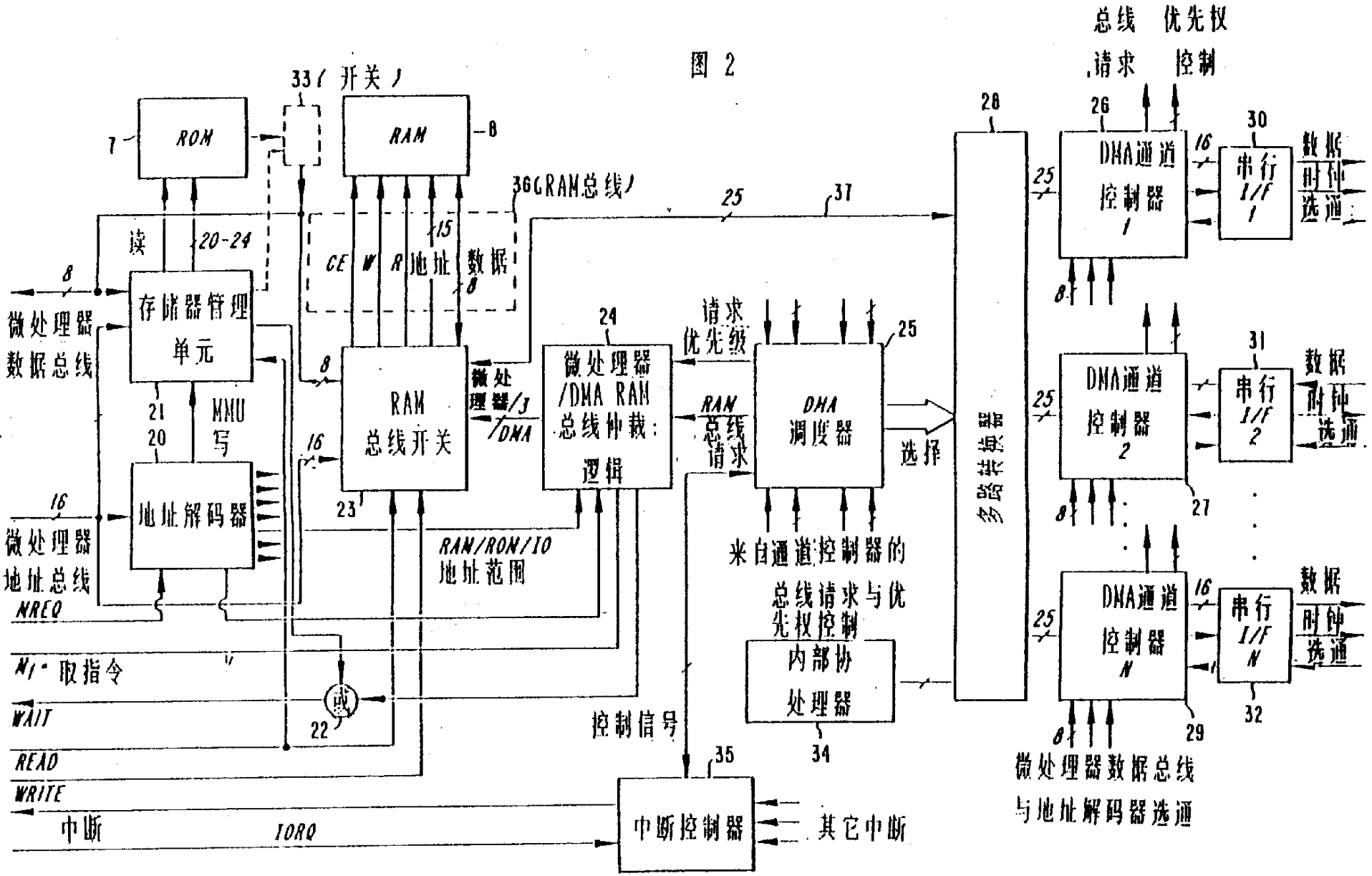
说明书附图



协处理器
解调
编码/解码
纠错解码
话音解码
话音编码
纠错编码
19
11
12
13
14
15
16
控制信号
数据
ROM
RAM
创造性DMA控制器
地址
7
8
6
数据
数据总线
地址总线
控制信号
话筒
17
A/D转换器
9
控制处理器(如Z80)
5
D/A转换器
10
18
耳机
数据
RX启动
T/R控制
TX启动
调制
接收机
2
发射机
3
T/R开关
4
天线
1

图1

图 2



ROM
RAM
33（开关）
36（RAM总线）
读
20-24
CE
W
R
地址
数据
存储器管理单元
微处理器数据总线
MMU写
地址解码器
微处理器地址总线
RAM总线开关
微处理器/DMA RAM总线仲裁：逻辑
微处理器/DMA
RAM/ROM/IO地址范围
请求优先级
RAM总线请求
DMA调度器
选择
来自通道控制器的总线请求与优先权控制
内部协处理器
控制信号
中断控制器
其它中断
中断
IORQ
NREQ
N1·取指令
WAIT
READ
WRITE
或
多路转换器
总线请求
优先权控制
DMA通道控制器1
DMA通道控制器2
DMA通道控制器N
串行I/F 1
串行I/F 2
串行I/F N
数据
时钟
选通
微处理器数据总线与地址解码器选通

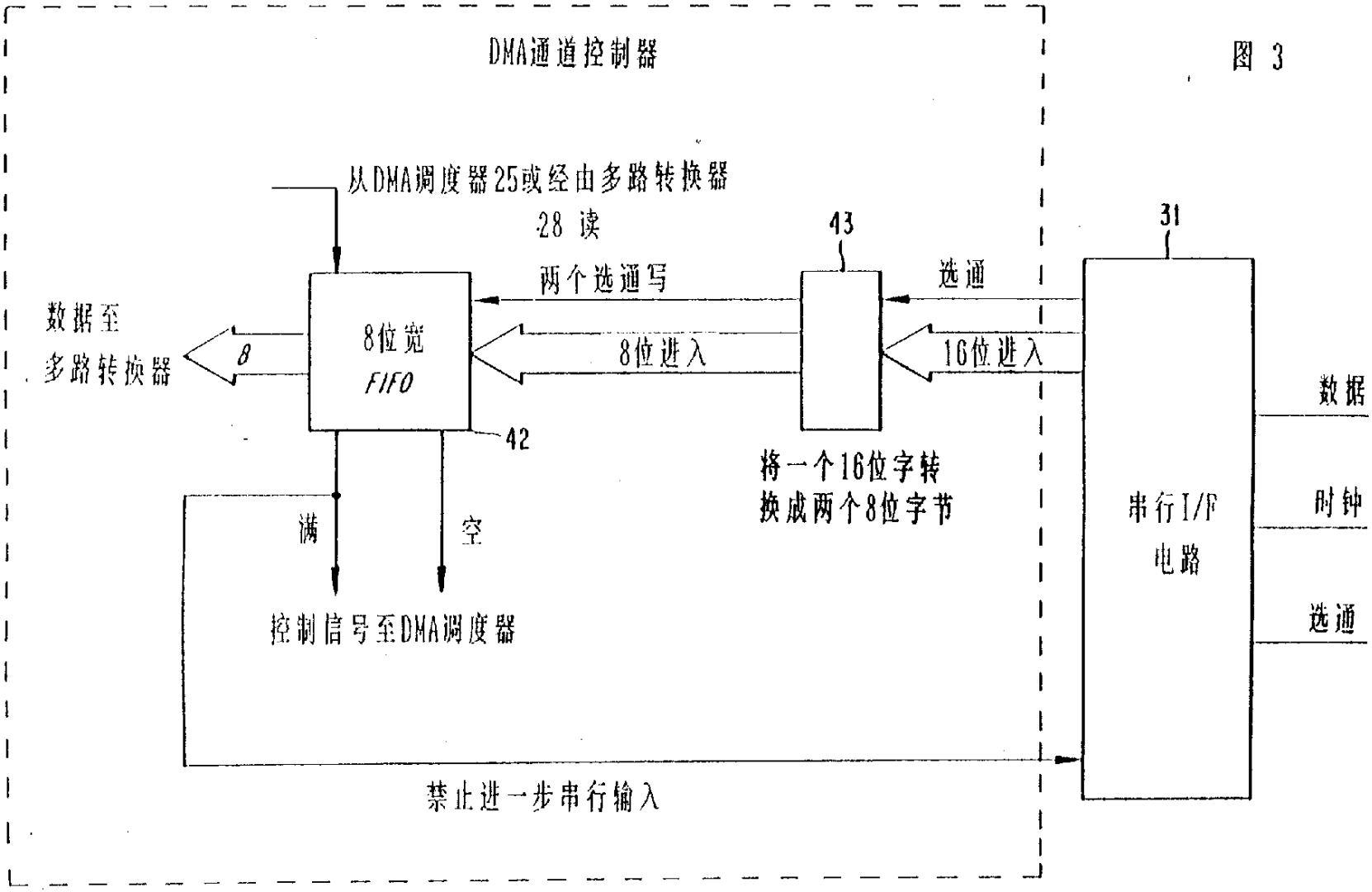

DMA通道控制器
从DMA调度器25或经由多路转换器
28 读
两个选通写
43
选通
31
数据至
多路转换器
8
8位宽
FIFO
8位进入
16位进入
数据
时钟
选通
42
将一个16位字转
换成两个8位字节
串行I/F
电路
满
空
控制信号至DMA调度器
禁止进一步串行输入

图 3

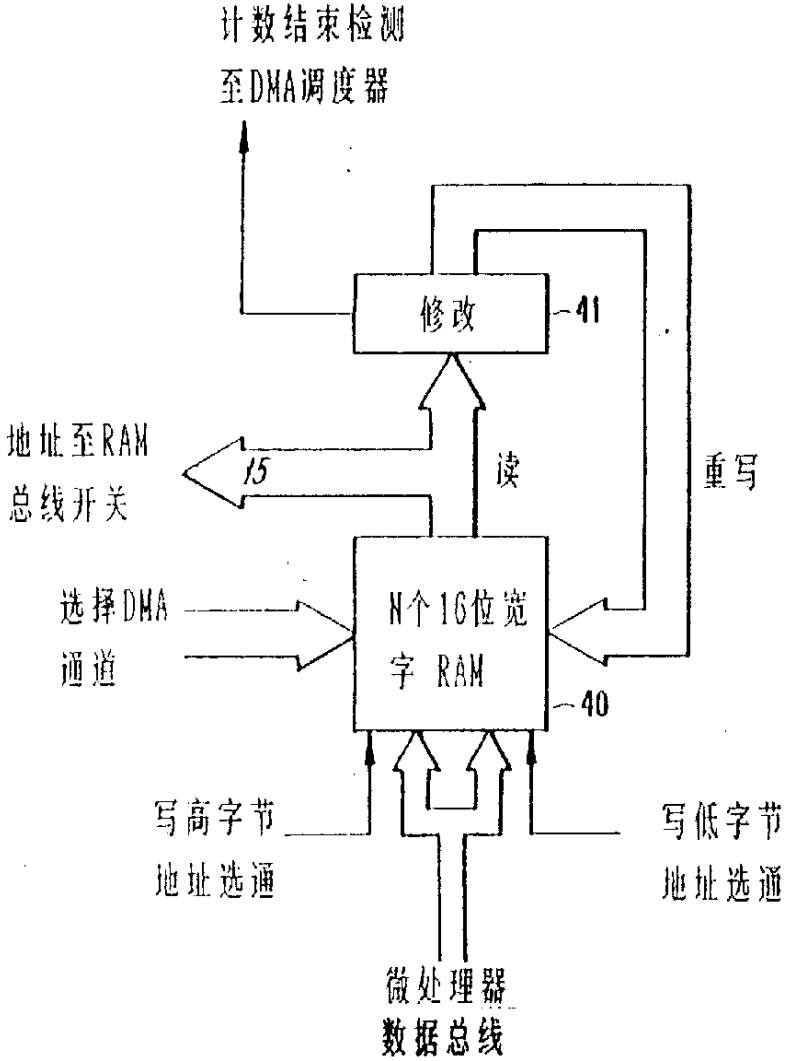

计数结束检测
至DMA调度器
修改
41
地址至RAM
总线开关
15
读
重写
选择DMA
通道
N个16位宽
字 RAM
40
写高字节
地址选通
写低字节
地址选通
微处理器
数据总线

图 4

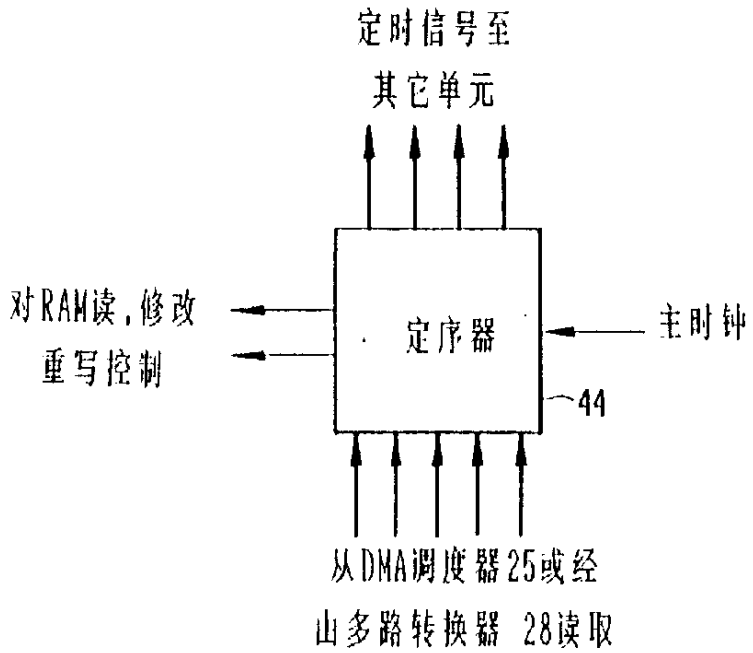

定时信号至
其它单元
对RAM读，修改
重写控制
定序器
主时钟
44
从DMA调度器25或经
由多路转换器 28读取

图 5

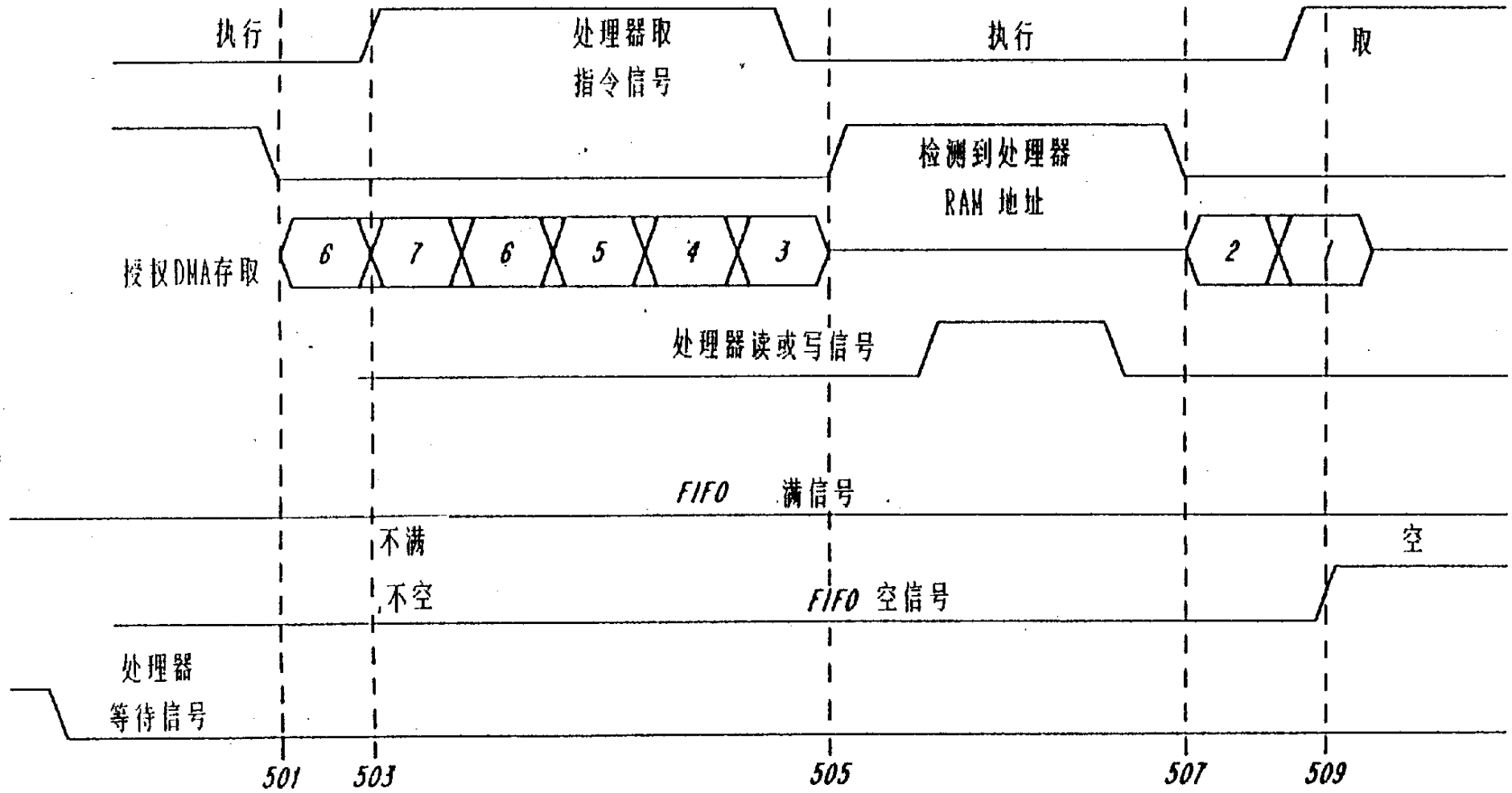

执行
处理器取
指令信号
执行
取
检测到处理器
RAM 地址
授权DMA存取
6
7
6
5
4
3
2
1
处理器读或写信号
FIFO 满信号
不满
不空
空
FIFO 空信号
处理器
等待信号
501
503
505
507
509

图 6

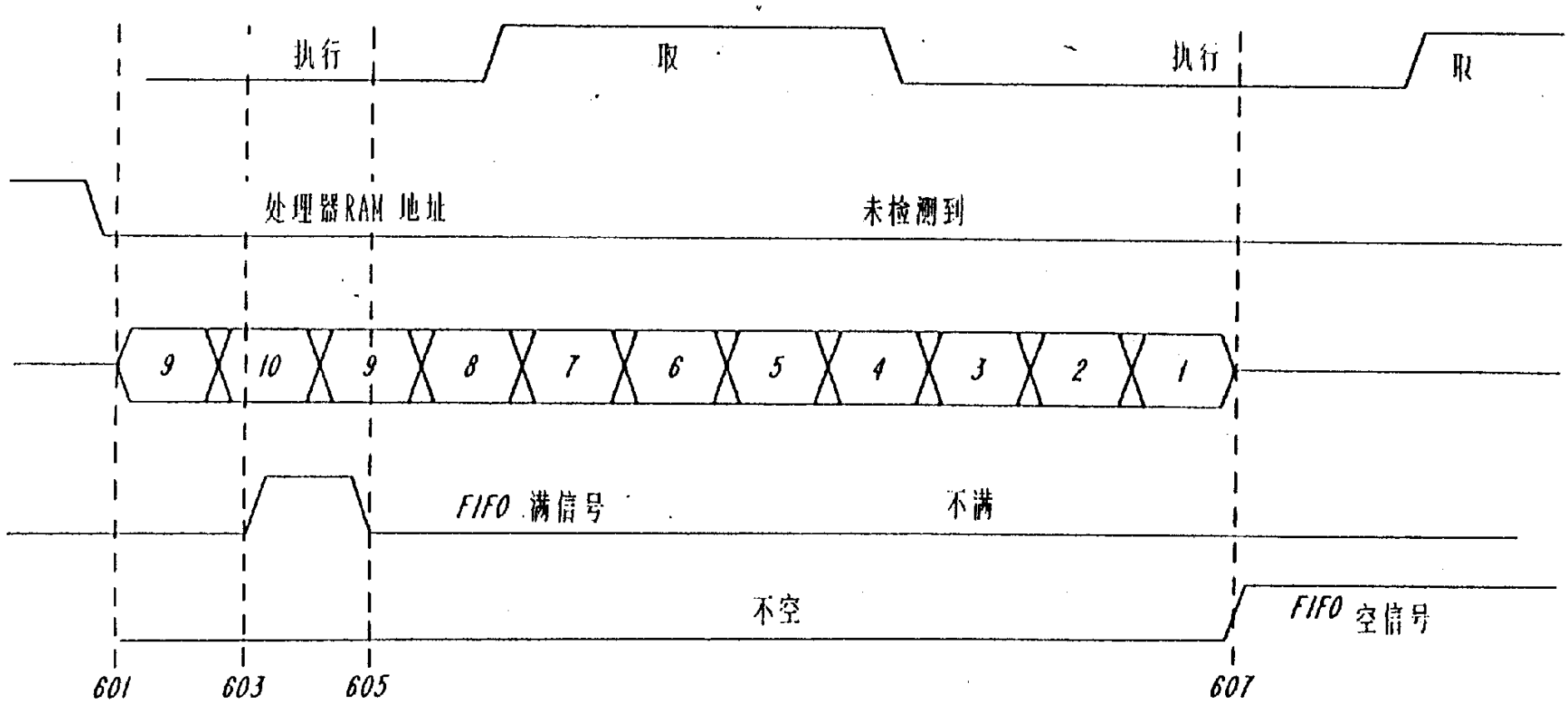

执行
取
执行
取
处理器RAM 地址
未检测到
9
10
9
8
7
6
5
4
3
2
1
FIFO 满信号
不满
不空
FIFO 空信号
601
603
605
607

图 7

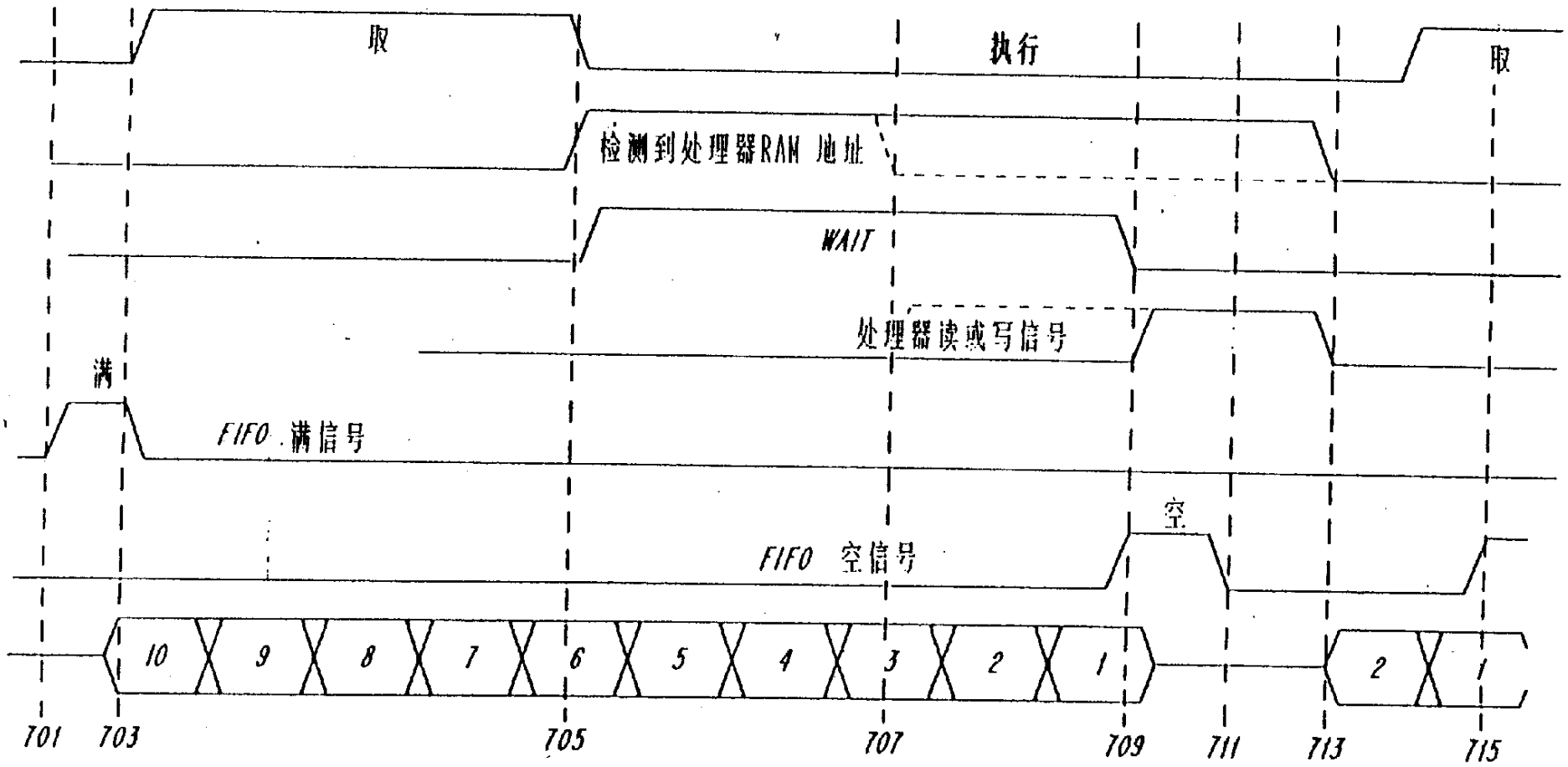

取
执行
取
检测到处理器RAM 地址
WAIT
处理器读或写信号
满
FIFO 满信号
空
FIFO 空信号
10
9
8
7
6
5
4
3
2
1
2
1
701
703
705
707
709
711
713
715

图 8

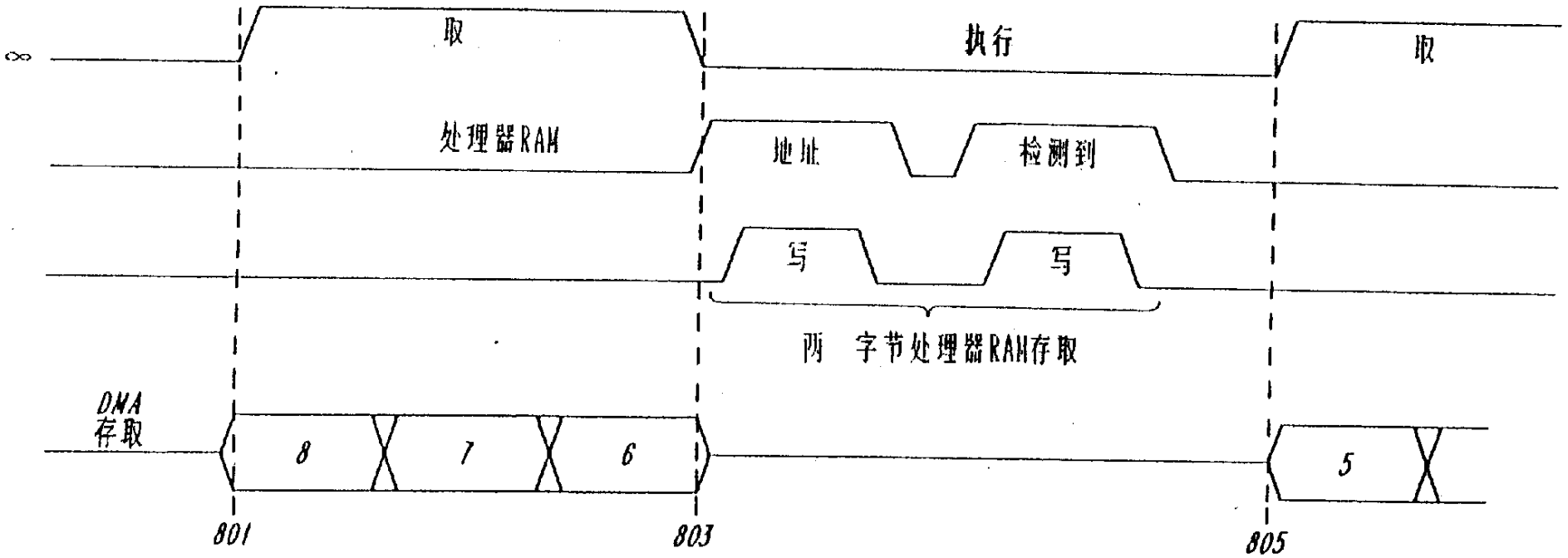
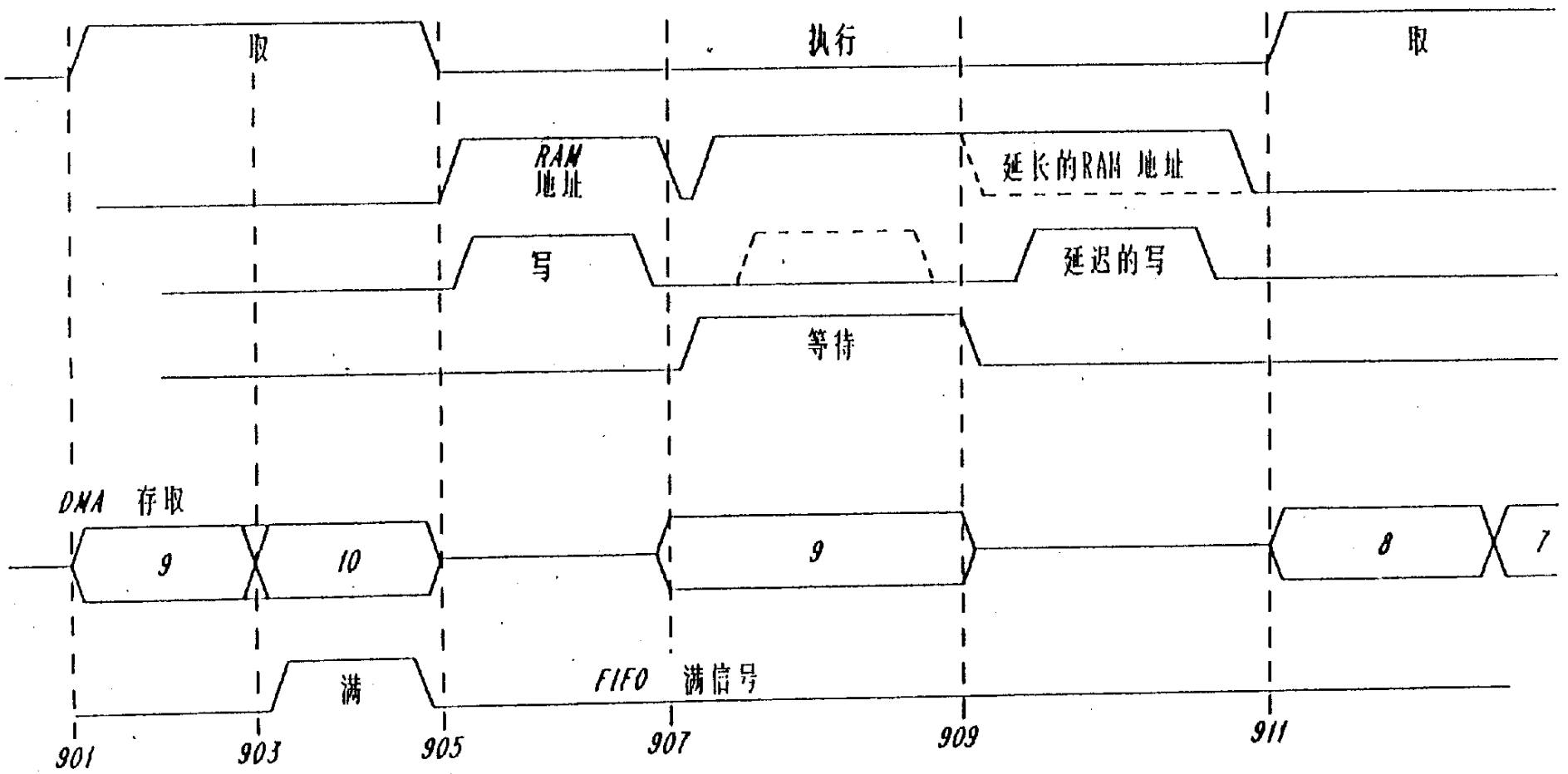


图 9


取
执行
取
RAM
地址
延长的RAM 地址
写
延迟的写
等待
DMA 存取
9
10
9
8
7
满
FIFO 满信号
901
903
905
907
909
911