

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7500780号
(P7500780)

(45)発行日 令和6年6月17日(2024.6.17)

(24)登録日 令和6年6月7日(2024.6.7)

(51)国際特許分類		F I	
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 2 G
G 1 1 C	19/28 (2006.01)	G 1 1 C	19/28 2 3 0
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/20 6 2 2 D
		G 0 9 G	3/20 6 2 2 Q
		G 0 9 G	3/20 6 2 1 M
請求項の数 14 (全23頁) 最終頁に続く			
(21)出願番号	特願2022-573280(P2022-573280)	(73)特許権者	521141718
(86)(22)出願日	令和3年12月30日(2021.12.30)		惠科股 分 有限公司
(65)公表番号	特表2023-544940(P2023-544940 A)		H K C Corporation Limited
(43)公表日	令和5年10月26日(2023.10.26)		中華人民共和国広東省深セン市宝安区石
(86)国際出願番号	PCT/CN2021/143379		岩街道石龍社区工業二路1号惠科工業園
(87)国際公開番号	WO2023/040125		厂房1棟一層至三層、五至七層、6棟七
(87)国際公開日	令和5年3月23日(2023.3.23)		層
審査請求日	令和4年11月28日(2022.11.28)		1 F - 3 F , 5 F - 7 F of Fac
(31)優先権主張番号	202111096140.X		tory Building 1 , 7 F
(32)優先日	令和3年9月18日(2021.9.18)		of Factory Building
(33)優先権主張国・地域又は機関	中国(CN)		6 , Huike Industrial
			Park , No . 1 Industri
			al 2nd Road , Shilong
			Community , Shiyan S
			最終頁に続く

(54)【発明の名称】 ゲート集積駆動回路、表示パネル及び表示装置

(57)【特許請求の範囲】

【請求項1】

多段接続のゲート集積回路を含むゲート集積駆動回路であって、各段の前記ゲート集積回路は、接続されているゲート集積回路ユニットと信号分割回路とを含み、各段の前記信号分割回路は、隣接する2本の走査線と接続するための第1信号出力端子と第2信号出力端子とを含み、

各段の前記信号分割回路は、前段の前記信号分割回路が出力する第1サブ行走査信号と第2サブ行走査信号、及び／又は外部制御信号のうちのいくつかの制御信号によりトリガされて現段の前記ゲート集積回路ユニットが出力する行走査信号を第1サブ行走査信号と第2サブ行走査信号に分割して第1信号出力端子、第2信号出力端子、及び後段の前記信号分割回路に出力し、

ここで、各段の前記信号分割回路が出力する第1サブ行走査信号の立ち上がりエッジと、各段の前記ゲート集積回路ユニットが出力する行走査信号の立ち上がりエッジとが同時にトリガされ、各段の前記信号分割回路が出力する第2サブ行走査信号の立ち下がりエッジと、各段の前記ゲート集積回路ユニットが出力する行走査信号の立ち下がりエッジとが同時にトリガされ、各段の前記信号分割回路が出力する第1サブ行走査信号のハイレベルの長さ、と、第2サブ行走査信号のハイレベルの長さとは部分的に重ねられており、

前記外部制御信号は、多重のクロック信号と、フレーム開始信号と、行走査ハイレベル信号と、行走査ローレベル信号と、第1パルスリセット信号と、第2パルスリセット信号と、を含む、

前記第 1 パルスリセット信号は、第 j 段の前記信号分割回路に入力されるために使用され、前記第 2 パルスリセット信号は、第 $j + 1$ 段の前記信号分割回路に入力されるために使用され、ここで、 $j = 1, 3, \dots, n - 1$ であり、

第 j 段の前記信号分割回路の第 1 サブ行走査信号の立ち下がリエッジと、前記第 1 パルスリセット信号の立ち上がりエッジとが同時にトリガされ、第 $j + 1$ 段の前記信号分割回路の第 1 サブ行走査信号の立ち下がリエッジと、前記第 2 パルスリセット信号の立ち上がりエッジとが同時にトリガされ、

第 1 段の前記信号分割回路は、前記フレーム開始信号、前記行走査ハイレベル信号、前記行走査ローレベル信号、前記第 1 パルスリセット信号、及び現段の前記ゲート集積回路ユニットが出力するプルダウン信号によりトリガされ、現段の前記行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号とに分割して出力し、

10

第 2 段の前記信号分割回路は、前記フレーム開始信号、前記行走査ハイレベル信号、前記行走査ローレベル信号、前記第 2 パルスリセット信号、現段の前記ゲート集積回路ユニットが出力するプルダウン信号、及び第 1 段の前記信号分割回路が出力する第 1 サブ行走査信号によりトリガされ、現段の前記行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号とに分割して出力し、

第 i 段の前記信号分割回路は、前記行走査ハイレベル信号、前記行走査ローレベル信号、対応するパルスリセット信号、現段の前記ゲート集積回路ユニットが出力するプルダウン信号、及び第 $i - 2$ 段の前記信号分割回路が出力する第 2 サブ行走査信号と第 $i - 1$ 段の前記信号分割回路が出力する第 1 サブ行走査信号によりトリガされ、現段の前記行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号とに分割して出力し、ここで、 $i \geq 3$ で、 i は整数である、

20

ゲート集積駆動回路。

【請求項 2】

前記ゲート集積回路ユニットと前記信号分割回路とが集積化されてゲート集積チップを形成する、

請求項 1 に記載のゲート集積駆動回路。

【請求項 3】

前記ゲート集積チップは、前記クロック信号を受信するためのクロック信号端子と、前記行走査ハイレベル信号を受信するための行走査ハイレベル信号端子と、前記行走査ローレベル信号を受信するための行走査ローレベル信号端子と、入力信号を受信するための第 1 信号入力端子と、対応する前段が出力する前記第 2 サブ行走査信号を受信するための第 2 信号入力端子と、対応する前段が出力する前記第 1 サブ行走査信号を受信するための第 3 信号入力端子と、下段の前記ゲート集積チップが出力する行走査信号を受信するための第 4 信号入力端子と、対応するリセットパルス信号を受信するためのリセットパルス信号端子と、現段の行走査信号を出力するための第 1 信号出力端子と、現段の前記第 1 サブ行走査信号を出力するための第 2 信号出力端子と、現段の前記第 2 サブ行走査信号を出力するための第 3 信号出力端子とを含む、

30

請求項 2 に記載のゲート集積駆動回路。

【請求項 4】

40

各段の前記信号分割回路は、第 1 スイッチ回路と、第 2 スイッチ回路と、プルダウン回路とを含み、

前記第 1 スイッチ回路の信号出力端子と前記プルダウン回路の第 1 信号端子とが、前記信号分割回路の第 1 信号出力端子を構成するように共通に接続され、前記第 2 スイッチ回路の信号出力端子と前記プルダウン回路の第 2 信号端子とが、前記信号分割回路の第 2 信号出力端子を構成するように共通に接続され、前記第 1 スイッチ回路と前記第 2 スイッチ回路は、さらに、現段の前記ゲート集積回路ユニットの信号出力端子にそれぞれ接続され、前記プルダウン回路の被制御端子は、現段の前記ゲート集積回路ユニットのプルダウン点に接続され、プルダウン信号を入力し、

前記第 1 スイッチ回路は、対応するパルスリセット信号、前段の前記信号分割回路が出

50

力する第 2 サブ行走査信号、前記行走査ハイレベル信号、前記行走査ローレベル信号、及び前記フレーム開始信号のうちのいくつかの信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、現段の第 1 サブ行走査信号を出力し、

前記第 2 スイッチ回路は、前段の前記信号分割回路が出力する第 1 サブ行走査信号、前記行走査ローレベル信号、及び前記フレーム開始信号のうちのいくつかの信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、現段の第 2 サブ行走査信号を出力し、

前記プルダウン回路は、前記行走査ローレベル信号及び前記プルダウン信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、前記第 1 サブ行走査信号と前記第 2 サブ行走査信号をプルダウンしてリセットする、

10

請求項 1 に記載のゲート集積駆動回路。

【請求項 5】

前記第 1 スイッチ回路は、前段の前記信号分割回路が出力する前記第 2 サブ行走査信号を入力するための第 1 信号入力端子と、前記パルスリセット信号を入力するための第 2 信号入力端子と、前記行走査ハイレベル信号を入力するための第 3 信号入力端子と、前記行走査ローレベル信号を入力するための第 4 信号入力端子と、現段の前記ゲート集積回路ユニットの信号出力端子を接続するための第 5 信号入力端子と、を含み、

前記第 2 スイッチ回路は、前段の前記信号分割回路が出力する前記第 1 サブ行走査信号を入力するための第 1 信号入力端子と、前記行走査ローレベル信号を入力するための第 2 信号入力端子と、現段の前記ゲート集積回路ユニットの信号出力端子を接続するための第 3 信号入力端子と、を含み、

20

前記プルダウン回路は、前記行走査ローレベル信号を入力するための第 1 信号入力端子と、現段の前記ゲート集積回路ユニットのプルダウン点を接続するための第 2 信号入力端子とを含む、

請求項 4 に記載のゲート集積駆動回路。

【請求項 6】

前記第 1 スイッチ回路は、第 1 電子スイッチトランジスタと、第 2 電子スイッチトランジスタと、第 3 電子スイッチトランジスタと、第 1 容量と、を含み、

前記第 1 電子スイッチトランジスタの第 1 端子は、前記フレーム開始信号、前段の前記信号分割回路が出力する第 2 サブ行走査信号、及び前記行走査ハイレベル信号のうちの 1 つの信号を入力するために使用され、前記第 1 電子スイッチトランジスタの被制御端子は、前記フレーム開始信号又は前段の前記信号分割回路が出力する第 2 サブ行走査信号を入力するために使用され、前記第 1 電子スイッチトランジスタの第 2 端子と、前記第 2 電子スイッチトランジスタの第 1 端子と、前記第 3 電子スイッチトランジスタの被制御端子と、前記第 1 容量の第 1 端子とが共通に接続され、前記第 2 電子スイッチトランジスタの第 2 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 2 電子スイッチトランジスタの被制御端子は、対応するパルスリセット信号を入力するために使用され、前記第 3 電子スイッチトランジスタの第 1 端子は、現段の前記ゲート集積回路ユニットが出力する行走査信号を入力するために使用され、前記第 3 電子スイッチトランジスタの第 2 端子と前記第 1 容量の第 2 端子とが、前記第 1 スイッチ回路の信号出力端子を構成するように共通に接続される、

30

40

請求項 4 に記載のゲート集積駆動回路。

【請求項 7】

前記第 2 スイッチ回路は、第 4 電子スイッチトランジスタと、第 5 電子スイッチトランジスタと、第 6 電子スイッチトランジスタと、第 2 容量と、を含み、

前記第 4 電子スイッチトランジスタの第 1 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 4 電子スイッチトランジスタの第 2 端子と、前記第 5 電子スイッチトランジスタの第 1 端子と、前記第 6 電子スイッチトランジスタの被制御端子と、前記第 2 容量の第 1 端子とが共通に接続され、前記第 5 電子スイッチトランジスタの第 2 端子と、前記第 5 電子スイッチトランジスタの被制御端子と、前記第 6 電子スイッチトラン

50

ジスタの第 1 端子とが、現段の前記ゲート集積回路ユニットが出力する行走査信号を入力するために共通に接続され、前記第 4 電子スイッチトランジスタの被制御端子は、前記フレーム開始信号又は前段の前記信号分割回路が出力する第 1 サブ行走査信号を入力するために使用され、前記第 6 電子スイッチトランジスタの第 2 端子と前記第 2 容量の第 2 端子とが、前記第 2 スイッチ回路の信号出力端子を構成するように共通に接続される、

請求項 6 に記載のゲート集積駆動回路。

【請求項 8】

前記プルダウン回路は、第 7 電子スイッチトランジスタと、第 8 電子スイッチトランジスタと、を含み、

前記第 7 電子スイッチトランジスタの第 1 端子は前記プルダウン回路の第 1 信号端子を構成し、前記第 8 電子スイッチトランジスタの第 1 端子は、前記プルダウン回路の第 2 信号端子を構成し、前記第 7 電子スイッチトランジスタの被制御端子と前記第 8 電子スイッチトランジスタの被制御端子とが、前記プルダウン信号を入力するために共通に接続され、前記第 7 電子スイッチトランジスタの第 2 端子と前記第 8 電子スイッチトランジスタの第 2 端子とが共通に接続される、

請求項 7 に記載のゲート集積駆動回路。

【請求項 9】

前記信号分割回路は、切り替え回路をさらに含み、前記切り替え回路の第 1 信号入力端子と、前記第 1 スイッチ回路の信号出力端子と、前記プルダウン回路の第 1 信号端子とが共通に接続され、前記切り替え回路の第 2 信号入力端子と、前記第 2 スイッチ回路の信号出力端子と、前記プルダウン回路の第 2 信号端子とが共通に接続され、前記切り替え回路の第 3 信号入力端子は、現段の前記ゲート集積回路ユニットが出力する行走査信号を入力するために使用され、前記切り替え回路の第 1 信号出力端子と第 2 信号出力端子は、前記信号分割回路の第 1 信号出力端子と第 2 信号出力端子を構成し、前記切り替え回路の被制御端子は、スイッチ選択信号、前記行走査ハイレベル信号、及び前記行走査ローレベル信号を入力するために使用され、

前記切り替え回路は、前記スイッチ選択信号のハイレベルとローレベル、前記行走査ハイレベル信号、及び前記行走査ローレベル信号によりトリガされてオンオフするために使用され、これにより前記第 1 サブ行走査信号と前記第 2 サブ行走査信号を、前記信号分割回路の第 1 信号出力端子と第 2 信号出力端子に切り替えて出力するか、或いは、現段の前記ゲート集積回路ユニットが出力する行走査信号を、前記信号分割回路の第 1 信号出力端子と第 2 信号出力端子にそれぞれ出力する、

請求項 4 に記載のゲート集積駆動回路。

【請求項 10】

前記スイッチ選択信号がハイレベルである場合、前記切り替え回路の第 3 信号入力端子は 2 つの出力信号端子と接続され、

前記スイッチ選択信号がローレベルである場合、前記切り替え回路の第 1 信号入力端子は自身の第 1 信号出力端子と接続され、前記切り替え回路の第 2 信号入力端子は自身の第 2 信号出力端子と接続される、

請求項 9 に記載のゲート集積駆動回路。

【請求項 11】

前記切り替え回路は、第 9 電子スイッチトランジスタと、第 10 電子スイッチトランジスタと、第 11 電子スイッチトランジスタと、第 12 電子スイッチトランジスタと、第 13 電子スイッチトランジスタと、第 14 電子スイッチトランジスタと、第 15 電子スイッチトランジスタと、第 16 電子スイッチトランジスタと、を含み、

前記第 9 電子スイッチトランジスタの第 1 端子と被制御端子は、前記行走査ハイレベル信号を入力するために使用され、前記第 10 電子スイッチトランジスタの第 1 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 9 電子スイッチトランジスタの第 2 端子と、前記第 10 電子スイッチトランジスタの第 2 端子と、前記第 12 電子スイッチトランジスタの被制御端子とが共通に接続され、前記第 12 電子スイッチトランジスタ

10

20

30

40

50

タの第1端は、前記切り替え回路の第1信号入力端子を構成し、前記第12電子スイッチトランジスタの第2端子と前記第11電子スイッチトランジスタの第2端子とが、前記切り替え回路の第1信号出力端子を構成するように共通に接続され、前記第11電子スイッチトランジスタの第1端子と前記第15電子スイッチトランジスタの第1端子とが、前記切り替え回路の第3信号入力端子を構成するように共通に接続され、前記第11電子スイッチトランジスタの被制御端子と、前記第10電子スイッチトランジスタの被制御端子と、前記第15電子スイッチトランジスタの被制御端子と、前記第14電子スイッチトランジスタの被制御端子とが、前記スイッチ選択信号を入力するために共通に接続され、前記第13電子スイッチトランジスタの第1端子と被制御端子は、前記行走査ハイレベル信号を入力するために使用され、前記第14電子スイッチトランジスタの第1端子は、前記行走査ローレベル信号を入力するために使用され、前記第13電子スイッチトランジスタの第2端子と、前記第14電子スイッチトランジスタの第2端子と、前記第16電子スイッチトランジスタの被制御端子とが共通に接続され、前記第16電子スイッチトランジスタの第1端子は、前記切り替え回路の第2信号入力端子を構成し、前記第16電子スイッチトランジスタの第2端子と前記第15電子スイッチトランジスタの第2端子とが、前記切り替え回路の第2信号出力端を構成するように共通に接続される、

10

請求項9に記載のゲート集積駆動回路。

【請求項12】

アレイ基板と、請求項1に記載のゲート集積駆動回路とを含む表示パネルであって、前記ゲート集積駆動回路は前記アレイ基板の片側又は両側に設けられる、

20

表示パネル。

【請求項13】

前記アレイ基板は、表示領域と、非表示領域とを含み、非表示領域にはピンバイディング領域と前記ゲート集積駆動回路とが設けられ、前記ゲート集積駆動回路は、前記アレイ基板の前記非表示領域の片側又は両側に設けられる、

請求項12に記載の表示パネル。

【請求項14】

バックライトモジュールと、駆動回路板と、請求項12に記載の表示パネルとを含む表示装置であって、前記バックライトモジュールと前記表示パネルとが対向配置され、前記駆動回路板と前記表示パネルとが電気接続されている、

30

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願の相互参照]

本願は、2021年09月18日に中国特許庁に提出された、出願番号が202111096140.Xで、発明名称が「GOA駆動回路、表示パネル及び表示装置」の中国特許出願の優先権を主張し、その全内容を引用により本願に組み込んでいる。

【0002】

本願は、表示パネルの技術分野に属し、特に、ゲート集積駆動回路、表示パネル及び表示装置に関するものである。

40

【背景技術】

【0003】

表示技術の急速な発展に伴い、表示パネルは娯楽、教育、セキュリティなどさまざまな分野で広く応用されている。表示パネル内において、GOA (Gate On Array, ゲート集積) 技術とは、ゲート駆動回路 (Gate driver IC) をアレイ (Array) 基板上に直接作製し、行走査信号を出力することにより表示パネルのプログレッシブ走査を実現する技術である。GOA技術は表示パネルの狭額縁化を実現する主要な技術の1つであり、その上でパネルをさらに狭額縁化するために、GOA回路の信号や素子数を減らすのが一般的である。通常、1つのGOA回路ユニットは、1つのClock信

50

号を受信し、そしてこのClock信号の1周期を画素行の走査信号として出力するため、額縁の大きさが大きくなり、表示パネルの狭額縁化に不利である。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本願の目的は、表示パネルの狭額縁化を実現するためのゲート集積駆動回路を提供することである。

【課題を解決するための手段】

【0005】

上述した技術的課題を解決するために、本願の実施例が採用する技術方案は次のとおりである。

10

【0006】

本願の実施例の第1態様では、多段接続のゲート集積回路を含むゲート集積駆動回路であって、各段の前記ゲート集積回路は、接続されているゲート集積回路ユニットと信号分割回路とを含み、各段の前記信号分割回路は、隣接する2本の走査線を接続するための第1信号出力端子と第2信号出力端子とを含み、

各段の前記信号分割回路は、前段の前記信号分割回路が出力する第1サブ行走査信号と第2サブ行走査信号、及び/又は外部制御信号のうちのいくつかの制御信号によりトリガされて現段の前記ゲート集積回路ユニットが出力する行走査信号を第1サブ行走査信号と第2サブ行走査信号に分割して第1信号出力端子、第2信号出力端子、及び後段の前記信号分割回路に出力し、

20

ここで、各段の前記信号分割回路が出力する第1サブ行走査信号の立ち上がりエッジと、各段の前記ゲート集積回路ユニットが出力する行走査信号の立ち上がりエッジとが同時にトリガされ、各段の前記信号分割回路が出力する第2サブ行走査信号の立ち下がりエッジと、各段の前記ゲート集積回路ユニットが出力する行走査信号の立ち下がりエッジとが同時にトリガされ、各段の前記信号分割回路が出力する第1サブ行走査信号のハイレベルの長さ、第2サブ行走査信号のハイレベルの長さ、及び後段の前記信号分割回路が出力する第1サブ行走査信号のハイレベルの長さと、第2サブ行走査信号のハイレベルの長さとが部分的に重ねられている、ゲート集積駆動回路を提供する。

【0007】

オプションとして、前記外部制御信号は、多重のクロック信号と、フレーム開始信号と、行走査ハイレベル信号と、行走査ローレベル信号と、第1パルスリセット信号と、第2パルスリセット信号と、を含み、

30

前記第1パルスリセット信号は、第j段の前記信号分割回路に入力されるために使用され、前記第2パルスリセット信号は、第j+1段の前記信号分割回路に入力されるために使用され、ここで、 $j = 1, 3, \dots, n - 1$ であり、

第j段の前記信号分割回路の第1サブ行走査信号の立ち下がりエッジと、前記第1パルスリセット信号の立ち上がりエッジとが同時にトリガされ、第j+1段の前記信号分割回路の第1サブ行走査信号の立ち下がりエッジと、前記第2パルスリセット信号の立ち上がりエッジとが同時にトリガされ、

第1段の前記信号分割回路は、前記フレーム開始信号、前記行走査ハイレベル信号、前記行走査ローレベル信号、前記第1パルスリセット信号、及び現段の前記ゲート集積回路ユニットが出力するプルダウン信号によりトリガされ、現段の前記行走査信号を第1サブ行走査信号と第2サブ行走査信号とに分割して出力し、

40

第2段の前記信号分割回路は、前記フレーム開始信号、前記行走査ハイレベル信号、前記行走査ローレベル信号、前記第2パルスリセット信号、現段の前記ゲート集積回路ユニットが出力するプルダウン信号、及び第1段の前記信号分割回路が出力する第1サブ行走査信号によりトリガされ、現段の前記行走査信号を第1サブ行走査信号と第2サブ行走査信号とに分割して出力し、

第i段の前記信号分割回路は、前記行走査ハイレベル信号、前記行走査ローレベル信号、対応するパルスリセット信号、現段の前記ゲート集積回路ユニットが出力するプルダウン

50

信号、及び第 $i - 2$ 段の前記信号分割回路が出力する第 2 サブ行走査信号と第 $i - 1$ 段の前記信号分割回路が出力する第 1 サブ行走査信号によりトリガされ、現段の前記行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号とに分割して出力し、ここで、 $i \geq 3$ で、 i は整数である。

【0008】

オプションとして、前記ゲート集積回路ユニットと前記信号分割回路とが集積化されてゲート集積チップを形成する。

【0009】

オプションとして、前記ゲート集積チップは、前記クロック信号を受信するためのクロック信号端子と、前記行走査ハイレベル信号を受信するための行走査ハイレベル信号端子と、前記行走査ローレベル信号を受信するための行走査ローレベル信号端子と、入力信号を受信するための第 1 信号入力端子と、対応する前段が出力する前記第 2 サブ行走査信号を受信するための第 2 信号入力端子と、対応する前段が出力する前記第 1 サブ行走査信号を受信するための第 3 信号入力端子と、下段の前記ゲート集積チップが出力する行走査信号を受信するための第 4 信号入力端子と、対応するリセットパルス信号を受信するためのリセットパルス信号端子と、現段の行走査信号を出力するための第 1 信号出力端子と、現段の前記第 1 サブ行走査信号を出力するための第 2 信号出力端子と、現段の前記第 2 サブ行走査信号を出力するための第 3 信号出力端子とを含む。

【0010】

オプションとして、各段の前記信号分割回路は、第 1 スイッチ回路と、第 2 スイッチ回路と、プルダウン回路とを含み、

前記第 1 スイッチ回路の信号出力端子と前記プルダウン回路の第 1 信号端子とが、前記信号分割回路の第 1 信号出力端子を構成するように共通に接続され、前記第 2 スイッチ回路の信号出力端子と前記プルダウン回路の第 2 信号端子とが、前記信号分割回路の第 2 信号出力端子を構成するように共通に接続され、前記第 1 スイッチ回路と前記第 2 スイッチ回路は、さらに、現段の前記ゲート集積回路ユニットの信号出力端子にそれぞれ接続され、前記プルダウン回路の被制御端子は、現段の前記ゲート集積回路ユニットのプルダウン点に接続され、プルダウン信号を入力し、

前記第 1 スイッチ回路は、対応するパルスリセット信号、前段の前記信号分割回路が出力する第 2 サブ行走査信号、前記行走査ハイレベル信号、前記行走査ローレベル信号、及び前記フレーム開始信号のうちのいくつかの信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、現段の第 1 サブ行走査信号を出力し、前記第 2 スイッチ回路は、前段の前記信号分割回路が出力する第 1 サブ行走査信号、前記行走査ローレベル信号、及び前記フレーム開始信号のうちのいくつかの信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、現段の第 2 サブ行走査信号を出力し、

前記プルダウン回路は、前記行走査ローレベル信号及び前記プルダウン信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、前記第 1 サブ行走査信号と前記第 2 サブ行走査信号をプルダウンしてリセットする。

【0011】

オプションとして、前記第 1 スイッチ回路は、前段の前記信号分割回路が出力する前記第 2 サブ行走査信号を入力するための第 1 信号入力端子と、前記パルスリセット信号を入力するための第 2 信号入力端子と、前記行走査ハイレベル信号を入力するための第 3 信号入力端子と、前記行走査ローレベル信号を入力するための第 4 信号入力端子と、現段の前記ゲート集積回路ユニットの信号出力端子を接続するための第 5 信号入力端子と、を含み、前記第 2 スイッチ回路は、前段の前記信号分割回路が出力する前記第 1 サブ行走査信号を入力するための第 1 信号入力端子と、前記行走査ローレベル信号を入力するための第 2 信号入力端子と、現段の前記ゲート集積回路ユニットの信号出力端子を接続するための第 3 信号入力端子と、を含み、

前記プルダウン回路は、前記行走査ローレベル信号を入力するための第 1 信号入力端子と

、現段の前記ゲート集積回路ユニットのプルダウン点を接続するための第 2 信号入力端子とを含む。

【 0 0 1 2 】

オプションとして、前記第 1 スイッチ回路は、第 1 電子スイッチトランジスタと、第 2 電子スイッチトランジスタと、第 3 電子スイッチトランジスタと、第 1 容量と、を含み、前記第 1 電子スイッチトランジスタの第 1 端子は、前記フレーム開始信号、前段の前記信号分割回路が出力する第 2 サブ行走査信号、及び前記行走査ハイレベル信号のうちの 1 つの信号を入力するために使用され、前記第 1 電子スイッチトランジスタの被制御端子は、前記フレーム開始信号又は前段の前記信号分割回路が出力する第 2 サブ行走査信号を入力するために使用され、前記第 1 電子スイッチトランジスタの第 2 端子と、前記第 2 電子ス
10
イッチトランジスタの第 1 端子と、前記第 3 電子スイッチトランジスタの被制御端子と、前記第 1 容量の第 1 端子とが共通に接続され、前記第 2 電子スイッチトランジスタの第 2 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 2 電子スイッチトランジスタの被制御端子は、対応するパルスリセット信号を入力するために使用され、前記第 3 電子スイッチトランジスタの第 1 端子は、現段の前記ゲート集積回路ユニットが出力する行走査信号を入力するために使用され、前記第 3 電子スイッチトランジスタの第 2 端子と前記第 1 容量の第 2 端子とが、前記第 1 スイッチ回路の信号出力端子を構成するように共通に接続される。

【 0 0 1 3 】

オプションとして、前記第 2 スイッチ回路は、第 4 電子スイッチトランジスタと、第 5 電子
20
スイッチトランジスタと、第 6 電子スイッチトランジスタと、第 2 容量と、を含み、前記第 4 電子スイッチトランジスタの第 1 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 4 電子スイッチトランジスタの第 2 端子と、前記第 5 電子スイッチトランジスタの第 1 端子と、前記第 6 電子スイッチトランジスタの被制御端子と、前記第 2 容量の第 1 端子とが共通に接続され、前記第 5 電子スイッチトランジスタの第 2 端子と、前記第 5 電子スイッチトランジスタの被制御端子と、前記第 6 電子スイッチトランジスタの第 1 端子とが、現段の前記ゲート集積回路ユニットが出力する行走査信号を入力するために共通に接続され、前記第 4 電子スイッチトランジスタの被制御端子は、前記フレーム開始信号又は前段の前記信号分割回路が出力する第 1 サブ行走査信号を入力する
30
ために使用され、前記第 6 電子スイッチトランジスタの第 2 端子と前記第 2 容量の第 2 端子とが、第 2 スイッチ回路の信号出力端子を構成するように共通に接続される。

【 0 0 1 4 】

オプションとして、前記プルダウン回路は、第 7 電子スイッチトランジスタと、第 8 電子
スイッチトランジスタと、を含み、
前記第 7 電子スイッチトランジスタの第 1 端子は前記プルダウン回路の第 1 信号端を構成し、前記第 8 電子スイッチトランジスタの第 1 端子は、前記プルダウン回路の第 2 信号端子を構成し、前記第 7 電子スイッチトランジスタの被制御端子と前記第 8 電子スイッチトランジスタの被制御端子とが、プルダウン信号を入力するために共通に接続され、前記第 7 電子スイッチトランジスタの第 2 端子と前記第 8 電子スイッチトランジスタの第 2 端子とが共通に接続される。
40

【 0 0 1 5 】

オプションとして、前記信号分割回路は、切り替え回路をさらに含み、前記切り替え回路の第 1 信号入力端子と、前記第 1 スイッチ回路の信号出力端子と、前記プルダウン回路の第 1 信号端子とが共通に接続され、前記切り替え回路の第 2 信号入力端子と、前記第 2 スイッチ回路の信号出力端子と、前記プルダウン回路の第 2 信号端子とが共通に接続され、前記切り替え回路の第 3 信号入力端子は、現段の前記ゲート集積回路ユニットが出力する行走査信号を入力するために使用され、前記切り替え回路の第 1 信号出力端子と第 2 信号出力端子は、前記信号分割回路の第 1 信号出力端子と第 2 信号出力端子を構成し、前記切り替え回路の被制御端子は、スイッチ選択信号、前記行走査ハイレベル信号、及び前記行走査ローレベル信号を入力するために使用され、
50

前記切り替え回路は、前記スイッチ選択信号のハイレベルとローレベル、前記行走査ハイレベル信号、及び前記行走査ローレベル信号によりトリガされてオンオフするために使用され、これにより前記第 1 サブ行走査信号と第 2 サブ行走査信号を、前記信号分割回路の第 1 信号出力端子と第 2 信号出力端子に切り替えて出力するか、或いは、現段の前記ゲート集積回路ユニットが出力する行走査信号を、前記信号分割回路の第 1 信号出力端子と第 2 信号出力端子にそれぞれ出力する。

【 0 0 1 6 】

オプションとして、スイッチ選択信号がハイレベルである場合、前記切り替え回路の第 3 信号入力端子は 2 つの出力信号端子と接続され、

スイッチ選択信号がローレベルである場合、前記切り替え回路の第 1 信号入力端子は自身の第 1 信号出力端子と接続され、前記切り替え回路の第 2 信号入力端子は自身の第 2 信号出力端子と接続される。

10

【 0 0 1 7 】

オプションとして、前記切り替え回路は、第 9 電子スイッチトランジスタと、第 10 電子スイッチトランジスタと、第 11 電子スイッチトランジスタと、第 12 電子スイッチトランジスタと、第 13 電子スイッチトランジスタと、第 14 電子スイッチトランジスタと、第 15 電子スイッチトランジスタと、第 16 電子スイッチトランジスタと、を含み、

前記第 9 電子スイッチトランジスタの第 1 端子と被制御端子は、前記行走査ハイレベル信号を入力するために使用され、前記第 10 電子スイッチトランジスタの第 1 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 9 電子スイッチトランジスタの第 2 端子と、前記第 10 電子スイッチトランジスタの第 2 端子と、前記第 12 電子スイッチトランジスタの被制御端子とが共通に接続され、前記第 12 電子スイッチトランジスタの第 1 端子は、前記切り替え回路の第 1 信号入力端子を構成し、前記第 12 電子スイッチトランジスタの第 2 端子と前記第 11 電子スイッチトランジスタの第 2 端子とが、前記切り替え回路の第 1 信号出力端子を構成するように共通に接続され、前記第 11 電子スイッチトランジスタの第 1 端子と前記第 15 電子スイッチトランジスタの第 1 端子とが、前記切り替え回路の第 3 信号入力端子を構成するように共通に接続され、前記第 11 電子スイッチトランジスタの被制御端子と、前記第 10 電子スイッチトランジスタの被制御端子と、前記第 15 電子スイッチトランジスタの被制御端子と、前記第 14 電子スイッチトランジスタの被制御端子とが、前記スイッチ選択信号を入力するために共通に接続され、前記第 13 電子スイッチトランジスタの第 1 端子と被制御端子は、前記行走査ハイレベル信号を入力するために使用され、前記第 14 電子スイッチトランジスタの第 1 端子は、前記行走査ローレベル信号を入力するために使用され、前記第 13 電子スイッチトランジスタの第 2 端子と、前記第 14 電子スイッチトランジスタの第 2 端子と、前記第 16 電子スイッチトランジスタの被制御端子とが共通に接続され、前記第 16 電子スイッチトランジスタの第 1 端子は、前記切り替え回路の第 2 信号入力端子を構成し、前記第 16 電子スイッチトランジスタの第 2 端子と前記第 15 電子スイッチトランジスタの第 2 端子とが、前記切り替え回路の第 2 信号出力端を構成するように共通に接続される。

20

30

【 0 0 1 8 】

本願の実施例の第 2 態様では、アレイ基板と、上記のゲート集積駆動回路とを含む表示パネルであって、前記ゲート集積駆動回路は前記アレイ基板の片側又は両側に設けられる、表示パネルを提供する。

40

【 0 0 1 9 】

オプションとして、前記アレイ基板は、表示領域と、非表示領域とを含み、非表示領域にはピンバイディング領域と前記ゲート集積駆動回路とが設けられ、前記ゲート集積駆動回路は、アレイ基板の前記非表示領域の片側又は両側に設けられる。

【 0 0 2 0 】

本願の実施例の第 3 態様では、バックライトモジュールと、駆動回路板と、上記の表示パネルとを含む表示装置であって、前記バックライトモジュールと前記表示パネルとが対向配置され、前記駆動回路板と前記表示パネルとが電気接続されている、表示装置を提供す

50

る。

【発明の効果】

【0021】

上述したゲート集積駆動回路における多段接続された各ゲート集積回路は、それぞれ、ゲート集積回路ユニットと信号分割回路とを含み、信号分割回路は、表示パネル内の隣接する2本の走査線に接続され、ゲート集積回路ユニットは、原始のゲート集積回路ユニットに従って動作し、出力された行走査信号は、次段のゲート集積回路ユニットへの入力信号とされ、及び、上段のゲート集積回路ユニットのリセット信号とされ、一方、信号分割回路は、現段から出力される行走査信号を第1サブ行走査信号と第2サブ行走査信号とに分割して出力し、2行の画素セルに対する走査駆動を実現し、ゲート集積回路ユニットの素子数を削減し、表示パネルの額縁を節約し、表示パネルの狭額縁化を実現する。

10

【0022】

上記の第2態様及び第3態様の有益な効果は、上記の第1態様に対する説明を参照すればよく、ここでは説明を省略することが理解されたい。

【0023】

本願の実施例に係る技術的解決手段をより明らかにするために、以下は、実施例の説明に使用する必要がある図面を簡単に説明するが、明らかなことに、以下の説明における図面は、本願のいくつかの実施例に過ぎず、当業者であれば、創造的な工夫をせずに、これらの図面により他の図面を取得することができる。

【図面の簡単な説明】

20

【0024】

【図1】本願の実施例により提供されるゲート集積駆動回路の第1種類の構成図である。

【図2】本願の実施例により提供されるゲート集積駆動回路の波形図である。

【図3】本願の実施例により提供されるゲート集積駆動回路の第2種類の構成図である。

【図4】図1に示したゲート集積駆動回路におけるゲート集積回路の構成図である。

【図5】図4に示したゲート集積回路における信号分割回路の第1種類の構成図である。

【図6】図4に示したゲート集積回路における信号分割回路の第1種類の回路図である。

【図7】図6に示したゲート集積回路における信号分割回路の第1種類の波形図である。

【図8】図4に示したゲート集積回路における信号分割回路の第2種類の構成図である。

【図9】図8に示したゲート集積回路における信号分割回路の第2種類の回路図である。

30

【図10】図9に示すゲート集積回路における信号分割回路の第2種類の波形図である。

【発明を実施するための形態】

【0025】

本願が解決しようとする技術的問題、技術的解決手段及び有益な効果をより分かりやすくするために、以下に添付図面及び実施例を参照しながら、本願について詳しく説明する。ここで説明される具体的な実施例は本願を解釈するためのものに過ぎず、本願を限定するためのものではないことを理解されたい。

【0026】

また、「第1」、「第2」という用語は説明の目的だけに用いられ、比較的重要性を指示又は暗示するか、あるいは示された技術的特徴の数を黙示的に指示するためのものと理解してはいけない。したがって、「第1」、「第2」などで限定された特徴は、1つまたは複数の該特徴を明示的または暗黙的に含むことができる。本願の説明において、別途明確かつ具体的な限定がない限り、「複数」とは、二つ以上を意味する。

40

実施例1

【0027】

本願の実施例の第1態様はゲート集積駆動回路を提供し、図1に示すように、ゲート集積駆動回路は多段接続のゲート集積回路100を含み、各段のゲート集積回路100は、接続されているゲート集積回路ユニット10と信号分割回路20とを含み、各段の信号分割回路20は、隣接する2本の走査線を接続するための第1信号出力端子と第2信号出力端子とを含む。

50

各段の信号分割回路 20 は、前段の信号分割回路 20 が出力する第 1 サブ行走査信号と第 2 サブ行走査信号、及び / 又は外部制御信号のうちのいくつかの制御信号によりトリガされて現段のゲート集積回路ユニット 10 が出力する行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号に分割して第 1 信号出力端子、第 2 信号出力端子、及び後段の信号分割回路 20 に出力する。

ここで、各段の信号分割回路 20 が出力する第 1 サブ行走査信号の立ち上がりエッジと、各段のゲート集積回路ユニット 10 が出力する行走査信号の立ち上がりエッジとが同時にトリガされ、各段の信号分割回路 20 が出力する第 2 サブ行走査信号の立ち下がりエッジと、各段のゲート集積回路ユニット 10 が出力する行走査信号の立ち下がりエッジとが同時にトリガされ、各段の信号分割回路 20 が出力する第 1 サブ行走査信号のハイレベルの長さ、第 2 サブ行走査信号のハイレベルの長さ、とが部分的に重ねられている。

10

【0028】

本実施例では、ゲート集積回路 100 は、アレイ基板上のバインディング領域を介して駆動回路板から入力された外部制御信号を受信して行走査信号に変換し、外部制御信号は、多重のクロック信号、フレーム開始信号 S T V、行走査ハイレベル信号 V G H、行走査ローレベル信号 V G L、リセット信号 G R S T 等を含む。ゲート集積回路ユニット 10 は、例えば、4 T 1 C のゲート集積回路ユニット 10 又は 8 T 1 C のゲート集積回路ユニット 10 などの原始のゲート集積回路ユニット 10 構造を用いて、そして同様に動作する。ゲート集積駆動回路は、単一又は両側駆動を用いることができ、駆動方式は限定されない。一方、ゲート集積回路ユニット 10 に入力されるクロック信号の数は、4 ウェイ又は 8 ウェイなどをふくんでもよく、具体的な数はゲート集積回路 100 及び内部のゲート集積回路ユニット 10 の構造及び動作要件に応じて決定され、ここでは限定されない。

20

【0029】

ゲート集積回路ユニット 10 は、入力されたそのうち 1 パスのクロック信号、フレーム開始信号 S T V 等の制御信号に応じて行走査信号を 1 行ずつ出力する。一方、本段から出力された行走査信号は、上段のゲート集積回路ユニット 10 のリセット信号とされ、及び対応する下段の入力信号とされ、行同士のゲート集積回路ユニット 10 が相互に影響し、シフトパルス信号を生成する。

【0030】

一方、本段が出力する行走査信号は、本段の信号分割回路 20 に入力されて信号分割され、そして、2 パスのサブ行走査信号を変換して出力する。2 パスのサブ行走査信号は、最終の行走査信号として出力され、そして、対応する 2 行の画素セルを 1 行ずつ駆動する。一方、2 パスのサブ行走査信号は、それぞれ、次段の信号分割回路 20 及び次々段の信号分割回路 20 の制御信号とされ、各段の信号分割回路 20 が対応して変換分割してシフトパルス信号を生成し、これによりアレイ基板の対応する行の画素セルを駆動する。図 2 に示すように、各ゲート集積回路ユニット 10 は、原始の動作モードで第 1 シフトパルス信号 C o u t 1 ~ C o u t n を出力する。一方、各段の信号分割回路 20 は、受信した前段の信号分割回路 20 から出力された第 1 サブ行走査信号と第 2 サブ行走査信号、及び / 又は外部制御信号のうちのいくつかの制御信号に応じて、第 2 シフトパルス信号 G o u t 1 ~ G o u t n + 1 を出力し、原始の単一ゲート集積回路ユニット 10 に基づいて 1 行の画素セルを駆動し、信号分割回路 20 を設置することにより、1 パスのゲート集積回路 100 は 2 行の画素セルを駆動することができ、アレイ基板の行数を変えずに、ゲート集積回路ユニット 10 の素子数を原始の回路に比べて半分にすることができ、表示パネルの額縁を節約し、表示パネルの狭額縁化を実現することができる。

30

40

【0031】

なお、信号分割回路 20 は、各制御信号に応じてシフトされた第 1 サブ行走査信号及び第 2 サブ行走査信号を出力する。各段の信号分割回路 20 が出力する第 1 サブ行走査信号の立ち上がりエッジと、各段のゲート集積回路ユニット 10 が出力する行走査信号の立ち上がりエッジとが同時にトリガされ、各段の信号分割回路 20 が出力する第 2 サブ行走査信号の立ち下がりエッジと、各段のゲート集積回路ユニット 10 が出力する行走査信号の立

50

ち下がりエッジとが同時にトリガされる。このような設定により、第 1 サブ行走査信号と第 2 サブ行走査信号とが原始の行走査信号に同期してシフトして出力することができ、これで各行の画素セルの正常な駆動を保証し、駆動信頼性を向上させることができる。

【 0 0 3 2 】

なお、各段の信号分割回路 2 0 は、それぞれ異なる駆動制御信号を対応して用いて、第 1 サブ行走査信号と第 2 サブ行走査信号とを分割して出力することができ、各段の信号分割回路 2 0 が受信した駆動制御信号については特に制限はない。

【 0 0 3 3 】

一方、信号分割回路 2 0 は、スイッチ構成の異なる分割回路、例えば、シフト回路、タイミング回路等の構成を用いてもよく、その構成は限定されない。

10

【 0 0 3 4 】

上述したゲート集積駆動回路を基礎として具体化すると、図 1 及び図 3 に示すように、一実施例では、外部制御信号は、多重のクロック信号と、フレーム開始信号 S T V と、行走査ハイレベル信号 V G H と、行走査ローレベル信号 V G L と、第 1 パルスリセット信号 R S T 1 と、第 2 パルスリセット信号 R S T 2 と、を含む。

第 1 パルスリセット信号 R S T 1 は、第 j 段の信号分割回路 2 0 に入力されるために使用され、第 2 パルスリセット信号 R S T 2 は、第 j + 1 段の信号分割回路に入力されるために使用され、ここで、 $j = 1, 3, \dots, n - 1$ である。

第 j 段の信号分割回路 2 0 の第 1 サブ行走査信号の立ち下がりエッジと、第 1 パルスリセット信号 R S T 1 の立ち上がりエッジとが同時にトリガされ、第 j + 1 段の信号分割回路 2 0 の第 1 サブ行走査信号の立ち下がりエッジと、第 2 パルスリセット信号 R S T 2 の立ち上がりエッジとが同時にトリガされる。

20

【 0 0 3 5 】

本実施例では、外部クロック信号、行走査ハイレベル信号 V G H、行走査ローレベル信号 V G L、フレーム開始信号 S T V、第 1 パルスリセット信号 R S T 1、及び第 2 パルスリセット信号 R S T 2 は、駆動回路板によりアレイ基板のバインディング領域を介して入力される。図 2 に示すように、第 1 パルスリセット信号 R S T 1 及び第 2 パルスリセット信号 R S T 2 は、パルス波形であり、そして、奇数段及び偶数段の信号分割回路 2 0 の第 1 サブ行走査信号の立ち下がりエッジ制御を実現するためにそれぞれ用いられる。

【 0 0 3 6 】

一方、各段の信号分割回路 2 0 の駆動方式は、各段のゲート集積回路ユニット 1 0 と同様であり、すなわち、第 1 段のゲート集積回路 1 0 0 の信号分割回路 2 0 が、フレーム開始信号 S T V、行走査ハイレベル信号 V G H、行走査ローレベル信号 V G L、第 1 パルスリセット信号 R S T 1、及び現段のゲート集積回路ユニット 1 0 から出力されるプルダウン信号 Q B - n を受信してトリガされ、第 1 段の第 1 サブ行走査信号及び第 2 サブ行走査信号を生成する。第 1 段の第 1 サブ行走査信号及び第 2 サブ行走査信号は、アレイ基板の第 1 行の画素セル及び第 2 行の画素セルに入力され、一方、第 1 段の第 1 サブ行走査信号は第 2 段の信号分割回路 2 0 に入力され、第 1 段の第 2 サブ行走査信号は、第 2 段の信号分割回路 2 0 及び第 3 段の信号分割回路 2 0 の駆動制御信号として、第 3 段の信号分割回路 2 0 に入力される。

30

40

【 0 0 3 7 】

第 2 段の信号分割回路 2 0 は、フレーム開始信号 S T V、行走査ハイレベル信号 V G H、行走査ローレベル信号 V G L、第 2 パルスリセット信号 R S T 2、現段のゲート集積回路ユニット 1 0 が出力するプルダウン信号 Q B - n、及び第 1 段の信号分割回路 2 0 が出力する第 1 サブ行走査信号によりトリガされ、現段の行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号とに分割して出力する。第 2 段の第 1 サブ行走査信号は第 3 段の信号分割回路 2 0 に入力され、第 2 段の第 2 サブ行走査信号は、第 3 段の信号分割回路 2 0 及び第 4 段の信号分割回路 2 0 の駆動制御信号として第 4 段の信号分割回路 2 0 に入力される。

【 0 0 3 8 】

このようにして、第 i 段の信号分割回路 2 0 は、行走査ハイレベル信号 V G H、行走査ロ

50

ーレベル信号 VGL 、対応するパルスリセット信号、現段のゲート集積回路ユニット 10 が出力するプルダウン信号 $QB - n$ 、及び第 $i - 2$ 段の信号分割回路 20 が出力する第 2 サブ行走査信号と第 $i - 1$ 段の信号分割回路 20 が出力する第 1 サブ行走査信号によりトリガされ、現段の行走査信号を第 1 サブ行走査信号と第 2 サブ行走査信号とに分割して出力し、ここで、 $i \geq 3$ で、 i は整数である。そして、最終段の信号分割回路 20 が第 1 サブ行走査信号と第 2 サブ行走査信号とを対応して出力するまで、最終的にシフトパルス信号 $Gout1 \sim Gout_{n+1}$ を生成して各行に対応する画素セルを駆動する。

【0039】

図 3 に示すように、出力信号の安定性をさらに向上させるために、一実施例では、ゲート集積回路ユニット 10 は、信号分割回路 20 と集積化されてゲート集積チップを形成する。ゲート集積チップは、クロック信号を受信するためのクロック信号端子 CK と、行走査ハイレベル信号 VGH を受信するための行走査ハイレベル信号端子と、行走査ローレベル信号 VGL を受信するための行走査ローレベル信号端子と、入力信号を受信するための第 1 信号入力端子 $Cout_{n-2}$ と、対応する前段が出力する第 2 サブ行走査信号を受信するための第 2 信号入力端子 $Gout_{n-3}$ と、対応する前段が出力する第 1 サブ行走査信号を受信するための第 3 信号入力端子 $Gout_{n-2}$ と、下段のゲート集積チップが出力する行走査信号を受信するための第 4 信号入力端子 $Cout_{n+1}$ と、対応するリセットパルス信号を受信するためのリセットパルス信号端子 RST と、現段の行走査信号を出力するための第 1 信号出力端子 $Cout_n$ と、現段の第 1 サブ行走査信号を出力するための第 2 信号出力端子 $Gout_n$ と、現段の第 2 サブ行走査信号を出力するための第 3 信号出力端子 $Gout_{n+1}$ とを含む。

【0040】

このうち、第 1 段のゲート集積チップについては、第 1 信号入力端子 $Cout_{n-2}$ 、第 2 信号入力端子 $Gout_{n-3}$ 、及び第 3 信号入力端子 $Gout_{n-2}$ には、それぞれフレーム開始信号 STV が入力される。フレーム開始信号 STV は、第 1 段のゲート集積チップ内のゲート集積回路ユニット 10 への入力信号として、ゲート集積回路ユニット 10 を介して第 1 段の行走査信号に変換して出力される。一方、フレーム開始信号 STV 、行走査ハイレベル信号 VGH 、行走査ローレベル信号 VGL 、第 1 パルスリセット信号 $RST1$ は、第 1 段のゲート集積チップ内の信号分割回路 20 の駆動制御信号として、信号分割回路 20 に対してスイッチング制御を行い、そして現段の第 1 サブ行走査信号 $Gout1$ と第 2 サブ行走査信号 $Gout2$ とに分割して出力される。

【0041】

第 2 段のゲート集積チップについては、第 1 信号入力端子 $Cout_{n-2}$ と第 2 信号入力端子 $Gout_{n-3}$ にはそれぞれフレーム開始信号 STV が入力され、第 3 信号入力端子 $Gout_{n-2}$ には、第 1 段のゲート集積チップが出力する第 1 サブ行走査信号が入力される。フレーム開始信号 STV は、第 2 段のゲート集積チップ内のゲート集積回路ユニット 10 への入力信号として、ゲート集積回路ユニット 10 を介して第 2 段の行走査信号に変換して出力される。一方、フレーム開始信号 STV 、行走査ハイレベル信号 VGH 、行走査ローレベル信号 VGL 、第 2 パルスリセット信号 $RST2$ 、及び第 1 段のゲート集積チップが出力する第 1 サブ行走査信号は、第 2 段のゲート集積チップ内の信号分割回路 20 の駆動制御信号として、信号分割回路 20 に対してスイッチング制御を行い、そして現段の第 1 サブ行走査信号 $Gout3$ と第 2 サブ行走査信号 $Gout4$ とに分割して出力される。

【0042】

第 3 段及び最終段のゲート集積チップについては、第 1 信号入力端子 $Cout_{n-2}$ には、第 $i - 2$ 段のゲート集積チップが出力する行走査信号が入力され、第 2 信号入力端子 $Gout_{n-3}$ には、第 $i - 2$ 段のゲート集積チップが出力する第 2 サブ行走査信号が入力され、第 3 信号入力端子 $Gout_{n-2}$ には、第 $i - 1$ 段のゲート集積チップが出力する第 1 サブ行走査信号が入力され、第 $i - 2$ 段のゲート集積チップが出力する行走査信号は、現段のゲート集積チップ内のゲート集積回路ユニット 10 への入力信号として、

ゲート集積回路ユニット 10 を介して現段の行走査信号に変換して出力される。一方、フレーム開始信号 S T V、行走査ハイレベル信号 V G H、行走査ローレベル信号 V G L、対応するパルスリセット信号、第 $i - 2$ 段のゲート集積チップが出力する第 2 サブ行走査信号、及び第 $i - 1$ 段のゲート集積チップが出力する第 1 サブ行走査信号は、現段のゲート集積チップ内の信号分割回路 20 の駆動制御信号として、信号分割回路 20 に対してスイッチング制御を行い、そして現段の第 1 サブ行走査信号 G o u t_n と第 2 サブ行走査信号 G o u t_{n+1} とに分割して出力される。

【 0 0 4 3 】

上述したゲート集積駆動回路を基礎として最適化及び具体化すると、図 4 と図 5 に示すように、一実施例では、各段の信号分割回路 20 は、第 1 スイッチ回路 21 と、第 2 スイッチ回路 22 と、プルダウン回路 23 とを含む。

10

第 1 スイッチ回路 21 の信号出力端子とプルダウン回路 23 の第 1 信号端子とが、信号分割回路 20 の第 1 信号出力端子を構成するように共通に接続され、第 2 スイッチ回路 22 の信号出力端子とプルダウン回路 23 の第 2 信号端子とが、信号分割回路 20 の第 2 信号出力端子を構成するように共通に接続され、第 1 スイッチ回路 21 と第 2 スイッチ回路 22 は、さらに、現段のゲート集積回路ユニット 10 の信号出力端子にそれぞれ接続され、プルダウン回路 23 の被制御端子は、現段のゲート集積回路ユニット 10 のプルダウン点に接続され、プルダウン信号 Q B - n を入力する。

第 1 スイッチ回路 21 は、対応するパルスリセット信号、前段の信号分割回路 20 が出力する第 2 サブ行走査信号、行走査ハイレベル信号 V G H、行走査ローレベル信号 V G L、及びフレーム開始信号 S T V のうちのいくつかの信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、現段の第 1 サブ行走査信号を出力する。

20

第 2 スイッチ回路 22 は、前段の信号分割回路 20 が出力する第 1 サブ行走査信号、行走査ローレベル信号 V G L、及びフレーム開始信号 S T V のうちのいくつかの信号のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、現段の第 2 サブ行走査信号を出力する。

プルダウン回路 23 は、行走査ローレベル信号 V G L 及びプルダウン信号 Q B - n のレベルの組み合わせに応じて、対応するタイミングで対応的にオンオフすることにより、第 1 サブ行走査信号と第 2 サブ行走査信号をプルダウンしてリセットする。

30

【 0 0 4 4 】

本実施例では、第 1 スイッチ回路 21 は、前段の信号分割回路 20 が出力する第 2 サブ行走査信号を入力するための第 1 信号入力端子と、第 2 サブ行走査信号を入力するための第 2 サブ行走査信号と、パルスリセット信号を入力するための第 2 信号入力端子と、行走査ハイレベル信号 V G H を入力するための第 3 信号入力端子と、行走査ローレベル信号 V G L を入力するための第 4 信号入力端子と、現段のゲート集積回路ユニット 10 の信号出力端子を接続するための第 5 信号入力端子と、を含む。第 2 スイッチ回路 22 は、前段の信号分割回路 20 が出力する第 1 サブ行走査信号を入力するための第 1 信号入力端子と、行走査ローレベル信号 V G L を入力するための第 2 信号入力端子と、現段のゲート集積回路ユニット 10 の信号出力端子を接続するための第 3 信号入力端子と、を含む。プルダウン回路 23 は、行走査ローレベル信号 V G L を入力するための第 1 信号入力端子と、現段のゲート集積回路ユニット 10 のプルダウン点を接続するための第 2 信号入力端子とを含む。ここで、現段のゲート集積回路ユニット 10 のプルダウン点は、ゲート集積回路ユニット 10 の P D 点電圧である。

40

【 0 0 4 5 】

具体的には、図 7 に示すように、第 1 スイッチ回路 21 の第 1 信号入力端子がハイレベルである場合、第 1 スイッチ回路 21 がオンし、第 1 スイッチ回路 21 は、現段のゲート集積回路ユニット 10 が出力する行走査信号のローレベルを出力する。第 1 スイッチ回路 21 の第 1 信号入力端子がオフである場合、第 1 スイッチ回路 21 は、内部の容量結合によりオンし続け、第 1 スイッチ回路 21 は、現段のゲート集積回路ユニット 10 が出力する

50

行走査信号のハイレベルを出力する。第 2 信号入力端子、すなわち、パルスリセット信号がハイレベルである場合、第 1 スイッチ回路 2 1 がオフし、内部の容量結合によりローレベルになるため、第 1 スイッチ回路 2 1 がローレベルを出力し、第 1 スイッチ回路 2 1 は第 1 サブ行走査信号を表す第 1 パルス信号を出力する。一方、プルダウン信号 Q B - n がハイレベルである場合、プルダウン回路 2 3 がオンしてローレベルを出力し、第 1 サブ行走査信号がローレベルにプルダウンされてリセットする。

【 0 0 4 6 】

一方、第 2 スイッチ回路 2 2 の第 1 信号入力端子がハイレベルである場合、第 2 スイッチ回路 2 2 がオフし、第 2 スイッチ回路 2 2 はローレベルを出力する。第 2 スイッチ回路 2 2 の第 1 信号入力端子がローレベルである場合、第 2 スイッチ回路 2 2 がオンし、第 2 スイッチ回路 2 2 は、現段のゲート集積回路ユニット 1 0 が出力する行走査信号のハイレベルを出力する。第 2 スイッチ回路 2 2 の第 3 信号入力端子がローレベルである場合、第 2 スイッチ回路 2 2 は内部の容量結合によりローレベルになり、これにより第 2 サブ行走査信号を表す第 2 パルス信号を出力する。一方、プルダウン信号 Q B - n がハイレベルである場合、プルダウン回路 2 3 がオンしてローレベルを出力し、第 2 サブ行走査信号がローレベルにプルダウンされてリセットする。

【 0 0 4 7 】

第 1 スイッチ回路 2 1、第 2 スイッチ回路 2 2、プルダウン回路 2 3 を設置することにより、行走査信号の分割変換が実現され、2 パスのシフトされたサブ行走査信号を出力することができ、回路の構成が単純化になる。

【 0 0 4 8 】

なお、第 1 スイッチ回路 2 1、第 2 スイッチ回路 2 2、及びプルダウン回路 2 3 は、対応するスイッチ構成を用いてタイミングスイッチ制御を行うことができる。

【 0 0 4 9 】

上述した信号分割回路 2 0 を基礎として最適化及び具体化すると、図 4 と図 6 に示すように、一実施例では、第 1 スイッチ回路 2 1 は、第 1 電子スイッチトランジスタ T 1 と、第 2 電子スイッチトランジスタ T 2 と、第 3 電子スイッチトランジスタ T 3 と、第 1 容量 C 1 と、を含む。

第 1 電子スイッチトランジスタ T 1 の第 1 端子は、フレイム開始信号 T 1、前段の信号分割回路 2 0 が出力する第 2 サブ行走査信号、及び行走査ハイレベル信号 V G H のうちの 1 つの信号を入力するために使用され、第 1 電子スイッチトランジスタ T 1 の被制御端子は、フレイム開始信号 S T V 又は前段の信号分割回路 2 0 が出力する第 2 サブ行走査信号を入力するために使用され、第 1 電子スイッチトランジスタ T 1 の第 2 端子と、第 2 電子スイッチトランジスタ T 2 の第 1 端子と、第 3 電子スイッチトランジスタ T 3 の被制御端子と、第 1 容量 C 1 の第 1 端子とが共通に接続され、第 2 電子スイッチトランジスタ T 2 の第 2 端子は、行走査ローレベル信号 V G L を入力するために使用され、第 2 電子スイッチトランジスタ T 2 の被制御端子は、対応するパルスリセット信号を入力するために使用され、第 3 電子スイッチトランジスタ T 3 の第 1 端子は、現段のゲート集積回路ユニット 1 0 が出力する行走査信号を入力するために使用され、第 3 電子スイッチトランジスタ T 3 の第 2 端子と第 1 容量 C 1 の第 2 端子とが、第 1 スイッチ回路 2 1 の信号出力端子を構成するように共通に接続される。

【 0 0 5 0 】

第 2 スイッチ回路 2 2 は、第 4 電子スイッチトランジスタ T 4 と、第 5 電子スイッチトランジスタ T 5 と、第 6 電子スイッチトランジスタ T 6 と、第 2 容量 C 2 と、を含む。

第 4 電子スイッチトランジスタ T 4 の第 1 端子は、行走査ローレベル信号 V G L を入力するために使用され、第 4 電子スイッチトランジスタ T 4 の第 2 端子と、第 5 電子スイッチトランジスタ T 5 の第 1 端子と、第 6 電子スイッチトランジスタ T 6 の被制御端子と、第 2 容量 C 2 の第 1 端子とが共通に接続され、第 5 電子スイッチトランジスタ T 5 の第 2 端子と、第 5 電子スイッチトランジスタ T 5 の被制御端子と、第 6 電子スイッチトランジスタ T 6 の第 1 端子とが、現段のゲート集積回路ユニット 1 0 が出力する行走査信号を入力

10

20

30

40

50

するために共通に接続され、第 4 電子スイッチトランジスタ T 4 の被制御端子は、フレーム開始信号 S T V 又は前段の信号分割回路 2 0 が出力する第 1 サブ行走査信号を入力するために使用され、第 6 電子スイッチトランジスタ T 6 の第 2 端子と第 2 容量 C 2 の第 2 端子とが、第 2 スイッチ回路 2 2 の信号出力端子を構成するように共通に接続される。

【 0 0 5 1 】

プルダウン回路 2 3 は、第 7 電子スイッチトランジスタ T 7 と、第 8 電子スイッチトランジスタ T 8 と、を含む。

第 7 電子スイッチトランジスタ T 7 の第 1 端子はプルダウン回路 2 3 の第 1 信号端を構成し、第 8 電子スイッチトランジスタ T 8 の第 1 端子は、プルダウン回路 2 3 の第 2 信号端子を構成し、第 7 電子スイッチトランジスタ T 7 の被制御端子と第 8 電子スイッチトランジスタ T 8 の被制御端子とが、プルダウン信号 Q B - n を入力するために共通に接続され、第 7 電子スイッチトランジスタ T 7 の第 2 端子と第 8 電子スイッチトランジスタ T 8 の第 2 端子とが共通に接続される。

10

【 0 0 5 2 】

本実施例では、図 7 に示すように、第 1 電子スイッチトランジスタ T 1 の被制御端子及び第 1 端子がハイレベルである場合、第 1 電子スイッチトランジスタ T 1 がオンし、第 3 電子スイッチトランジスタ T 3 にハイレベルを入力し、第 3 電子スイッチトランジスタ T 3 がオンし、第 3 電子スイッチトランジスタ T 3 の第 2 端子は、現段のゲート集積回路ユニット 1 0 が出力する行走査信号のローレベルを出力する。第 1 電子スイッチトランジスタ T 1 の被制御端子がローレベルである場合、第 3 電子スイッチトランジスタ T 3 がオフする。第 3 電子スイッチトランジスタ T 3 の第 1 端子がハイレベルである場合、第 3 電子スイッチトランジスタ T 3 は、第 1 容量 C 1 の容量結合によりオンし続け、そして現段のゲート集積回路ユニット 1 0 が出力する行走査信号のハイレベルを出力する。パルスリセット信号がハイレベルである場合、第 2 電子スイッチトランジスタ T 2 がオンし、行走査ローレベル信号 V G L は、第 3 電子スイッチトランジスタ T 3 に入力され、第 3 電子スイッチトランジスタ T 3 がオフし、第 3 電子スイッチトランジスタ T 3 の第 2 端子が第 1 容量 C 1 の容量結合によりローレベルになる。プルダウン信号 Q B - n がハイレベルである場合、第 7 電子スイッチトランジスタ T 7 がオンし、第 7 電子スイッチトランジスタ T 7 がローレベルを出力し、これにより第 3 電子スイッチトランジスタ T 3 の第 2 端子が出力する第 1 サブ行走査信号がプルダウンされてリセットする。

20

30

【 0 0 5 3 】

第 4 電子スイッチトランジスタ T 4 の被制御端子がハイレベルである場合、第 4 電子スイッチトランジスタ T 4 がオンし、第 6 電子スイッチトランジスタ T 6 にローレベルを入力する。行走査信号がローレベルである場合、第 5 電子スイッチトランジスタ T 5 がオフし、第 6 電子スイッチトランジスタ T 6 がオフし、第 6 電子スイッチトランジスタ T 6 はローレベルを出力する。行走査信号がハイレベルである場合、行走査信号と第 4 電子スイッチトランジスタ T 4 の被制御端子の電圧が部分的に重なっており、第 4 電子スイッチトランジスタ T 4 と第 5 電子スイッチトランジスタ T 5 とが同時に導通される。素子のサイズを調整することにより、第 6 電子スイッチトランジスタ T 6 はオフ状態を維持する。第 4 電子スイッチトランジスタ T 4 の被制御端子がローレベルである場合、行走査信号は引き続きハイレベルであり、第 6 電子スイッチトランジスタ T 6 がオンし、行走査信号のハイレベルを出力する。行走査信号がローレベルに切り替わると、第 5 電子スイッチトランジスタ T 5 がオフし、第 6 電子スイッチトランジスタ T 6 の第 2 端子は、第 2 容量 C 2 の容量結合によりローレベルになる。プルダウン信号 Q B - n がハイレベルである場合、第 8 電子スイッチトランジスタ T 8 がオンし、第 8 電子スイッチトランジスタ T 8 がローレベルを出力し、これにより第 6 電子スイッチトランジスタ T 6 の第 2 端子が出力する第 2 サブ行走査信号がプルダウンされてリセットする。

40

【 0 0 5 4 】

対称な 8 本の電子スイッチトランジスタを設置し、そして対応する駆動制御信号を設定することにより、行走査信号の分割が実現され、回路構成が単純化になり、ゲート集積回路

50

100の集積設置を容易にするとともに、表示パネルの額縁を節約し、狭額縁化を実現する。

【0055】

上述した信号分割回路20を基礎として最適化及び具体化すると、ゲート集積駆動回路の駆動の多様性と異なる分解能を出力することを実現するために、図8に示すように、一実施例では、信号分割回路20は、切り替え回路24をさらに含み、切り替え回路24の第1信号入力端子と、第1スイッチ回路21の信号出力端子と、プルダウン回路23の第1信号端子とが共通に接続され、切り替え回路24の第2信号入力端子と、第2スイッチ回路22の信号出力端子と、プルダウン回路23の第2信号端子とが共通に接続され、切り替え回路24の第3信号入力端子は、現段のゲート集積回路ユニット10が出力する行走査信号を入力するために使用され、切り替え回路24の第1信号出力端子と第2信号出力端子は、信号分割回路20の第1信号出力端子と第2信号出力端子を構成し、切り替え回路24の被制御端子は、スイッチ選択信号Switch、行走査ハイレベル信号VGH、及び行走査ローレベル信号VGLを入力するために使用される。

10

切り替え回路24は、スイッチ選択信号Switchのハイレベルとローレベル、行走査ハイレベル信号VGH、及び行走査ローレベル信号VGLによりトリガされてオンオフするために使用され、これにより第1サブ行走査信号と第2サブ行走査信号を、信号分割回路20の第1信号出力端子と第2信号出力端子に切り替えて出力するか、或いは、現段のゲート集積回路ユニット10が出力する行走査信号を、信号分割回路20の第1信号出力端子と第2信号出力端子にそれぞれ出力する。

20

【0056】

本実施例では、図3と図8に示すように、外部制御信号はスイッチ選択信号Switchをさらに含み、スイッチ選択信号Switchは2パスの信号を切り替えて出力するために切り替え回路24に入力される。

【0057】

具体的には、スイッチ選択信号Switchが第1レベル信号である場合、切り替え回路24の第3信号入力端子は、2つの出力信号端子に接続され、現段のゲート集積回路ユニット10が出力する行走査信号は、信号分割回路20の第1信号出力端子と第2信号出力端子にそれぞれ出力され、それに接続されている隣接する2行の画素セルが同時にオンし、そして同一のデータ信号が入力され、アレイ基板の解像度が低下になる。

30

【0058】

スイッチ選択信号Switchは第1レベル信号と逆極性の第2レベル信号である場合、切り替え回路24の第1信号入力端子は、自身の第1信号出力端子と接続され、切り替え回路24の第2信号入力端子は、自身の第2信号出力端子と接続され、第1スイッチ回路21、第2スイッチ回路22、及びプルダウン回路23により分割出力された第1行走査信号及び第2サブ行走査信号は、信号分割回路20の第1信号出力端子及び第2信号出力端子に出力され、隣接する2行の画素セルは1行ずつオンになり、図10に示すように、一実施例では、第1レベル信号はハイレベルであり、第2レベル信号はローレベルである。

【0059】

ここで、切り替え回路24は、制御により入出力を切り替える機能を実現するために、異なるスイッチングデバイスにより構成されてもよく、切り替え回路24の具体的な構成は、必要に応じて設定される。

40

【0060】

上述した信号分割回路20を基礎として最適化及び具体化すると、図9に示すように、一実施例では、切り替え回路24は、第9電子スイッチトランジスタT9と、第10電子スイッチトランジスタT10と、第11電子スイッチトランジスタT11と、第12電子スイッチトランジスタT12と、第13電子スイッチトランジスタT13と、第14電子スイッチトランジスタT14と、第15電子スイッチトランジスタT15と、第16電子スイッチトランジスタT16と、を含む。

第9電子スイッチトランジスタT9の第1端子と被制御端子は、行走査ハイレベル信号V

50

G Hを入力するために使用され、第 10 電子スイッチトランジスタ T 10 の第 1 端子は、行走査ローレベル信号 V G L を入力するために使用され、第 9 電子スイッチトランジスタ T 9 の第 2 端子と、第 10 電子スイッチトランジスタ T 10 の第 2 端子と、第 12 電子スイッチトランジスタ T 12 の被制御端子とが共通に接続され、第 12 電子スイッチトランジスタ T 12 の第 1 端子は、切り替え回路 24 の第 1 信号入力端子を構成し、第 12 電子スイッチトランジスタ T 12 の第 2 端子と第 11 電子スイッチトランジスタ T 11 の第 2 端子とが、切り替え回路 24 の第 1 信号出力端子を構成するように共通に接続され、第 11 電子スイッチトランジスタ T 11 の第 1 端子と第 15 電子スイッチトランジスタ T 15 の第 1 端子とが、切り替え回路 24 の第 3 信号入力端子を構成するように共通に接続され、第 11 電子スイッチトランジスタ T 11 の被制御端子と、第 10 電子スイッチトランジスタ T 10 の被制御端子と、第 15 電子スイッチトランジスタ T 15 の被制御端子と、第 14 電子スイッチトランジスタ T 14 の被制御端子とが、スイッチ選択信号 S w i t c h を入力するために共通に接続され、第 13 電子スイッチトランジスタ T 13 の第 1 端子と被制御端子は、行走査ハイレベル信号 V G H を入力するために使用され、第 14 電子スイッチトランジスタ T 14 の第 1 端子は、行走査ローレベル信号 V G L を入力するために使用され、第 13 電子スイッチトランジスタ T 13 の第 2 端子と、第 14 電子スイッチトランジスタの第 2 端子 T 14 と、第 16 電子スイッチトランジスタ T 16 の被制御端子とが共通に接続され、第 16 電子スイッチトランジスタ T 16 の第 1 端子は、切り替え回路 24 の第 2 信号入力端子を構成し、第 16 電子スイッチトランジスタ T 16 の第 2 端子と第 15 電子スイッチトランジスタ T 15 の第 2 端子とが、切り替え回路 24 の第 2 信号出力端子を構成するように共通に接続される。

10

20

【 0 0 6 1 】

図 9 と図 10 に示すように、スイッチ選択信号 S w i t c h がハイレベルである場合、第 10 電子スイッチトランジスタ T 10 と第 14 電子スイッチトランジスタ T 14 がそれぞれオンし、そして第 12 電子スイッチトランジスタ T 12 と第 16 電子スイッチトランジスタ T 16 にローレベルをそれぞれ出力し、第 12 電子スイッチトランジスタ T 12 と第 16 電子スイッチトランジスタ T 16 がオフする。第 10 電子スイッチトランジスタ T 10 と第 14 電子スイッチトランジスタ T 14 がそれぞれオンするとともに、第 11 電子スイッチトランジスタ T 11 と第 15 電子スイッチトランジスタ T 15 もそれぞれオンし、現段のゲート集積回路ユニット 10 が出力する行走査信号は、信号分割回路 20 の第 1 信号出力端子と第 2 信号出力端子にそれぞれ出力され、それに接続されている隣接する 2 行の画素セルが同時にオンになり、同一のデータ信号が入力され、アレイ基板の解像度が低下になる。

30

【 0 0 6 2 】

スイッチ選択信号 S w i t c h がローレベルである場合、第 10 電子スイッチトランジスタ T 10、第 11 電子スイッチトランジスタ T 11、第 14 電子スイッチトランジスタ T 14、及び第 15 電子スイッチトランジスタ T 15 がオフし、第 9 電子スイッチトランジスタ T 9 と第 13 電子スイッチトランジスタ T 13 をオンし、そして第 12 電子スイッチトランジスタ T 12 と第 16 電子スイッチトランジスタ T 16 にハイレベルを入力し、第 12 電子スイッチトランジスタ T 12 と第 16 電子スイッチトランジスタ T 16 がオンし、第 1 スイッチ回路 21、第 2 スイッチ回路 22、及びプルダウン回路 23 により分割出力された第 1 サブ行走査信号と第 2 サブ行走査信号が信号分割回路 20 の第 1 信号出力端子と第 2 信号出力端子に出力され、隣接する 2 行の画素セルが 1 行ずつオンする。

40

実施例 2

【 0 0 6 3 】

本願は、アレイ基板と、ゲート集積駆動回路とを含む表示パネルをさらに提供し、当該ゲート集積駆動回路の具体的な構造は、本願の別の態様の上記実施例を参照し、本表示パネルは、本願の別の態様の上記した全部実施例のすべての技術的解決手段を採用しているため、本願の別の態様の上記実施例の技術的解決手段によるすべての有益な効果を同様に有し、ここで重複の説明を省略する。ここで、ゲート集積駆動回路はアレイ基板の片側又は

50

両側に設けられる。

【 0 0 6 4 】

本実施例では、アレイ基板は、表示領域と、非表示領域とを含み、非表示領域にはピンバイディング領域とゲート集積駆動回路とが設けられ、ゲート集積駆動回路は、アレイ基板の非表示領域の片側又は両側に設けられ、表示領域のプログレッシブ走査を行い、データ信号と合わせて表示領域に対するプログレッシブ走査駆動を実現する。

実施例 3

【 0 0 6 5 】

本願は、バックライトモジュールと、駆動回路板と、表示パネルとを含む表示装置をさらに提供し、当該表示パネルの具体的な構造は、本願の別の態様の上記実施例を参照し、本表示装置は、本願の別の態様の上記した全部実施例のすべての技術的解決手段を採用しているため、本願の別の態様の上記実施例の技術的解決手段によるすべての有益な効果を同様に有し、ここで重複の説明を省略する。ここで、バックライトモジュールと表示パネルとが対向配置され、駆動回路板と表示パネルとが電気接続されている。

10

【 0 0 6 6 】

本実施例では、バックライトモジュールは、バックライトを提供するために使用され、駆動回路板は、結晶被覆膜を介して表示パネルに接続され、そして外部からの制御信号を結晶被覆膜の中の駆動チップに入力し、駆動チップは、外部制御信号をデータ信号とゲート集積駆動回路の駆動に必要な制御信号に対応して変換し、ゲート集積駆動回路は、多重のサブ行走査信号からなるシフトパルス信号を変換して出力し、データ信号と合わせて表示領域のプログレッシブ走査駆動を実現する。

20

【 0 0 6 7 】

上記の実施例は本願の技術的解決手段を説明するためのものであり、これを限定するためのものではない。前記の実施例を参照しながら本願を詳細に説明したが、当業者であれば、前記の各実施例に記載された技術的解決手段を変更し、又はその技術特徴の一部を等価的に置き換えることができることを理解すべきである。これらの変更や置き換えは、対応する技術的解決手段の本質が本願の各実施例の技術的解決手段の要旨及び範囲から逸脱することなく、本願の保護の範囲に含まれるべきである。

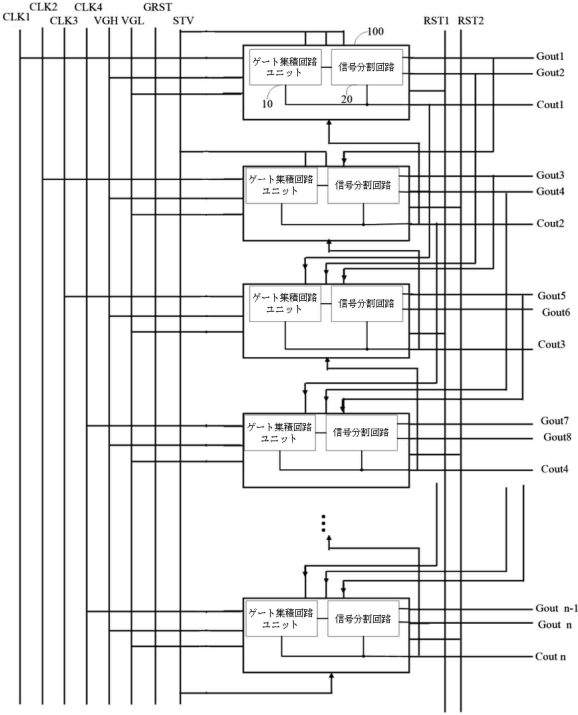
30

40

50

【図面】

【図 1】



【図 2】

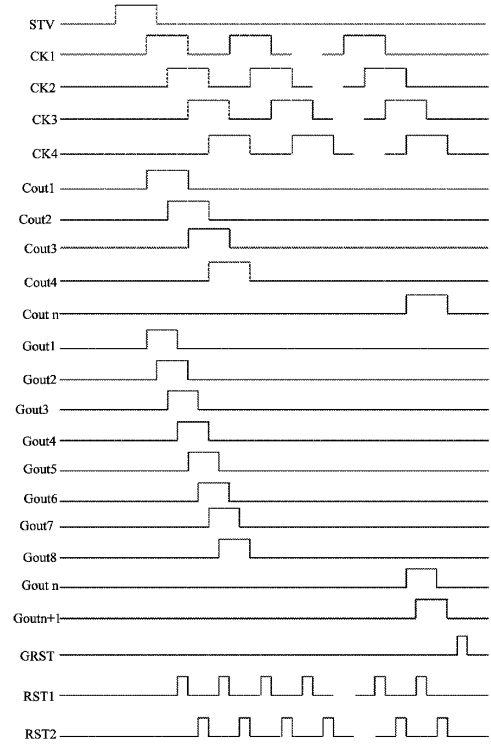


図 2

【図 3】

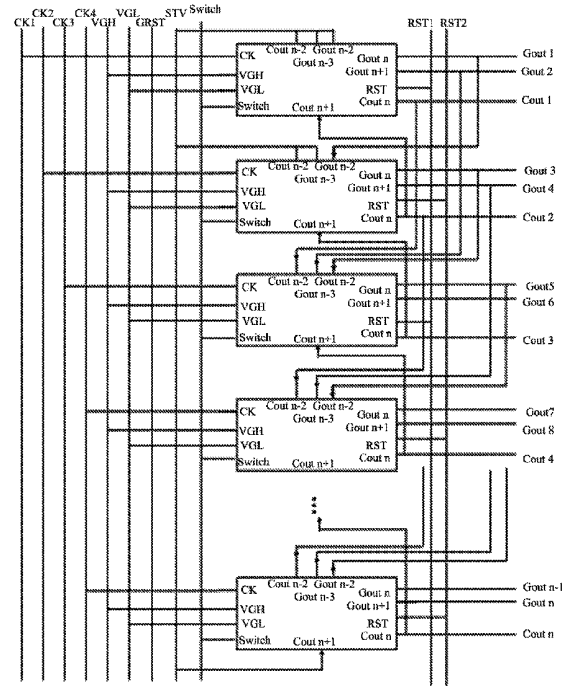
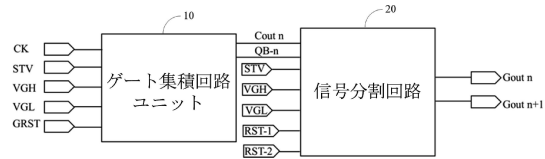


図 3

【図 4】



10

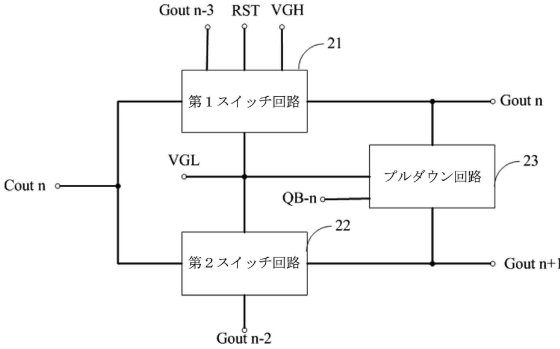
20

30

40

50

【図 5】



【図 6】

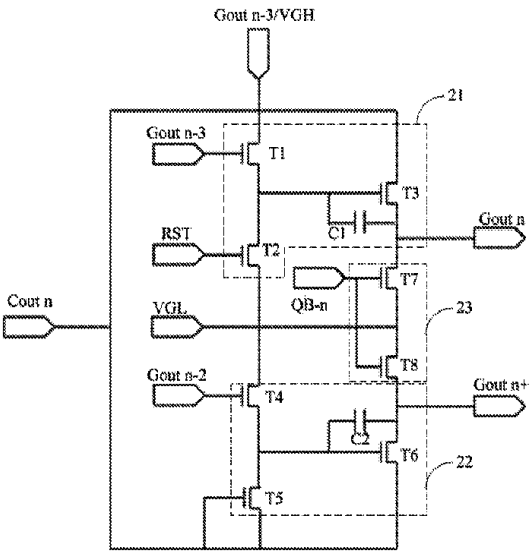


图 6

【図 7】

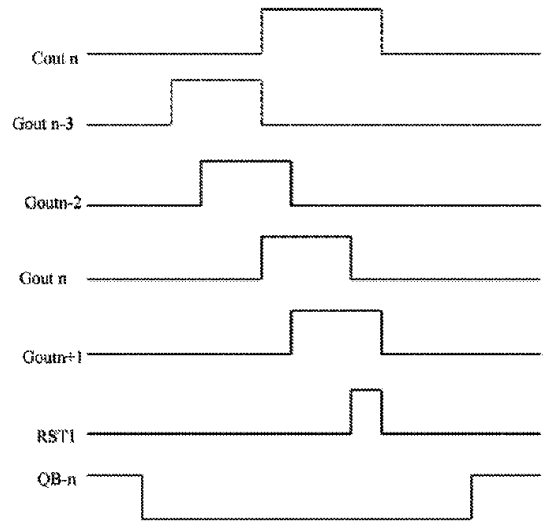
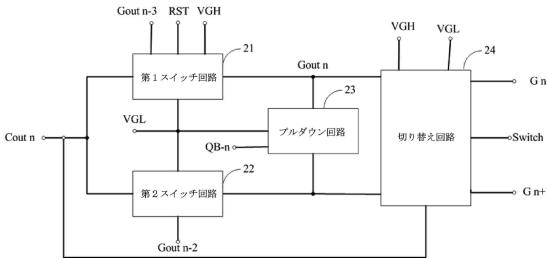


图 7

【図 8】



10

20

30

40

50

【 図 9 】

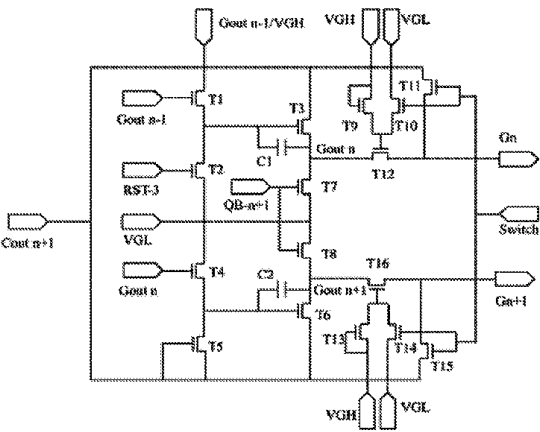


图 9

【 図 10 】

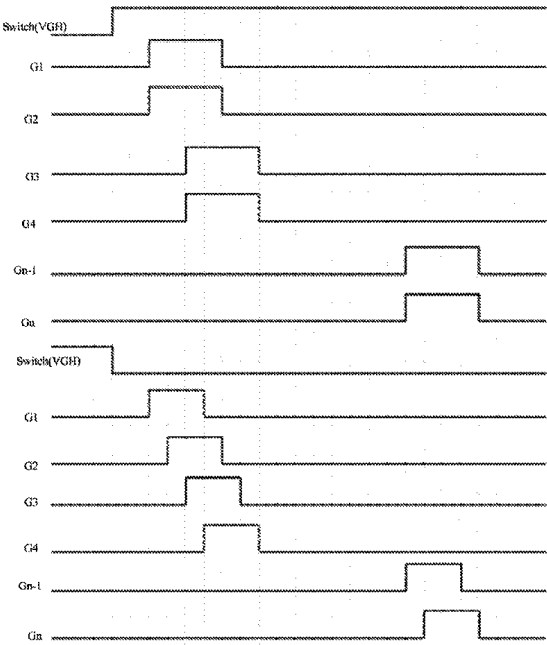


图 10

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
G 0 9 G 3/20 6 1 1 F
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 2 2 E
G 0 9 G 3/36

t r e e t , B a o a n D i s t r i c t , S h e n z h e n , C h i n a

(74)代理人 100079108

弁理士 稲葉 良幸

(74)代理人 100109346

弁理士 大貫 敏史

(74)代理人 100117189

弁理士 江口 昭彦

(74)代理人 100134120

弁理士 内藤 和彦

(74)代理人 100108213

弁理士 阿部 豊隆

(72)発明者 沈 テイ テイ

中華人民共和国広東省深セン市宝安区石岩街道石龍社区工業二路 1 号恵科工業園厂房 1 棟一層至三層、五至七層、6 棟七層

(72)発明者 鄭浩旋

中華人民共和国広東省深セン市宝安区石岩街道石龍社区工業二路 1 号恵科工業園厂房 1 棟一層至三層、五至七層、6 棟七層

審査官 西島 篤宏

(56)参考文献 米国特許出願公開第 2 0 1 7 / 0 1 9 3 9 5 7 (U S , A 1)

米国特許出願公開第 2 0 2 0 / 0 0 7 4 9 1 2 (U S , A 1)

国際公開第 2 0 1 8 / 1 9 3 9 1 2 (W O , A 1)

米国特許出願公開第 2 0 2 0 / 0 0 1 3 4 7 4 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 1 1 C 1 9 / 2 8