

公告本

申請日期	90 6 21
案 號	9 0115 158
類 別	H01L 21/68

A4
C4

501233

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	利用低K雙介電質的雙重金屬鑲嵌方法
	英 文	"DUAL DAMASCENE PROCESS UTILIZING A LOW-K DUAL DIELECTRIC"
二、發明人創作	姓 名	1.麥可 史泰特 MICHAEL STETTER 3.安迪 考利 ANDY COWLEY
	國 籍	2.伊爾德 卡塔利格魯 ERDEM KALTALIOGLU 1.2.均德國 3.英國
三、申請人	住、居所	1.德國慕尼黑市艾特雪梅街6號 2.美國紐約州瓦平格瀑布市溫瑟洛普廣場16F號 3.美國紐約州瓦平格瀑布市桑莫林廣場8號
	姓 名 (名稱)	美商北美億恒科技公司 INFINEON TECHNOLOGIES NORTH AMERICA CORP.
	國 籍	美國
	住、居所 (事務所)	美國加州聖約瑟市北第一街1730號
	代 表 人 姓 名	瑪莉 C. 嘉芬 MARY C. GARFEIN

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000年06月21日 09/598,780 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明範疇

本發明係關於以多級的導電互連所製造之積體電路，其所使用之介電(或絕緣)材料經製造而提供低介電常數值；更特定地說，本發明係關於使用雙重金屬鑲嵌製程以製造多級互連，如此所製之結構。

發明背景

自從積體電路發明伊始，積體電路的性能及密度已提升了多個數量級。此提升緣於諸多因素，包括：積體電路製造設備有所創新及改良；積體電路結構中引進了新而更為複雜的材料。由於改良，而能製造愈來愈細的特徵，積體電路的密度已有所提升，而電路性能(速度)的限制因素也隨之改變。尤其，隨著金屬導體寬度及厚度以及導體間的橫向間隔減小，每單位導體長度的電阻率已有所提高。類似地，隨著絕緣(介電)層的厚度減少，各導體間每單位面積下的電容已有所提高。結果，積體電路速度性能的限制因素漸趨為金屬導體之形成材料的電阻率，以及導體周圍絕緣材料的介電常數。

第一個因素，金屬導體之形成材料的電阻率，已因導體材料由原本全面使用的鋁改變為銅，而獲處理。

第二個因素，導體周圍絕緣材料的介電常數，已因漸多使用了比通用之二氧化矽或氮化矽有較低介電常數(或低k材料或介電質)的絕緣材料，而獲處理。較低介電常數材料一般有兩個使用途徑，目前猶在評估中，或於市售產品中有限地使用。其一係使用有機材料以取代無機氧化矽

五、發明說明(2)

或氮化矽。第二個途徑係使用含空隙或氣泡的無機材料。

此二種使用低k介電質的途徑都有某些固有的弱點或缺點。其一為，材料比起所要取代的傳統材料一般來說有較不合宜的機械性質。已知目前可取得之低k介質材料比起所要取代的材料來說，係相當柔軟(其有較低的彈性模數)，而有較低的伸展及壓縮強度，有較低的熱傳導性，且有較高的熱膨脹係數。

較低的彈性模數以及較低的伸展及壓縮強度導致機械不穩定性結構，在受溫度交替時會移動且破裂，而受到操作(如接合線)相關之機械力時會破損。

當積體電路溫度在操作期間或因周圍溫度升高而升高，則低k介電質材料之較高熱膨脹係數致使金屬通孔在伸展應力下將不同級的導體互連。此則傾向於拉開積體電路通孔中的導體，而引起斷續或失效的互連，導致較低的積體電路可靠性。在習知結構中，當積體電路溫度升高，則通孔中的導體處於壓縮應力之下。

此外，供蝕刻通孔開口(穿過介電材料)用之可取方法係以通用的氧化矽某些特定性質，來對通孔蝕刻製程做必要的控制。特定地說，通用的氧化矽蝕刻製程所產生的副產品係沉積在通孔被蝕刻部位的側壁上，使該側壁鈍化以保護其免於額外的蝕刻。蝕刻製程完成時，可用簡單的灰化(ashing)製程來移除此等鈍化副產品，其中鈍化材料經氧化成粉末狀物質，而可於清除操作中移除。

有必要提供一種結構，以及一種製造該結構之方法，容

五、發明說明(3)

許積體電路設計者利用低k材料合宜的低介電常數，而同時減輕此等材料不合宜的機械性質的效應。

發明概述

本發明係指涉一種積體電路結構，及一種使用雙重金屬鑲嵌數金屬製程以製造積體電路結構之方法，其在可利用二氧化矽的優越機械及化學性質所在的結構區域內，容許使用習知的二氧化矽介電材料；而在可利用低介電常數以提供高速操作之電路，且低k介電材料的低劣機械性質不致降低積體電路機械性質或可靠性所在的結構區域內，容許使用低k介電材料。

特定地說，習知的氧化矽介電質係使用於將不同級的數金屬互連之通孔結構附近，像是接合墊區域，而彼處結構或會遭受高機械應力。低k介電材料則使用於其餘的積體電路區域，其中低介電常數降低了導體與地之間以及個別導體之間的電容，結果乃減小了導體間的耦合。

本發明係整合入通常稱為「雙重金屬鑲嵌」製程的通用製程序列。雙重金屬鑲嵌製程序列乃是用以界定一導電互連級之方法，其中導電金屬線之界定，並不藉金屬導體之圖型接線或蝕刻，而係在一絕緣層中界定渠溝，再將金屬導體沉積入此等渠溝。金屬導體寬度係由已界定於絕緣材料中的渠溝所決定。此界定金屬導體圖型之方法優於較傳統之方法，因為絕緣材料比積體電路製造中的典型金屬導體能更容易而精確地蝕刻。在該雙重金屬鑲嵌製程中，係於圖型化並蝕刻出渠溝(金屬導體接而將沉積於其中)後，

五、發明說明(4)

在既已界定的渠溝內部區域中圖型化通孔。再蝕刻出此等通孔，穿透至底下的互連層或電路元件。然後以互連金屬填充通孔及渠溝。

從方法來看，本發明係指涉一種使用雙重金屬鑲嵌製程，而在半導體主體頂表面上面形成一互連級以製造積體電路之方法，其中有一絕緣體在該金屬導體互連級底下而側向延伸於該導體以外，係一具第一介電常數之第一介電材料所製；還有一絕緣體位於金屬導體側面，係一具第二介電常數(異於第一介電常數)之第二介電材料所製。該方法包含步驟：在一半導體主體(其上欲形成一互連級)上面，沉積一第一介電材料所製之第一絕緣層，進而在第一絕緣層上面，形成一第二介電材料所製之第二絕緣層；在第二介電材料所製之第二絕緣層上面，沉積一第一罩幕材料所製之第一罩幕層，以及一第二罩幕材料所製之第二罩幕層，其中第一及第二罩幕材料係經選取而彼此有蝕刻特性上之互選性，以致至少有一種蝕刻第一罩幕材料之蝕刻劑不會蝕刻第二罩幕材料，且至少有一種蝕刻第二罩幕材料之蝕刻劑不會蝕刻第一罩幕材料；在第二罩幕層中界定並蝕刻一終將界定金屬導體位置及特徵之開口，以一不會蝕刻該第一罩幕材料之蝕刻劑蝕刻該第二罩幕材料；在第一罩幕層中界定並蝕刻一終將界定一通孔開口(至底下的金屬導體或電路元件)位置及尺寸之開口，以一不會蝕刻該第二罩幕材料之蝕刻劑蝕刻該第一罩幕材料；用第一及第二罩幕層做為蝕刻罩幕，繼續做穿過第二絕緣層之通孔

五、發明說明(5)

的蝕刻製程，以一不會蝕刻第一罩幕材料之蝕刻劑蝕刻該第二介電材料，並在第一絕緣層頂表面停止蝕刻；用第二絕緣層做為罩幕，蝕刻而穿過第一絕緣層以延伸該開口，止於半導體主體表面，而同時蝕刻了第一罩幕層的曝露部份；用第一及第二罩幕層做為罩幕，蝕刻而穿過第二絕緣層，至第一絕緣層表面，而同時蝕刻了半導體主體表面上任何保護的罩蓋層之任何曝露部份，並曝露在通孔開口底部之金屬導體或電路元件的頂表面；在半導體主體上沉積一金屬導體層，以致接觸任何底下的金屬導體或電路元件之頂表面，以填充先前開出的通孔開口且填充第二絕緣層中先前界定的開口，並過填該在第二罩幕級頂表面之級上方的開口；以及，平面化半導體主體頂表面，以移除第一罩幕層頂表面上方之所有金屬導體材料，並移除第二罩幕層。

由附圖及申請專利範圍項目所做之下述更詳細說明，本發明將獲更好的理解。

圖式簡單說明

圖1示出用本發明方法所製造之一積體電路結構的截面視圖；以及

圖2-圖7示出整個製造過程中各時刻之積體電路結構，該等圖式毋須成比例。

圖式未必依實際尺寸。

詳細說明

圖1示出依據本發明一示範實施例之積體電路結構10的

五、發明說明(6)

簡單截面圖。結構10包含一半導體主體12，其具有一頂表面13。在半導體主體12中及/或上所製造的電晶體及其他裝置(未示出)將以習知技術而連接一互連結構的元件。一具有頂表面15之絕緣層14在半導體主體12之頂表面13上形成。一具有頂表面17之導體16及一具有頂表面19之絕緣層18在絕緣層14之頂表面15上形成。雖未示出，但層16可選擇性地通過層14而接觸主體12的若干部份及/或其中的擴散。絕緣層18為一具有頂表面21之硬罩幕層20所罩蓋。導體16、絕緣層18及硬罩幕20可用習知的金屬蝕刻製程、一習知的金屬鑲嵌製程、一習知的雙重金屬鑲嵌製程，或以本發明之新穎製程(討論於下)來形成。導體16及硬罩幕20為具有頂表面23之罩蓋層22所覆蓋。一導體36，包含部份36a及36aa，其部份36aa接觸導體16及部份36a。一虛線36aaa被廓畫於導體36之部份36a及36aa之間。導體部份36a係供用為積體電路各部位間的互連。導體部份36a有一頂表面36t、一底表面36b，以及側表面36c。導體部份36aa有側表面36s。一絕緣層24有一頂表面25而圍繞導體部份36aa，且位於導體部份36a之底表面36b之下，外延而覆蓋罩蓋層22之頂表面23。一絕緣層26有頂表面27，且位置鄰近於導體部份36a之側表面36c。一罩蓋層28有頂表面29，且覆蓋絕緣層26之頂表面27。

下文中說明依據本發明之用以製造圖1所示結構10之方法。

五、發明說明(7)

圖2示出一早期製造階段中之積體電路結構10的截面視圖。進行製造至製程序列之該點，已在半導體主體12頂表面13上製造出一絕緣層14，其頂表面15上則已界定了具有頂表面17之第一級金屬導體16。在半導體主體12中已製造出的電晶體將以習知技術而連接互連結構的元件，雖然並未示出。導體16為具有頂表面19之絕緣材料18所圍繞，頂表面19則為具有頂表面21之硬罩幕層20所罩蓋。導體16、絕緣層18及硬罩幕20可用習知的金屬蝕刻製程、一習知的金屬鑲嵌製程、一習知的雙重金屬鑲嵌製程，或以本發明之新穎製程來形成。金屬16及硬罩幕20為具有頂表面23之罩蓋層22所罩蓋。絕緣層14及18可由一習知的介電質，像是二氧化矽、一低k介電材料，或一複合介電質(由習知與低k介電材料所組合)所組成，如下文所述。

圖3示出在製程第一步驟第二導電層經製造之後的積體電路結構，而係以一雙重金屬鑲嵌製程並組合使用習知及低k介電材料。已完成的步驟包括：沉積一具有頂表面25之習知氧化矽絕緣層24；沉積一具有頂表面27之低介電常數(低k)絕緣層26；以及，沉積由分別具有頂表面29及31之層28及30所組成的雙硬罩幕層。層28形成低k介電層26之罩蓋層，而由諸如氮化矽之材料(與底下之層26的低k介電材料相容)所組成。層30則形成層28頂部上的硬罩幕層，一般為諸如鎢之金屬材料。對該二層28及30主要係要求其彼此有蝕刻特性上之互選性，亦即，蝕刻層

五、發明說明(8)

30材料之蝕刻劑不以任何有意義比率蝕刻層28材料，而蝕刻層28材料之蝕刻劑不以任何有意義比率蝕刻層30材料。

圖4示出已在硬罩幕層30中界定並蝕刻出一開口32之後的積體電路結構10。開口32繼而將為金屬導體所填充，以形成圖1所示之導體36a。用以蝕刻層30材料之蝕刻劑未曾蝕刻任何有意義份量的層28材料；且蝕刻製程止於或靠近層28之頂表面29。為在一抗光蝕材料(未示出)界定一開口，所使用的是習知的微影技術；該抗光蝕材料於蝕刻製程完成後，已接而被移除。

圖5示出已界定並蝕刻出一開口34之後的積體電路結構10，其係用合適的蝕刻劑材料，穿過罩蓋層28再向下穿過低k絕緣層26，而止於習知絕緣層24之頂表面25。開口34下的區面應為將以金屬填充的通孔。為在一抗光蝕材料(未示出)界定一開口，所使用的是習知的微影技術；該抗光蝕材料係用以界定罩蓋層28中蝕刻的開口；且抗光蝕材料於蝕刻製程完成後，已接而被移除。用以蝕刻低k絕緣層26之蝕刻劑係經選取而有選擇性，不致蝕刻罩蓋層28也不蝕刻習知絕緣層24之材料。

圖6所示之積體電路結構10，係蝕刻製程已完成開口34深度之延伸，穿過習知的絕緣層24而下至罩蓋層22之頂表面23。該經延伸的開口34係識別為34a。蝕刻劑係經選取而選擇性地蝕刻絕緣層24材料，且也蝕刻罩蓋層28材料以延伸開口32向下而至低k絕緣層26之頂表面27，

五、發明說明(9)

而不蝕刻罩蓋層22或低k絕緣層26之材料，如此乃造成開口32a。

圖7所示之積體電路結構10，係蝕刻製程已完成開口32a之延伸，穿過低k絕緣層26而下至習知的絕緣層24之頂表面25，以形成開口32aa。另附帶施行蝕刻而移除在開口34a底部的罩蓋層22，以造成開口34aa。金屬層16之頂表面17乃曝露於延伸的開口34aa底部。

圖1所示之積體電路結構10，係圖7結構已接受一習知的雙重金屬鑲嵌製程(該製程由一標準的金屬線性填充、一晶種層之沉積，與金屬鍍敷所組成)，繼之以一化學機械研磨(CMP)而平面化積體電路結構10。硬罩幕層30係以CMP製程移除。該結構例示，開口34aa經金屬填充而形成導體36aa，且開口32aa經金屬填充而形成導體36a。

如圖1所示，通孔34aa既填充有金屬36aa且位於金屬導體16與金屬導體36a之間，其附近的積體電路10範圍內之介電質部份係由習知的介電材料24所組合。金屬導體36aa兩側之任一側36c的積體電路10部份，則由低k介電材料26所組合。

容易理解，所說明的特定實施例僅係例示本發明之基本原理，而在不脫離本發明精神及新穎原理之下亦可設想其他各種實施例。此外容易理解，特定的製程步驟及該製程步驟之序列僅係例示本發明之基本原理，而在不脫離本發明精神及新穎原理之下亦可設想其他各種製程步驟，也可修正該製程步驟之序列。舉例來說，所說明之施行於一個

五、發明說明 (10)

製程步驟中的各種蝕刻製程，也可分開而施行於一序列的各別製程步驟中；類似地，所說明之施行於一序列的各別製程步驟中的各種蝕刻製程，也可施行於單一個整合製程步驟中。此外，在各種罩幕及絕緣層中所指定的材料，也可替之以各種材料及材料種類。還有，雖然本結構及製造該結構之方法係在製造矽積體電路的文脈中說明，本方法也可應用來製造各種裝置及電路中使用矽以外之半導體材料的類似結構；也可應用來製造被動互連結構，像是印刷接線板、軟性(flexible)互連電路及積體電路封裝結構。

裝

訂

線

四、中文發明摘要 (發明之名稱：利用低K雙介電質的雙重金屬鑲嵌方法)

一種供製造具有雙介電質結構之積體電路用之方法，其係利用雙重金屬鑲嵌製程以製造金屬互連層。該雙介電質結構由習知介電材料所製的第一絕緣層與一具有低介電常數(低k介電材料)之第二介電材料所製的第二絕緣層所組成。在第一介電材料使用所在的積體電路區域內，習知介電材料的優越機械性質將維持積體電路的可靠性及機械性質。在第二介電材料使用所在的積體電路區域內，低介電常數將改良積體電路的速度，並減小積體電路中導體間的電耦合。該雙介電質結構之製造係與雙重金屬鑲嵌數金屬製程整合。

英文發明摘要 (發明之名稱："DUAL DAMASCENE PROCESS UTILIZING A LOW-K DUAL DIELECTRIC")

A method of fabricating an integrated circuit with a dual dielectric structure and utilizes a dual damascene process to fabricate metal interconnection layers. The dual dielectric structure consists of a first insulating layer of conventional dielectric material, and a second insulating layer of a second dielectric material with a low dielectric constant (low-k dielectric material). The first dielectric material is used in regions of the integrated circuit where the superior mechanical properties of conventional dielectric materials will result in maintaining the reliability and mechanical properties of the integrated circuit. The second dielectric material is used in regions of the integrated circuit where the low dielectric constant will result in improved speed of the integrated circuit

四、中文發明摘要 (發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：

)

and reduced electrical coupling between conductors in the integrated circuit. The fabrication of the dual dielectric structure is integrated with a dual damascene metallization process.

六、申請專利範圍

1. 一種利用雙重金屬鑲嵌製程而在半導體主體頂表面上面形成一互連級以製造積體電路之方法，其中有一絕緣體在該金屬導體互連級底下而側向延伸於該導體以外，係一具第一介電常數之第一介電材料所製；還有一絕緣體位於金屬導體側面，係一具第二介電常數(異於第一介電常數)之第二介電材料所製，該方法包含步驟：

在一半導體主體(其上欲形成一互連級)上面，沉積一第一介電材料所製之第一絕緣層，進而在第一絕緣層上形成一第二介電材料所製之第二絕緣層；

在第二介電材料所製之第二絕緣層上沉積一第一罩幕材料所製之第一罩幕層，以及一第二罩幕材料所製之第二罩幕層，其中第一及第二罩幕材料係經選取而彼此有蝕刻特性上之互選性，以致至少有一種蝕刻第一罩幕材料之蝕刻劑不會蝕刻第二罩幕材料，且至少有一種蝕刻第二罩幕材料之蝕刻劑不會蝕刻第一罩幕材料；

在第二罩幕層中界定並蝕刻一終將界定金屬導體位置及特徵之開口，以一不會蝕刻該第一罩幕材料之蝕刻劑蝕刻該第二罩幕材料；

在第一罩幕層中界定並蝕刻一終將界定一通孔開口(至底下的金屬導體或電路元件)位置及尺寸之開口，以一不會蝕刻該第二罩幕材料之蝕刻劑蝕刻該第一罩幕材料；

用第一及第二罩幕層做為蝕刻罩幕，繼續做穿過第二絕緣層之通孔的蝕刻製程，以一不會蝕刻第一罩幕材料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

六、申請專利範圍

之蝕刻劑蝕刻該第二介電材料，並在第一絕緣層頂表面停止蝕刻；

用第二絕緣層做為罩幕，蝕刻而穿過第一絕緣層以延伸該開口，止於半導體主體表面，而同時蝕刻了第一罩幕層的曝露部份；

用第一及第二罩幕層做為蝕刻罩幕，蝕刻而穿過第二絕緣層，至第一絕緣層表面，而同時蝕刻了半導體主體表面上任何保護的罩蓋層之任何曝露部份，並曝露在通孔開口底部之金屬導體或電路元件的頂表面；

在半導體主體上沉積一金屬導體層，以致接觸任何底下的金屬導體或電路元件之頂表面，以填充先前開出的通孔開口且填充第二絕緣層中先前界定的開口，並過填該在第二罩幕級頂表面之級上方的開口；以及

平坦化半導體主體頂表面，以移除第一罩幕層頂表面上方之所有金屬導體材料，並移除第二罩幕層。

2. 如申請專利範圍第1項之方法，其中該第一介電材料與第二絕緣層之對應特性相比，有相當之高硬度、高彈性模數、高熱傳導性及低熱膨脹係數。
3. 如申請專利範圍第1項之方法，其中該第二介電材料有較該第一介電材料為低之介電常數。
4. 如申請專利範圍第1項之方法，其中該第一介電材料為二氧化矽。
5. 如申請專利範圍第1項之方法，其中該第二介電材料係從已知為有機介電質或聚合物之材料種類所選取。

六、申請專利範圍

6. 如申請專利範圍第1項之方法，其中該第二介電材料係從下列諸物所組成之材料種類選取其一：低k化學氣相沉積氧化矽，與矽、碳、氟與氫之混合群組。
7. 如申請專利範圍第1項之方法，其中該第一罩幕材料為氮化矽。
8. 如申請專利範圍第1項之方法，其中該第二罩幕材料為金屬。
9. 如申請專利範圍第1項之方法，其中該第二罩幕材料為鎢。
10. 如申請專利範圍第1項之方法，其中該第一絕緣層之蝕刻與第一罩幕層曝露部份之蝕刻係分開但接續操作。
11. 如申請專利範圍第1項之方法，其中該第二絕緣層之蝕刻與半導體主體表面上任何保護的罩蓋層曝露部份之蝕刻係分開但接續操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

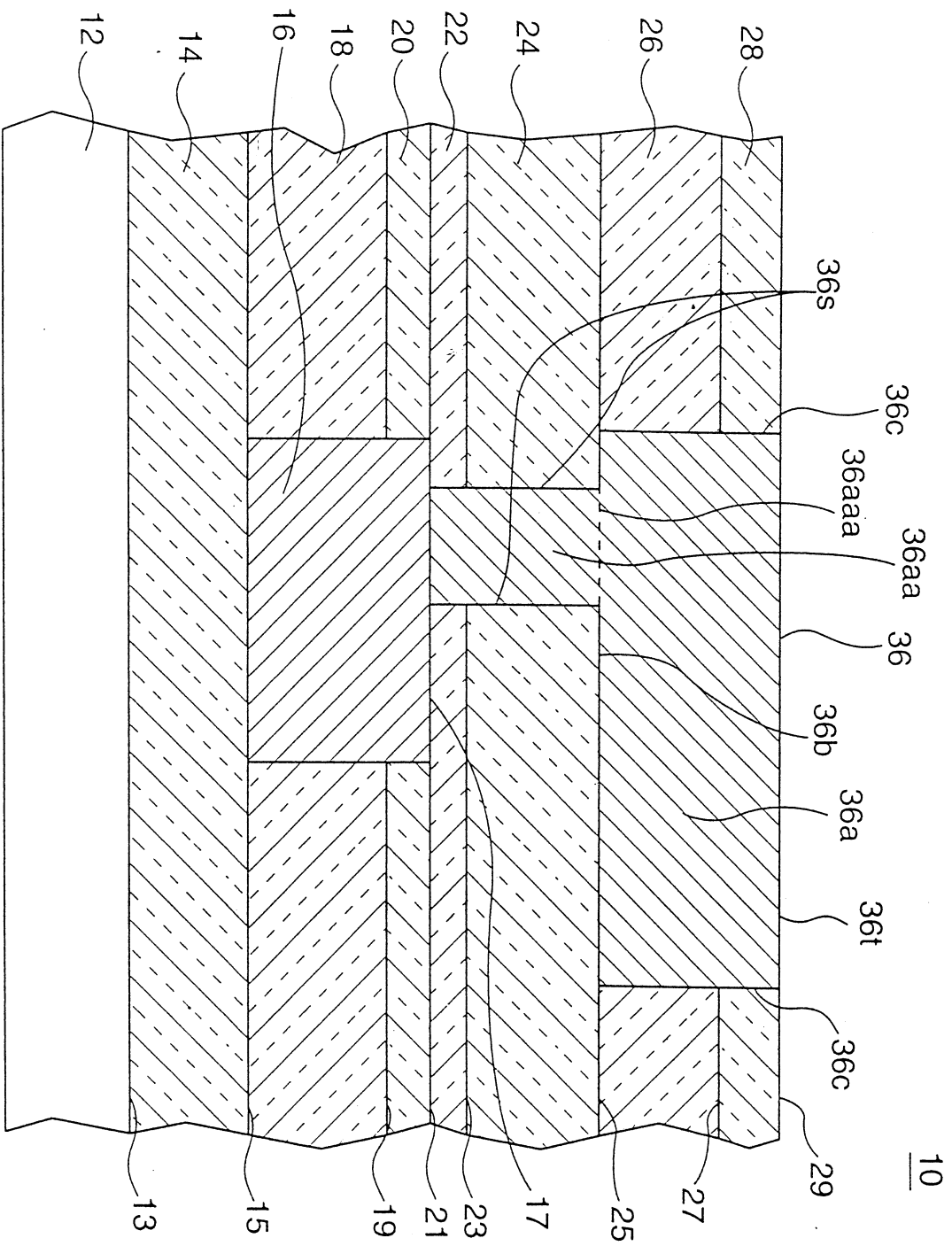


圖 1

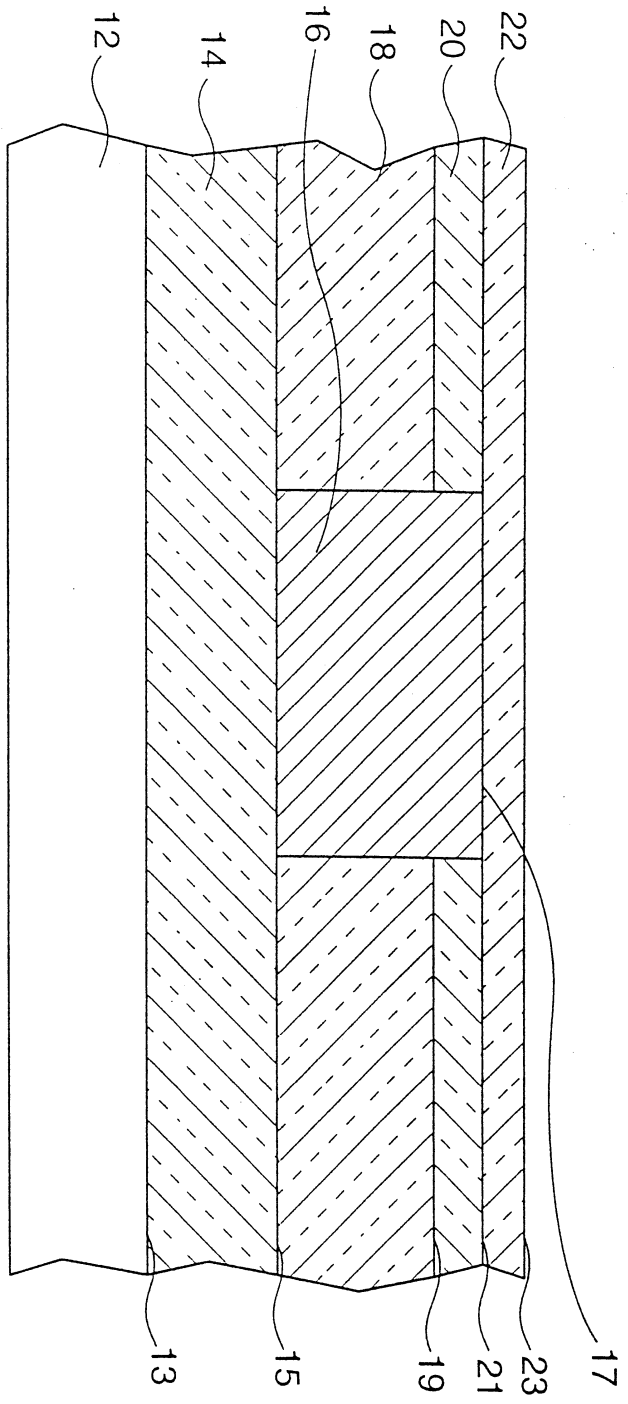


圖 2

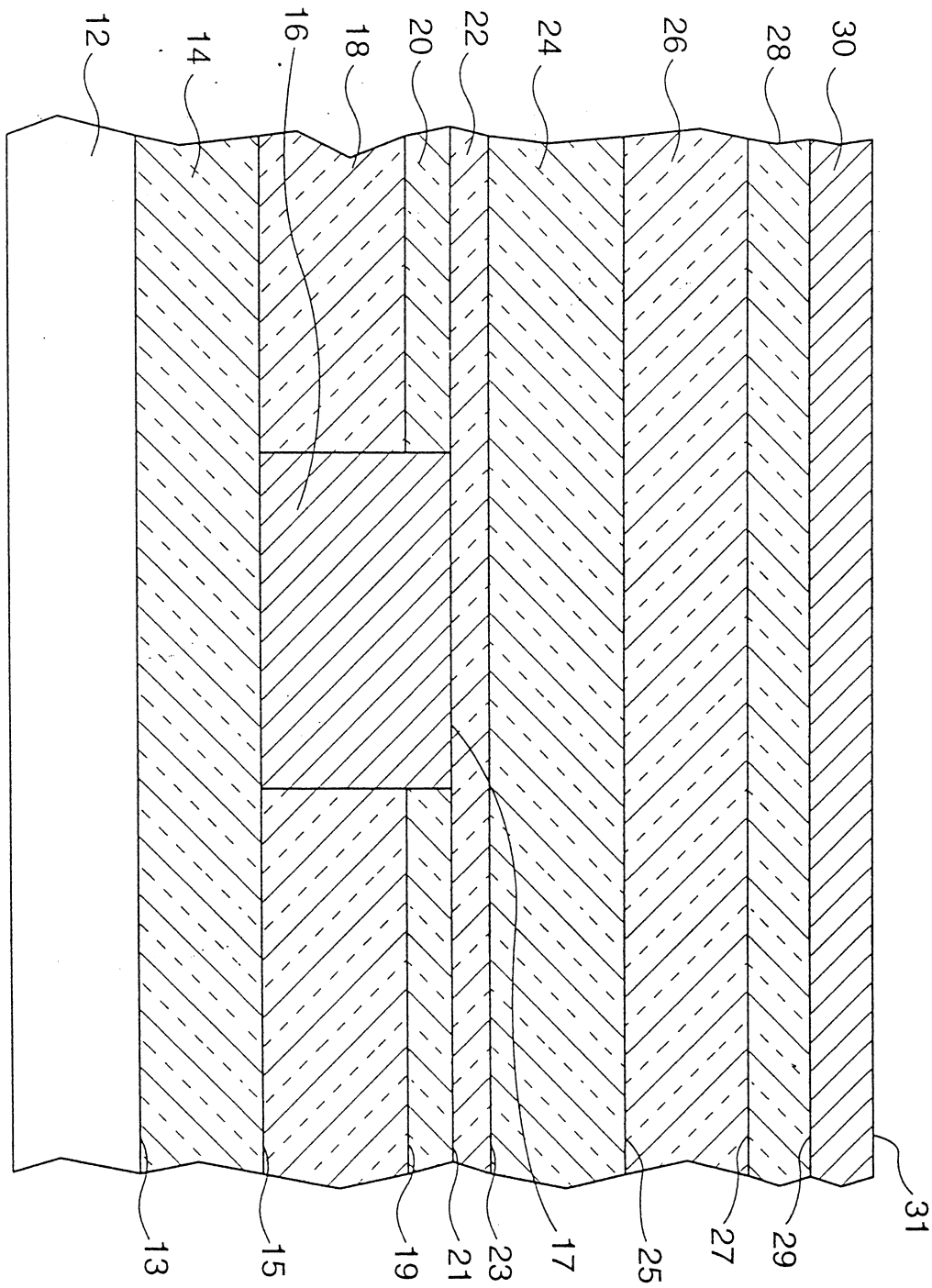


圖 3

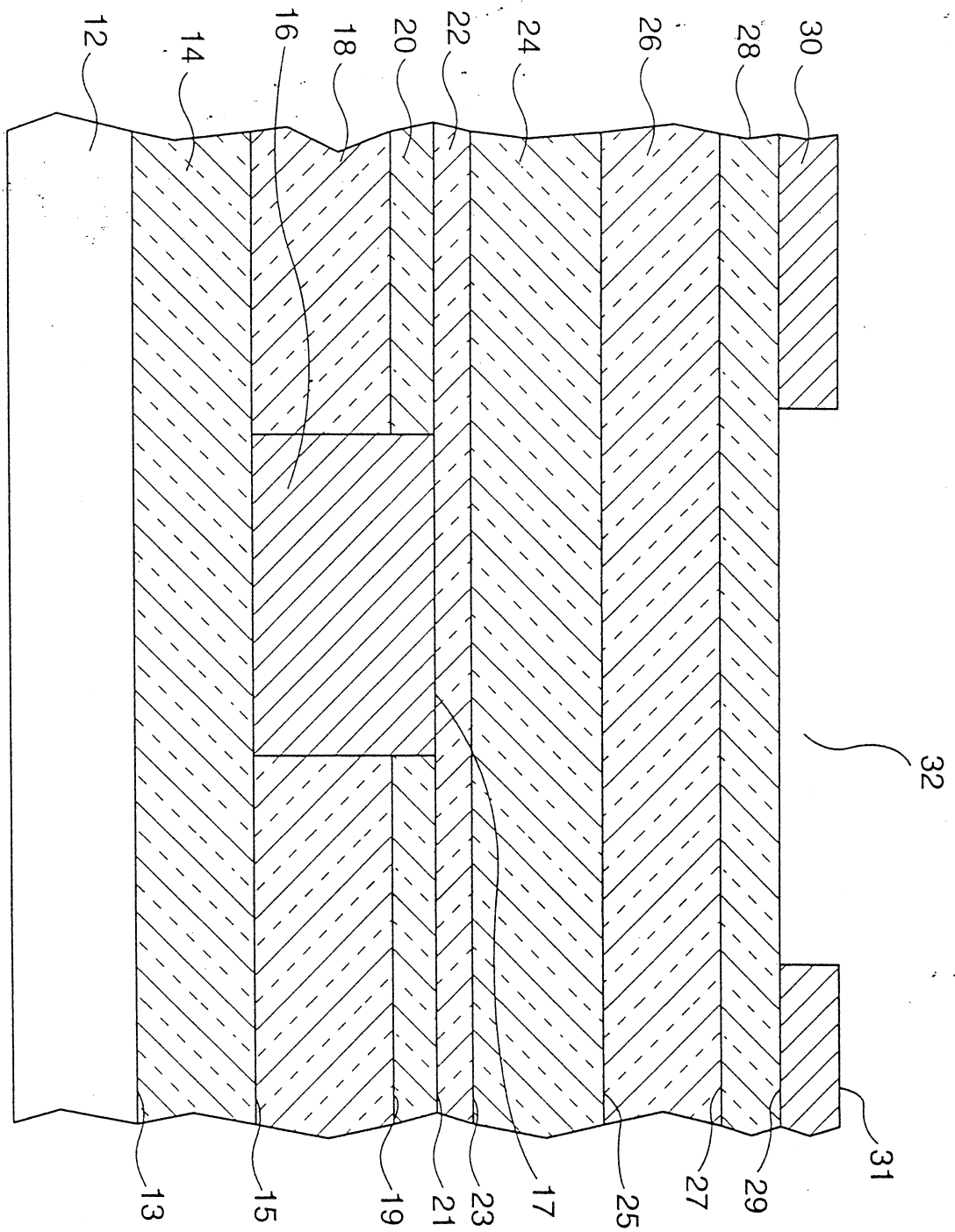


圖 4

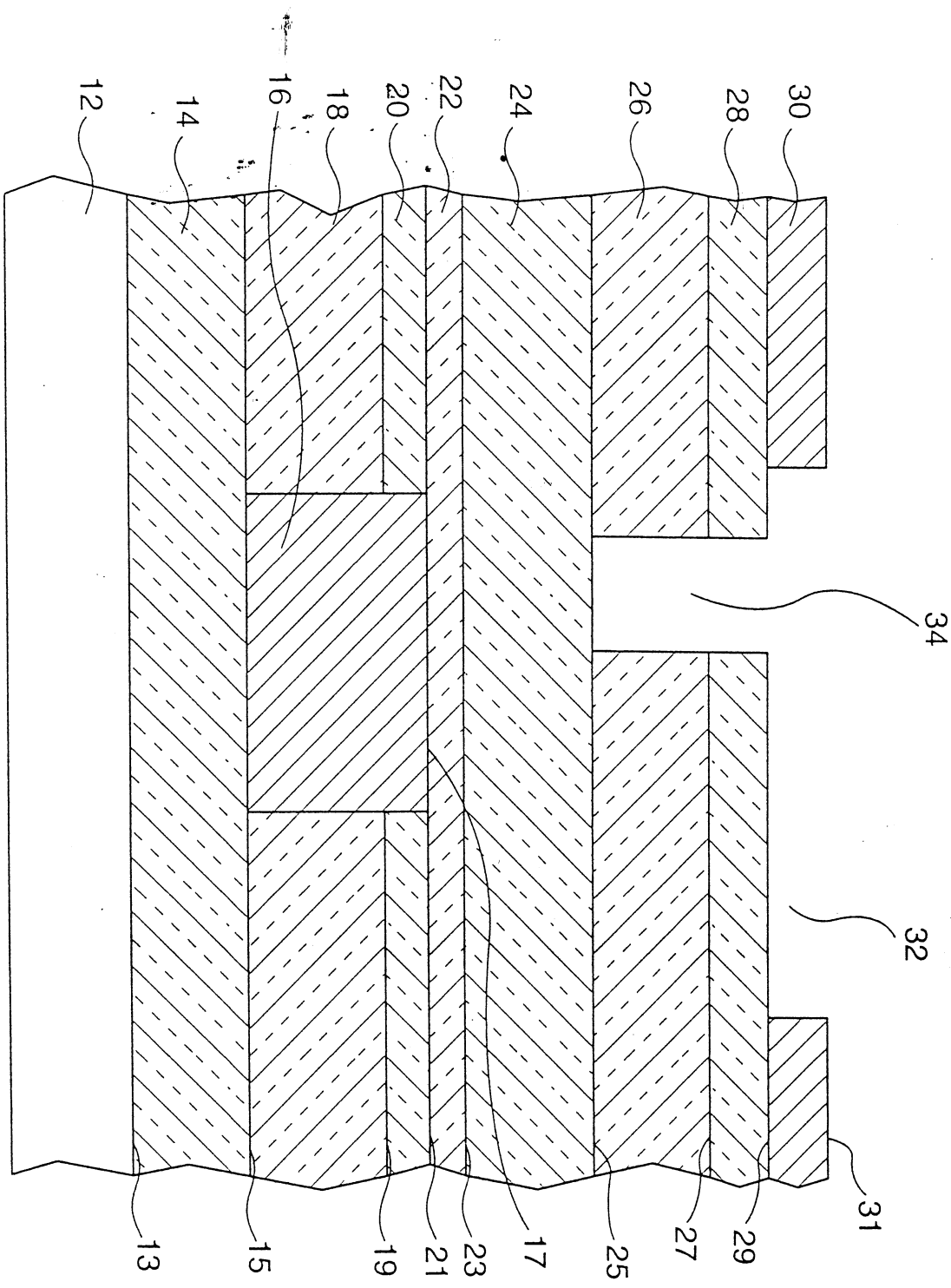


圖 5

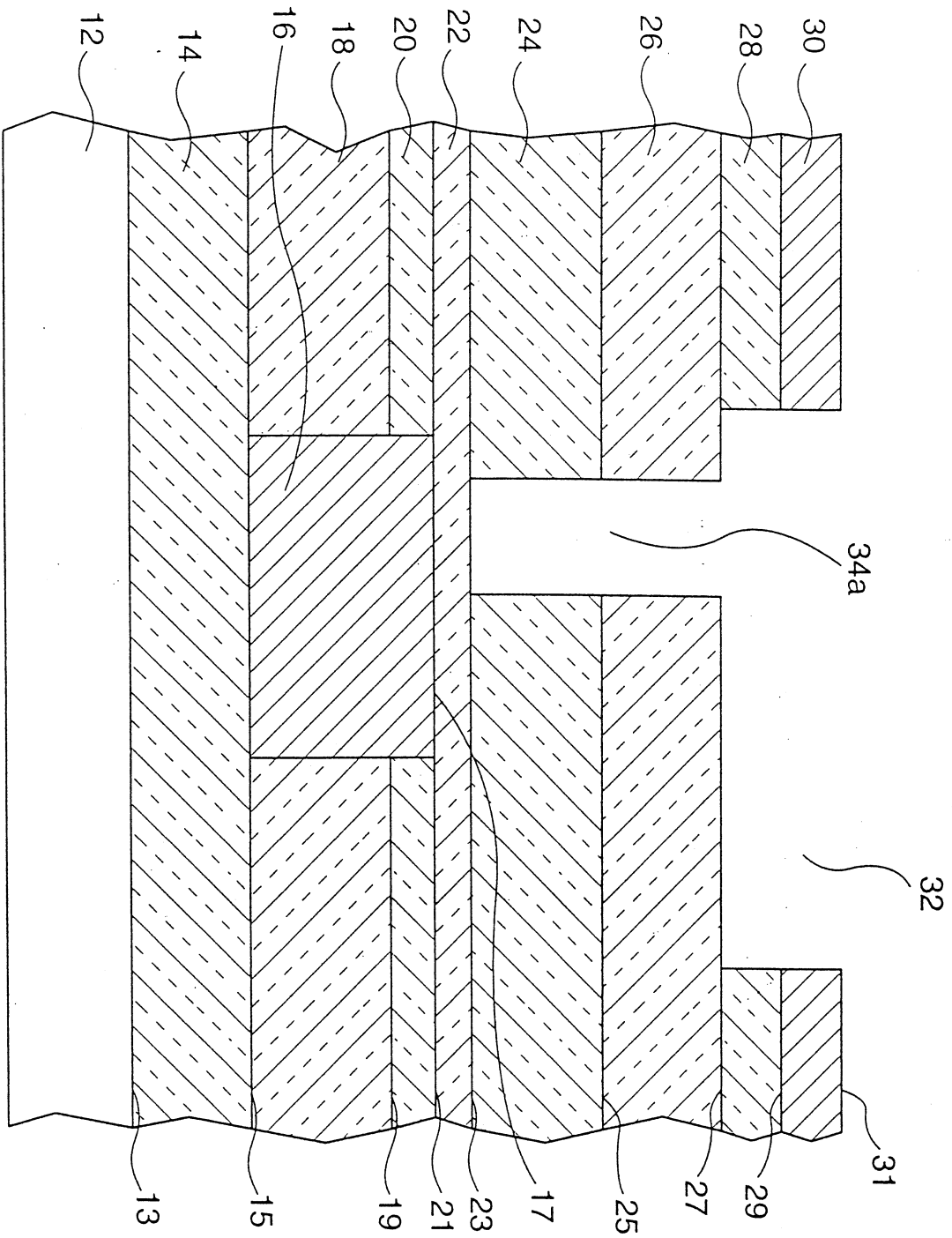


圖 6

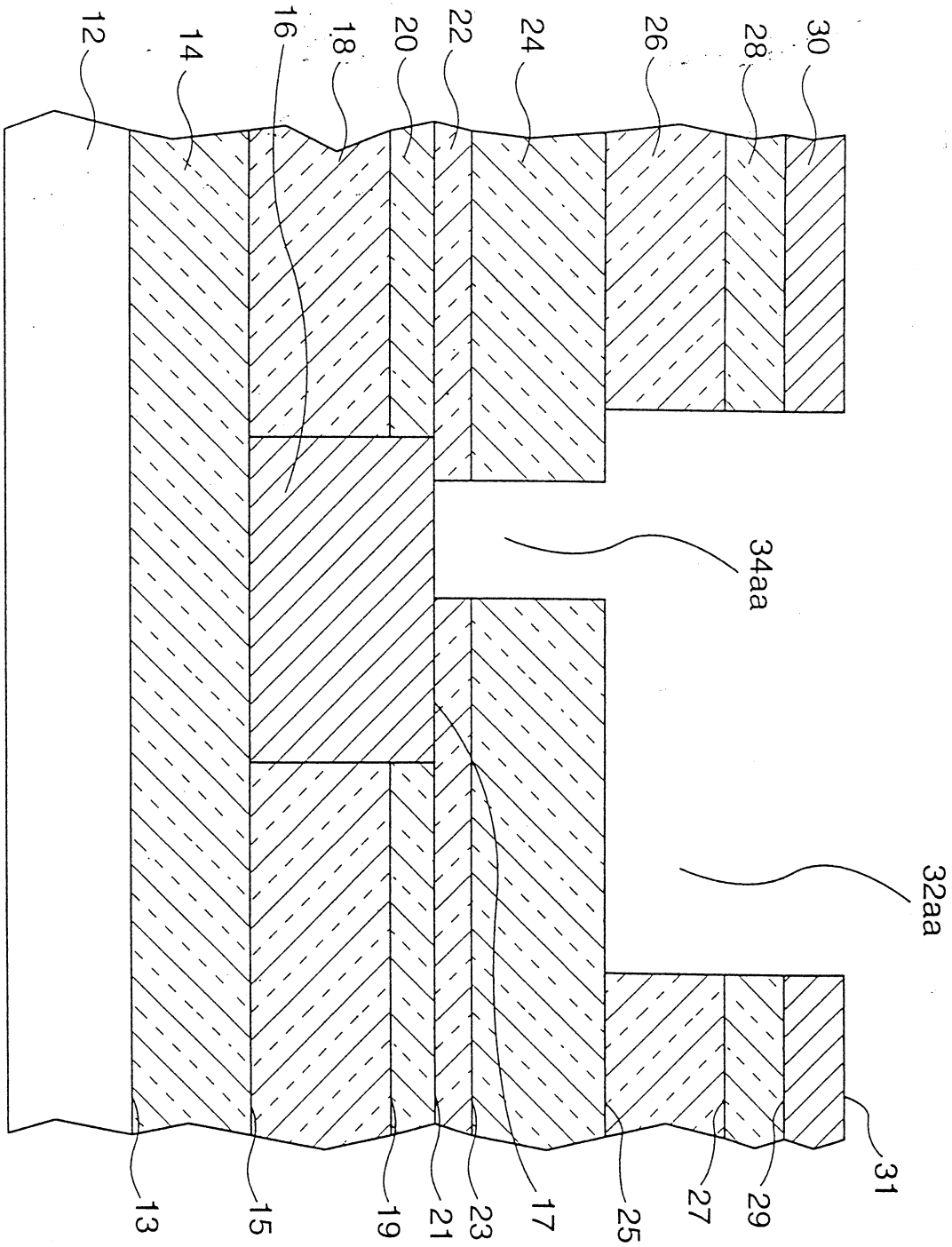


圖 7