(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 7 月 20 日(20.07.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/122329 A1

(51) 国際特許分類:
B62D 6/00 (2006.01)

(21) 国際出願番号: PCT/JP2016/051019

(22) 国際出願日: 2016 年 1 月 14 日(14.01.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 浅尾 淑人(**ASAO Yoshihito**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 森 昭彦(**MORI Akihiko**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 大岩 増雄, 外(**OIWA Masuo** et al.); 〒6610033 兵庫県尼崎市南武庫之荘３丁目３５番８号 Hyogo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

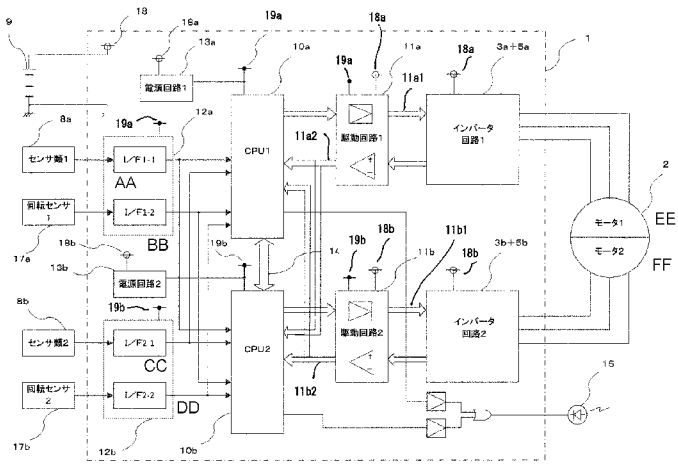
— 国際調査報告（条約第 21 条(3)）

WO 2017/122329 A1

(54) **Title**: ELECTRICAL POWER STEERING DEVICE

(54) 発明の名称 : 電動パワーステアリング装置

図 2



3a+5a Inverter circuit 1
3b+5b Inverter circuit 2
8a Sensor group 1
8b Sensor group 2
11a Drive circuit 1
11b Drive circuit 2
13a Power supply circuit 1
13b Power supply circuit 2
17a Rotation sensor 1
17b Rotation sensor 2
AA Interface 1-1
BB Interface 1-2
CC Interface 2-1
DD Interface 2-2
EE Motor 1
FF Motor 2

(57) **Abstract**: Two control units which are configured in a duplicate assembly each comprise a CPU. Each of the CPUs acquires input information of the other control unit. When in normal operation, each of the CPUs independently drives an electrical motor. When an anomaly has been sensed in relation to the input information, the input information of the other control unit is used to sustain the driving of the motor. When an anomaly has been sensed in relation to information other than the input information, the control unit whereupon the anomaly has occurred controls the electrical motor so as to either sustain or halt the driving according to the nature of the anomaly, and the normally operating control unit controls the electrical motor so as to at least sustain regular drive.

(57) 要約: ２重系に構成された二つの制御ユニットは夫々ＣＰＵを有し、夫々のＣＰＵは互いに相手方の制御ユニットの入力情報を入手し、正常時には夫々が独立に電動モータを駆動し、入力情報に関連する異常を検知したときは、相手側の制御ユニットの入力情報を利用してモータ駆動を継続し、入力情報以外の情報に関連する異常を検知したときは、その異常の内容に応じて異常が発生した制御ユニットは駆動を継続し又は駆動を停止するよう電動モータを制御し、正常側の制御ユニットは少なくとも通常通り駆動を継続するように電動モータを制御するように構成されている。

明　細　書

発明の名称 ： 電動パワーステアリング装置

技術分野

[0001] この発明は、電動パワーステアリング装置、特にモータを制御する制御ユニットを冗長化構成とした電動パワーステアリング装置に関するものである。

背景技術

[0002] 周知のように、電動パワーステアリング装置は、運転者によりハンドルに加えられた操舵トルクを検出し、検出した操舵トルクに対応したアシストトルクを電動モータに発生させて運転者の操舵をアシストするように構成されている。

[0003] このような電動パワーステアリング装置に於いて、従来、電動モータに独立したステータ巻線を二組設け、制御ユニットにその二組のステータ巻線を独立に駆動できるインバータ回路を二組設け、これ等のステータ巻線を対応する夫々のインバータ回路により協働して制御するように構成された電動パワーステアリング装置があった。このような従来の電動パワーステアリング装置は、一方のステータ巻線と一方のインバータ回路の組に異常が発生したときには、他方のステータ巻線と他方のインバータ回路からなる正常な組のみでモータの駆動を継続させるように構成されている。

[0004] 更に、従来、制御ユニットのインバータ回路以外の部分も２重系として、より万全に故障に備えるようにした電動パワーステアリング装置も存在している（例えば、特許文献１参照）。特許文献１に開示された従来の電動パワーステアリング装置は、制御ユニットの構成部材の一部を成すところの、車両に搭載された外部電源としてのバッテリの正極側端子＋Ｂに接続される接続端子、入力回路、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、出力回路、等を夫々二組ずつ備え、これ等の二組のうち一方に異常が発生すると他方の正常側でモータ制御を継続できるように構成されている

。

先行技術文献

特許文献

[0005] 特許文献1：特許第３８３９３５８号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献１に開示された従来の電動パワーステアリング装置は、前述のように制御ユニットの構成部材の一部を夫々二組備えた冗長制御系を有しているが、このように単に制御ユニットの構成部材を二組有する冗長制御系とすることは、電動パワーステアリング装置の車両への搭載性、コスト面等から不利なことが多く、コストパフォーマンスと安全性の両方を考慮して冗長制御系を構成する必要があった。

[0007] 又、冗長制御系の一方の制御系に異常が発生したときに、他方の正常な制御系のみで電動モータの制御を継続すると、電動モータの駆動が通常時と比較して不充分となることがある。しかしながら、異常の原因（内容）によっては、異常が発生していない通常時と同様の状態で、つまり通常時と比較して何ら不充分となることなく、電動モータの駆動を継続することができる場合が存在していることがある。従って、冗長制御系の一方の組に異常が発生したときに、異常の原因に関わらず一律に他方の正常な制御系のみで電動モータを制御するようにした冗長制御系を備えた従来の電動パワーステアリング装置には、まだ改良の余地が存在している。

[0008] この発明は、前述のような従来の電動パワーステアリング装置に於ける課題を解決するためになされたもので、発生した異常の内容に応じて適切に制御を継続することができる電動パワーステアリング装置を提供することを目的とする。

課題を解決するための手段

[0009] この発明による電動パワーステアリング装置は、

互いに独立した二つの電機子巻線を備えた電動モータを有し、前記電動モータの駆動力により車両のステアリングを操舵する運転者の操舵力をアシストするようにした電動パワーステアリング装置であって、

前記電動モータを駆動する二つの制御ユニットを備え、

前記二つの制御ユニットは、夫々、電源回路と、少なくとも前記運転者が前記車両のステアリングに加える操舵トルクを含む入力情報が入力される入力回路と、前記電動モータを駆動するように構成されたインバータ回路と、前記インバータ回路を駆動するように構成された駆動回路と、前記入力回路から出力される前記入力情報に基づき演算した制御量に基づく制御指令を前記駆動回路へ入力するＣＰＵを備え、

前記電源回路は、自身が属する前記制御ユニットに電力を供給するように構成され、

前記二つの制御ユニットに夫々設けられた前記ＣＰＵは、

自身が属しない前記制御ユニットに於ける前記入力情報を取得できるように構成されると共に、自身が属する前記制御ユニットに於ける前記入力情報に関連する異常と前記入力情報以外の情報に関連する異常とを検知する異常検知機能を有し、前記何れの異常も検知していない通常時には、前記制御指令を自身が属する前記制御ユニットに於ける前記駆動回路に与えるように構成され、

前記夫々のＣＰＵのうちの一方のＣＰＵが、自身が属する前記制御ユニットに於ける前記入力情報に関連する異常を検知したときは、

前記入力情報に関連する異常を検知した前記一方のＣＰＵは、自身が属しない前記制御ユニットに於ける前記入力情報を用いて制御量を演算し、その演算した制御量に基づく制御指令を、前記自身が属する制御ユニットに於ける前記駆動回路に与えるように構成されると共に、前記入力情報に関連する異常を検知していない他方のＣＰＵは、前記通常時と同等の制御指令を自身が属する前記制御ユニットに於ける前記駆動回路に継続して与えるように構成され、

前記夫々のＣＰＵのうちの一方のＣＰＵが、自身が属する前記制御ユニットに於ける前記入力情報以外の情報に関連する異常を検知したときは、

前記入力情報以外の情報に関連する異常を検知した前記一方のＣＰＵは、その検知した異常の内容に応じて、前記電動モータの駆動の停止又は継続の何れかを行う制御指令を、前記自身が属する前記制御ユニットの前記駆動回路に与えるように構成されると共に、前記入力情報以外の情報に関連する異常を検知していない他方のＣＰＵは、一方のＣＰＵにより検知された前記異常の内容に応じた制御指令を、自身が属する前記制御ユニットに於ける前記駆動回路に与えるように構成され、

前記二つの制御ユニットに夫々設けられた前記駆動回路は、前記与えられた制御指令に基づいて前記電動モータを制御するように自身の属する前記インバータ回路を駆動するように構成されている、

ことを特徴とする。

発明の効果

[0010] この発明によれば、前記電動モータを駆動する二つの制御ユニットを備え、前記二つの制御ユニットは、夫々、電源回路と、少なくとも前記操舵トルクを含む情報が入力される入力回路と、前記電動モータを駆動するように構成されたインバータ回路と、前記インバータ回路を駆動するように構成された駆動回路と、前記入力回路からの入力情報に基づき演算した制御量に基づく制御指令を前記駆動回路へ入力するＣＰＵを備え、前記電源回路は、自身が属する前記制御ユニットに電力を供給するように構成され、前記二つの制御ユニットに夫々設けられた前記ＣＰＵは、自身が属しない前記制御ユニットに於ける前記入力情報を取得できるように構成されると共に、自身が属する前記制御ユニットに於ける前記入力情報に関連する異常と前記入力情報以外の情報に関連する異常とを検知する異常検知機能を有し、前記何れの異常も検知していない通常時には、前記制御指令を自身が属する前記制御ユニットに於ける前記駆動回路に与えるように構成され、前記夫々のＣＰＵのうちの一方のＣＰＵが、自身が属する前記制御ユニットに於ける前記入力情報に

関連する異常を検知したときは、前記入力情報に関連する異常を検知した前記一方のＣＰＵは、自身が属しない前記制御ユニットに於ける前記入力情報を用いて制御量を演算し、その演算した制御量に基づく制御指令を、前記自身が属する制御ユニットに於ける前記駆動回路に与えるように構成されると共に、前記入力情報に関連する異常を検知していない他方のＣＰＵは、前記通常時と同等の制御指令を自身が属する前記制御ユニットに於ける前記駆動回路に継続して与えるように構成され、前記夫々のＣＰＵのうちの一方のＣＰＵが、自身が属する前記制御ユニットに於ける前記入力情報以外の情報に関連する異常を検知したときは、前記入力情報以外の情報に関連する異常を検知した前記一方のＣＰＵは、その検知した異常の内容に応じて、前記電動モータの駆動の停止又は継続の何れかを行う制御指令を、前記自身が属する前記制御ユニットの前記駆動回路に与えるように構成されると共に、前記入力情報以外の情報に関連する異常を検知していない他方のＣＰＵは、一方のＣＰＵにより検知された前記異常の内容に応じた制御指令を、自身が属する前記制御ユニットに於ける前記駆動回路に与えるように構成され、前記二つの制御ユニットに夫々設けられた前記駆動回路は、前記与えられた制御指令に基づいて前記電動モータを制御するように自身の属する前記インバータ回路を駆動するように構成されているので、何れかの制御ユニットに異常が発生しても、その発生した異常の内容に応じて、適切に電動パワーステアリングを制御することが可能となる。

図面の簡単な説明

[0011] [図1]この発明の実施の形態１による電動パワーステアリング装置の回路図である。

[図2]この発明の実施の形態１による電動パワーステアリング装置の構成図である。

[図3]この発明の実施の形態２による電動パワーステアリング装置の構成図である。

[図4]この発明の実施の形態３による電動パワーステアリング装置の構成図で

ある。

[図5A]この発明の実施の形態３の変形例による電動パワーステアリング装置に於ける、部分構成図である。

[図5B]この発明の実施の形態３の変形例による電動パワーステアリング装置に於ける、動作を示す波形図である。

発明を実施するための形態

[0012] 実施の形態１．

以下、この発明の実施の形態１による電動パワーステアリング装置について、図に基づいて詳細に説明する。図１は、この発明の実施の形態１による電動パワーステアリング装置の回路図であって、第１の制御系と第２の制御系からなる二重の冗長制御系を備えている。以下の説明では、第１の制御系に属する構成部材に「第１」を付し、第２の制御系に属する構成部材に「第２」を付して説明する。

[0013] 図１に於いて、運転者による操舵トルクに対応したアシストトルクを発生する電動モータ２は、固定子に第１の電機子巻線２１と第２の電機子巻線２２とからなる二組の三相電機子巻線を備えた三相ブラシレスモータにより構成されている。第１の電機子巻線２１は、デルタ結線された第１のＵ相巻線Ｕ１と第１のＶ相巻線Ｖ１と第１のW相巻線Ｗ１とにより構成されている。第２の電機子巻線２２は、デルタ結線された第２のＵ相巻線Ｕ２と第２のＶ相巻線Ｖ２と第２のW相巻線Ｗ２とにより構成されている。第１の電機子巻線２１と第２の電機子巻線２２は、互いに電気角３０度の位相差を有するように固定子に配置されている。

[0014] 電動モータ２を制御する制御ユニットとして、第１の電機子巻線２１に供給する電力を制御する第１の制御ユニット１ａと、第２の電機子巻線２２に供給する電力を制御する第２の制御ユニット１ｂとが設けられている。第１の制御ユニット１ａと第２の制御ユニット１ｂは、夫々、車両に搭載された外部電源としてのバッテリ９の正極側端子＋Ｂにイグニッションスイッチ７を介して接続されると共に、バッテリ９の負極側端子ＧＮＤに接続されてい

る。

[0015] 第１の制御ユニット１ａは、電動モータ２の第１の電機子巻線２１に電力を供給する第１のインバータ回路３ａと、バッテリ９の正極側端子＋Ｂと第１のインバータ回路３ａとの間を接続／遮断するリレーとして作動する第１の電源リレー用スイッチング素子５ａと、第１のインバータ回路３ａの後述する各半導体スイッチング素子と第１の電源リレー用スイッチング素子５ａを制御する第１の制御回路部４ａと、第１のフィルタ６ａとを備えている。

[0016] 第１の電源リレー用スイッチング素子５ａは、例えば寄生ダイオードを備えたＦＥＴを２個直列に接続して構成され、一方のＦＥＴに於ける寄生ダイオードは電流供給方向に対して順方向に接続され、他方のＦＥＴに於ける寄生ダイオードは電流供給方向に対して逆方向に接続されている。従って、もしバッテリ９を逆極性に接続した場合であっても、第１の電源リレー用スイッチング素子５ａの寄生ダイオードにより、第１のインバータ回路３ａの電流が流れるラインを遮断して、第１のインバータ回路３ａを保護することができる。尚、第１の電源リレー用スイッチンング素子５ａは、大電流が流れるため発熱を伴うので、第１のインバータ回路３ａに包含させてもよい。

[0017] 第１のインバータ回路３ａは、第１のＵ相上アームスイッチング素子３１Ｕａと第１のＵ相下アームスイッチング素子３２Ｕａとの直列接続体とからなる第１のＵ相アームと、第１のＶ相上アームスイッチング素子３１Ｖａと第１のＶ相下アームスイッチング素子３２Ｖａとの直列接続体からなる第１のＶ相アームと、第１のW相上アームスイッチング素子３１Ｗａと第１のW相下アームスイッチング素子３２Ｗａとの直列接続体からなる第１のW相アームを備えている。各アームのスイッチング素子は、例えば、寄生ダイオードを有するＭＯＳＦＥＴにより構成されている。

[0018] 又、第１のインバータ回路３ａは、第１のＵ相アームに並列接続された第１のＵ相ノイズ抑制用コンデンサ３ＵＣａと、第１のＶ相アームに並列接続された第１のＶ相ノイズ抑制用コンデンサ３ＶＣａと、第１のW相アームに並列接続された第１のW相ノイズ抑制用コンデンサ３ＷＣａとを備えている

。

[0019] 又、第１のインバータ回路３ａは、第１のＵ相下アームスイッチング素子３２Ｕａに直列接続された第１のＵ相電流検出用シャント抵抗３ＵＲａと、第１のＶ相下アームスイッチング素子３２Ｖａに直列接続された第１のＶ相電流検出用シャント抵抗３ＶＲａと、第１のW相下アームスイッチング素子３２Ｗａに直列接続された第１のW相電流検出用シャント抵抗３ＷＲａとを備えている。

[0020] 更に、第１のインバータ回路３ａは、第１のＵ相上アームスイッチング素子３１Ｕａと第１のＵ相下アームスイッチング素子３２Ｕａとの直列接続点と第１のＵ相巻線Ｕ１との間に接続された第１のＵ相モータリレー用スイッチング素子３ＵＳａと、第１のＶ相上アームスイッチング素子３１Ｖａと第１のＶ相下アームスイッチング素子３２Ｖａとの直列接続点と第１のＶ相巻線Ｖ１との間に接続された第１のＶ相モータリレー用スイッチング素子３ＶＳａと、第１のW相上アームスイッチング素子３１Ｗａと第１のW相下アームスイッチング素子３２Ｗａとの直列接続点と第１のW相巻線Ｗ１との間に接続された第１のW相モータリレー用スイッチング素子３ＷＳａとを備えている。これ等のモータリレー用スイッチング素子は、例えば寄生ダイオードを有するＦＥＴにより構成されている。

[0021] 第１の制御回路部４ａは、第１のＣＰＵ１０ａと、第１の駆動回路１１ａと、第１の入力回路１２ａと、第１の電源回路１３ａとを備えている。第１の駆動回路１１ａは、後述する第１のＣＰＵ１０ａからの第１の制御指令に基づく第１の駆動信号を発生して第１のインバータ回路３ａの前述の各スイッチング素子３１Ｕａ、３１Ｖａ、３１Ｗａ、３２Ｕａ、３２Ｖａ、３２Ｗａの各制御電極に与え、これ等のスイッチング素子のオン／オフを制御する。尚、第１の駆動回路１１ａは、小電流しか流れないため第１の制御回路部４ａに装着されているが、第１のインバータ回路３ａに配置されていてもよい。

[0022] 又、第１の駆動回路１１ａは、第１のＣＰＵ１０ａからの指令に基づいて

前述の第１のＵ相モータリレー用スイッチング素子３ＵＳａ、第１のＶ相モータリレー用スイッチング素子３ＶＳａ、及び第１のW相モータリレー用スイッチング素子３ＷＳａをオン／オフする駆動信号を出力するように構成されており、これ等のスイッチング素子をオフとして、第１のＵ相巻線Ｕ１、第１のＶ相巻線Ｖ１、第１のW相巻線Ｗ１を第１のインバータ回路３aから遮断することができる。

[0023] 更に、第１の駆動回路１１ａは、第１のＣＰＵ１０ａからの指令に基づいて前述の第１の電源リレー用スイッチング素子５ａの駆動信号も出力するように構成されており、この第１の電源リレー用スイッチング素子５ａをオフとして、第１のインバータ回路３ａへの電源の供給を遮断することができる。

[0024] 尚、第１の駆動回路１１ａは、小電流しか流れないため第１の制御回路部４ａに装着されているが、第１のインバータ回路３ａに配置されていてもよい。

[0025] 第１の入力回路１２ａは、電動モータ２の回転子（図示せず）の回転位置を検出する第１の回転センサ１７ａからの第１の回転子位置検出信号と、ハンドルの近傍に搭載された操舵トルクを検出するトルクセンサや車両の走行速度を検出する速度センサ等の第1のセンサ類８ａからの各種検出信号とが入力され、入力されたこれ等の検出信号を第１のＣＰＵ１０ａに入力する。第１のＣＰＵ１０ａは、入力されたそれらの検出信号に基づく情報から電動モータ２を駆動させるための制御量としての電流値に対応する第１の制御指令を演算する。

[0026] 又、第１のＵ相電流検出用シャント抵抗３ＵＲａ、第１のＶ相電流検出用シャント抵抗３ＶＲａ、及び第１のW相電流検出用シャント抵抗３ＷＲａの夫々の両端間の電位差に対応する信号が、夫々、第１のＵ相電流検出信号、第１のＶ相電流検出信号、及び第１のW相電流検出信号として、第１の入力回路１２ａを介して第１のＣＰＵ１０ａに入力される。更に、第１のＵ相巻線Ｕ１、第１のＶ相巻線Ｖ１、及び第１のW相巻線Ｗ１の夫々の端子電圧等

に対応する信号が、夫々、第１のＵ相巻線端子電圧検出信号、第１のＶ相巻線端子電圧検出信号、及び第１のW相巻線端子電圧検出信号として、夫々、第１の入力回路１２ａを介して第１のＣＰＵ１０ａに入力される。

[0027] 第１のＣＰＵ１０ａは、これ等の入力された検出信号に基づく検出値と前述の演算により求めた第１の制御指令との偏差を演算し、その偏差をなくするように第１の制御指令を第１の駆動回路１１ａに与える。その結果、第１の電機子巻線２１に供給される第１の電機子電流は、いわゆるフィードバック制御されて所望の値に制御される。

[0028] 第１のＣＰＵ１０ａは、前述の入力された各情報に基づいて、第１のセンサ類８ａのほか、第１の駆動回路１１ａ、第１のインバータ回路３ａ、第１の電機子巻線２１等の異常を検出する異常検出機能を有し、それ等の異常を検出した場合、その異常に応じて、例えばＵ相のみの電流供給を遮断するために、第１のＵ相上アームスイッチング素子３１Ｕａ、第１のＵ相モータリレー用スイッチング素子３ＵＳａをオフする指令を第１の駆動回路１１ａに与えることができる。或いは、前述の異常を検出した場合、その異常に応じて、電源自体を元から遮断するために第１の電源リレー用スイッチング素子５ａをオフする指令を第１の駆動回路１１ａに与えることができる。

[0029] 更に、第１のＣＰＵ１０ａにより前述の異常を検出した場合は、第１のＣＰＵ１０ａは報知手段１５を動作させる信号を第１の出力回路１６ａを介して報知手段１５に出力する。ここで、報知手段１５は、例えばランプにより構成され、第１のＣＰＵ１０ａからの信号を受けて点灯する。

[0030] 尚、第１のＣＰＵ１０ａには、後述する第２のセンサ類８ｂ及び第２の回転センサ１７ｂ等からも信号が入力されるが、それらの詳細については後述する。

[0031] 第１の電源回路１３ａは、第１の制御ユニット１ａに設けられた○印で示す第１の電源端子１８ａを介して、バッテリ９の正極側端子＋Ｂに車両のイグニッションスイッチ７を介して接続されており、バッテリ９から電力の供給を受け、第１の制御ユニット１ａに於ける内部電源として動作する。第１

の制御ユニット１ａに於ける第１の電源リレー用スイッチング素子５ａは、２個の半導体スイッチング素子の直列接続体により構成され、第１の制御回路部４ａに於ける第１の駆動回路１１ａからの駆動信号を受けて、後述するようにオン／オフが制御される。

[0032] 第１のフィルタ６ａは、第１のフィルタコンデンサ６１ａと第１のフィルタコイル６２ａとを備え、第１のインバータ回路３ａの後述するＰＷＭ駆動によるノイズの放出を抑制するものであり、バッテリ９の正極側端子＋Ｂと負極側端子ＧＮＤの近傍に配置されている。尚、第１のフィルタ６ａは、第１の電源リレー用スイッチング素子５ａを介して大電流が流れるため発熱を伴うので、第１のインバータ回路３ａに包含させてもよい。

[0033] 第２の制御ユニット１ｂは、電動モータ２の第２の電機子巻線２２に電力を供給する第２のインバータ回路３ｂと、バッテリ９の正極側端子＋Ｂと第２のインバータ回路３ｂとの間を接続／遮断するリレーとして作動する第２の電源リレー用スイッチング素子５ｂと、第２のインバータ回路３ｂの後述する各半導体スイッチング素子と第２の電源リレー用スイッチング素子５ｂを制御する第２の制御回路部４ｂと、第２のフィルタ６ｂとを備えている。

[0034] 第２の電源リレー用スイッチング素子５ｂは、例えば寄生ダイオードを備えたＦＥＴを２個直列に接続して構成され、一方のＦＥＴに於ける寄生ダイオードは電流供給方向に対して順方向に接続され、他方のＦＥＴに於ける寄生ダイオードは電流供給方向に対して逆方向に接続されている。従って、もしバッテリ９を逆極性に接続した場合であっても、第２の電源リレー用スイッチング素子５ｂの寄生ダイオードにより、第２のインバータ回路３ｂの電流が流れるラインを遮断して、第２のインバータ回路３ｂを保護することができる。尚、第２の電源リレー用スイッチンング素子５ｂは、大電流が流れるため発熱を伴うので、第２インバータ回路３ｂに包含させてもよい。

[0035] 第２のインバータ回路３ｂは、第２のＵ相上アームスイッチング素子３１Ｕｂと第２のＵ相下アームスイッチング素子３２Ｕｂとの直列接続体とからなる第２のＵ相アームと、第２のＶ相上アームスイッチング素子３１Ｖｂと

第２のＶ相下アームスイッチング素子３２Ｖｂとの直列接続体からなる第２のＶ相アームと、第２のW相上アームスイッチング素子３１Ｗｂと第２のW相下アームスイッチング素子３２Ｗｂとの直列接続体からなる第２のW相アームを備えている。各アームのスイッチング素子は、例えば、寄生ダイオードを有するＭＯＳＦＥＴにより構成されている。

[0036] 又、第２のインバータ回路３ｂは、第２のＵ相アームに並列接続された第２のＵ相ノイズ抑制用コンデンサ３ＵＣｂと、第２のＶ相アームに並列接続された第２のＶ相ノイズ抑制用コンデンサ３ＶＣｂと、第２のW相アームに並列接続された第２のW相ノイズ抑制用コンデンサ３ＷＣｂとを備えている。

[0037] 又、第２のインバータ回路３ｂは、第２のＵ相下アームスイッチング素子３２Ｕｂに直列接続された第２のＵ相電流検出用シャント抵抗３ＵＲｂと、第２のＶ相下アームスイッチング素子３２Ｖｂに直列接続された第２のＶ相電流検出用シャント抵抗３ＶＲｂと、第２のW相下アームスイッチング素子３２Ｗｂに直列接続された第２のW相電流検出用シャント抵抗３ＷＲｂとを備えている。

[0038] 更に、第２のインバータ回路３ｂは、第２のＵ相上アームスイッチング素子３１Ｕｂと第２のＵ相下アームスイッチング素子３２Ｕｂとの直列接続点と第２のＵ相巻線Ｕ２との間に接続された第２のＵ相モータリレー用スイッチング素子３ＵＳｂと、第２のＶ相上アームスイッチング素子３１Ｖｂと第２のＶ相下アームスイッチング素子３２Ｖｂとの直列接続点と第２のＶ相巻線Ｖ２との間に接続された第２のＶ相モータリレー用スイッチング素子３ＶＳｂと、第２のW相上アームスイッチング素子３１Ｗｂと第２のW相下アームスイッチング素子３２Ｗｂとの直列接続点と第２のW相巻線Ｗ２との間に接続された第２のW相モータリレー用スイッチング素子３ＷＳｂとを備えている。これ等のモータリレー用スイッチング素子は、例えば寄生ダイオードを有するＦＥＴにより構成されている。

[0039] 第２の制御回路部４ｂは、第２のＣＰＵ１０ｂと、第２の駆動回路１１ｂ

と、第２の入力回路１２ｂと、第２の電源回路１３ｂとを備えている。第２の駆動回路１１ｂは、後述する第２のＣＰＵ１０ｂからの第２の制御指令に基づく第２の駆動信号を発生して第２のインバータ回路３ｂの前述の各スイッチング素子３１Ｕｂ、３１Ｖｂ、３１Ｗｂ、３２Ｕｂ、３２Ｖｂ、３２Ｗｂの各制御電極に与え、これ等のスイッチング素子のオン／オフを制御する。尚、第２の駆動回路１１ｂは、小電流しか流れないため第２の制御回路部４ｂに装着されているが、第２のインバータ回路３ｂに配置されていてもよい。

[0040] 又、第２の駆動回路１１ｂは、第２のＣＰＵ１０ｂからの指令に基づいて前述の第２のＵ相モータリレー用スイッチング素子３ＵＳｂ、第２のＶ相モータリレー用スイッチング素子３ＶＳｂ、第２のW相モータリレー用スイッチング素子３ＷＳｂをオン／オフする駆動信号を出力するように構成されており、これ等のスイッチング素子をオフとして、第２のＵ相巻線Ｕ２、第２のＶ相巻線Ｖ２、第２のW相巻線Ｗ２を第２のインバータ回路３ｂから遮断することができる。

[0041] 更に、第２の駆動回路１１ｂは、第２のＣＰＵ１０ｂからの指令に基づいて前述の第２の電源リレー用スイッチング素子５ｂの駆動信号も出力するように構成されており、この第２の電源リレー用スイッチング素子５ｂをオフとして、第２のインバータ回路３ｂへの電源の供給を遮断することができる。

[0042] 尚、第２の駆動回路１１ｂは、小電流しか流れないため第２の制御回路部４ｂに装着されているが、第２のインバータ回路３ｂに配置されていてもよい。

[0043] 第２の入力回路１２ｂは、電動モータ２の回転子（図示せず）の回転位置を検出する第２の回転センサ１７ｂからの第２の回転子位置検出信号と、ハンドルの近傍に搭載された操舵トルクを検出するトルクセンサや車両の走行速度を検出する速度センサ等の第２のセンサ類８ｂからの各種検出信号とが入力され、入力されたこれ等の検出信号を第２のＣＰＵ１０ｂに入力する。

第２のＣＰＵ１０ｂは、入力されたそれらの検出信号に基づく情報から電動モータ２を駆動させるための制御量としての電流値に対応する第２の制御指令を演算する。

[0044] 尚、第２の回転センサ１７ｂと前述の第１の回転センサ１７ａとは同一の構成であって、電動モータ２の回転子の近傍に並置されている、又、第２のセンサ類８ｂと前述の第１のセンサ類８ａとは同一の構成であって、車両の所定部位に並置されている。

[0045] 又、第２のＵ相電流検出用シャント抵抗３ＵＲｂ、第２のＶ相電流検出用シャント抵抗３ＶＲｂ、及び第２のW相電流検出用シャント抵抗３ＷＲｂの夫々の両端間の電位差に対応する信号が、夫々、第２のＵ相電流検出信号、第２のＶ相電流検出信号、及び第２のW相電流検出信号として、第２の入力回路１２ｂを介して第２のＣＰＵ１０ｂに入力される。更に、第２のＵ相巻線Ｕ２、第２のＶ相巻線Ｖ２、及び第２のW相巻線Ｗ２の夫々の端子電圧等に対応する信号が、夫々、第２のＵ相巻線端子電圧検出信号、第２のＶ相巻線端子電圧検出信号、及び第２のW相巻線端子電圧検出信号として、夫々、第２の入力回路１２ｂを介して第２のＣＰＵ１０ｂに入力される。

[0046] 第２のＣＰＵ１０ｂは、これ等の入力された検出信号に基づく検出値と前述の演算により求めた第１の制御指令との偏差を演算し、その偏差を「０」とする第２の制御指令を第２の駆動回路１１ｂに与える。その結果、第２の電機子巻線２２に供給される第２の電機子電流は、いわゆるフィードバック制御されて所望の値に制御される。

[0047] 第２のＣＰＵ１０ｂは、前述の入力された各情報に基づいて、第２のセンサ類８ｂのほか、第２の駆動回路１１ｂ、第２のインバータ回路３ｂ、第２の電機子巻線２２等の異常を検出する異常検出機能を有し、それ等の異常を検出した場合、その異常に応じて、例えばＵ相のみの電流供給を遮断するために、第２のＵ相上アームスイッチング素子３１Ｕｂ、第２のＵ相モータリレー用スイッチング素子３ＵＳｂをオフする指令を第２の駆動回路１１ｂに与えることができる。或いは、前述の異常を検出した場合、その異常に応じ

て、電源自体を元から遮断するために第２の電源リレー用スイッチング素子５ｂをオフする指令を第２の駆動回路１１ｂに与えることができる。

[0048] 更に、第２のＣＰＵ１０ｂにより前述の異常を検出した場合は、第２のＣＰＵ１０ｂは報知手段１５を動作させる信号を第２の出力回路１６ｂを介して前述の報知手段１５に出力する。ここで、報知手段１５は、前述のように例えばランプにより構成され、第２のＣＰＵ１０ｂからの信号を受けて点灯する。

[0049] 尚、第２のＣＰＵ１０ｂには、前述の第１のセンサ類８ａ及び第１の回転センサ１７ａ等からも信号が入力されるが、それらの詳細については後述する。

[0050] 第２の電源回路１３ｂは、第２の制御ユニット１ｂに設けられた〇印で示す第２の電源端子１８ｂを介して、バッテリ９の正極側端子＋Ｂに車両のイグニッションスイッチ７を介して接続されており、バッテリ９から電力の供給を受け、第２の制御ユニット１ｂに於ける内部電源として動作する。第２の制御ユニット１ｂに於ける第２の電源リレー用スイッチング素子５ｂは、２個の半導体スイッチング素子の直列接続体により構成され、第２の制御回路部４ｂに於ける第２の駆動回路１１ｂからの駆動信号を受けて、後述するようにオン／オフが制御される。

[0051] 第２のフィルタ６ｂは、第２のフィルタコンデンサ６１ｂと第２のフィルタコイル６２ｂとを備え、第２のインバータ回路３ｂの後述するＰＷＭ駆動によるノイズの放出を抑制するものであり、バッテリ９の正極側端子＋Ｂと負極側端子ＧＮＤの近傍に配置されている。尚、第２のフィルタ６ｂは、第２の電源リレー用スイッチング素子５ｂを介して大電流が流れるため発熱を伴うので、第２のインバータ回路３ｂに包含させてもよい。

[0052] 電動モータ２は、前述のように三相二組の電機子巻線２１、２２が夫々デルタ結線されたブラシレスモータにより構成されている。従って、前述のように回転子の回転位置を検出するための第１の回転センサ１７ａ、及び第２の回転センサ１７ｂが搭載されている。このように、回転センサも冗長制御

系を確保するために第１の回転センサ１７ａ、及び第２の回転センサ１７ｂの二組の回転センサが夫々搭載されている。第１の回転センサ１７ａ、及び第２の回転センサ１７ｂが検出した回転子の回転情報は、各々第１の制御回路部４ａの第１の入力回路１２ａ、及び第２の制御回路部４ｂの第２の入力回路１２ｂに伝達される。

[0053] 尚、電動モータ２は、三相デルタ結線のブラシレスモータでなくても、三相スター結線のブラシレスモータであってもよく、更には、２極２対のブラシ付きモータであってもよい。又、電機子巻線の巻線仕様は、分布巻き、或いは集中巻きの何れでも採用することができる。更に、いわゆる２個のステータを有するタンデムモータであってもよい。又、二組の電機子巻線を協働させる構成でなくても、一組の電機子巻線のみとして所望のモータ回転数、トルクが出力できる構成としてもよい。

[0054] 以上述べたこの発明の実施の形態１による電動パワーステアリング装置に於いて、少なくとも第１の制御ユニット１ａと第１の回転センサ１７ａと第１の電機子巻線２１は、第１の制御系を構成し、少なくとも第２の制御ユニット１ｂと第２の回転センサ１７ｂと第２の電機子巻線２２は、第２の制御系を構成している。第１の制御系と第２の制御系は、第１の電機子巻線２１と第２の電機子巻線２２に、夫々独立して電流の供給を行なうことが出来るように構成されている。

[0055] 尚、図１に於ける第１の電源端子１８ａ、第２の電源端子１８ｂ以外の〇印は、第１の制御ユニット１ａと第２の制御ユニット１ｂに夫々設けられた接続端子を示している。

[0056] 以上述べたように、第１の制御ユニット１ａと第２の制御ユニット１ｂは、夫々独立に入力情報、制御量の演算値を使用して、独立に電動モータ２を駆動できる構成されている。又、第１の制御ユニット１ａと第２の制御ユニット１ｂの間には各種データや、情報を授受できるように通信ライン１４が接続されている。この通信ライン１４は、第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂの間を接続しており、一方の制御系のＣＰＵが他方の制御系の状況

を把握することができる。

[0057] 例えば第１のＣＰＵ１０ａが第１の制御系の何れかの部材に異常を検出し、そのため所定のスイッチング素子をオフしたとすると、その異常検知の内容、異常が発生した部材、電動モータの駆動状況等を、第２のＣＰＵ１０ｂへ伝達することができる。もし、一方のＣＰＵ自体に異常が発生した場合は、所定のフォーマットによる定期的な通信信号を他方のＣＰＵが授受することができなくなり、これにより他方のＣＰＵが一方のＣＰＵ自体の異常発生を検知することができる。

[0058] 次に、制御ユニットの構成、及びＣＰＵの機能について、さらに詳細に説明する。図２は、この発明の実施の形態１による電動パワーステアリング装置の構成図であって、前述の第１の制御ユニット１ａと第２の制御ユニット１ｂを包括して制御ユニット１として表示し、第１の制御ユニット１ａと第２の制御ユニット１ｂを構成する各回路間の相互の接続状態を示している。

[0059] 制御ユニット１は、外部電源としてのバッテリ９から電力が供給され、第１のセンサ類８ａと第２のセンサ類８ｂ、及び、電動モータ２の回転子の近傍に装着された第１の回転センサ１７ａと第２の回転センサ１７ｂから夫々検出信号が入力される。より具体的には、第１の入力回路１２ａは、インターフェース回路Ｉ／Ｆ１－１とインターフェース回路Ｉ／Ｆ１－２とを備えており、第１のセンサ類８ａは、インターフェース回路Ｉ／Ｆ１－１を介して第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂに接続され、第１の回転センサ１７ａは、インターフェース回路Ｉ／Ｆ１－２を介して第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂに接続されている。

[0060] 又、第２の入力回路１２ｂは、インターフェース回路Ｉ／Ｆ２－１とインターフェース回路Ｉ／Ｆ２－２とを備えており、第２のセンサ類８ｂは、インターフェース回路Ｉ／Ｆ２－１を介して第２のＣＰＵ１０ｂと第１のＣＰＵ１０ａに接続され、第２の回転センサ１７ｂは、インターフェース回路Ｉ／Ｆ２－２を介して第２のＣＰＵ１０ｂと第１のＣＰＵ１０ａに接続されている。

[0061] 以上の構成により、第１のＣＰＵ１０ａ及び第２のＣＰＵ１０ｂは、冗長制御系に於ける自己の制御系のセンサ情報のみならず、他方の制御系のセンサ情報も取得することができる。

[0062] 第１の電源回路１３ａは、前述のように、バッテリ９からイグニッションスイッチ７を介して第１の電源端子１８ａによりバッテリ９の正極側端子＋Ｂに接続され、バッテリ９の例えばＤＣ１２［Ｖ］を受けて、第１の定電圧源１９ａとして例えばＤＣ５［Ｖ］の定電圧を出力するように構成されている。第２の電源回路１３ｂは、前述のように、バッテリ９からイグニッションスイッチ７を介して第２の電源端子１８ｂによりバッテリ９の正極側端子＋Ｂに接続され、バッテリ９の例えばＤＣ１２［Ｖ］を受けて、第２の定電圧源１９ｂとして例えばＤＣ５［Ｖ］の定電圧を出力するように構成されている。

[0063] 第１の定電圧源１９ａと第２の定電圧源１９ｂは、夫々独立した電源系統であり、冗長制御系を構成する他方の制御系の回路へ電源を供給する構成ではない。従って、第１の電源回路１３ａが第２のＣＰＵ１０ｂへ電源を供給することはなく、第２の電源回路１３ｂが第１のＣＰＵ１０ａへ電源を供給することはない。

[0064] 第１のＣＰＵ１０ａから制御指令を受けた第１の駆動回路１１ａは、第１のインバータ回路３ａ及び第１の電源リレー用スイッチング素子５ａを独立して制御する。同様に、第２のＣＰＵ１０ｂから制御指令を受けた第２の駆動回路１１ｂは、第２のインバータ回路３ｂ及び第２の電源リレー用スイッチング素子５ｂを独立して制御する。

[0065] 図２では、第１のインバータ回路３ａには第１の電源リレー用スイッチング素子５ａが包含され、第２のインバータ回路３ｂには第２の電源リレー用スイッチング素子５ｂが包含されるものとして図示している。又、第１のインバータ回路３ａには、第１のＵ相電流検出用シャント抵抗３ＵＲａ、第１のＶ相電流検出用シャント抵抗３ＶＲａ、第１のW相電流検出用シャント抵抗３ＷＲａの各両端間の電圧及び電動モータ２の第１の電機子巻線２１の端

子電圧等を検出する回路の一部も内蔵されている。第２のインバータ回路３ｂには、第２のＵ相電流検出用シャント抵抗３ＵＲｂ、第２のＶ相電流検出用シャント抵抗３ＶＲｂ、第２のW相電流検出用シャント抵抗３ＷＲｂの各両端間の電圧及び電動モータ２の第２の電機子巻線２２の端子電圧等を検出する回路の一部も内蔵されている。

[0066] 又、図２では、第１の駆動回路１１ａには、前述の第１のＵ相電流検出用シャント抵抗３ＵＲａ、第１のＶ相電流検出用シャント抵抗３ＶＲａ、第１のW相電流検出用シャント抵抗３ＷＲａの各両端間の電圧及び電動モータ２の第１の電機子巻線２１の端子電圧等を検出する回路の他の部分が内蔵されている。更に、第２の駆動回路１１ｂには、前述の第２のＵ相電流検出用シャント抵抗３ＵＲｂ、第２のＶ相電流検出用シャント抵抗３ＶＲｂ、第２のW相電流検出用シャント抵抗３ＷＲｂの各両端間の電圧及び電動モータ２の第２の電機子巻線２２の端子電圧等を検出する回路の他の部分が内蔵されている。

[0067] 第１の駆動回路１１ａは、第１のインバータ回路３ａへ向かう出力信号１１ａ１と、第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂの双方へ向かう入力信号１１ａ２とを発生する。第２の駆動回路１１ｂは、第２のインバータ回路３ｂへ向かう出力信号１１ｂ１と、第２のＣＰＵ１０ｂと第１のＣＰＵ１０ａの双方へ向かう入力信号１１ｂ２とを発生する。尚、図中、太い白抜きの矢印は、複数の配線、及び／又は、複数の情報が内蔵されていることを示している。

[0068] 又、ここでは、第１の入力回路１２ａ、及び第２の入力回路１２ｂは、第１のセンサ類８ａと第２のセンサ類８ｂ、第１の回転センサ１７ａと第２の回転センサ１７ｂ、第１のインバータ回路３ａと第２のインバータ回路３ｂ、の各種電圧信号も全て含んだ総称とする。そのため図２では、一方の制御系のインバータ回路からの入力信号も自身の制御系のＣＰＵのみならず他方の制御系のＣＰＵへも伝達されるように接続され、更に、一方の制御系の入力回路からの入力情報は、自身の制御系のＣＰＵのみならず他方の制御系の

ＣＰＵにも入力される用に接続されている。又、一方の制御系のＣＰＵと他方の制御系のＣＰＵは、通信ライン１４により相互に情報を伝達するように接続されている。

[0069] 次に、以上のように構成された制御ユニット１に於いて、第１のＣＰＵ１０ａ、及び第２のＣＰＵ１０ｂの機能について更に詳細に説明する。第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂは、全く同一種類のＣＰＵで構成され、ほぼ同一のソフトウエアが内蔵されている。

[0070] 第１のＣＰＵ１０ａは、第１の入力回路１２ａを介して第１のセンサ類８ａと第１の回転センサ１７ａからの入力情報、及び第１のインバータ回路３ａ等からの入力情報が入力され、これ等の入力情報に基づいて運転者による操舵トルクをアシストするために電動モータ２の第１の電機子巻線２１へ電流を供給するための制御量を演算し、その演算結果を第１の制御指令として出力して第１の駆動回路１１ａに与える。

[0071] 又、第１のＣＰＵ１０ａは、各入力情報をモニタすることにより自身の制御系の異常を検出する異常検出機能を有している。即ち、第１のＣＰＵ１ａは、第１のセンサ類８ａ、又は第１の回転センサ１７ａの検出値が所定範囲外の値である場合、若しくはそれ等の検出値が急激に変化した場合に、第１のセンサ類８ａ、又は第１の回転センサ１７ａの異常を検出する。又、他方の制御系の情報を取得しているので、第２のセンサ類８ｂ、又は第２の回転センサ１７ｂの検出値が変化しているにもかかわらず、それに対応する第１のセンサ類８ａ、又は第１の回転センサ１７ａの検出値が固定していることで、それ等の固着異常を検出する。

[0072] 又、第１のＣＰＵ１ａは、所定の制御指令を出力しているにもかかわらず、第１のＵ相電流検出用シャント抵抗３ＵＲａ、第１のＶ相電流検出用シャント抵抗３ＶＲａ、第１のW相電流検出用シャント抵抗３ＷＲａのうちの少なくとも何れかのシャント抵抗の両端間の電圧の値が所定範囲外の値である場合、つまり所望の電流が流れていない場合又は大電流が流れている場合に、第１のインバータ回路３ａの異常を検出する。

[0073] 更に、第１のＣＰＵ１ａは、第１のインバータ回路３ａに於ける各相の上アームスイッチング素子３１Ｕａ、３１Ｖａ、３１Ｗａ、及び各相の下アームスイッチング素子３２Ｕａ、３２Ｖａ、３２Ｗａの駆動状態に対応した所定の端子電圧が、第１の電機子巻線２１の少なくとの何れかの相巻線の端子から発生していない場合に、第１の電機子巻線２１の異常を検出する。

[0074] 又、第１のＣＰＵ１ａは、第１のインバータ回路３ａの各スイッチング素子の夫々のオン、オフ動作の有無をこれ等のスイッチング素子の両端間の電圧でチェックすることも可能である。以上のように、第１のＣＰＵ３ａは、自身の属する制御系の各回路等の異常を夫々判断し、これを記憶することができる。

[0075] 第２のＣＰＵ１０ｂは、第２の入力回路１２ｂを介して第２のセンサ類８ｂと第２の回転センサ１７ｂからの入力情報、及び第２のインバータ回路３ｂ等からの入力情報が入力され、これ等の入力情報に基づいて運転者による操舵トルクをアシストするために電動モータ２の第２の電機子巻線２２へ電流を供給するための制御量を演算し、その演算結果を第２の制御指令として出力して第２の駆動回路１１ｂに与える。

[0076] 又、第２のＣＰＵ１０ｂは、各入力情報をモニタすることにより自身の属する制御系の異常を検出する異常検出機能を有している。即ち、第２のＣＰＵ１ｂは、第２のセンサ類８ｂ、又は第２の回転センサ１７ｂの検出値が所定範囲外の値である場合、若しくはそれ等の検出値が急激に変化した場合に、第２のセンサ類８ｂ、又は第２の回転センサ１７ｂの異常を検出する。又、他方の制御系の情報を取得しているので、第２のセンサ類８ａ、又は第１の回転センサ１７ａの検出値が変化しているにもかかわらず、それに対応する第２のセンサ類８ｂ、又は第２の回転センサ１７ｂの検出値が固定していることで、それ等の固着異常を検出する。

[0077] 又、第２のＣＰＵ１ｂは、所定の制御指令を出力しているにもかかわらず、第２のＵ相電流検出用シャント抵抗３ＵＲｂ、第２のＶ相電流検出用シャント抵抗３ＶＲｂ、第２のW相電流検出用シャント抵抗３ＷＲｂのうちの少

なくとも何れかのシャント抵抗の両端間の電圧の値が所定範囲外の値である場合、つまり所望の電流が流れていない場合又は大電流が流れている場合に、第２のインバータ回路３ｂの異常を検出する。

[0078] 更に、第２のＣＰＵ１ｂは、第２のインバータ回路３ｂに於ける各相の上アームスイッチング素子３１Ｕｂ、３１Ｖｂ、３１Ｗｂ、及び各相の下アームスイッチング素子３２Ｕｂ、３２Ｖｂ、３２Ｗｂの駆動状態に対応した所定の端子電圧が、第２の電機子巻線２２の少なくとの何れかの相巻線の端子から発生していない場合に、第２の電機子巻線２２の異常を判断することができる。

[0079] 又、第２のＣＰＵ１ｂは、第２のインバータ回路３ｂの各スイッチング素子の夫々のオン、オフ動作の有無をこれ等のスイッチング素子の両端間の電圧でチェックすることも可能である。以上のように、第２のＣＰＵ３ｂは、自身の属する制御系の各回路等の異常を夫々判断し、これを記憶することができる。

[0080] 更に、図２に示すように回路網が形成されているので、第１のＣＰＵ１０ａ及び第２のＣＰＵ１０ｂは、自身の属する制御系の入力情報のみならず相手方の制御系の入力情報も取得しており、自身の属する制御系のみならず相手方の制御系の異常も把握することができる。又、第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂは、通信ライン１４で相互に接続されているので、自己のＣＰＵでの異常の検出内容を他方のＣＰＵへ伝達こと も可能である。

[0081] 又、第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂは、夫々の属する制御系の入力系統関連の異常のみならず、入力情報から演算した出力情報としての制御量及び／又は制御指令の内容も相手側の制御系のＣＰＵに送信することも可能であり、これにより、自身が演算した自身の属する制御系の制御量及び／又は制御指令の内容と、相手方の制御系のＣＰＵが演算した制御量及び／又は制御指令の内容とを比較して、入力情報が両者略同一であるにもかかわらず、出力情報が異なるという異常も把握することができる。その結果、第１のＣＰＵ１０ａ及び第２のＣＰＵ１０ｂは、自身の属する制御系と相手方

の属する制御系の種々の異常、及びその内容を検出することができる。又、通信ライン１４が設けられていることにより、相手方の制御系のＣＰＵから通信が途切れた場合に、相手方の制御系のＣＰＵ自体に異常が発生していることも検出することができる。

[0082] 第１のＣＰＵ１０ａ、及び第２のＣＰＵ１０ｂは、正常時には夫々独立に入力情報から制御指令を出力し、夫々電動モータ２の対応する第１の電機子巻線２１及び第２の電機子巻線２２に電流を供給する。但し、電動モータ２の出力軸が所望の回転数及びトルクを出力できるように、第１のＣＰＵ１０ａ、及び第２のＣＰＵ１０ｂの制御指令を、相互に協働して出力する場合もあるが、この場合も基本的には独立制御である。例えば、電動モータの電機子巻線の構造によっては、制御ユニット１からの第１の電機子巻線２１への出力と第２の電機子巻線２２への出力との間に所定の位相差を持たせないと電動モータ２がスムーズに回転しない場合があるが、このような場合であっても、夫々のＣＰＵが独立の制御量を演算し、実際に出力する時点で所望の位相差となるように例えば両ＣＰＵで同期を取る等の駆動制御を行なうことにより対応することができる。

[0083] 第１のＣＰＵ１０ａ、又は第２のＣＰＵ１０ｂが自身の属する制御系の異常、特に入力系統関連の異常を検出した場合は各制御系が独立制御されているので、本来は異常発生側の制御系は電動モータの駆動を継続することができない。しかし、図２に示すように、この発明の実施の形態１による電動パワーステアリング装置によれば、一方の制御系の入力情報が他方の制御系のＣＰＵに入力されるように構成されているので、一方の制御系の異常時には相手方の制御系の入力情報を利用して、電動モータ２の駆動を継続するように動作することができる。又、正常側の一方の制御系のＣＰＵは、相手方の制御系のＣＰＵが相手側の制御系の異常に対応して動作していることを認識することにより、例えば自身の制御量を補正することも可能である。

[0084] 又、各制御系のＣＰＵは、その他の入力系統関連の異常内容として、相手方の制御系の電源回路の出力電圧値５［Ｖ］又は入力電圧値１２［Ｖ］をモ

ニタすることにより、自身の属する制御系の電源回路の異常も把握することができる。

[0085] 以上述べたように、この発明の実施の形態１による電動パワーステアリング装置によれば、一方の制御系の入力系統関連の異常時に於ける制御にあっては、電動モータ２を正常時と同様に駆動するように構成されているため、運転者は車両の運転状態からは全く異常を感じることはできない。そこで前述したように、報知手段１５を構成するランプを点灯、点滅することで異常を運転者に知らせるように、各制御系のＣＰＵは、自身の属する制御系の出力回路を介して報知手段１５に点灯／点滅信号を出力する。

[0086] 次に出力系統関連の異常の検出、及びその対処の仕方について説明する。ここで出力系統関連とは、図２に於ける第１の駆動回路１１ａ及び第２の駆動回路１１ｂ、第１のインバータ回路３ａ及び第２のインバータ回路３ｂ、更には電動モータ２の第１の電機子巻線２１及び第２の電機子巻線２２を指している。

[0087] 出力系統関連の異常の内容としては、電動モータ２の二組の電機子巻線２１、２２のうちの少なくとも一方の電機子巻線に於ける、少なくとも何れかの相巻線の異常に関するもの、何れかの電源リレー用スイッチング素子５ａ、５ｂに関するもの、何れかの駆動回路１１ａ、１１ｂの異常に関するもの、或いはこれらの複合的な異常に関するもの等、多種多様の異常が考えられる。

[0088] そこで、異常による影響に応じて異常レベルを、異常レベル１、異常レベル２、及び異常レベル３、に区分し、異常発生時に該当する異常レベルに対応した対処を行なう。例えば、異常レベル３は、第１の電源リレー用スイッチング素子５ａ又は第２の電源リレー用スイッチング素子５ｂのオープン故障し、或いは第１のインバータ回路３ａ又は第２のインバータ回路３ｂの上アームスイッチング素子又は下アームスイッチング素子のショート故障した場合のように、電動モータ２へ電流供給が全く不可能となるレベルの異常とする。この異常レベル３では、異常発生側の制御系は電動モータ２の駆動を

停止するしか対処の仕方はなく、正常側の制御系のみで電動モータ２の駆動を継続する。

[0089] 次に異常レベル１は、例えば第１の電源リレー用スイッチング素子５ａ又は第２の電源リレー用スイッチング素子５ｂのショート故障し、或いは第１のインバータ回路３ａの各相のモータリレー用スイッチング素子３ＵＳａ、３ＶＳａ、３ＷＳａ又は第２のインバータ回路３ｂの各相のモータリレー用スイッチング素子３ＵＳｂ、３ＶＳｂ、３ＷＳｂのショート故障した場合のように、異常が発生しているが、直ちに電動モータ２の駆動に影響が及ばないレベルの異常である。このような異常レベル１では、その異常を報知手段１５を介して運転者に知らせるのみで、入力系統の異常の場合と同様に通常通り電動モータ２の駆動を継続するものであり、この異常レベル１に対する対処の仕方は入力系系統の異常の場合の対処の仕方と同等である。

[0090] 異常レベル２は、異常レベル１と異常レベル３の中間レベルの異常であり、電動モータ２の駆動中止までには至らないが正常な駆動はできないレベルの異常を意味している。例えば、第１のインバータ回路３ａ又は第２のインバータ回路３ｂの上アームスイッチング素子又は下アームスイッチング素子のうちの１個のみがオープン故障し、若しくは第１のインバータ回路３ａの各相のモータリレー用スイッチング素子３ＵＳａ、３ＶＳａ、３ＷＳａ又は第２のインバータ回路３ｂの各相のモータリレー用スイッチング素子３ＵＳｂ、３ＶＳｂ、３ＷＳｂのうちの１個、のみがオープン故障した場合のようなレベルの異常である。

[0091] この異常レベル２の場合は、異常が発生した制御系に於ける電機子巻線の正常な少なくとも２つの相による二相駆動が可能である。そのため異常が発生した制御系では正常な２つの相による二相駆動を行い、一方、正常な制御系では通常通り三相駆動を継続することにより、操舵力アシストは１００［％］ではないにしても、正常時の半分以上の操舵力アシストが可能である。更に、異常が発生した制御系が二相駆動中であることが通信ライン１４により正常な制御系のＣＰＵに通知されるので、正常な制御系に余裕があれば異

常が発した制御系の異常な一つの相の分を補うように、正常な制御系の出力で補足することも可能である。この補足は、正常な制御系の制御量を全体的に増大する、又は異常が発生した制御系の一つの相に対応する正常側の制御系の相の制御量を増大することにより行うことができる。

[0092] 又、異常を検知した場合の報知手段１５への出力については、図１、図２に記載のようにどちらかの制御系のＣＰＵからの出力に基づくものであっても、例えば報知手段１５としてのランプを点灯することができるように構成されている。即ち、異常発生の検知がＣＰＵ以外、つまりＣＰＵ自体が何れの制御系とも正常に動作している場合、異常を検知した制御系のＣＰＵから、報知手段１５としてのランプを点灯若しくは点滅させ得る制御信号を出力する。この場合、異常内容に応じてその点灯モードを変更することも可能である。また、異常が１方の制御系のＣＰＵ自体に及んでいる場合、両方の制御系のＣＰＵから報知手段１５を駆動できるように構成しているので、異常が発生した制御系のＣＰＵの代わりに正常側の制御系のＣＰＵにより報知手段１５を駆動することも可能である。

[0093] 以上のように、この発明の実施の形態１による電動パワーステアリング装置によれば、自身の制御系の入力系統関連の情報を他方の制御系のＣＰＵに伝達し、自身の制御系の入力系統関連の異常を検知した場合、他方の制御系の入力情報を利用して電動モータの駆動を継続することにより、電動モータの駆動を停止して車両の走行を不可能にすることなく、継続して車両を走行することができるようになり、その制御系の冗長性を向上させることができる。又、自身の制御系の出力系統関連の系の異常に関しては、できる限り自身の制御系で電動モータの駆動を継続し、正常な制御系は、異常が発生した制御系の異常に対する対応内容を認識することにより、異常が発生した制御系の動作の不足分を補充することも可能となる。

[0094] 実施の形態２.

次に、この発明の実施の形態２による電動パワーステアリング装置について説明する。図３は、この発明の実施の形態２による電動パワーステアリン

グ装置の構成図である。図３は、実施の形態１の図２に対応する構成図であり、図２と同一符号は同一又は相当の部位を示している。図３に於いて、第１の入力回路１２ａ、及び第２の入力回路１２ｂからの入力系統の情報は、夫々独立に第１のＣＰＵ１０ａ、及び第２のＣＰＵ１０ｂへ入力される。

[0095] 一方の制御系のＣＰＵには、他方の制御系の入力情報が通信ライン１４を介して所定の処理リサイクル毎に受信され、一方の制御系の入力情報は他方の制御系のＣＰＵに通信ライン１４を介して所定の処理サイクル毎に送信される。そのため、図に示す実施の形態１の場合に比べて配線が省略できるメリットがあり、又、一方の制御系のＣＰＵが取得したデータを他方の制御系のＣＰＵに転送するので、ＣＰＵ内の機能の異常、例えばＡ／Ｄ変換機能を両者の比較により検証することが可能である。

[0096] 又、一方の制御系に属する第１の駆動回路１１ａから出力される入力情報は、他方の制御系に属する第２のＣＰＵ１０ｂのみに伝送される。更に、一方の制御系に属する第１のインバータ回路３ａから出力される入力情報は、第１の駆動回路１１ａを介して他方の制御系に属する第２のＣＰＵ１０ｂのみに伝送される。同様に、他方の制御系に属する第２の駆動回路１１ｂから出力される入力情報は、一方の制御系に属する第１のＣＰＵ１０ａのみに伝送される。更に、他方の制御系に属する第２のインバータ回路３ｂから出力される入力情報は、第２の駆動回路１１ｂを介して一方の制御系に属する第１のＣＰＵ１０ａのみに伝送される。

[0097] このように夫々の制御系の出力と入力は、異なる制御系のＣＰＵで夫々チェックされるように構成されている。つまり、この発明の実施の形態２による電動パワーステアリング装置は、夫々の制御系のＣＰＵ同士が相手方の制御系をモニタしてチェックするようにした構成であり、これにより相互の制御系の監視をより強固にすることができる。尚、相手方の制御系の制御量、制御指令の出力値は、通信ライン１４を介して入手することが可能である。

[0098] 又、一方の制御系の駆動回路に設けられている初段駆動回路の出力を、他方の制御系のＣＰＵからの指令に基づいて強制的に停止できる禁止（インヒ

ビタ）端子が設けられている。即ち、第１のインバータ回路３ａの各スイッチング素子を駆動する第１の駆動回路１１ａに設けられている第１の初段駆動回路１１ｃは、第２のＣＰＵ１０ｂからの指令に基づいて動作する第１の禁止端子１１ｅからの信号により強制的に出力が停止されるように構成されている。そうするために、第１の駆動回路１１ａに設けられた第１の禁止端子１１ｅは、第２のＣＰＵ１０ｂの出力ラインに接続されている。

[0099] 同様に、第２のインバータ回路３ｂの各スイッチング素子を駆動する第２の駆動回路１１ｂに設けられている第２の初段駆動回路１１ｄは、第１のＣＰＵ１０ａからの指令に基づいて動作する第２の禁止端子１１ｆからの信号により強制的に出力が停止されるように構成されている。そうするために、第２の駆動回路１１ｂに設けられた第２の禁止端子１１ｆは、第１のＣＰＵ１０ａの出力ラインに接続されている。

[0100] 更に、第１のインバータ回路３ａには、第１の電源リレー用スイッチング素子５ａをオン／オフすることができる制御端子の先端部に第１のＡＮＤ回路５ｃが追加され、この第１のＡＮＤ回路５ｃの２本の入力端子のうちの一方の入力端子には第１のＣＰＵ１０ａからの出力ラインが接続され、他方の入力端子には第２のＣＰＵ１０ｂの出力ラインが禁止端子を介して接続されている。同様に、第２のインバータ回路３ｂには、第２の電源リレー用スイッチング素子５ｂをオン／オフすることができる制御端子の先端部に第２のＡＮＤ回路５ｄが追加され、この第２のＡＮＤ回路５ｄの２本の入力端子のうちの一方の入力端子には第２のＣＰＵ１０ｂからの出力ラインが接続され、他方の入力端子には第１のＣＰＵ１０ａの出力ラインが禁止端子を介して接続されている。

[0101] その他の構成は、第１の実施の形態による電動パワーステアリング装置と同様である。

[0102] 以上のように構成されたこの発明の実施の形態２による電動パワーステアリング装置によれば、一方の制御系の出力系統関連の回路に、他方の制御系のＣＰＵからの強制的に出力停止用の信号ラインを接続しているので、一方

の制御系のＣＰＵが制御不可能となるような異常が発生した場合、又は前述の実施の形態１に記載の異常レベル３のような異常を検知した場合、１個のＣＰＵでは電動モータの駆動を停止できない可能性がある状況に陥った場合であっても、他方の制御系のＣＰＵからの指令により電動モータの駆動を停止することができる。その結果、２重系の安全性を更に高めることができる。

[0103] 又、この発明の実施の形態２による電動パワーステアリング装置によれば、一方の制御系のＣＰＵには、他方の制御系の入力情報が通信ライン１４を介して受信され、一方の制御系の入力情報は他方の制御系のＣＰＵに通信ライン１４を介して送信されるように構成されているので、一方の制御系のＣＰＵは、通信ライン１４を介した他方の制御系のＣＰＵからの通信情報が途切れるにことにより、他方の制御系のＣＰＵに異常が発生していることを極めて簡単に認識することができる。

[0104] 更に、電源回路の不良、図示していないがＣＰＵのクロック部の異常、或いはＣＰＵの演算異常による制御量の異常値等々の異常発生が考えられるが、このような場合、ＣＰＵの特に出力ポートの状態が電動モータの駆動をオンする側に固着してしまう可能性があるが、この発明の実施の形態２による電動パワーステアリング装置によれば、一方の制御系のインバータ回路に於ける電源リレー用スイッチング素子をオン／オフすることができる制御端子にＡＮＤ回路が設けられ、このＡＮＤ回路の２本の入力端子のうちの一方の入力端子に自身の制御系のＣＰＵからの出力ラインを接続し、他方の入力端子に他方の制御系のＣＰＵの出力ラインを禁止端子を介して接続しているので、電動モータの駆動を強制的に遮断することができる。

[0105] 以上述べたように、この発明の実施の形態２による電動パワーステアリング装置によれば、入力系統関連の情報は夫々の制御系のＣＰＵの間の通信ラインを介して情報を授受することにより、配線を簡略化することができる。又、出力系統関連の情報は互いの制御系の出力指令の結果をチェックすることにより相互監視を強化することができる。又、一方の駆動回路又は電源リ

レー用スイッチング素子を他方の制御系のＣＰＵにより出力停止させることができるため、安全性がより強固となる。

[0106] 実施の形態３．

次に、この発明の実施の形態３による電動パワーステアリング装置について説明する。図４は、この発明の実施の形態３による電動パワーステアリング装置の構成図である。図４は、前述の実施の形態１に於ける図２に相当する構成図であり、それと同一符号は同一又は相当の部位を示している。

[0107] 図４に於いて、第１のＣＰＵ１０ａと第１の駆動回路１１ａとの間に第１の切替え回路２１ａが挿入され、第２のＣＰＵ１０ｂと第２の駆動回路１１ｂとの間に第２の切替え回路２１ｃが挿入されている。第１の切替え回路２１ａには第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂからの出力指令信号が入力されており、第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂの出力指令信号のうちの一方と選択的に接続される切替え手段としてのスイッチが内蔵されている。同様に、第２の切替え回路２１ｃには第２のＣＰＵ１０ｂと第１のＣＰＵ１０ａからの出力指令信号が入力されており、第２のＣＰＵ１０ｂと第１のＣＰＵ１０ａの出力指令信号のうちの一方と選択的に接続される切替え手段としてのスイッチが内蔵されている。

[0108] 第１の切替え回路２１ａの出力端子は、通常は第１のＣＰＵ１０ａと接続され、第２の切替え回路２１ｃの出力端子は、通常は第２のＣＰＵ１０ｂと接続されるようにスイッチングされている。第１の切替え回路２１ａのスイッチングは、第１のＣＰＵ１０ａからの第１の切替え信号２１ｂにより切り替えることが可能である。第２の切替え回路２１ｃのスイッチングは、第２のＣＰＵ１０ｂからの第２の切替え信号２１ｂにより切り替えることが可能である。

[0109] その他の構成は、前述の実施の形態１による電動パワーステアリング装置の場合と同様である。

[0110] 以上のように、第１の切替え回路２１ａ及び第２の切替え回路２１ｃを設けたことにより、一方の制御系統に属するＣＰＵ又は出力系統関連の回路以

外の部位に異常が発生した場合、他方の制御系統のＣＰＵの駆動により電動モータ駆動を継続することが可能となる。例えば、第１のＣＰＵ１０ａが、自身の制御系の制御量又は出力指令等の異常を検出した場合、つまり自身の制御系の出力系統関連の回路は正常であるが、自身の制御系のその他の部位に異常が発生した場合、他方の制御系に属する第２のＣＰＵ１０ｂの出力指令に基づいて、異常が発生した自身の制御系の出力系統関連の回路を介して電動モータ２の駆動を継続することができる。これにより、出力系統関連の回路が正常であれば、例えＣＰＵ自体が異常に陥った場合であっても、通常とほぼ同様に電動モータの駆動を継続することが可能となる。

[0111] 尚、第１の切替え信号２１ｂと第２の切替え信号２１ｄは、自身が属する制御系のＣＰＵと接続されているので、例えばハイレベル又はローレベルの、一方的な電圧信号で切替えるものではなく、所定周期のオンオフ信号によって通常側にスイッチングされ、その所定周期のオンオフ信号が入力されない場合に、他方の制御系のＣＰＵに接続されるように切替わるので、ＣＰＵ自身の異常時の対応が可能となる切替え機能を備えることができる。

[0112] 図５Ａは、この発明の実施の形態３の変形例による電動パワーステアリング装置に於ける、部分構成図である。図５Ａに示す変形例は、切替え回路の変形例を示すものであって、第１の切替え回路２１ａを例として示しているが、第２の切替え回路２１ｃも、同様に構成することができる。図５Ａに於いて、第１の切替え回路２１ａへの第１の切替え信号２１ｂは、第１の論理和回路２１ｅから出力される。第１の論理和回路２１ｅに於ける２つの入力端子のうち、一方の入力端子には第１のＣＰＵ１０ａから第１の指令信号が入力され、他方の入力端子には第２のＣＰＵ１０ｂから第２の指令信号が入力される。

[0113] 図５Ｂは、この発明の実施の形態３の変形例による電動パワーステアリング装置に於ける、動作を示す波形図であって、Ａは、第１のＣＰＵ１０ａから出力される第１の指令信号１０ｃ、Ｂは、第２のＣＰＵ１０ｂから出力される第２の指令信号１０ｄ、Ｃは、第１の論理和回路２１ｅから出力される

第１の切替え信号２１ｂ、を夫々示している。Ａに示される第１の指令信号１０ｃは、所定の周期で、ハイレベルＨ１の区間と、このハイレベルＨ１の区間より長いローレベルＬ１の区間とが交互に繰り返される。Ｂに示される第２の指令信号１０ｄは、第１の指令信号１０ｃと同一の所定の周期で、且つ第１の指令信号１０ｃに対して位相がずれて発生され、ハイレベルＨ２の区間と、このハイレベルＨ２の区間より長いローレベルＬ２の区間とが交互に繰り返される。

[0114] 図５ＢのＡとＢに示されるように、第２の指令信号１０ｄのハイレベルＨ２の区間は、第１の指令信号１０ｃがローレベルＬ１の区間にある時刻に発生し、第１の指令信号１０ｃのハイレベルＨ１の区間は、第２の指令信号１０ｄがローレベルＬ２の区間にある時刻に発生するように、第１の指令信号１０ｃと第２の指令信号１０ｄは位相差を持って発生される。

[0115] 図５ＢのＣに示されるように、第１の論理和回路２１ｅの出力である第１の切替え信号２１ｂは、第１の指令信号１０ｃと第２の指令信号１０ｄのうち何れか一方がハイレベルのときにハイレベルＨ３となり、第１の指令信号１０ｃと第２の指令信号１０ｄの何れもローレベルのときにローレベルＬ３となる。第１のＣＰＵ１０ａと第２のＣＰＵ１０ｂが共に正常であれば第１の切替え信号２１ｂが図５ＢのＣに示されるように所定の早い周期で発生され、第１の切替え回路２１ａは第１のＣＰＵ１０ａに接続され、第１の駆動回路１１ａには第１のＣＰＵ１０ａからの制御指令が入力されるように構成されている。

[0116] 更に、第１のＣＰＵ１０ａが正常であり図５ＢのＡに示す第１の指令信号１０ｃを発生し、第２のＣＰＵ１０ｂが異常となってハイレベルＨ２又はローレベルＬ２が継続して発生した場合は、第１の論理和回路２１ｅの出力である第１の切替え信号２１ｂは図５Ｂに示される第１の指令信号１０ｃと同一の信号となり、この場合も第１の切替え回路２１ａは第１のＣＰＵ１０ａに接続され、第１の駆動回路１１ａには第１のＣＰＵ１０ａからの制御指令が入力されるように構成されている。

[0117] このように、第１の切替え回路２１ａは、第１のＣＰＵ１０ａが正常であれば第２のＣＰＵ１０ｂが正常であると否とにかかわらず、第１のＣＰＵ１０ａに接続され、第１の駆動回路１１ａには第１のＣＰＵ１０ａからの制御指令が入力される。一方、第１のＣＰＵ１０ａが異常となってハイレベルＨ１又はローレベルＬ１が継続して発生した場合は、第１の切替え回路２１ａは、第２のＣＰＵ１０ｂに接続され、第１の駆動回路１１ａには第２のＣＰＵ１０ｂからの制御指令が入力されるように構成されている。

[0118] 又、第１のＣＰＵ１０ａからの第１の指令信号１０ｃと第２のＣＰＵ１０ｂからの指令信号１０ｄが、共にハイレベルＨ１又はローレベルＬ１を継続して発生する信号となった場合は、両方のＣＰＵが異常である可能性が大のため、第１の切替え回路２１ａはどちらのＣＰＵにも接続しない第３モード接点を備えた構成としてもよい。

[0119] 又、第１の切替え信号２１ｂの周期をチェックするために、例えば、第１の切替え信号２１ｂの周期計測回路を複数個配置して、第１の切替え信号２１ｂの周期が「早い」、「遅い」、「その中間」に区分して第１の切替え回路２１ａをスイッチングさせるように構成することも可能である。

[0120] 以上述べたように、この発明の実施の形態３による電動パワーステアリング装置によれば、ＣＰＵが異常時のことを考慮して切替え回路を有することで、ＣＰＵ自身の異常であっても、その出力系回路を有効に使用して、モータ駆動を継続することが可能となる。

[0121] 尚、この発明は前述の実施の形態１、２、及び３による電動パワーステアリング装置に限定されるものではなく、この発明の趣旨を逸脱しない範囲において、実施の形態１から３の構成を適宜組み合わせたり、その構成に一部変形を加えたり、構成を一部省略することが可能である。

符号の説明

[0122] １　制御ユニット、１ａ　第１の制御ユニット、１ｂ　第２の制御ユニット、２　電動モータ、２１　第１の電機子巻線、２２　第２の電機子巻線、３ａ　第１のインバータ回路、３ｂ　第２のインバータ回路、４ａ　第１の制

御回路部、４ｂ　第２の制御回路部、５ａ　第１の電源リレー用スイッチング素子、５ｂ　第２の電源リレー用スイッチング素子、６ａ　第１のフィルタ、６ｂ　第２のフィルタ、６１ａ　第１のフィルタコンデンサ、６１ｂ　第２のフィルタコンデンサ、６２ａ　第１のフィルタコイル、６２ｂ　第２のフィルタコイル、７　イグニッションスイッチ、８ａ　第１のセンサ類、８ｂ　第２のセンサ類、９　バッテリ、１０ａ　第１のＣＰＵ、１０ｂ　第２のＣＰＵ、１１ａ　第１の駆動回路、１１ｂ　第２の駆動回路、１２ａ　第１の入力回路、１２ｂ　第２の入力回路、１３ａ　第１の電源回路、１３ｂ　第２の電源回路、１４　通信ライン、１５　報知手段、１６ａ　第１の出力回路、１６ｂ　第２の出力回路、１７ａ　第１の回転センサ、１７ｂ第２の回転センサ、＋Ｂ　バッテリの正極側端子、ＧＮＤ　バッテリの負極側端子、２１ａ　第１の切替え回路、２１ｂ　第２の切替え回路

請求の範囲

[請求項1] 互いに独立した二つの電機子巻線を備えた電動モータを有し、前記電動モータの駆動力により車両のステアリングを操舵する運転者の操舵力をアシストするようにした電動パワーステアリング装置であって、

前記電動モータを駆動する二つの制御ユニットを備え、

前記二つの制御ユニットは、夫々、電源回路と、少なくとも前記運転者が前記車両のステアリングに加える操舵トルクを含む入力情報が入力される入力回路と、前記電動モータを駆動するように構成されたインバータ回路と、前記インバータ回路を駆動するように構成された駆動回路と、前記入力回路から出力される前記入力情報に基づき演算した制御量に基づく制御指令を前記駆動回路へ入力するＣＰＵを備え、

前記電源回路は、自身が属する前記制御ユニットに電力を供給するように構成され、

前記二つの制御ユニットに夫々設けられた前記ＣＰＵは、

自身が属しない前記制御ユニットに於ける前記入力情報を取得できるように構成されると共に、自身が属する前記制御ユニットに於ける前記入力情報に関連する異常と前記入力情報以外の情報に関連する異常とを検知する異常検知機能を有し、前記何れの異常も検知していない通常時には、前記制御指令を自身が属する前記制御ユニットに於ける前記駆動回路に与えるように構成され、

前記夫々のＣＰＵのうちの一方のＣＰＵが、自身が属する前記制御ユニットに於ける前記入力情報に関連する異常を検知したときは、

前記入力情報に関連する異常を検知した前記一方のＣＰＵは、自身が属しない前記制御ユニットに於ける前記入力情報を用いて制御量を演算し、その演算した制御量に基づく制御指令を、前記自身が属する制御ユニットに於ける前記駆動回路に与えるように構成されると共に

、前記入力情報に関連する異常を検知していない他方のＣＰＵは、前記通常時と同等の制御指令を自身が属する前記制御ユニットに於ける前記駆動回路に継続して与えるように構成され、

前記夫々のＣＰＵのうちの一方のＣＰＵが、自身が属する前記制御ユニットに於ける前記入力情報以外の情報に関連する異常を検知したときは、

前記入力情報以外の情報に関連する異常を検知した前記一方のＣＰＵは、その検知した異常の内容に応じて、前記電動モータの駆動の停止又は継続の何れかを行う制御指令を、前記自身が属する前記制御ユニットの前記駆動回路に与えるように構成されると共に、前記入力情報以外の情報に関連する異常を検知していない他方のＣＰＵは、一方のＣＰＵにより検知された前記異常の内容に応じた制御指令を、自身が属する前記制御ユニットに於ける前記駆動回路に与えるように構成され、

前記二つの制御ユニットに夫々設けられた前記駆動回路は、前記与えられた制御指令に基づいて前記電動モータを制御するように自身の属する前記インバータ回路を駆動するように構成されている、

ことを特徴とする電動パワーステアリング装置。

[請求項2] 前記二つの制御ユニットは、夫々自身の制御ユニットに設けられている前記インバータ回路に電源を供給する電源リレーを有し、

前記二つの制御ユニットに於ける夫々のＣＰＵのうちの一方のＣＰＵが前記電動モータの駆動を停止させる必要のある異常を検知したときは、

前記電動モータの駆動を停止させる必要のある異常を検知した前記一方のＣＰＵは、前記電動モータを停止させる制御指令を、自身が属する前記制御ユニットに設けられた前駆駆動回路に与えるように構成され、

前記電動モータの駆動を停止させる必要のある異常を検知していな

い他方のＣＰＵは、自身が属していない前記制御ユニットに於ける前記電源リレーをオフする信号を出力するように構成されている、

ことを特徴とする請求項１に記載の電動パワーステアリング装置。

[請求項3] 前記二つの制御ユニットに設けられた夫々の前記駆動回路は、その出力を停止する禁止端子を有し

前記二つの制御ユニットに於ける夫々のＣＰＵのうちの一方のＣＰＵが前記電動モータの駆動を停止させる必要のある異常を検知したときは、

前記電動モータの駆動を停止させる必要のある異常を検知した前記一方のＣＰＵは、前記電動モータを停止させる制御指令を自身が属する前駆駆動回路に与えるように構成され、

前記電動モータの駆動を停止させる必要のある異常を検知していない他方のＣＰＵは、自身が属していない前記制御ユニットに於ける前記駆動回路の前記禁止端子に出力停止信号を与えるように構成されている、

ことを特徴とする請求項１に記載の電動パワーステアリング装置。

[請求項4] 前記二つの制御ユニットは、夫々前記ＣＰＵと前記駆動回路との間に挿入された切替え回路を備え、

前記夫々の切替え回路は、自身が属する制御ユニットに於ける前記ＣＰＵからの切替え信号、若しくは自身が属しない前記制御ユニットに於ける前記ＣＰＵからの切替え信号を受けて、自身が属する前記制御ユニットに於ける前記ＣＰＵからの制御指令と自身が属しない前記制御ユニットに於ける前記ＣＰＵからの制御指令とのうちの一方を選択し、前記選択した制御指令を自信が属する前記制御ユニットに於ける前記駆動回路に入力するように構成されている、

ことを特徴とする請求項１に記載の電動パワーステアリング装置。

[請求項5] 前記二つの制御ユニットに於ける夫々のＣＰＵのうちの一方のＣＰＵが前記入力情報以外の情報に関連する異常を検知したとき、

前記入力情報以外の情報に関連する異常を検知した前記一方のＣＰＵは、その検知した異常が前記電動モータの駆動を継続させる内容である場合に、前記異常の内容に応じて、前記通常時と同等の駆動力を前記電動モータに発生させる制御指令を自身が属する前記制御ユニットの前記駆動回路に与え、又は前記通常時よりレベルが低下した駆動力を前記電動モータに発生させる制御指令を自身が属する前記制御ユニットの前記駆動回路に与えるように構成され、

前記入力情報以外の情報に関連する異常を検知していない他方のＣＰＵは、前記一方のＣＰＵが検知した前記入力情報以外の情報に関連する異常の内容に応じて、前記通常時と同等の制御指令を自身が属する前記制御ユニット与え、又は前記レベルが低下した駆動力を補充する駆動力を前記電動モータに発生させる制御指令を自身が属する前記制御ユニットの前記駆動回路に与えるように構成されている、

ことを特徴とする請求項１に記載の電動パワーステアリング装置。

[請求項6] 前記二つの制御ユニットに於ける夫々のＣＰＵは、前記夫々の入力回路を介して互いに接続されている、

ことを特徴とする請求項１に記載の電動パワーステアリング装置。

[請求項7] 前記二つの制御ユニットに於ける夫々のＣＰＵは、通信ラインにより相互に接続され、前記通信ラインを介して互いに情報を授受できるように構成されている、

ことを特徴とする請求項１記載の電動パワーステアリング装置。

[請求項8] 前記二つの制御ユニットに於ける夫々の前記駆動回路と前記インバータ回路とのうちの少なくとも一方からの情報は、自身が属しない前記制御ユニットに於ける前記ＣＰＵにも伝達するように構成されている、

ことを特徴とする請求項１に記載の電動パワーステアリング装置。

[請求項9] 前記運転者に異常の有無を報知する報知手段を備え、

前記異常が検知されたとき、その異常の内容にかかわらず、前記何

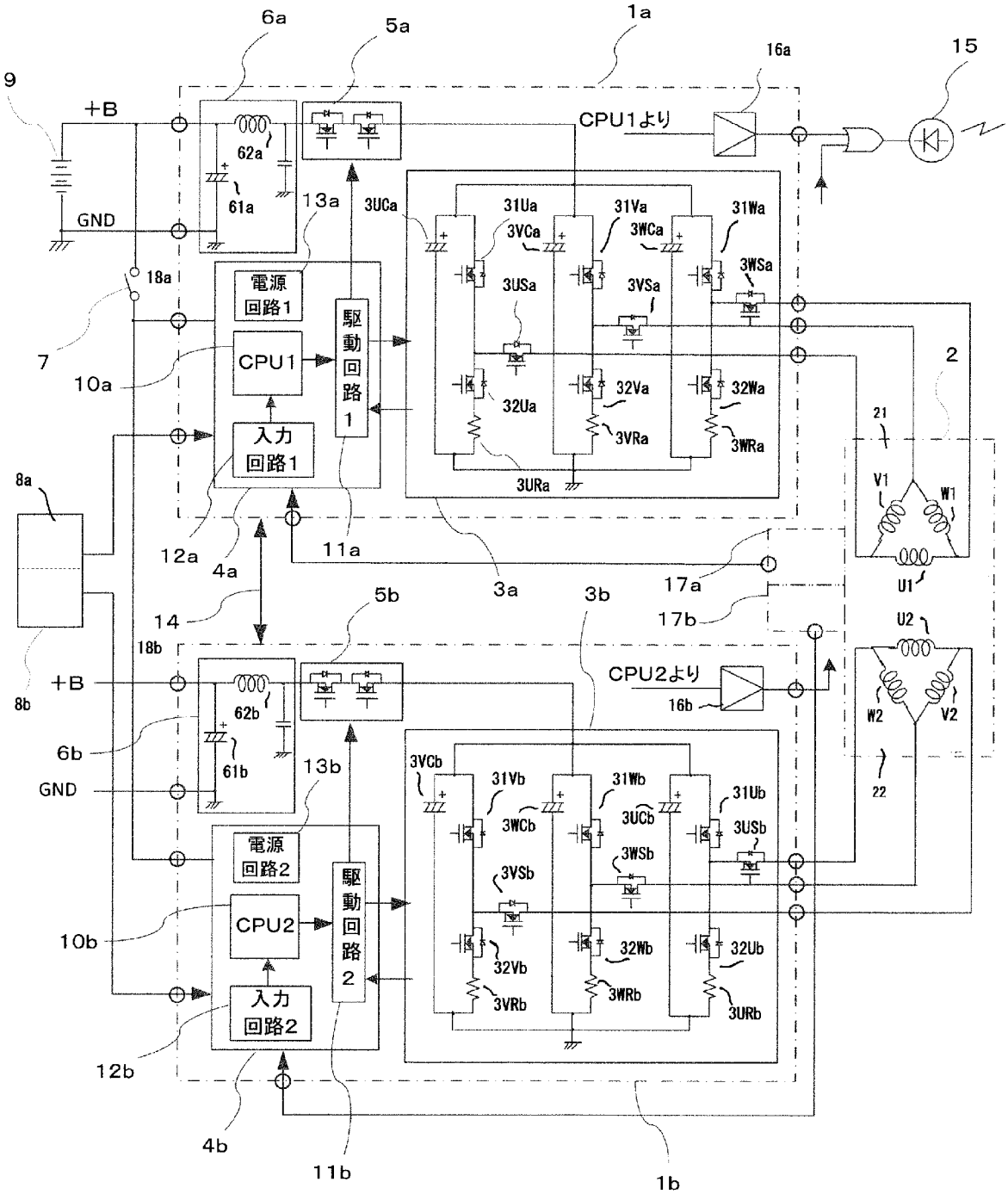
れの制御ユニットに於ける前記ＣＰＵからでも前記報知手段を作動させることができるように構成されている、

ことを特徴とする請求項１から８のうちの何れか一項に記載の電動パワーステアリング装置。

WO 2017/122329 PCT/JP2016/051019

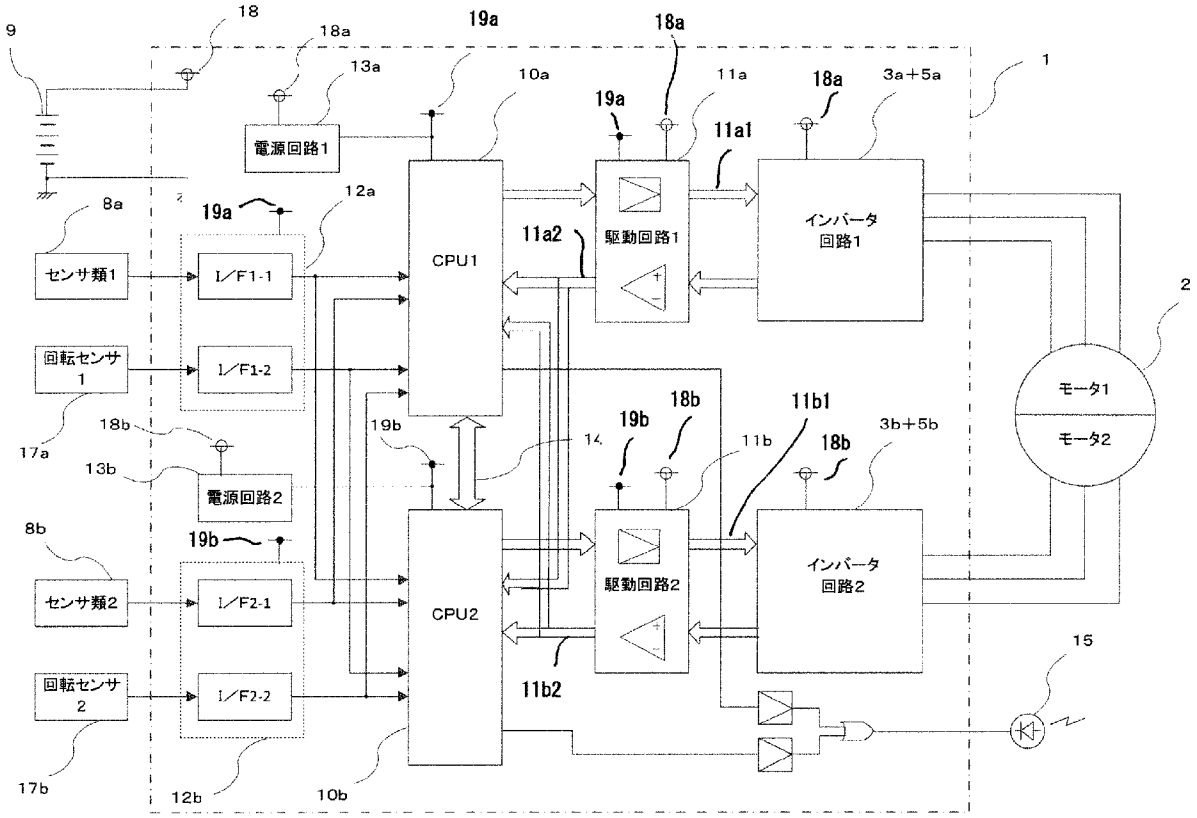
[図1]

図1



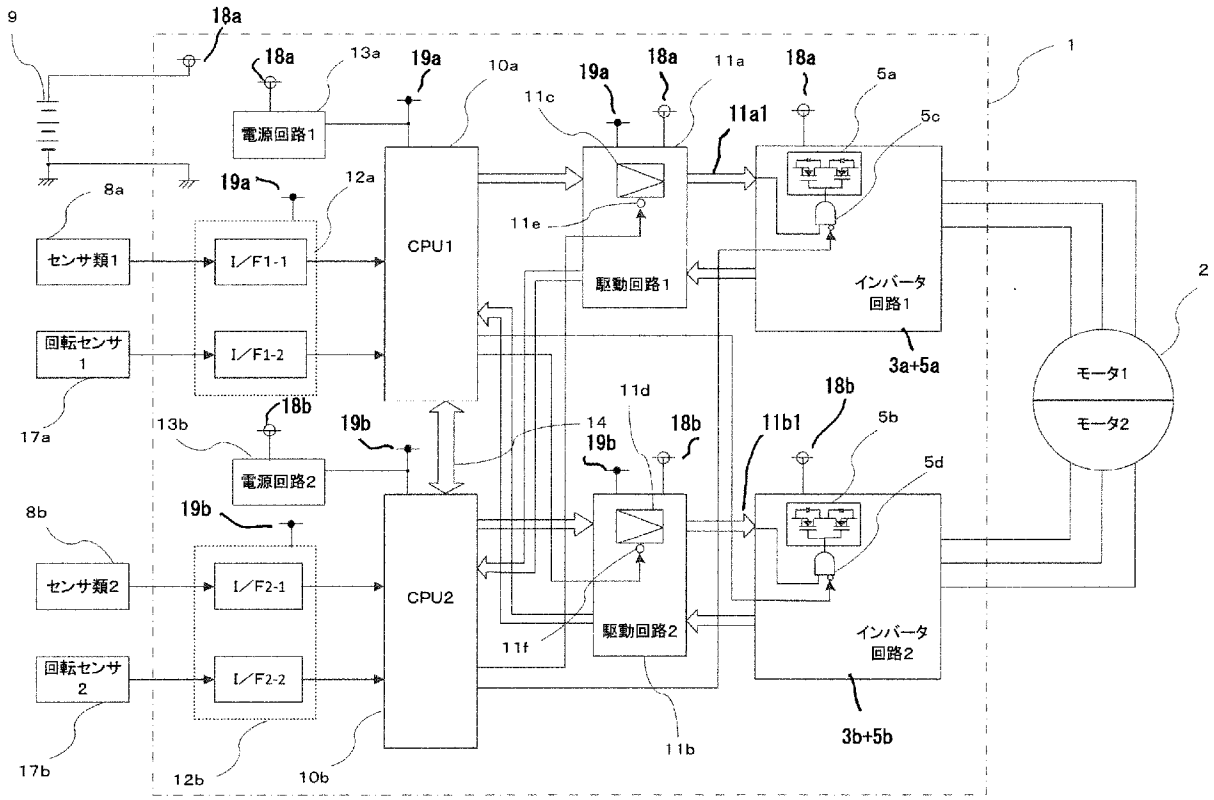
[図2]

図２


9
18
18a
19a
18a
1
13a
10a
19a
11a
18a
3a+5a
電源回路1
11a1
8a
19a
12a
11a2
駆動回路1
インバータ回路1
センサ類1
I/F1-1
CPU1
2
回転センサ1
I/F1-2
モータ1
モータ2
17a
18b
19b
18b
11b1
19b
14
11b
18b
3b+5b
13b
電源回路2
8b
19b
センサ類2
I/F2-1
CPU2
駆動回路2
インバータ回路2
15
回転センサ2
I/F2-2
11b2
17b
12b
10b

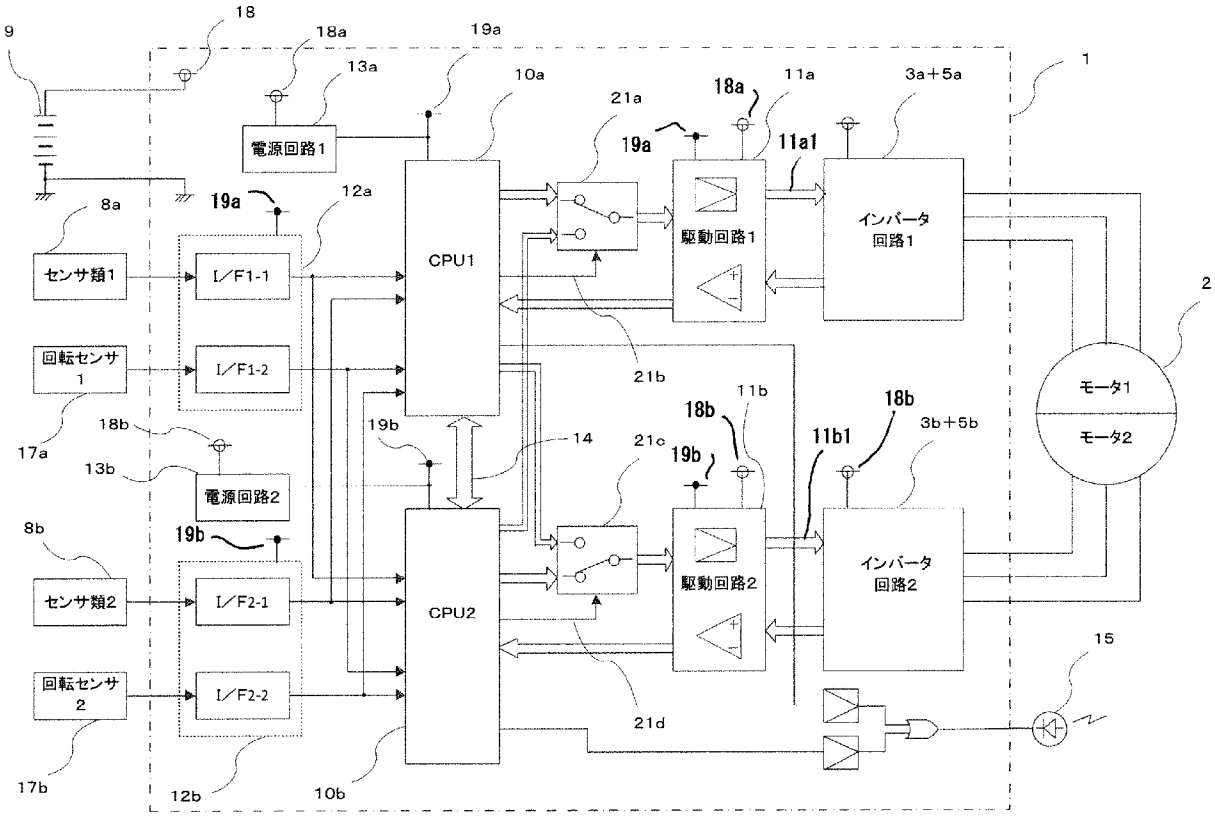
[図3]

図３


9
18a
1
18a
13a
19a
10a
19a
18a
11a
18a
5a
11c
11a1
5c
電源回路1
8a
19a
12a
CPU1
11e
駆動回路1
インバータ回路1
2
センサ類1
I/F1-1
回転センサ1
I/F1-2
3a+5a
モータ1
モータ2
17a
18b
11d
18b
18b
11b1
5b
13b
19b
14
19b
19b
5d
電源回路2
8b
19b
センサ類2
I/F2-1
CPU2
駆動回路2
インバータ回路2
回転センサ2
I/F2-2
11f
3b+5b
17b
12b
10b
11b

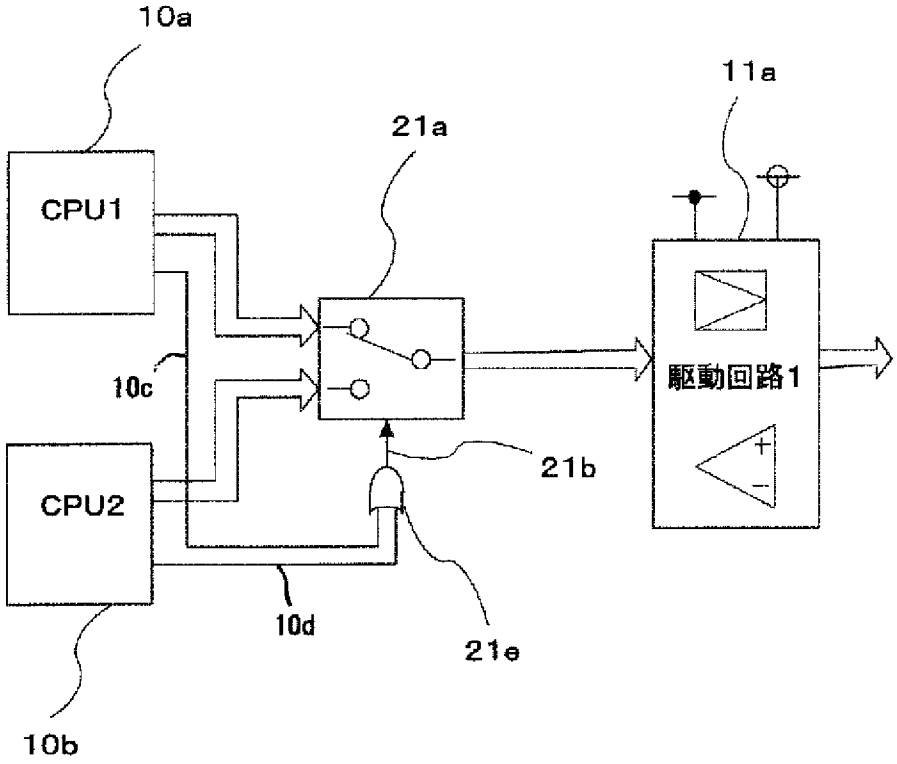
[図4]

図４


9
18
18a
19a
13a
10a
21a
18a
11a
3a+5a
1
電源回路1
19a
11a1
8a
19a
12a
CPU1
駆動回路1
インバータ回路1
2
センサ類1
I/F1-1
回転センサ1
I/F1-2
21b
モータ1
モータ2
17a
18b
11b
18b
19b
14
21c
19b
11b1
3b+5b
13b
電源回路2
8b
19b
センサ類2
I/F2-1
CPU2
駆動回路2
インバータ回路2
15
回転センサ2
I/F2-2
21d
17b
12b
10b

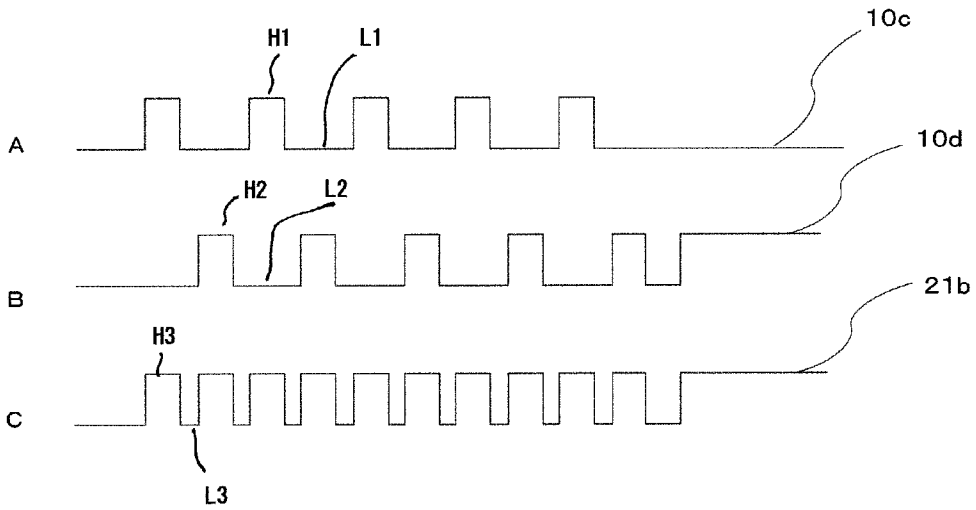
[図5A]

図５Ａ


10a
11a
21a
CPU1
10c
駆動回路1
21b
CPU2
10d
21e
10b

[図5B]

図５Ｂ



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/051019

A. CLASSIFICATION OF SUBJECT MATTER
B62D6/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
B62D6/00-6/10, B62D5/00-5/06, B62D5/07-5/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-053012 A (Robert Bosch GmbH), 22 February 2000 (22.02.2000), paragraphs [0013] to [0018]; fig. 1 & US 6208923 B1 column 2, line 26 to column 3, line 21; fig. 1 & DE 19834870 A1	1-9
A	JP 2004-182039 A (Toyoda Machine Works, Ltd.), 02 July 2004 (02.07.2004), paragraphs [0025] to [0123]; fig. 1 to 9 & US 2004/0128042 A1 paragraphs [0036] to [0137]; fig. 1 to 9 & EP 1426266 A2 & DE 60311391 T2	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 March 2016 (24.03.16)	05 April 2016 (05.04.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/051019

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-086718 A (JTEKT Corp.), 13 May 2013 (13.05.2013), paragraphs [0011] to [0037]; fig. 1 to 4 (Family: none)	1-9
A	JP 2013-079027 A (Denso Corp.), 02 May 2013 (02.05.2013), paragraphs [0012] to [0038]; fig. 1 to 4 & US 2013/0090809 A1 paragraphs [0019] to [0052]; fig. 1 to 4	1-9
A	WO 2015/068260 A1 (Mitsubishi Electric Corp.), 14 May 2015 (14.05.2015), paragraphs [0014] to [0072]; fig. 1 to 4 (Family: none)	1-9
A	JP 2006-168482 A (Nissan Motor Co., Ltd.), 29 June 2006 (29.06.2006), paragraphs [0008] to [0106]; fig. 1 to 8 (Family: none)	1-9
A	JP 2004-142731 A (Nissan Motor Co., Ltd.), 20 May 2004 (20.05.2004), paragraphs [0008] to [0070]; fig. 1 to 10 & US 2004/0040778 A1 paragraphs [0016] to [0067]; fig. 1 to 7 & EP 1394014 A1 & CN 1486900 A	1-9
A	JP 2012-056403 A (JTEKT Corp.), 22 March 2012 (22.03.2012), paragraphs [0020] to [0036]; fig. 1 to 4 & US 2013/0179040 A1 paragraphs [0037] to [0053]; fig. 1 to 4 & WO 2012/032393 A1 & EP 2614007 A1 & CN 103079962 A	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５１０１９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　B62D6/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　B62D6/00-6/10, B62D5/00-5/06, B62D5/07-5/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０１６年
日本国実用新案登録公報　１９９６－２０１６年
日本国登録実用新案公報　１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2000-053012 A（ローベルト　ボツシユ　ゲゼルシヤフト　ミツト　ベシユレンクテル　ハフツング） 2000.2.22、[0013]-[0018]、図１ & US 6208923 B1、２欄26行-3欄21行、FIG.1 & DE 19834870 A1	1-9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２４．０３．２０１６	０５．０４．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｑ　４７５４
神田　泰貴
電話番号　０３－３５８１－１１０１　内線　３３７９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-182039 A (豊田工機株式会社) 2004.7.2、[0025]-[0123]、図 1-図 9 & US 2004/0128042 A1、[0036]-[0137]、Fig.1-Fig.9 & EP 1426266 A2 & DE 60311391 T2	1-9
A	JP 2013-086718 A (株式会社ジェイテクト) 2013.5.13、[0011]-[0037]、図 1-図 4 （ファミリーなし）	1-9
A	JP 2013-079027 A (株式会社デンソー) 2013.5.2、[0012]-[0038]、図 1-図 4 & US 2013/0090809 A1、[0019]-[0052]、FIG.1-FIG.4	1-9
A	WO 2015/068260 A1 (三菱電機株式会社) 2015.5.14、[0014]-[0072]、図 1-図 4 （ファミリーなし）	1-9
A	JP 2006-168482 A (日産自動車株式会社) 2006.6.29、[0008]-0106]、図 1-図 8 （ファミリーなし）	1-9
A	JP 2004-142731 A (日産自動車株式会社) 2004.5.20、[0008]-[0070]、図 1-図 10 & US 2004/0040778 A1、[0016]-[0067]、FIG.1-FIG.7 & EP 1394014 A1 & CN 1486900 A	1-9
A	JP 2012-056403 A (株式会社ジェイテクト) 2012.3.22、[0020]-[0036]、図 1-図 4 & US 2013/0179040 A1、[0037]-[0053]、FIG.1-FIG.4 & WO 2012/032393 A1 & EP 2614007 A1 & CN 103079962 A	1-9