

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)



(10) 国際公開番号

WO 2022/018823 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) G02F 1/01 (2006.01)
H01L 27/04 (2006.01) G02F 1/025 (2006.01)

内 Tokyo (JP). 野坂 秀之(NOSAKA, Hideyuki);
〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1
1 N T T 知的財産センタ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2020/028253

(22) 国際出願日: 2020年7月21日(21.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目 5 番 1 号 Tokyo (JP).

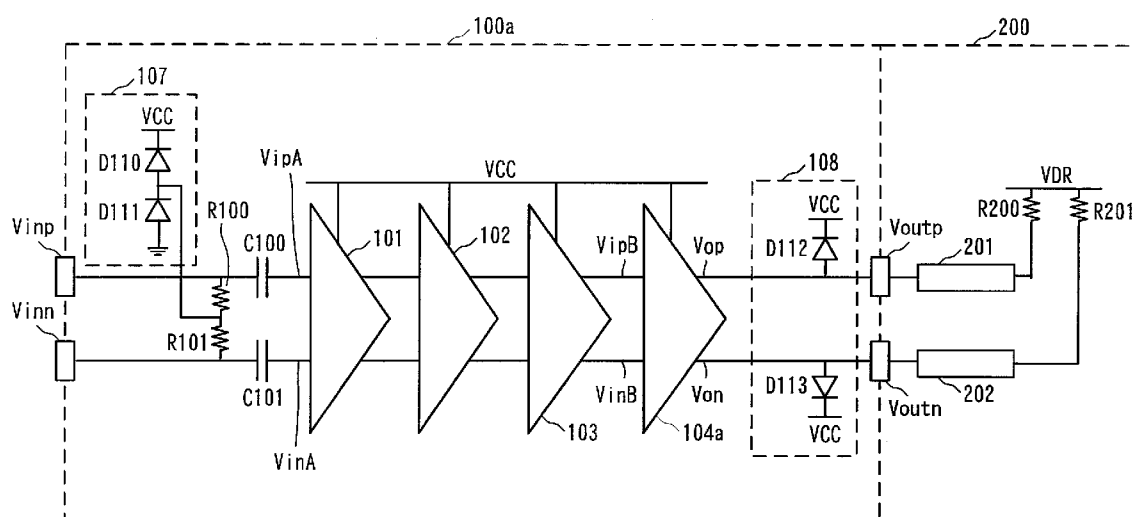
(72) 発明者: 徐 照男(JO, Teruo); 〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1 1 N T T 知的財産センタ内 Tokyo (JP). 長谷 宗彦(NAGATANI, Munchiko); 〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1 1 N T T 知的財産センタ

(74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町 2 丁目 1 1 番 1 号 山王パークタワー 4 階 山川国際特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DRIVER CIRCUIT

(54) 発明の名称: ドライバ回路



(57) Abstract: A driver circuit (100a) comprises: a DC cut capacitor (C100, C101); an input buffer (101); input terminal resistors (R100, R101) connected in series between differential input signal terminals (Vinp, Vinn); and an ESD protection circuit (107) connected to the connection point of the input terminal resistors (R100, R101). The ESD protection circuit (107) is constituted from diodes (D110, D111).

[続葉有]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: ドライバ回路 (100a) は、DCカットキャパシタ (C100, C101) と、入力バッファ (101) と、差動入力信号端子 (Vinp, Vinn) 間に直列に接続された入力終端抵抗 (R100, R101) と、入力終端抵抗 (R100, R101) の接続点に接続されたESD保護回路 (107) とを備える。ESD保護回路 (107) は、ダイオード (D110, D111) から構成される。

明 細 書

発明の名称：ドライバ回路

技術分野

[0001] 本発明は、光変調器を駆動するドライバ回路に関するものである。

背景技術

[0002] 光通信用の送信器に用いられる変調器ドライバ回路は、光送信器内の光変調器を駆動するために用いられ、送信する電気信号の振幅強度を光変調器の駆動が可能なレベルまで増幅する役割を果たす。このようなドライバ回路は、回路内で用いられるトランジスタに耐圧以上の電圧がかからないようにするための保護機能を備えることが求められる。

[0003] 静電気が印加された場合の耐圧保護対策として従来、図17のようにドライバ回路の外部への全ての端子に、ダイオードで構成された静電気放電（ESD：Electro-Static Discharge）保護回路を付加する方法がとられる（非特許文献1参照）。

[0004] ドライバ回路100は、光導波路（不図示）と電極201、202と抵抗R200、R201とから構成されるマッハツェンダ光変調器（MZM：Mach-Zehnder Modulator）200を駆動する。ドライバ回路100は、入力バッファ101と、利得制御増幅器（GCA：Gain control amplifier）102と、前置増幅器103と、出力回路104と、DCカットキャパシタC100、C101と、入力終端抵抗R100、R101と、ESD保護回路105、106とから構成される。

[0005] ドライバ回路100の差動入力信号端子Vinp、Vinnに設けられたESD保護回路105は、ダイオードD100～D103から構成される。ドライバ回路100の差動出力信号端子Voutp、Voutnに設けられたESD保護回路106は、ダイオードD104～D107から構成される。

図18は出力回路104の構成を示す回路図である。出力回路104は、

トランジスタQ100～Q104から構成される。

[0006] 図17、図18のVCCはドライバ回路100の電源電圧、VDRはM200の電源電圧、VB1、VB2はバイアス電圧である。ドライバ回路100の出力信号端子Voutpには、抵抗R200と電極201とを介してM200の電源電圧VDRが印加される。同様に、ドライバ回路100の出力信号端子Voutnには、抵抗R201と電極202とを介して電源電圧VDRが印加される。

[0007] ドライバ回路100の通常動作時には、ESD保護回路105、106のダイオードD100～D103、D104～D107は、電流が流れることなく、オフ状態である。

一方、ドライバ回路100の入力信号端子Vinp、Vinnに電源電圧VCCよりも高い電圧が印加された場合には、入力信号端子Vinp、VinnからダイオードD100、D102を経由して電源電圧VCC側に電流が流れることにより、ドライバ回路100のトランジスタが保護される。また、入力信号端子Vinp、Vinnにグラウンドよりも低い電圧が印加された場合には、グラウンドからダイオードD101、D103を経由して入力信号端子Vinp、Vinn側に電流が流れることにより、ドライバ回路100のトランジスタが保護される。

[0008] 同様に、ドライバ回路100の出力信号端子Voutp、Voutnに電源電圧VCCよりも高い電圧が印加された場合には、出力信号端子Voutp、VoutnからダイオードD104、D106を経由して電源電圧VCC側に電流が流れることにより、ドライバ回路100のトランジスタが保護される。また、出力信号端子Voutp、Voutnにグラウンドよりも低い電圧が印加された場合には、グラウンドからダイオードD105、D107を経由して出力信号端子Voutp、Voutn側に電流が流れることにより、ドライバ回路100のトランジスタが保護される。

[0009] しかしながら、従来のドライバ回路100には、静電気からドライバ回路100を保護するために設けられるESD保護回路105、106のダイオ

ードD100～D103, D104～D107の寄生容量が大きく、寄生容量がドライバ回路100の入出力信号端子に付加されることによってドライバ回路100の帯域が大きく劣化するという課題があった。

先行技術文献

非特許文献

- [0010] 非特許文献1: Teruo Suzuki, et al., “A study of ESD robustness of cas coded NMOS driver”, 2007 29th Electrical Overstress/Electrostatic Discharge Symposium(EOS/ESD), IEEE, 2007

発明の概要

発明が解決しようとする課題

- [0011] 本発明は、上記課題を解決するためになされたもので、静電気保護機能を備えつつ、従来よりも広い周波数帯域を実現することができるドライバ回路を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明のドライバ回路（第1の実施例）は、一端がドライバ回路の正相側の第1の入力信号端子に接続された第1のキャパシタと、一端がドライバ回路の逆相側の第2の入力信号端子に接続された第2のキャパシタと、非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファと、前記第1の入力信号端子と前記第2の入力信号端子との間に直列に接続された第1、第2の入力終端抵抗と、前記第1、第2の入力終端抵抗の接続点に接続されたESD保護回路とを備え、前記ESD保護回路は、アノードが前記第1、第2の入力終端抵抗の接続点に接続され、カソードが電源電圧に接続された第1のダイオードと、アノードがグラウンドに接続され、カソードが前記第1、第2の入力終端抵抗の接続点に接続された第2のダイオードとから構成されることを特徴とするものである。

- [0013] また、本発明のドライバ回路（第3の実施例）は、ドライバ回路の正相側

の第1の入力信号端子と逆相側の第2の入力信号端子とに接続されたESD保護回路と、一端が前記ESD保護回路に接続された第1、第2のキャパシタと、非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファとを備え、前記ESD保護回路は、入力端が前記第1の入力信号端子に接続され、出力端が前記第1のキャパシタの一端に接続された第1の伝送線路と、入力端が前記第2の入力信号端子に接続され、出力端が前記第2のキャパシタの一端に接続された第2の伝送線路と、前記第1の伝送線路に沿って配置され、一端が前記第1の伝送線路に接続された複数の第1の入力終端抵抗と、前記第2の伝送線路に沿って配置され、一端が前記第2の伝送線路に接続され、他端が前記第1の入力終端抵抗の他端に接続された複数の第2の入力終端抵抗と、直列に接続された前記第1、第2の入力終端抵抗の組毎に設けられ、アノードが前記第1、第2の入力終端抵抗の接続点に接続され、カソードが電源電圧に接続された複数の第1のダイオードと、前記第1のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第1のダイオードのアノードに接続された複数の第2のダイオードとから構成されることを特徴とするものである。

[0014] また、本発明のドライバ回路（第4の実施例）は、ドライバ回路の正相側の第1の入力信号端子と逆相側の第2の入力信号端子とに接続されたESD保護回路と、一端が前記ESD保護回路に接続された第1、第2のキャパシタと、非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファとを備え、前記ESD保護回路は、入力端が前記第1の入力信号端子に接続され、出力端が前記第1のキャパシタの一端に接続された第1の伝送線路と、入力端が前記第2の入力信号端子に接続され、出力端が前記第2のキャパシタの一端に接続された第2の伝送線路と、前記第1の伝送線路に沿って配置され、一端が前記第1の伝送線路に接続された複数の第1の入力終端抵抗と、前記第2の伝送線路に沿って配置され、一端が前記第2の伝送線路に接続され、他端

が前記第 1 の入力終端抵抗の他端に接続された複数の第 2 の入力終端抵抗と、直列に接続された前記第 1、第 2 の入力終端抵抗の複数の組のうち 1 つおきの組毎に設けられ、アノードが前記第 1、第 2 の入力終端抵抗の接続点に接続され、カソードが電源電圧に接続された複数の第 1 のダイオードと、アノードがグラウンドに接続され、前記第 1、第 2 の入力終端抵抗の複数の組のうち前記第 1 のダイオードが接続されていない第 1、第 2 の入力終端抵抗の接続点にカソードが接続された複数の第 2 のダイオードとから構成されることを特徴とするものである。

[0015] また、本発明のドライバ回路（第 5 の実施例）は、ドライバ回路の正相側の第 1 の入力信号端子と逆相側の第 2 の入力信号端子とに接続された ESD 保護回路と、一端が前記 ESD 保護回路に接続された第 1、第 2 のキャパシタと、非反転入力端子が前記第 1 のキャパシタの他端に接続され、反転入力端子が前記第 2 のキャパシタの他端に接続された入力バッファとを備え、前記 ESD 保護回路は、入力端が前記第 1 の入力信号端子に接続され、出力端が前記第 1 のキャパシタの一端に接続された第 1 の伝送線路と、入力端が前記第 2 の入力信号端子に接続され、出力端が前記第 2 のキャパシタの一端に接続された第 2 の伝送線路と、前記第 1 の伝送線路の出力端と前記第 2 の伝送線路の出力端との間に直列に接続された第 1、第 2 の入力終端抵抗と、前記第 1 の伝送線路に沿って配置され、アノードが前記第 1 の伝送線路に接続され、カソードが電源電圧に接続された複数の第 1 のダイオードと、前記第 1 のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第 1 のダイオードのアノードに接続された複数の第 2 のダイオードと、前記第 2 の伝送線路に沿って配置され、アノードが前記第 2 の伝送線路に接続され、カソードが前記電源電圧に接続された複数の第 3 のダイオードと、前記第 3 のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第 3 のダイオードのアノードに接続された複数の第 4 のダイオードとから構成されることを特徴とするものである。

[0016] また、本発明のドライバ回路（第 6 の実施例）は、ドライバ回路の正相側

の第1の入力信号端子と逆相側の第2の入力信号端子とに接続されたESD保護回路と、一端が前記ESD保護回路に接続された第1、第2のキャパシタと、非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファとを備え、前記ESD保護回路は、入力端が前記第1の入力信号端子に接続され、出力端が前記第1のキャパシタの一端に接続された第1の伝送線路と、入力端が前記第2の入力信号端子に接続され、出力端が前記第2のキャパシタの一端に接続された第2の伝送線路と、前記第1の伝送線路の出力端と前記第2の伝送線路の出力端との間に直列に接続された第1、第2の入力終端抵抗と、前記第1の伝送線路に沿って配置され、アノードが前記第1の伝送線路に接続され、カソードが電源電圧に接続された複数の第1のダイオードと、前記第1のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第1の伝送線路に接続された複数の第2のダイオードと、前記第2の伝送線路に沿って配置され、アノードが前記第2の伝送線路に接続され、カソードが前記電源電圧に接続された複数の第3のダイオードと、前記第3のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第2の伝送線路に接続された複数の第4のダイオードとから構成され、前記第1のダイオードと前記第2のダイオードとは、前記第1の伝送線路の異なる点に接続されるように交互に配置され、前記第3のダイオードと前記第4のダイオードとは、前記第2の伝送線路の異なる点に接続されるように交互に配置されることを特徴とするものである。

[0017] また、本発明のドライバ回路（第1の実施例）は、非反転出力端子がドライバ回路の正相側の第1の出力信号端子に接続され、反転出力端子がドライバ回路の逆相側の第2の出力信号端子に接続された出力回路と、前記第1、第2の出力信号端子に接続された第1のESD保護回路とを備え、前記第1のESD保護回路は、アノードが前記第1の出力信号端子に接続され、カソードが電源電圧に接続された第1のダイオードと、アノードが前記第2の出力信号端子に接続され、カソードが前記電源電圧に接続された第2のダイオ

ードとから構成され、前記出力回路は、ベース端子に光変調器の駆動のための差動信号が入力される第1、第2のトランジスタと、コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された第3のトランジスタと、コレクタ端子が前記第2の出力信号端子に接続され、エミッタ端子が前記第2のトランジスタのコレクタ端子に接続された第4のトランジスタと、前記第3、第4のトランジスタのベース端子に接続された第2のESD保護回路とから構成され、前記第2のESD保護回路は、アノードがグラウンドに接続され、カソードが前記第3のトランジスタのベース端子に接続された第3のダイオードと、アノードがグラウンドに接続され、カソードが前記第4のトランジスタのベース端子に接続された第4のダイオードとから構成されることを特徴とするものである。

[0018] また、本発明のドライバ回路（第2の実施例）は、非反転出力端子がドライバ回路の正相側の第1の出力信号端子に接続され、反転出力端子がドライバ回路の逆相側の第2の出力信号端子に接続された出力回路と、前記出力回路と前記第1、第2の出力信号端子との間に接続された第1のESD保護回路とを備え、前記第1のESD保護回路は、入力端が前記出力回路の非反転出力端子に接続され、出力端が前記第1の出力信号端子に接続された第1の伝送線路と、入力端が前記出力回路の反転出力端子に接続され、出力端が前記第2の出力信号端子に接続された第2の伝送線路と、前記第1の伝送線路に沿って配置され、アノードが前記第1の伝送線路に接続され、カソードが電源電圧に接続された複数の第1のダイオードと、前記第2の伝送線路に沿って配置され、アノードが前記第2の伝送線路に接続され、カソードが前記電源電圧に接続された複数の第2のダイオードとから構成され、前記出力回路は、ベース端子に光変調器の駆動のための差動信号が入力される第1、第2のトランジスタと、コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された第3のトランジスタと、コレクタ端子が前記第2の出力信号端子に接続され、エミ

ツタ端子が前記第2のトランジスタのコレクタ端子に接続された第4のトランジスタと、前記第3、第4のトランジスタのベース端子に接続された第2のESD保護回路とから構成され、前記第2のESD保護回路は、アノードがグラウンドに接続され、カソードが前記第3のトランジスタのベース端子に接続された第3のダイオードと、アノードがグラウンドに接続され、カソードが前記第4のトランジスタのベース端子に接続された第4のダイオードとから構成されることを特徴とするものである。

発明の効果

- [0019] 本発明によれば、ドライバ回路の第1、第2の入力信号端子間に直列に接続された第1、第2の入力終端抵抗の接続点にESD保護回路を設け、ESD保護回路を第1、第2のダイオードから構成することにより、静電気保護機能を備えつつ、従来よりも広い周波数帯域を実現することができる。
- [0020] また、本発明では、ドライバ回路の第1、第2の入力信号端子に接続されたESD保護回路を設け、ESD保護回路を第1、第2の伝送線路と第1、第2の入力終端抵抗と第1、第2のダイオードとから構成することにより、静電気保護機能を備えつつ、従来よりも広い周波数帯域を実現することができる。
- [0021] また、本発明では、ドライバ回路の第1、第2の入力信号端子に接続されたESD保護回路を設け、ESD保護回路を第1、第2の伝送線路と第1、第2の入力終端抵抗と第1、第2、第3、第4のダイオードとから構成することにより、静電気保護機能を備えつつ、従来よりも広い周波数帯域を実現することができる。
- [0022] また、本発明では、ドライバ回路の第1、第2の出力信号端子に接続された第1のESD保護回路を設け、第1のESD保護回路を第1、第2のダイオードから構成し、出力回路を第1、第2、第3、第4のトランジスタと第2のESD保護回路とから構成し、第2のESD保護回路を第3、第4のダイオードから構成することにより、静電気保護機能を備えつつ、従来よりも広い周波数帯域を実現することができる。

[0023] また、本発明では、ドライバ回路の第1、第2の出力信号端子に接続された第1のESD保護回路を設け、第1のESD保護回路を第1、第2の伝送線路と第1、第2のダイオードとから構成し、出力回路を第1、第2、第3、第4のトランジスタと第2のESD保護回路とから構成し、第2のESD保護回路を第3、第4のダイオードから構成することにより、静電気保護機能を備えつつ、従来よりも広い周波数帯域を実現することができる。

図面の簡単な説明

[0024] [図1]図1は、本発明の第1の実施例に係るドライバ回路の構成を示す回路図である。

[図2]図2は、本発明の第1の実施例に係るドライバ回路の出力回路の構成を示す回路図である。

[図3A-3B]図3A-図3Bは、本発明の第1の実施例に係るドライバ回路のESD保護回路の機能を説明する回路図である。

[図4]図4は、従来のドライバ回路と本発明の第1の実施例に係るドライバ回路の透過特性のシミュレーション結果を示す図である。

[図5]図5は、本発明の第1の実施例に係るドライバ回路において出力側のESD保護回路の代わりに従来の出力側のESD保護回路を用いた構成の透過特性のシミュレーション結果を示す図である。

[図6]図6は、本発明の第1の実施例に係るドライバ回路において入力側のESD保護回路の代わりに従来の入力側のESD保護回路を用いた構成の透過特性のシミュレーション結果を示す図である。

[図7]図7は、本発明の第2の実施例に係るドライバ回路の構成を示す回路図である。

[図8]図8は、本発明の第2の実施例に係るドライバ回路の出力側のESD保護回路の構成を示す回路図である。

[図9]図9は、本発明の第3の実施例に係るドライバ回路の構成を示す回路図である。

[図10]図10は、本発明の第3の実施例に係るドライバ回路の入力側のES

D保護回路の構成を示す回路図である。

[図11]図11は、本発明の第4の実施例に係るドライバ回路の構成を示す回路図である。

[図12]図12は、本発明の第4の実施例に係るドライバ回路の入力側のESD保護回路の構成を示す回路図である。

[図13]図13は、本発明の第5の実施例に係るドライバ回路の構成を示す回路図である。

[図14]図14は、本発明の第5の実施例に係るドライバ回路の入力側のESD保護回路の構成を示す回路図である。

[図15]図15は、本発明の第6の実施例に係るドライバ回路の構成を示す回路図である。

[図16]図16は、本発明の第6の実施例に係るドライバ回路の入力側のESD保護回路の構成を示す回路図である。

[図17]図17は、従来のドライバ回路の構成を示す回路図である。

[図18]図18は、従来のドライバ回路の出力回路の構成を示す回路図である。

発明を実施するための形態

[0025] [第1の実施例]

以下、本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例に係るドライバ回路の構成を示す回路図である。本実施例のドライバ回路100aは、MZM200の駆動のための差動信号が入力される入力バッファ101と、入力バッファ101から出力された差動信号の振幅が一定になるように利得を調整するGCA102と、GCA102から出力された差動信号を増幅する前置増幅器103と、前置増幅器103から出力された差動信号に応じてMZM200を駆動するオープンコレクタ型の出力回路104aと、一端がドライバ回路100aの正相側の入力信号端子V_{inp}に接続され、他端が入力バッファ101の非反転入力端子V_{ipA}に接続されたDCカットキャパシタC100と、一端がドライバ回路100aの

逆相側の入力信号端子 V_{inn} に接続され、他端が入力バッファ 101 の反転入力端子 V_{inA} に接続された DC カットキャパシタ C_{101} と、入力信号端子 V_{inp} , V_{inn} 間に直列に接続された 2 つの入力終端抵抗 R_{100} , R_{101} と、入力終端抵抗 R_{100} , R_{101} の接続点に接続された ESD 保護回路 107 と、出力信号端子 V_{outp} , V_{outn} に接続された ESD 保護回路 108 とから構成される。入力終端抵抗 R_{100} , R_{101} のそれぞれの抵抗値は $50\ \Omega$ である。

[0026] ESD 保護回路 107 は、アノードが入力終端抵抗 R_{100} , R_{101} の接続点に接続され、カソードが電源電圧 V_{CC} に接続されたダイオード D_{110} と、アノードがグラウンドに接続され、カソードが入力終端抵抗 R_{100} , R_{101} の接続点に接続されたダイオード D_{111} とから構成される。

[0027] ESD 保護回路 108 は、アノードがドライバ回路 100a の正相側の出力信号端子 V_{outp} に接続され、カソードが電源電圧 V_{CC} に接続されたダイオード D_{112} と、アノードがドライバ回路 100a の逆相側の出力信号端子 V_{outn} に接続され、カソードが電源電圧 V_{CC} に接続されたダイオード D_{113} とから構成される。

[0028] 図 2 はドライバ回路 100a の出力回路 104a の構成を示す回路図である。出力回路 104a は、ベース端子が出力回路 104a の非反転入力端子 V_{ipB} に接続された入力トランジスタ Q_{100} と、ベース端子がバイアス電圧 V_{B1} に接続され、コレクタ端子が出力回路 104a の非反転出力端子 V_{op} に接続され、エミッタ端子が入力トランジスタ Q_{100} のコレクタ端子に接続された出力トランジスタ Q_{101} と、ベース端子が出力回路 104a の反転入力端子 V_{inB} に接続された入力トランジスタ Q_{102} と、ベース端子がバイアス電圧 V_{B1} に接続され、コレクタ端子が出力回路 104a の反転出力端子 V_{on} に接続され、エミッタ端子が入力トランジスタ Q_{102} のコレクタ端子に接続された出力トランジスタ Q_{103} と、ベース端子がバイアス電圧 V_{B2} に接続され、コレクタ端子が入力トランジスタ Q_{100} , Q_{102} のエミッタ端子に接続され、エミッタ端子がグラウンドに接続さ

れた電流源トランジスタQ104と、アノードがグラウンドに接続され、カソードが出力トランジスタQ101のベース端子に接続されたダイオードD114と、アノードがグラウンドに接続され、カソードが出力トランジスタQ103のベース端子に接続されたダイオードD115とから構成される。

[0029] ダイオードD114, D115は、ESD保護回路109を構成している。ドライバ回路100aの電源電圧VCC、MZM200の電源電圧VDR、バイアス電圧VB1, VB2 ($VCC \geq VB1 > VB2$)は、正の電圧である。

[0030] 本実施例では、静電気からドライバ回路100aを保護するため、図1のように入力終端抵抗R100, R101の midpoint にESD保護回路107を接続する。

入力信号端子Vinpに電源電圧VCCよりも高い正の電圧が印加された場合には、入力信号端子Vinpから入力終端抵抗R100とダイオードD110とを経由して電源電圧VCC側に電流が流れる。同様に、入力信号端子Vinnに電源電圧VCCよりも高い正の電圧が印加された場合には、入力信号端子Vinnから入力終端抵抗R101とダイオードD110とを経由して電源電圧VCC側に電流が流れる。

[0031] また、入力信号端子Vinpにグラウンドよりも低い負の電圧が印加された場合には、グラウンドからダイオードD111と入力終端抵抗R100とを経由して入力信号端子Vinp側に電流が流れる。同様に、入力信号端子Vinnにグラウンドよりも低い負の電圧が印加された場合には、グラウンドからダイオードD111と入力終端抵抗R101とを経由して入力信号端子Vinn側に電流が流れる。

[0032] 入力終端抵抗R100, R101の後段にDCカットキャパシタC100, C101が存在するため、ドライバ回路100aの入力バッファ101のトランジスタに耐圧を超える電圧がかかることはない。

[0033] 本実施例のドライバ回路100aでは、ESD保護回路107のダイオードD110, D111と差動入力信号端子Vinp, Vinnとの間に入力

終端抵抗 $R100$ 、 $R101$ が存在するため、差動入力信号端子 V_{inp} 、 V_{inn} に付加される寄生容量の影響が従来のドライバ回路よりも弱まるので、従来よりも広帯域な周波数特性を実現可能である。

[0034] また、本実施例では、差動出力信号端子 V_{outp} 、 V_{outn} に ESD 保護回路 108 を接続し、出力回路 104a の出力トランジスタ $Q101$ 、 $Q103$ のベース端子に ESD 保護回路 109 を接続する。

[0035] 出力信号端子 V_{outp} にグラウンドよりも低い負の電圧が印加された場合には、図 3A に示すように、グラウンドからダイオード $D114$ を経由して出力信号端子 V_{outp} 側に電流が流れることにより、出力回路 104a の出力トランジスタ $Q101$ に耐圧以上の電圧がかからないようにすることができる。図 3B は、図 3A の出力トランジスタ $Q101$ をダイオード $D1010$ 、 $D1011$ からなる等価回路で記載した図である。

[0036] 同様に、出力信号端子 V_{outn} にグラウンドよりも低い負の電圧が印加された場合には、グラウンドからダイオード $D115$ を経由して出力信号端子 V_{outn} 側に電流が流れることにより、出力回路 104a の出力トランジスタ $Q103$ が保護される。

[0037] また、出力信号端子 V_{outp} に電源電圧 VCC よりも高い正の電圧が印加された場合には、従来と同様に出力信号端子 V_{outp} から ESD 保護回路 108 のダイオード $D112$ を経由して電源電圧 VCC 側に電流が流れることにより、出力トランジスタ $Q101$ が保護される。

[0038] 同様に、出力信号端子 V_{outn} に電源電圧 VCC よりも高い正の電圧が印加された場合には、出力信号端子 V_{outn} から ESD 保護回路 108 のダイオード $D113$ を経由して電源電圧 VCC 側に電流が流れることにより、出力トランジスタ $Q103$ が保護される。

[0039] なお、本実施例では、差動出力信号端子 V_{outp} 、 V_{outn} にグラウンドよりも低い負の電圧が印加された場合、出力回路 104a の出力トランジスタ $Q101$ 、 $Q103$ のベース端子とコレクタ端子間に電流が流れる。出力トランジスタ $Q101$ 、 $Q103$ の電流容量を超える電流が流れた場合

、出力トランジスタQ101、Q103が破壊される。

[0040] ただし、過剰な電流による出力トランジスタQ101、Q103の破壊よりも、過剰な電圧による破壊の方が容易に起こり得る。その理由は、トランジスタの電流容量が例えば数A程度と大きいのに対し、トランジスタの耐圧は例えば数V程度で、静電気による過剰な電圧が数百V程度になることがあるからである。したがって、本実施例では、過剰な電流によるトランジスタの破壊が起きない範囲で、トランジスタに過剰な電圧がかからないようにすることができる。

[0041] 出力トランジスタQ101のベース端子とコレクタ端子との間のアイソレーション特性により、ダイオードD114の寄生容量が出力信号端子Voutp（出力トランジスタQ101のコレクタ端子）に影響を与えることはない。同様に、出力トランジスタQ103のベース端子とコレクタ端子との間のアイソレーション特性により、ダイオードD115の寄生容量が出力信号端子Voutn（出力トランジスタQ103のコレクタ端子）に影響を与えることはない。したがって、本実施例のドライバ回路100aによれば、従来よりも広帯域な周波数特性を実現可能である。

[0042] さらに、本実施例では、ダイオードD114、D115の寄生容量により、出力トランジスタQ101、Q103のベース端子が交流的に接地されるので、出力回路104aの出力インピーダンスを増加させることができ、発振を抑制することができるという相乗効果もある。

[0043] 図4に、図17に示した従来のドライバ回路100と本実施例のドライバ回路100aの透過特性のシミュレーション結果を示す。図4の400は従来のドライバ回路100の透過特性を示し、401は本実施例のドライバ回路100aの透過特性を示している。本実施例の構成を用いることにより、静電気からの耐圧保護機能を実現しつつ、従来よりも広い帯域を実現できていることが確認できる。

[0044] なお、本実施例では、ESD保護回路107とESD保護回路108、109を同時に設ける構成で説明したが、ESD保護回路107のみを設ける

ようにしてもよいし、ESD保護回路108, 109のみを設けるようにしてもよい。

[0045] 図5に、本実施例のドライバ回路100aにおいてESD保護回路108, 109の代わりに従来のESD保護回路106を用いた構成の透過特性のシミュレーション結果を示す。図4と同様に、400は従来のドライバ回路100の透過特性を示し、402はESD保護回路108, 109の代わりにESD保護回路106を用いた構成の透過特性を示している。図5によれば、ESD保護回路107のみを設ける場合でも広い帯域を実現できることが分かる。

[0046] 図6に、本実施例のドライバ回路100aにおいてESD保護回路107の代わりに従来のESD保護回路105を用いた構成の透過特性のシミュレーション結果を示す。図4と同様に、400は従来のドライバ回路100の透過特性を示し、403はESD保護回路107の代わりにESD保護回路105を用いた構成の透過特性を示している。図6によれば、ESD保護回路108, 109のみを設ける場合でも広い帯域を実現できることが分かる。

[0047] [第2の実施例]

次に、本実施例の第2の実施例について説明する。図7は本発明の第2の実施例に係るドライバ回路の構成を示す回路図である。本実施例のドライバ回路100bは、入力バッファ101と、GCA102と、前置増幅器103と、出力回路104aと、DCカットキャパシタC100, C101と、入力終端抵抗R100, R101と、ESD保護回路107と、出力回路104aとドライバ回路100bの差動出力信号端子Voutp, Voutnとの間に接続されたESD保護回路110とから構成される。

[0048] ESD保護回路107の構成、およびESD保護回路109を含む出力回路104aの構成は第1の実施例で説明したとおりである。

図8はESD保護回路110の構成を示す回路図である。ESD保護回路110は、入力端が出力回路104aの非反転出力端子Vopに接続され、

出力端がドライバ回路100bの正相側の出力信号端子Voutpに接続された伝送線路111と、入力端が出力回路104aの反転出力端子Vonに接続され、出力端がドライバ回路100bの逆相側の出力信号端子Voutnに接続された伝送線路112と、伝送線路111に沿って配置され、アノードが伝送線路111に接続され、カソードが電源電圧VCCに接続された複数のダイオードD116と、伝送線路112に沿って配置され、アノードが伝送線路112に接続され、カソードが電源電圧VCCに接続された複数のダイオードD117とから構成される。

[0049] 伝送線路111は、複数の伝送線路1110, 1111, 1112を直列に接続した構成からなる。ダイオードD116間の伝送線路1111と入力側の伝送線路1110とは、特性インピーダンスが異なる。その理由は、伝送線路1110の場合、前段の出力回路104a等の寄生容量の影響を伝送線路1110で吸収する必要があるからである。同様に、伝送線路1111と伝送線路1112とは、特性インピーダンスが異なる。その理由は、伝送線路1112の場合、後段のMZM200等の寄生容量の影響を伝送線路1112で吸収する必要があるからである。

[0050] 伝送線路112は、複数の伝送線路1120, 1121, 1122を直列に接続した構成からなる。ダイオードD117間の伝送線路1121と入力側の伝送線路1120とは、特性インピーダンスが異なる。その理由は、伝送線路1120の場合、前段の出力回路104a等の寄生容量の影響を伝送線路1120で吸収する必要があるからである。同様に、伝送線路1121と伝送線路1122とは、特性インピーダンスが異なる。その理由は、伝送線路1122の場合、後段のMZM200等の寄生容量の影響を伝送線路1122で吸収する必要があるからである。

[0051] 第1の実施例のESD保護回路108では、静電気に対する許容耐圧を満たすために、大きいサイズ（電流容量）のダイオードD112, D113を用いていた。これに対して、本実施例では、ダイオードD112を小さいサイズのダイオードD116に分割し、ダイオードD116の合計サイズ（合

計の電流容量)がダイオードD 1 1 2のサイズと同等になるようにする。また、ダイオードD 1 1 3を小さいサイズのダイオードD 1 1 7に分割し、ダイオードD 1 1 7の合計サイズがダイオードD 1 1 3のサイズと同等になるようにする。

[0052] そして、ダイオードD 1 1 6, D 1 1 7の前後に伝送線を接続する。伝送線路1 1 1とダイオードD 1 1 6とから構成される疑似伝送線路の特性インピーダンス、および伝送線路1 1 2とダイオードD 1 1 7とから構成される疑似伝送線路の特性インピーダンスを、MZM 2 0 0の特性インピーダンスと同じにすることで、ドライバ回路1 0 0 bとMZM 2 0 0との接続点における信号の多重反射を防ぐことができる。

[0053] 疑似伝送線路のカットオフ周波数は、基本的に単位長さあたりの伝送線路に接続されるダイオードの寄生容量で律速されるため、ダイオードのサイズをできるだけ小さくし、ダイオードの個数を増やすほど、ドライバ回路1 0 0 bを広帯域化することができる。すなわち、ダイオードD 1 1 6, D 1 1 7のそれぞれの個数がN (Nは2以上の整数)であれば、ダイオードD 1 1 6, D 1 1 7のそれぞれのサイズをダイオードD 1 1 2, D 1 1 3のサイズの $1/N$ にする。

ただし、伝送線路1 1 1, 1 1 2の損失が大きい場合は広帯域化が困難になるので、伝送線路1 1 1, 1 1 2の損失は小さい方が望ましい。

[0054] 本実施例のように、電源電圧VCCに接続されるダイオードD 1 1 6, D 1 1 7の影響を伝送線路1 1 1, 1 1 2で軽減する構成と、グラウンドに接続されるダイオードD 1 1 4, D 1 1 5の影響を出力回路1 0 4 aの出力トランジスタQ 1 0 1, Q 1 0 3で軽減する構成との組み合わせは、ドライバ回路1 0 0 bの広帯域化に対して相乗効果がある。その理由は、上記で説明したように、単位長さあたりの伝送線路に接続されるダイオードの寄生容量を小さくすることができ、カットオフ周波数を高くできるからである。

[0055] こうして、本実施例では、第1の実施例と比較してドライバ回路1 0 0 bの更なる広帯域化を実現することができる。

なお、グラウンドに接続されるダイオードをESD保護回路110と同様に疑似伝送線路に組み込んだ場合には、寄生容量が大きくなり、カットオフ周波数が低くなる。

[0056] 本実施例では、ESD保護回路107とESD保護回路109, 110を同時に設ける構成で説明したが、ESD保護回路109, 110のみを設けるようにしてもよい。

[0057] [第3の実施例]

次に、本発明の第3の実施例について説明する。図9は本発明の第3の実施例に係るドライバ回路の構成を示す回路図である。本実施例のドライバ回路100cは、入力バッファ101と、GCA102と、前置増幅器103と、出力回路104aと、DCカットキャパシタC100, C101と、ESD保護回路110と、ドライバ回路100cの差動入力信号端子Vinp, Vinpに接続されたESD保護回路113とから構成される。

[0058] ESD保護回路110の構成、およびESD保護回路109を含む出力回路104aの構成は第1、第2の実施例で説明したとおりである。

図10はESD保護回路113の構成を示す回路図である。ESD保護回路113は、入力端がドライバ回路100cの正相側の入力信号端子Vinpに接続され、出力端がDCカットキャパシタC100の一端に接続された伝送線路114と、入力端がドライバ回路100cの逆相側の入力信号端子Vinpに接続され、出力端がDCカットキャパシタC101の一端に接続された伝送線路115と、伝送線路114に沿って配置され、一端が伝送線路114に接続された複数の入力終端抵抗R102と、伝送線路115に沿って配置され、一端が伝送線路115に接続され、他端が入力終端抵抗R102の他端に接続された複数の入力終端抵抗R103と、直列に接続された入力終端抵抗R102, R103の組毎に設けられ、アノードが入力終端抵抗R102, R103の接続点に接続され、カソードが電源電圧VCCに接続された複数のダイオードD118と、ダイオードD118毎に設けられ、アノードがグラウンドに接続され、カソードがダイオードD118のアノード

ドに接続された複数のダイオードD 1 1 9とから構成される。

[0059] 伝送線路 1 1 4 は、複数の伝送線路 1 1 4 0, 1 1 4 1, 1 1 4 2 を直列に接続した構成からなる。入力終端抵抗 R 1 0 2 間の伝送線路 1 1 4 1 と入力側の伝送線路 1 1 4 0 とは、特性インピーダンスが異なる。その理由は、伝送線路 1 1 4 0 の場合、前段の回路等の寄生容量の影響を伝送線路 1 1 4 0 で吸収する必要があるからである。同様に、伝送線路 1 1 4 1 と伝送線路 1 1 4 2 とは、特性インピーダンスが異なる。その理由は、伝送線路 1 1 4 2 の場合、後段の DC カットキャパシタ C 1 0 0 等の容量の影響を伝送線路 1 1 4 2 で吸収する必要があるからである。

[0060] 伝送線路 1 1 5 は、複数の伝送線路 1 1 5 0, 1 1 5 1, 1 1 5 2 を直列に接続した構成からなる。入力終端抵抗 R 1 0 3 間の伝送線路 1 1 5 1 と入力側の伝送線路 1 1 5 0 とは、特性インピーダンスが異なる。その理由は、伝送線路 1 1 5 0 の場合、前段の回路等の寄生容量の影響を伝送線路 1 1 5 0 で吸収する必要があるからである。同様に、伝送線路 1 1 5 1 と伝送線路 1 1 5 2 とは、特性インピーダンスが異なる。その理由は、伝送線路 1 1 5 2 の場合、後段の DC カットキャパシタ C 1 0 1 等の容量の影響を伝送線路 1 1 5 2 で吸収する必要があるからである。

[0061] 本実施例では、第 1、第 2 の実施例の構成において、差動入力信号端子 V_{inp} , V_{inn} に接続される ESD 保護回路のダイオードによる帯域劣化の影響をさらに小さくする。本実施例では、第 1、第 2 の実施例の ESD 保護回路 1 0 7 のダイオード D 1 1 0 を小さいサイズのダイオード D 1 1 8 に分割し、ダイオード D 1 1 8 の合計サイズ（合計の電流容量）がダイオード D 1 1 0 のサイズと同等になるようにする。また、ESD 保護回路 1 0 7 のダイオード D 1 1 1 を小さいサイズのダイオード D 1 1 9 に分割し、ダイオード D 1 1 9 の合計サイズがダイオード D 1 1 1 のサイズと同等になるようにする。

[0062] そして、ダイオード D 1 1 8, D 1 1 9 の前後に伝送線路を接続する。伝送線路 1 1 4 とダイオード D 1 1 8 と入力終端抵抗 R 1 0 2 とから構成され

る疑似伝送線路の特性インピーダンス、および伝送線路 115 とダイオード D119 と入力終端抵抗 R103 とから構成される疑似伝送線路の特性インピーダンスを、 50Ω とする。

[0063] ダイオード D118, D119 のそれぞれの個数が N (N は 2 以上の整数) であれば、ダイオード D118, D119 のそれぞれのサイズをダイオード D110, D111 のサイズの $1/N$ にする。

また、 N 個の入力終端抵抗 R102 と N 個の入力終端抵抗 R103 のそれぞれの抵抗値を $N \times 50\Omega$ とする。

[0064] 以上のように、本実施例のドライバ回路 100c では、入力側の ESD 保護回路のダイオードによる帯域劣化の影響をさらに小さくすることができ、第 1、第 2 の実施例と比較して更なる広帯域化が可能である。

[0065] なお、図 9 では、本実施例の ESD 保護回路 113 を第 2 の実施例に適用した例を示しているが、ESD 保護回路 113 を第 1 の実施例に適用してもよい。すなわち、図 9 において ESD 保護回路 110 の代わりに ESD 保護回路 108 を設けるようにしてもよい。

[0066] また、本実施例では、ESD 保護回路 113 と ESD 保護回路 109, 110 を同時に設ける構成で説明したが、ESD 保護回路 113 のみを設けるようにしてもよい。

[0067] [第 4 の実施例]

次に、本発明の第 4 の実施例について説明する。図 11 は本発明の第 4 の実施例に係るドライバ回路の構成を示す回路図である。本実施例のドライバ回路 100d は、入力バッファ 101 と、GCA102 と、前置増幅器 103 と、出力回路 104a と、DC カットキャパシタ C100, C101 と、ESD 保護回路 110 と、ドライバ回路 100d の差動入力信号端子 V_{inp} , V_{inn} に接続された ESD 保護回路 116 とから構成される。

[0068] ESD 保護回路 110 の構成、および ESD 保護回路 109 を含む出力回路 104a の構成は第 1、第 2 の実施例で説明したとおりである。

図 12 は ESD 保護回路 116 の構成を示す回路図である。ESD 保護回

路 116 は、入力端がドライバ回路 100d の正相側の入力信号端子 $V_{in p}$ に接続され、出力端が DC カットキャパシタ C100 の一端に接続された伝送線路 114 と、入力端がドライバ回路 100d の逆相側の入力信号端子 $V_{in n}$ に接続され、出力端が DC カットキャパシタ C101 の一端に接続された伝送線路 115 と、伝送線路 114 に沿って配置され、一端が伝送線路 114 に接続された複数の入力終端抵抗 R102 と、伝送線路 115 に沿って配置され、一端が伝送線路 115 に接続され、他端が入力終端抵抗 R102 の他端に接続された複数の入力終端抵抗 R103 と、直列に接続された入力終端抵抗 R102, R103 の複数の組のうち 1 つおきの組毎に設けられ、アノードが入力終端抵抗 R102, R103 の接続点に接続され、カソードが電源電圧 VCC に接続された複数のダイオード D120 と、アノードがグラウンドに接続され、入力終端抵抗 R102, R103 の複数の組のうちダイオード D120 が接続されていない入力終端抵抗 R102, R103 の接続点にカソードが接続された複数のダイオード D121 とから構成される。

[0069] 本実施例では、第 3 の実施例の構成において、差動入力信号端子 $V_{in p}$, $V_{in n}$ に接続される ESD 保護回路のダイオードによる帯域劣化の影響をさらに小さくする。本実施例では、第 1、第 2 の実施例の ESD 保護回路 107 のダイオード D110 を小さいサイズのダイオード D120 に分割し、ダイオード D120 の合計サイズ（合計の電流容量）がダイオード D110 のサイズと同等になるようにする。また、ESD 保護回路 107 のダイオード D111 を小さいサイズのダイオード D121 に分割し、ダイオード D121 の合計サイズがダイオード D111 のサイズと同等になるようにする。

[0070] さらに、本実施例では、入力終端抵抗 R102, R103 の中点にダイオード D120 が接続された単位セルと、入力終端抵抗 R102, R103 の中点にダイオード D121 が接続された単位セルとを交互に配置する。

[0071] そして、伝送線路 114 とダイオード D120 と入力終端抵抗 R102 と

から構成される疑似伝送線路の特性インピーダンス、および伝送線路 115 とダイオード D121 と入力終端抵抗 R103 とから構成される疑似伝送線路の特性インピーダンスを、 50Ω とする。

[0072] ダイオード D120, D121 の合計の個数が N (N は 2 以上の整数) であれば、ダイオード D120, D121 のそれぞれのサイズをダイオード D110, D111 のサイズの $2/N$ にする。

また、N 個の入力終端抵抗 R102 と N 個の入力終端抵抗 R103 のそれぞれの抵抗値を $N \times 50\Omega$ とする。

[0073] 以上のように、本実施例のドライバ回路 100d では、単位長さあたりの伝送線路に接続されるダイオードの寄生容量を小さくすることができ、カットオフ周波数を高くすることができるので、第 3 の実施例と比較して更なる広帯域化が可能である。

[0074] なお、図 11 では、本実施例の ESD 保護回路 116 を第 2 の実施例に適用した例を示しているが、ESD 保護回路 116 を第 1 の実施例に適用してもよい。すなわち、図 11 において ESD 保護回路 110 の代わりに ESD 保護回路 108 を設けるようにしてもよい。

[0075] また、本実施例では、ESD 保護回路 116 と ESD 保護回路 109, 110 を同時に設ける構成で説明したが、ESD 保護回路 116 のみを設けるようにしてもよい。

[0076] [第 5 の実施例]

次に、本発明の第 5 の実施例について説明する。図 13 は本発明の第 5 の実施例に係るドライバ回路の構成を示す回路図である。本実施例のドライバ回路 100e は、入力バッファ 101 と、GCA102 と、前置増幅器 103 と、出力回路 104a と、DC カットキャパシタ C100, C101 と、ESD 保護回路 110 と、ドライバ回路 100e の差動入力信号端子 V_{inp} , V_{inn} に接続された ESD 保護回路 117 とから構成される。

[0077] ESD 保護回路 110 の構成、および ESD 保護回路 109 を含む出力回路 104a の構成は第 1、第 2 の実施例で説明したとおりである。

図14はESD保護回路117の構成を示す回路図である。ESD保護回路117は、入力端がドライバ回路100eの正相側の入力信号端子 V_{inp} に接続され、出力端がDCカットキャパシタC100の一端に接続された伝送線路114と、入力端がドライバ回路100eの逆相側の入力信号端子 V_{inn} に接続され、出力端がDCカットキャパシタC101の一端に接続された伝送線路115と、伝送線路114の出力端と伝送線路115の出力端との間に直列に接続された2つの入力終端抵抗 R_{104} 、 R_{105} と、伝送線路114に沿って配置され、アノードが伝送線路114に接続され、カソードが電源電圧 V_{CC} に接続された複数のダイオードD122と、ダイオードD122毎に設けられ、アノードがグラウンドに接続され、カソードがダイオードD122のアノードに接続された複数のダイオードD123と、伝送線路115に沿って配置され、アノードが伝送線路115に接続され、カソードが電源電圧 V_{CC} に接続された複数のダイオードD124と、ダイオードD124毎に設けられ、アノードがグラウンドに接続され、カソードがダイオードD124のアノードに接続された複数のダイオードD125とから構成される。

[0078] 入力終端抵抗の電流容量の関係で、入力側のESD保護回路のダイオードを入力終端抵抗の midpoint にではなく、ドライバ回路の差動入力信号端子 V_{inp} 、 V_{inn} に接続した方がよい場合が存在する。しかし、従来のドライバ回路について説明したとおり、ダイオードの寄生容量でドライバ回路の帯域が劣化するという課題がある。

[0079] 本実施例では、第1、第2の実施例のESD保護回路107のダイオードD110を小さいサイズのダイオードD122、D124に分割し、ダイオードD122の合計サイズとダイオードD124の合計サイズのそれぞれがダイオードD110のサイズと同等になるようにする。また、ESD保護回路107のダイオードD111を小さいサイズのダイオードD123、D125に分割し、ダイオードD123の合計サイズとダイオードD125の合計サイズのそれぞれがダイオードD111のサイズと同等になるようにする。

。

[0080] そして、伝送線路 114 とダイオード D122, D123 とから構成される疑似伝送線路の特性インピーダンス、および伝送線路 115 とダイオード D124, D125 とから構成される疑似伝送線路の特性インピーダンスを、 50Ω とする。

[0081] ダイオード D122～D125 のそれぞれの個数が N (N は 2 以上の整数) であれば、ダイオード D122～D125 のそれぞれのサイズをダイオード D110, D111 のサイズの $1/N$ にする。

また、入力終端抵抗 R104, R105 のそれぞれの抵抗値を 50Ω とする。

[0082] こうして、本実施例では、入力側の ESD 保護回路のダイオードの寄生容量によるドライバ回路の帯域劣化を防止することが可能となる。

[0083] なお、図 13 では、本実施例の ESD 保護回路 117 を第 2 の実施例に適用した例を示しているが、ESD 保護回路 117 を第 1 の実施例に適用してもよい。すなわち、図 13 において ESD 保護回路 110 の代わりに ESD 保護回路 108 を設けるようにしてもよい。

[0084] また、本実施例では、ESD 保護回路 117 と ESD 保護回路 109, 110 を同時に設ける構成で説明したが、ESD 保護回路 117 のみを設けるようにしてもよい。

[0085] [第 6 の実施例]

次に、本発明の第 6 の実施例について説明する。図 15 は本発明の第 6 の実施例に係るドライバ回路の構成を示す回路図である。本実施例のドライバ回路 100f は、入力バッファ 101 と、GCA102 と、前置増幅器 103 と、出力回路 104a と、DC カットキャパシタ C100, C101 と、ESD 保護回路 110 と、ドライバ回路 100f の差動入力信号端子 V_{inp} , V_{inn} に接続された ESD 保護回路 118 とから構成される。

[0086] ESD 保護回路 110 の構成、および ESD 保護回路 109 を含む出力回路 104a の構成は第 1、第 2 の実施例で説明したとおりである。

図16はESD保護回路118の構成を示す回路図である。ESD保護回路118は、入力端がドライバ回路100fの正相側の入力信号端子 $V_{in p}$ に接続され、出力端がDCカットキャパシタC100の一端に接続された伝送線路114と、入力端がドライバ回路100fの逆相側の入力信号端子 $V_{in n}$ に接続され、出力端がDCカットキャパシタC101の一端に接続された伝送線路115と、伝送線路114の出力端と伝送線路115の出力端との間に直列に接続された2つの入力終端抵抗 R_{104} 、 R_{105} と、伝送線路114に沿って配置され、アノードが伝送線路114に接続され、カソードが電源電圧VCCに接続された複数のダイオードD126と、伝送線路114に沿って配置され、アノードがグラウンドに接続され、カソードが伝送線路114に接続された複数のダイオードD127と、伝送線路115に沿って配置され、アノードが伝送線路115に接続され、カソードが電源電圧VCCに接続された複数のダイオードD128と、伝送線路115に沿って配置され、アノードがグラウンドに接続され、カソードが伝送線路115に接続された複数のダイオードD129とから構成される。

[0087] 本実施例では、第5の実施例の構成において、差動入力信号端子 $V_{in p}$ 、 $V_{in n}$ に接続されるESD保護回路のダイオードによる帯域劣化の影響をさらに小さくする。本実施例では、第1、第2の実施例のESD保護回路107のダイオードD110を小さいサイズのダイオードD126、D128に分割し、ダイオードD126の合計サイズとダイオードD128の合計サイズのそれぞれがダイオードD110のサイズと同等になるようにする。また、ESD保護回路107のダイオードD111を小さいサイズのダイオードD127、D129に分割し、ダイオードD127の合計サイズとダイオードD129の合計サイズのそれぞれがダイオードD111のサイズと同等になるようにする。

[0088] さらに、本実施例では、ダイオードD126とダイオードD127とが伝送線路114の異なる点に接続されるようにダイオードD126、D127を交互に配置する。同様に、ダイオードD128とダイオードD129とが

伝送線路 115 の異なる点に接続されるようにダイオード D128, D129 を交互に配置する。

[0089] そして、伝送線路 114 とダイオード D126, D127 とから構成される疑似伝送線路の特性インピーダンス、および伝送線路 115 とダイオード D128, D129 とから構成される疑似伝送線路の特性インピーダンスを、 50Ω とする。

[0090] ダイオード D126, D127 の合計の個数が N (N は 2 以上の整数) で、ダイオード D128, D129 の合計の個数も N であれば、ダイオード D126 ~ D129 のそれぞれのサイズをダイオード D110, D111 のサイズの $2/N$ にする。

また、入力終端抵抗 R104, R105 のそれぞれの抵抗値を 50Ω とする。

[0091] 以上のように、本実施例のドライバ回路 100f では、単位長さあたりの伝送線路に接続されるダイオードの寄生容量を小さくすることができ、カットオフ周波数を高くすることができるので、第 5 の実施例と比較して更なる広帯域化が可能である。

[0092] なお、図 15 では、本実施例の ESD 保護回路 118 を第 2 の実施例に適用した例を示しているが、ESD 保護回路 118 を第 1 の実施例に適用してもよい。すなわち、図 15 において ESD 保護回路 110 の代わりに ESD 保護回路 108 を設けるようにしてもよい。

[0093] また、本実施例では、ESD 保護回路 118 と ESD 保護回路 109, 110 を同時に設ける構成で説明したが、ESD 保護回路 118 のみを設けるようにしてもよい。

産業上の利用可能性

[0094] 本発明は、光変調器を駆動するドライバ回路に適用することができる。

符号の説明

[0095] 100a ~ 100f …ドライバ回路、101 …入力バッファ、102 …利得制御増幅器、103 …前置増幅器、104a …出力回路、107 ~ 110

, 113, 116~118…ESD保護回路、111, 112, 114, 115, 1110, 1111, 1112, 1120, 1121, 1122, 1140, 1141, 1142, 1150, 1151, 1152…伝送線路、Q100~Q104…トランジスタ、D110~D129…ダイオード、C100, C101…DCカットキャパシタ、R100~R105…入力終端抵抗。

請求の範囲

- [請求項1] 一端がドライバ回路の正相側の第1の入力信号端子に接続された第1のキャパシタと、
一端がドライバ回路の逆相側の第2の入力信号端子に接続された第2のキャパシタと、
非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファと、
前記第1の入力信号端子と前記第2の入力信号端子との間に直列に接続された第1、第2の入力終端抵抗と、
前記第1、第2の入力終端抵抗の接続点に接続されたESD保護回路とを備え、
前記ESD保護回路は、
アノードが前記第1、第2の入力終端抵抗の接続点に接続され、カソードが電源電圧に接続された第1のダイオードと、
アノードがグラウンドに接続され、カソードが前記第1、第2の入力終端抵抗の接続点に接続された第2のダイオードとから構成されることを特徴とするドライバ回路。
- [請求項2] ドライバ回路の正相側の第1の入力信号端子と逆相側の第2の入力信号端子とに接続されたESD保護回路と、
一端が前記ESD保護回路に接続された第1、第2のキャパシタと、
、
非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファとを備え、
前記ESD保護回路は、
入力端が前記第1の入力信号端子に接続され、出力端が前記第1のキャパシタの一端に接続された第1の伝送線路と、
入力端が前記第2の入力信号端子に接続され、出力端が前記第2の

キャパシタの一端に接続された第2の伝送線路と、

前記第1の伝送線路に沿って配置され、一端が前記第1の伝送線路に接続された複数の第1の入力終端抵抗と、

前記第2の伝送線路に沿って配置され、一端が前記第2の伝送線路に接続され、他端が前記第1の入力終端抵抗の他端に接続された複数の第2の入力終端抵抗と、

直列に接続された前記第1、第2の入力終端抵抗の組毎に設けられ、アノードが前記第1、第2の入力終端抵抗の接続点に接続され、カソードが電源電圧に接続された複数の第1のダイオードと、

前記第1のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第1のダイオードのアノードに接続された複数の第2のダイオードとから構成されることを特徴とするドライバ回路。

[請求項3]

ドライバ回路の正相側の第1の入力信号端子と逆相側の第2の入力信号端子とに接続されたESD保護回路と、

一端が前記ESD保護回路に接続された第1、第2のキャパシタと、

非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファとを備え、

前記ESD保護回路は、

入力端が前記第1の入力信号端子に接続され、出力端が前記第1のキャパシタの一端に接続された第1の伝送線路と、

入力端が前記第2の入力信号端子に接続され、出力端が前記第2のキャパシタの一端に接続された第2の伝送線路と、

前記第1の伝送線路に沿って配置され、一端が前記第1の伝送線路に接続された複数の第1の入力終端抵抗と、

前記第2の伝送線路に沿って配置され、一端が前記第2の伝送線路

に接続され、他端が前記第 1 の入力終端抵抗の他端に接続された複数の第 2 の入力終端抵抗と、

直列に接続された前記第 1、第 2 の入力終端抵抗の複数の組のうち 1 つおきの組毎に設けられ、アノードが前記第 1、第 2 の入力終端抵抗の接続点に接続され、カソードが電源電圧に接続された複数の第 1 のダイオードと、

アノードがグラウンドに接続され、前記第 1、第 2 の入力終端抵抗の複数の組のうち前記第 1 のダイオードが接続されていない第 1、第 2 の入力終端抵抗の接続点にカソードが接続された複数の第 2 のダイオードとから構成されることを特徴とするドライバ回路。

[請求項4]

ドライバ回路の正相側の第 1 の入力信号端子と逆相側の第 2 の入力信号端子とに接続された ESD 保護回路と、

一端が前記 ESD 保護回路に接続された第 1、第 2 のキャパシタと、

非反転入力端子が前記第 1 のキャパシタの他端に接続され、反転入力端子が前記第 2 のキャパシタの他端に接続された入力バッファとを備え、

前記 ESD 保護回路は、

入力端が前記第 1 の入力信号端子に接続され、出力端が前記第 1 のキャパシタの一端に接続された第 1 の伝送線路と、

入力端が前記第 2 の入力信号端子に接続され、出力端が前記第 2 のキャパシタの一端に接続された第 2 の伝送線路と、

前記第 1 の伝送線路の出力端と前記第 2 の伝送線路の出力端との間に直列に接続された第 1、第 2 の入力終端抵抗と、

前記第 1 の伝送線路に沿って配置され、アノードが前記第 1 の伝送線路に接続され、カソードが電源電圧に接続された複数の第 1 のダイオードと、

前記第 1 のダイオード毎に設けられ、アノードがグラウンドに接続

され、カソードが前記第1のダイオードのアノードに接続された複数の第2のダイオードと、

前記第2の伝送線路に沿って配置され、アノードが前記第2の伝送線路に接続され、カソードが前記電源電圧に接続された複数の第3のダイオードと、

前記第3のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第3のダイオードのアノードに接続された複数の第4のダイオードとから構成されることを特徴とするドライバ回路。

[請求項5]

ドライバ回路の正相側の第1の入力信号端子と逆相側の第2の入力信号端子とに接続されたESD保護回路と、

一端が前記ESD保護回路に接続された第1、第2のキャパシタと、

非反転入力端子が前記第1のキャパシタの他端に接続され、反転入力端子が前記第2のキャパシタの他端に接続された入力バッファとを備え、

前記ESD保護回路は、

入力端が前記第1の入力信号端子に接続され、出力端が前記第1のキャパシタの一端に接続された第1の伝送線路と、

入力端が前記第2の入力信号端子に接続され、出力端が前記第2のキャパシタの一端に接続された第2の伝送線路と、

前記第1の伝送線路の出力端と前記第2の伝送線路の出力端との間に直列に接続された第1、第2の入力終端抵抗と、

前記第1の伝送線路に沿って配置され、アノードが前記第1の伝送線路に接続され、カソードが電源電圧に接続された複数の第1のダイオードと、

前記第1のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第1の伝送線路に接続された複数の第2のダイ

オードと、

前記第2の伝送線路に沿って配置され、アノードが前記第2の伝送線路に接続され、カソードが前記電源電圧に接続された複数の第3のダイオードと、

前記第3のダイオード毎に設けられ、アノードがグラウンドに接続され、カソードが前記第2の伝送線路に接続された複数の第4のダイオードとから構成され、

前記第1のダイオードと前記第2のダイオードとは、前記第1の伝送線路の異なる点に接続されるように交互に配置され、

前記第3のダイオードと前記第4のダイオードとは、前記第2の伝送線路の異なる点に接続されるように交互に配置されることを特徴とするドライバ回路。

[請求項6]

非反転出力端子がドライバ回路の正相側の第1の出力信号端子に接続され、反転出力端子がドライバ回路の逆相側の第2の出力信号端子に接続された出力回路と、

前記第1、第2の出力信号端子に接続された第1のESD保護回路とを備え、

前記第1のESD保護回路は、

アノードが前記第1の出力信号端子に接続され、カソードが電源電圧に接続された第1のダイオードと、

アノードが前記第2の出力信号端子に接続され、カソードが前記電源電圧に接続された第2のダイオードとから構成され、

前記出力回路は、

ベース端子に光変調器の駆動のための差動信号が入力される第1、第2のトランジスタと、

コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された第3のトランジスタと、

コレクタ端子が前記第2の出力信号端子に接続され、エミッタ端子が前記第2のトランジスタのコレクタ端子に接続された第4のトランジスタと、

前記第3、第4のトランジスタのベース端子に接続された第2のESD保護回路とから構成され、

前記第2のESD保護回路は、

アノードがグラウンドに接続され、カソードが前記第3のトランジスタのベース端子に接続された第3のダイオードと、

アノードがグラウンドに接続され、カソードが前記第4のトランジスタのベース端子に接続された第4のダイオードとから構成されることを特徴とするドライバ回路。

[請求項7]

非反転出力端子がドライバ回路の正相側の第1の出力信号端子に接続され、反転出力端子がドライバ回路の逆相側の第2の出力信号端子に接続された出力回路と、

前記出力回路と前記第1、第2の出力信号端子との間に接続された第1のESD保護回路とを備え、

前記第1のESD保護回路は、

入力端が前記出力回路の非反転出力端子に接続され、出力端が前記第1の出力信号端子に接続された第1の伝送線路と、

入力端が前記出力回路の反転出力端子に接続され、出力端が前記第2の出力信号端子に接続された第2の伝送線路と、

前記第1の伝送線路に沿って配置され、アノードが前記第1の伝送線路に接続され、カソードが電源電圧に接続された複数の第1のダイオードと、

前記第2の伝送線路に沿って配置され、アノードが前記第2の伝送線路に接続され、カソードが前記電源電圧に接続された複数の第2のダイオードとから構成され、

前記出力回路は、

ベース端子に光変調器の駆動のための差動信号が入力される第1、第2のトランジスタと、

コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された第3のトランジスタと、

コレクタ端子が前記第2の出力信号端子に接続され、エミッタ端子が前記第2のトランジスタのコレクタ端子に接続された第4のトランジスタと、

前記第3、第4のトランジスタのベース端子に接続された第2のESD保護回路とから構成され、

前記第2のESD保護回路は、

アノードがグラウンドに接続され、カソードが前記第3のトランジスタのベース端子に接続された第3のダイオードと、

アノードがグラウンドに接続され、カソードが前記第4のトランジスタのベース端子に接続された第4のダイオードとから構成されることを特徴とするドライバ回路。

[請求項8]

請求項6または7記載のドライバ回路において、

前記出力回路は、

ベース端子が出力回路の非反転入力端子に接続された前記第1のトランジスタと、

ベース端子が出力回路の反転入力端子に接続された前記第2のトランジスタと、

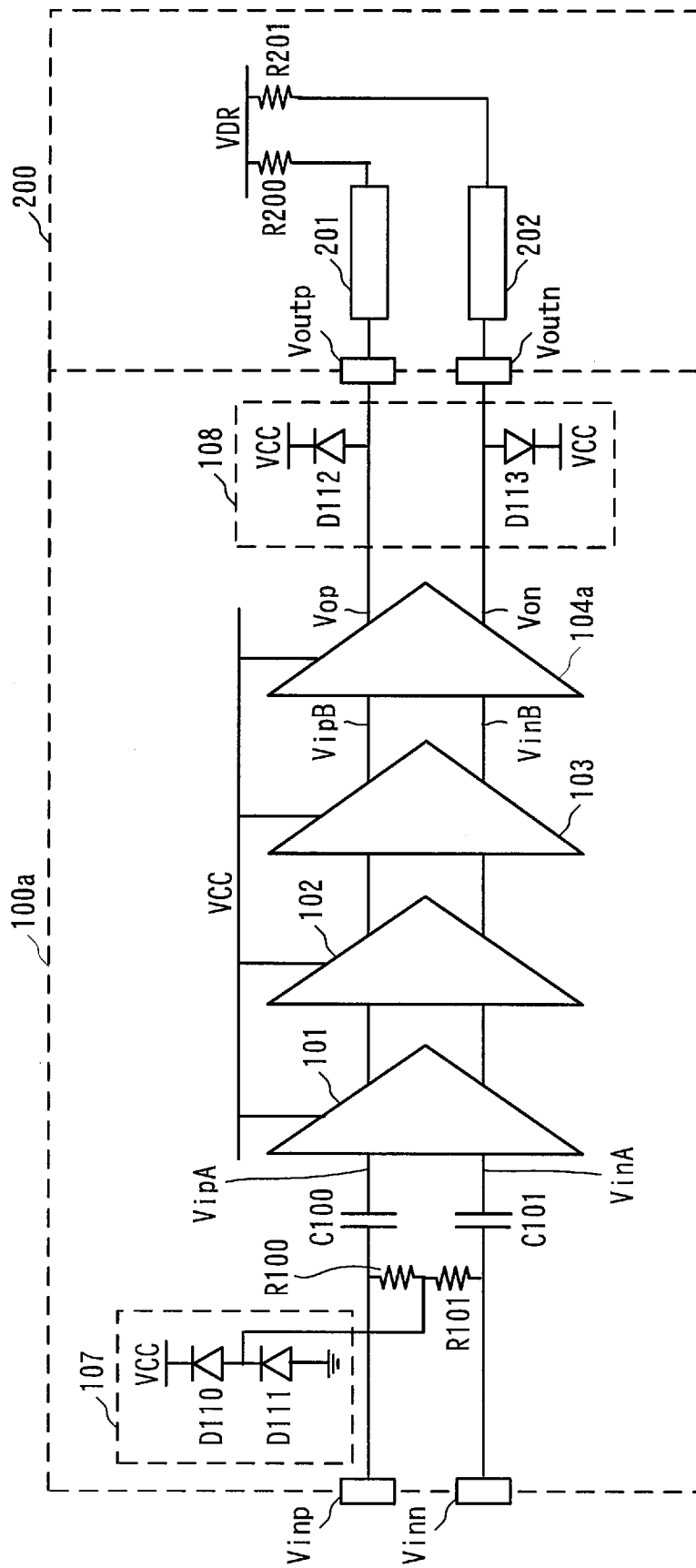
ベース端子が第1のバイアス電圧に接続され、コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された前記第3のトランジスタと、

ベース端子が前記第1のバイアス電圧に接続され、コレクタ端子が前記第2の出力信号端子に接続され、エミッタ端子が前記第2のトランジスタのコレクタ端子に接続された前記第4のトランジスタと、

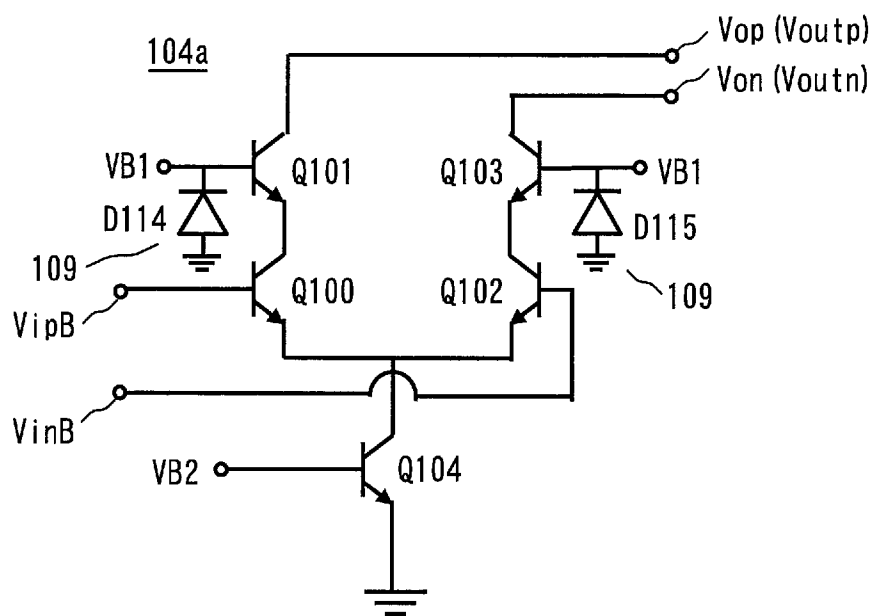
ベース端子が第2のバイアス電圧に接続され、コレクタ端子が前記第1、第2のトランジスタのエミッタ端子に接続され、エミッタ端子がグラウンドに接続された第5のトランジスタと、

前記第2のESD保護回路とから構成されることを特徴とするドライバ回路。

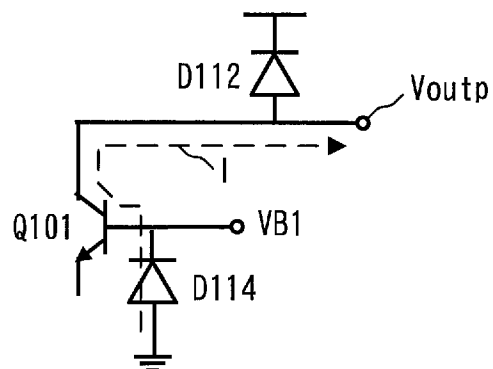
[図1]



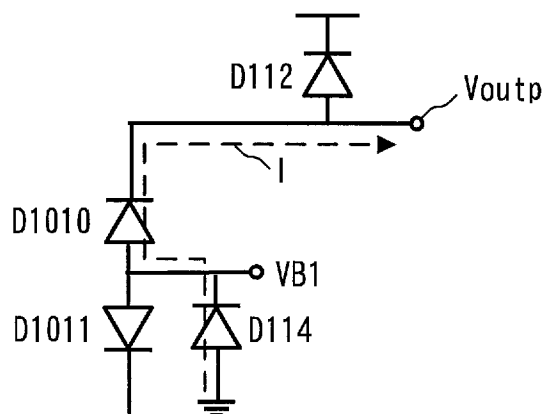
[図2]



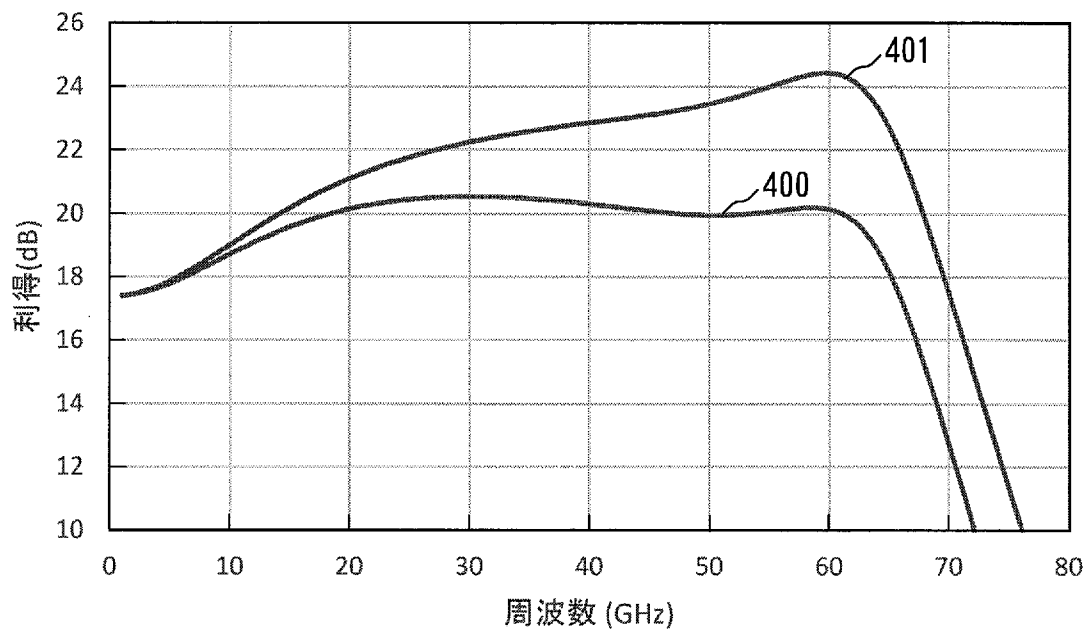
[図3A]



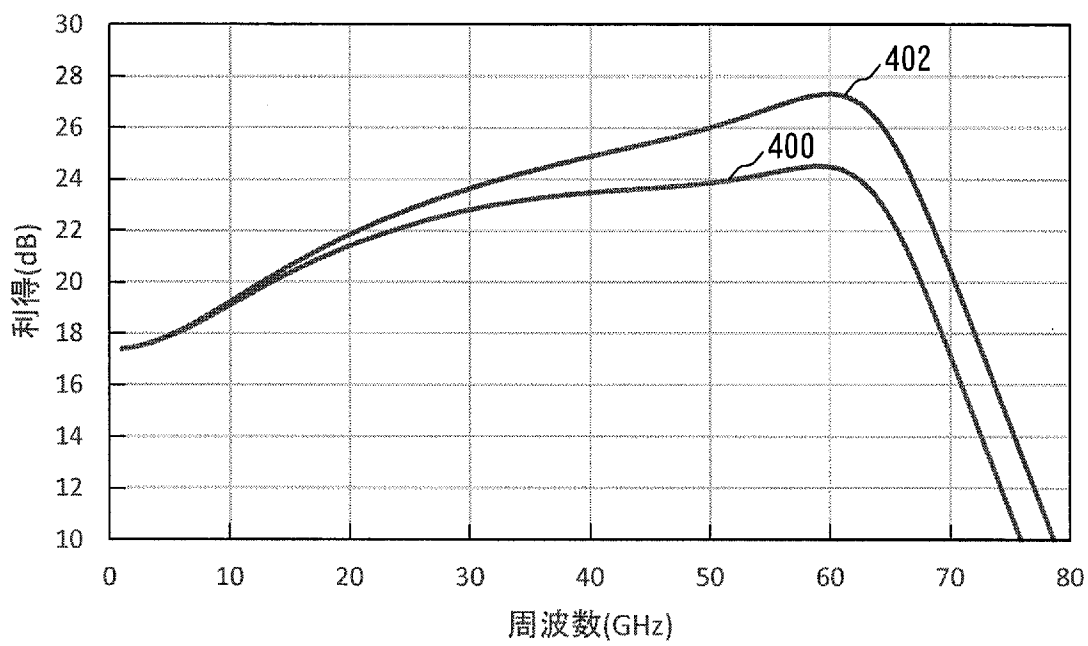
[図3B]



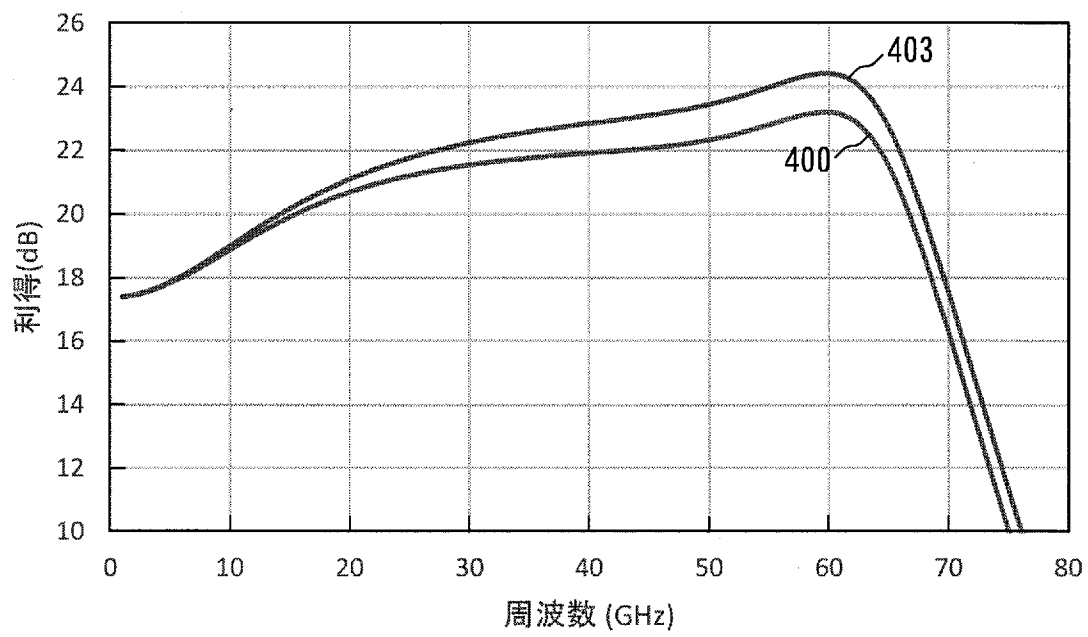
[図4]



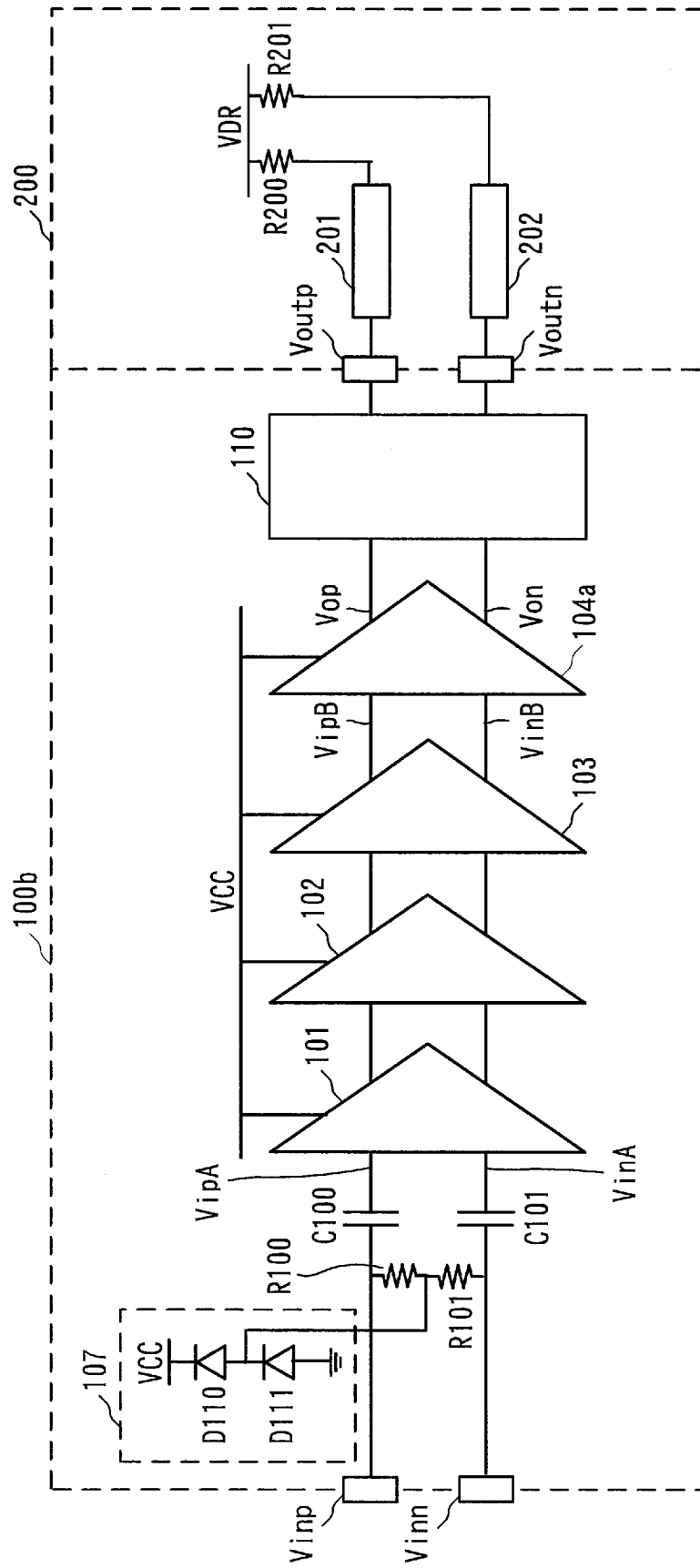
[図5]



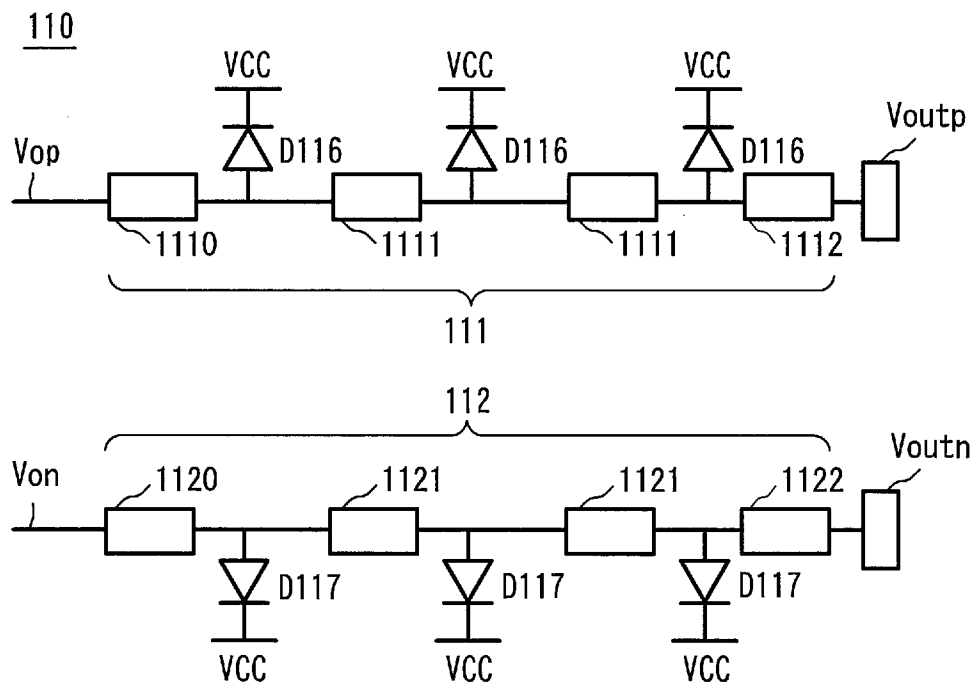
[図6]



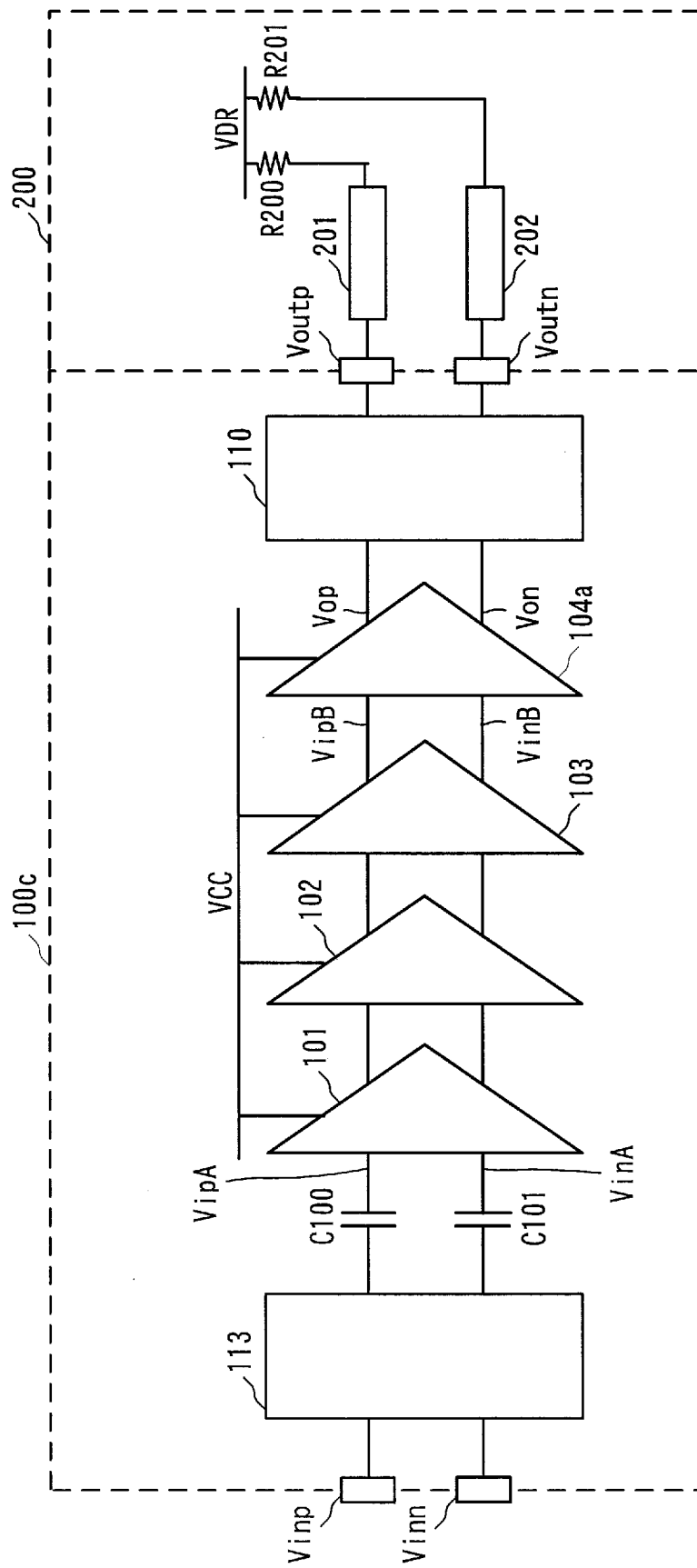
[図7]



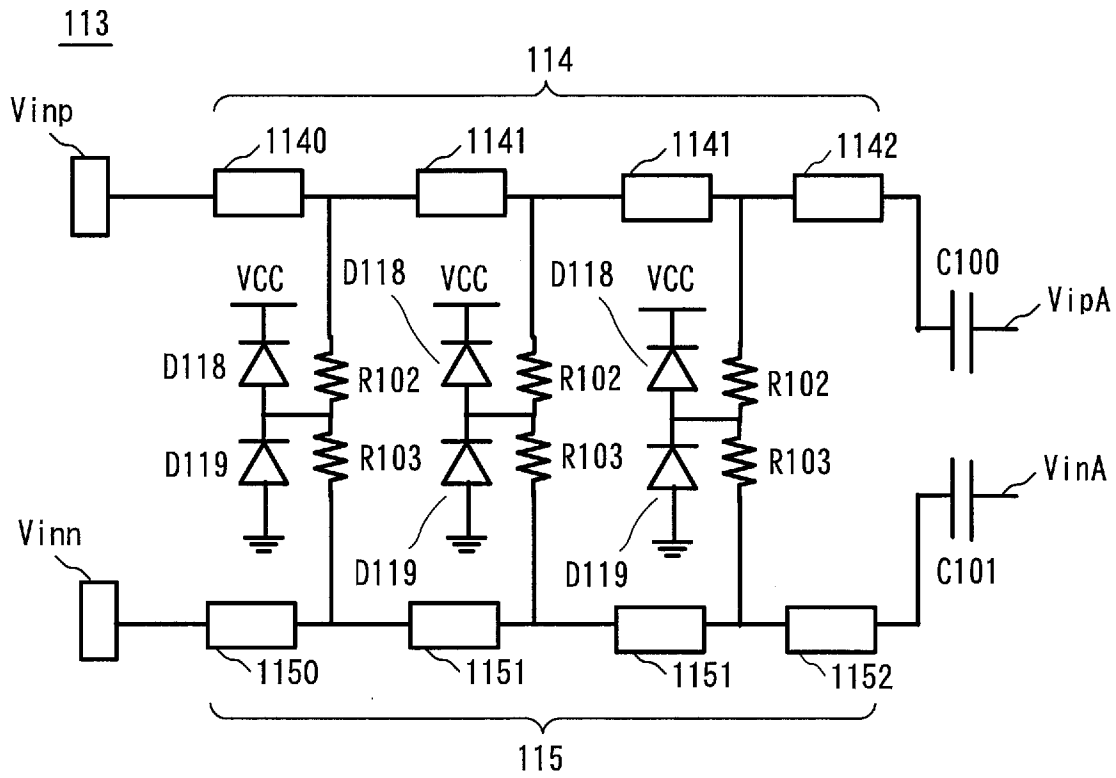
[図8]



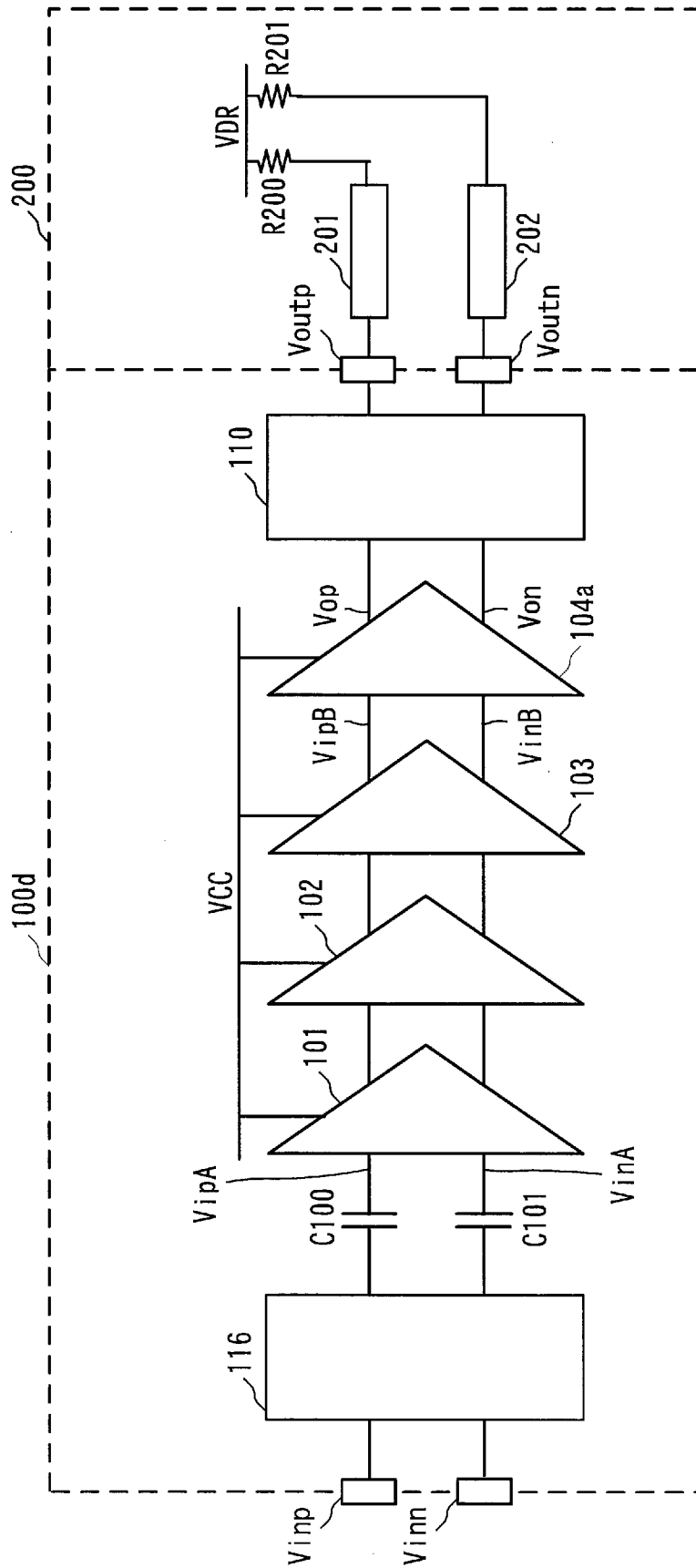
[図9]



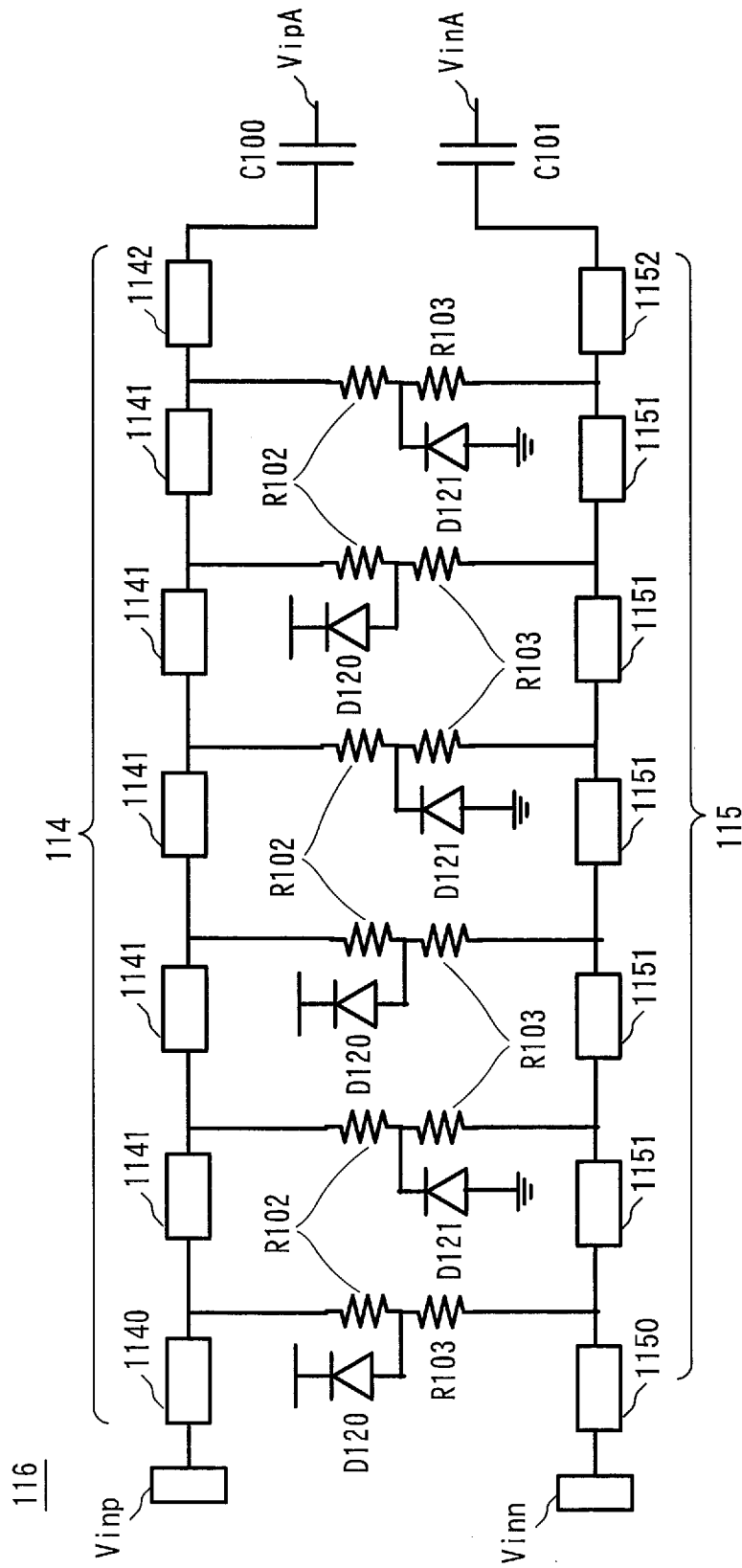
[図10]



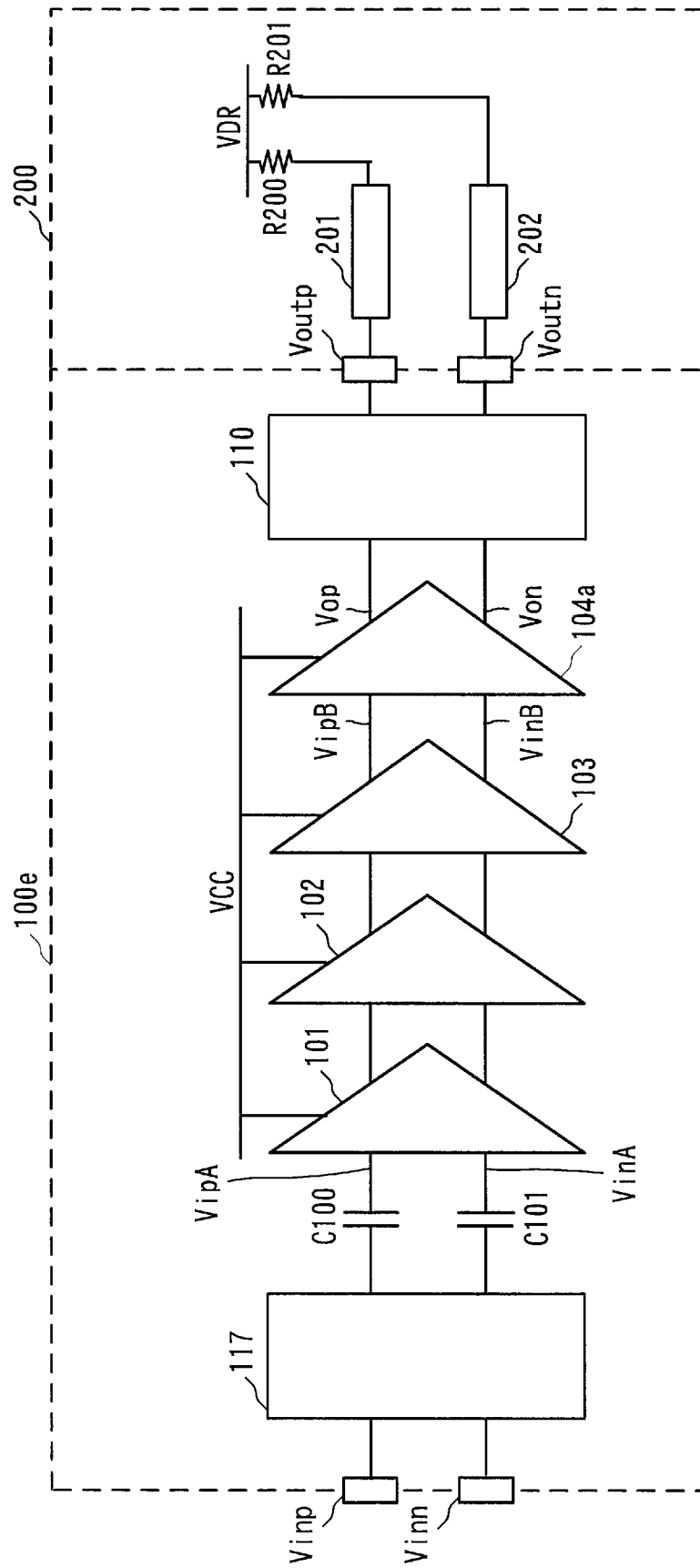
[図11]



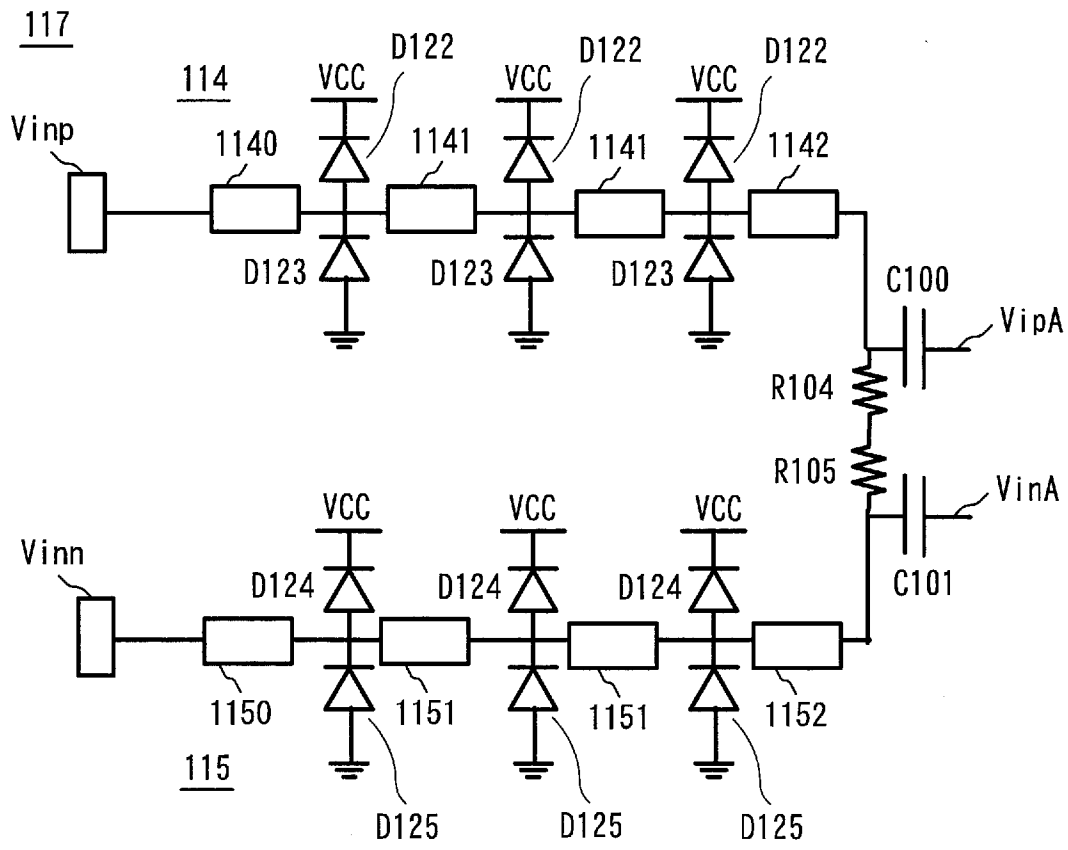
[図12]



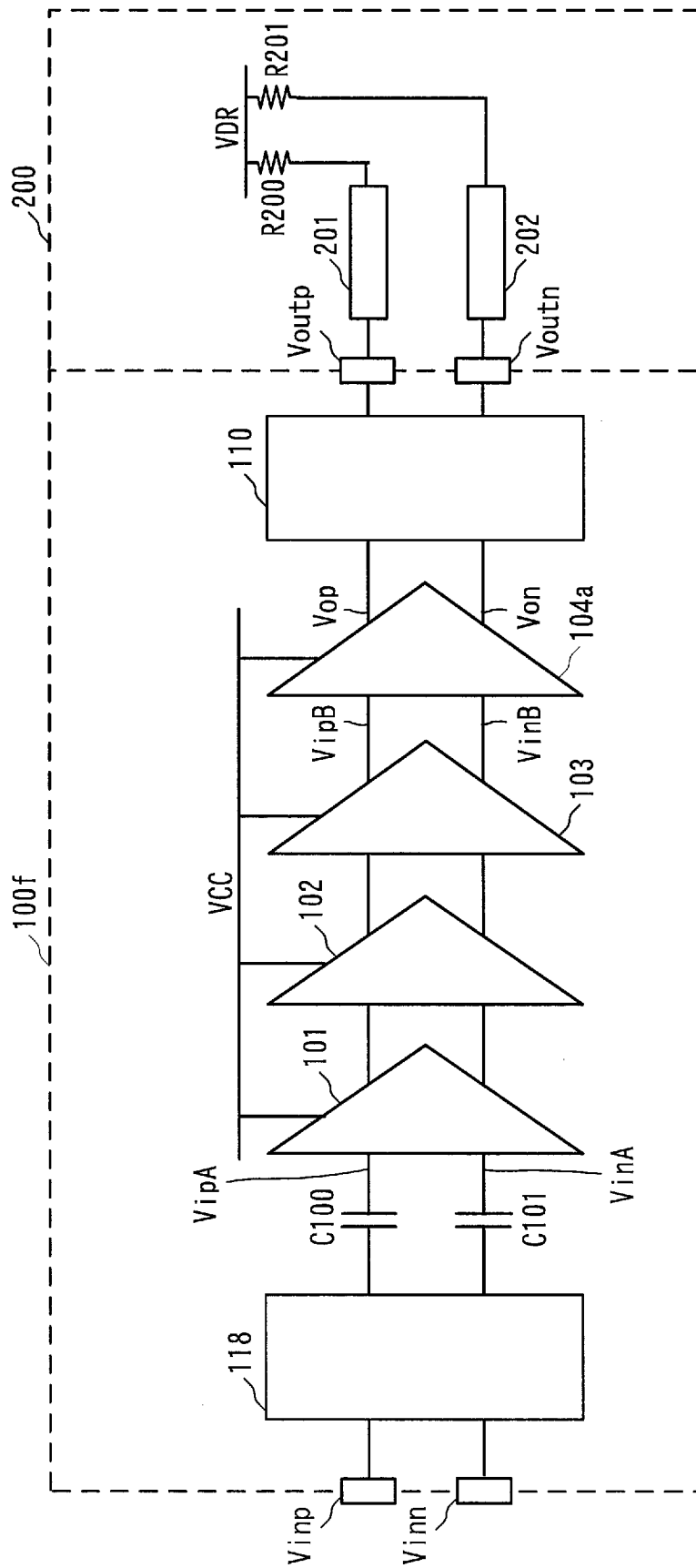
[図13]



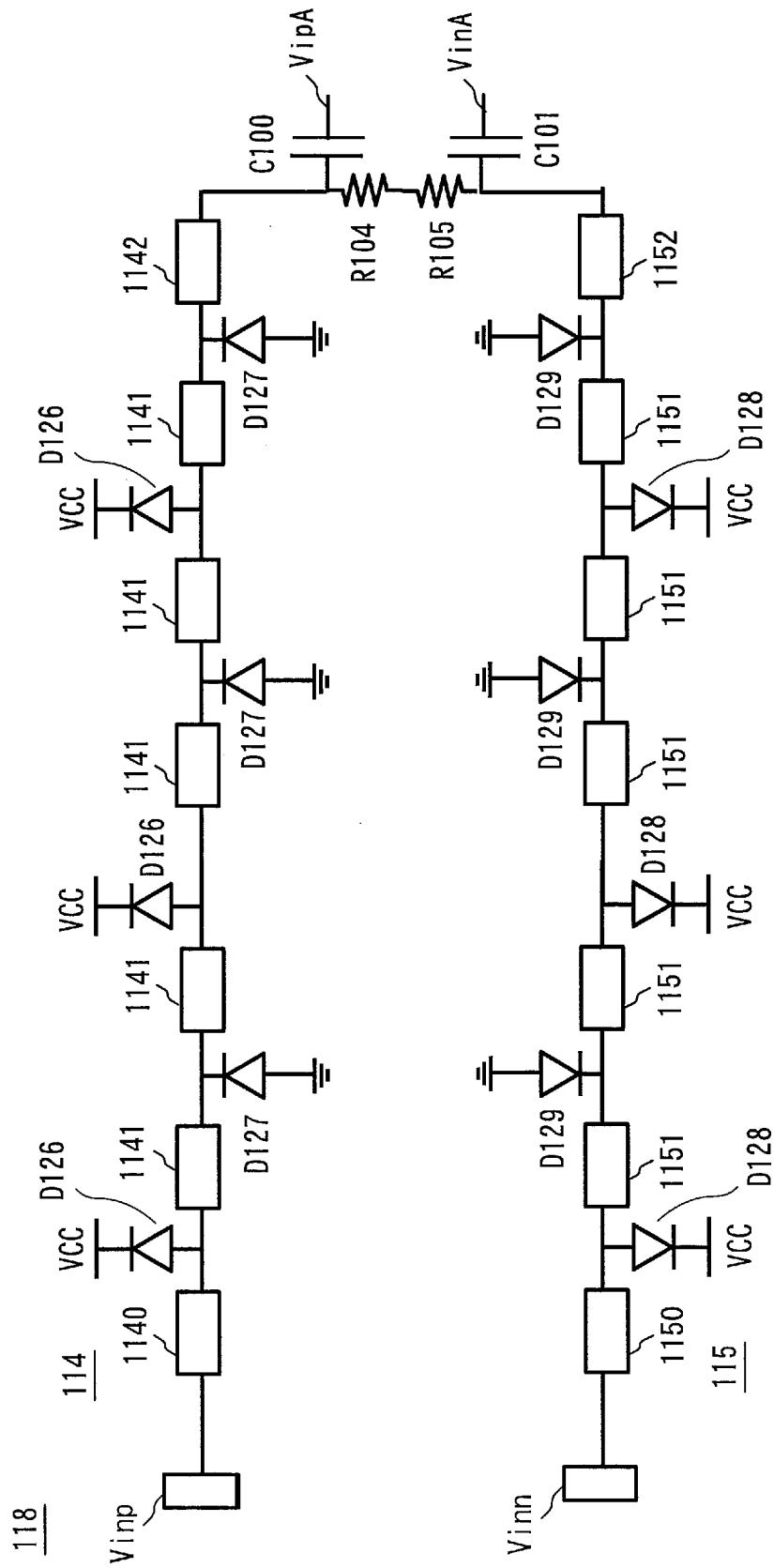
[図14]



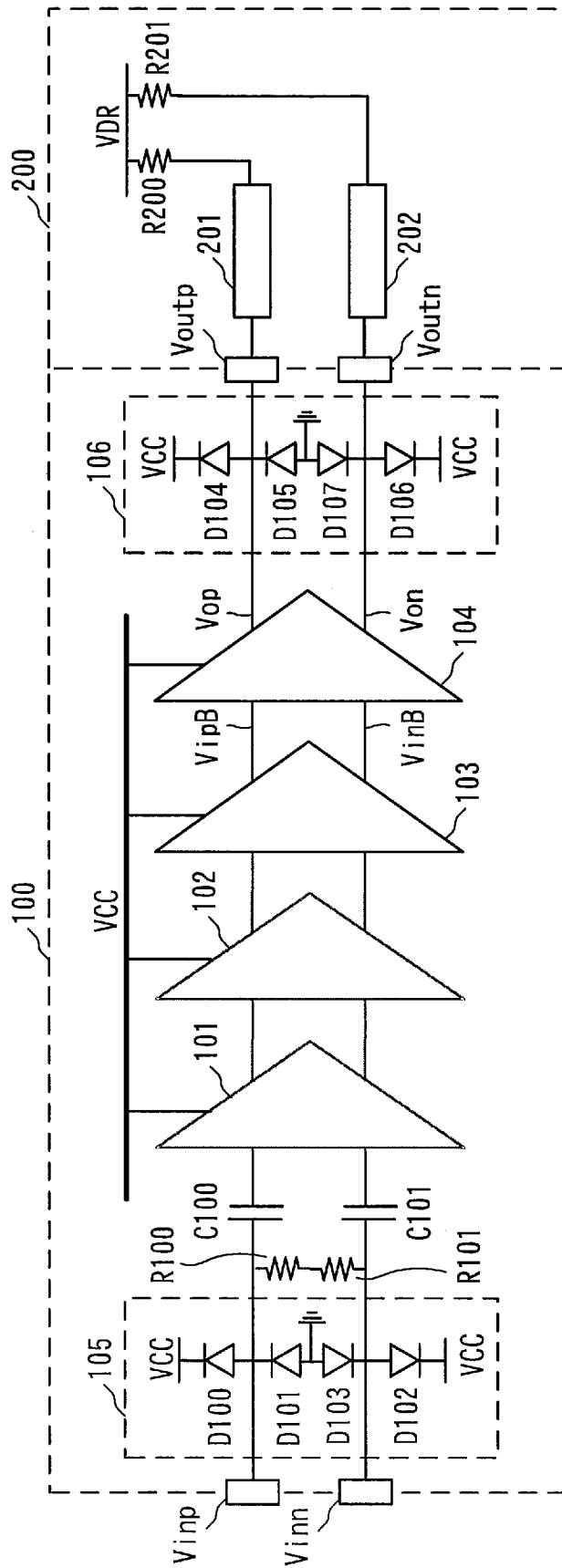
[図15]



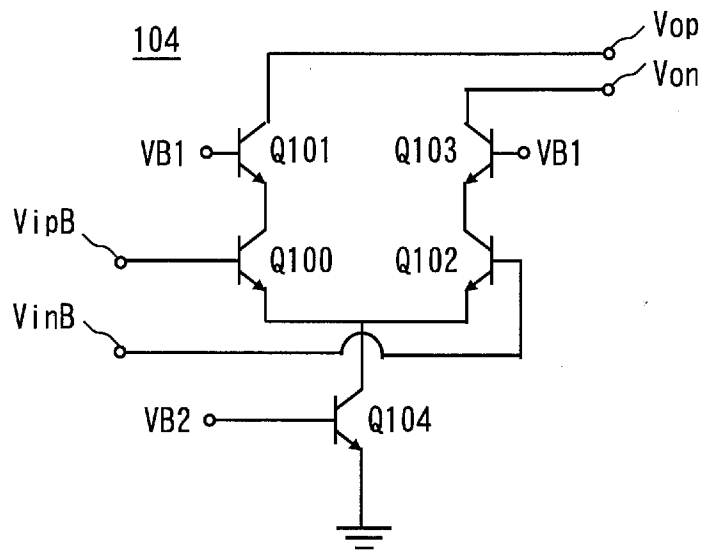
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028253

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/822 (2006.01) i, H01L27/04 (2006.01) i, G02F1/01 (2006.01) i, G02F1/025 (2006.01) i

FI: G02F1/01 B, H01L27/04 H, G02F1/025

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/822, H01L27/04, G02F1/00-1/125, G02F1/21-7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-226557 A (HITACHI, LTD.) 22 August 1995, paragraph [0026], fig. 10, 11	1-8
Y	JP 2003-23101 A (MITSUBISHI ELECTRIC CORP.) 24 January 2003, paragraphs [0055]-[0064], fig. 1, 2	1-5
Y	JP 2010-233140 A (HITACHI, LTD.) 14 October 2010, paragraphs [0031], [0032], fig. 2	1-3
Y	JP 2000-510653 A (THE BOARD OF TRUSTEES OF THE LELAND STANFORD JUNIOR UNIVERSITY) 15 August 2000, p. 9, line 11 to p. 14, line 21, fig. 2, 3	2-3, 7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05.11.2020

Date of mailing of the international search report
01.12.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/028253

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2006/0256489 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 16 November 2006, paragraph [0028], fig. 10	4-5
Y	JP 63-1211 A (FUJITSU LTD.) 06 January 1988, p. 3, lower left column, line 2 to lower right column, line 6, fig. 3	6-8
Y	JP 2011-228372 A (TOSHIBA CORP.) 10 November 2011, paragraph [0014], fig. 1	6-8
Y	JP 2-170458 A (SONY CORP.) 02 July 1990, p. 4, upper left column, line 12 to upper right column, line 1, fig. 1	6-8
A	JP 2017-175008 A (ANRITSU CORP.) 28 September 2017, paragraphs [0016]-[0027], fig. 1	1-8
A	US 2013/0308232 A1 (NXP B.V.) 21 November 2013, entire text, all drawings	1-8
A	CN 108322195 A (QINGDAO INSTITUTE OCEAN ENGINEERING OF TIANJIN UNIVERSITY CO., LTD.) 24 July 2018, entire text, all drawings	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/028253

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 7-226557 A	22.08.1995	(Family: none)	
JP 2003-23101 A	24.01.2003	US 2003/0008463 A1 paragraphs [0063]- [0073], fig. 1, 2	
JP 2010-233140 A	14.10.2010	US 2010/0246078 A1 paragraphs [0044], [0045], fig. 2	
JP 2000-510653 A	15.08.2000	KR 10-2010-0109355 A US 5969929 A column 3, line 18 to column 6, line 32, fig. 2, 3	
US 2006/0256489 A1	16.11.2006	WO 1998/047190 A1 EP 976190 A1 AU 6964698 A CN 1913740 A TW 200644213 A	
JP 63-1211 A	06.01.1988	(Family: none)	
JP 2011-228372 A	10.11.2011	US 2011/0255201 A1 paragraph [0024], fig. 1	
JP 2-170458 A	02.07.1990	TW 201203509 A (Family: none)	
JP 2017-175008 A	28.09.2017	(Family: none)	
US 2013/0308232 A1	21.11.2013	EP 2665055 A1	
CN 108322195 A	24.07.2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; G02F 1/01(2006.01)i; G02F 1/025(2006.01)i FI: G02F1/01 B; H01L27/04 H; G02F1/025														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/822; H01L27/04; G02F1/00-1/125; G02F1/21-7/00 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 7-226557 A（株式会社日立製作所）22.08.1995（1995-08-22） 段落 [0026]，第10-11図	1-8												
Y	JP 2003-23101 A（三菱電機株式会社）24.01.2003（2003-01-24） 段落 [0055] - [0064]，第1-2図	1-5												
Y	JP 2010-233140 A（株式会社日立製作所）14.10.2010（2010-10-14） 段落 [0031] - [0032]，第2図	1-3												
Y	JP 2000-510653 A（ザ ボード オブ トラスティーズ オブ ザ リーランド スタン フォード ジュニア ユニバーシティ）15.08.2000（2000-08-15） 第9頁第11行-第14頁第21行，第2-3図	2-3, 7												
Y	US 2006/0256489 A1（TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.）16.11.2006 （2006-11-16） 段落 [0028]，第10図	4-5												
Y	JP 63-1211 A（富士通株式会社）06.01.1988（1988-01-06） 第3頁左下欄第2行-右下欄第6行，第3図	6-8												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 05.11.2020		国際調査報告の発送日 01.12.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 山本 元彦 2L 3914 電話番号 03-3581-1101 内線 3295												

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-228372 A (株式会社東芝) 10.11.2011 (2011 - 11 - 10) 段落 [0014] , 第1図	6-8
Y	JP 2-170458 A (ソニー株式会社) 02.07.1990 (1990 - 07 - 02) 第4頁左上欄第12行-右上欄第1行, 第1図	6-8
A	JP 2017-175008 A (アンリツ株式会社) 28.09.2017 (2017 - 09 - 28) 段落 [0016] - [0027] , 第1図	1-8
A	US 2013/0308232 A1 (NXP B.V.) 21.11.2013 (2013 - 11 - 21) 全文, 全図	1-8
A	CN 108322195 A (QINGDAO INSTITUTE OCEAN ENGINEERING OF TIANJIN UNIVERSITY CO., LTD.) 24.07.2018 (2018 - 07 - 24) 全文, 全図	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/028253

引用文献			公表日	パテントファミリー文献	公表日
JP	7-226557	A	22.08.1995	(ファミリーなし)	
JP	2003-23101	A	24.01.2003	US 2003/0008463 A1	
				段落 [0063] - [0073] , 第1-2図	
JP	2010-233140	A	14.10.2010	US 2010/0246078 A1	
				段落 [0044] - [0045] , 第2図	
				KR 10-2010-0109355 A	
JP	2000-510653	A	15.08.2000	US 5969929 A	
				第3欄第18行-第6欄第32行, 第2-3図	
				WO 1998/047190 A1	
				EP 976190 A1	
				AU 6964698 A	
US	2006/0256489	A1	16.11.2006	CN 1913740 A	
				TW 200644213 A	
JP	63-1211	A	06.01.1988	(ファミリーなし)	
JP	2011-228372	A	10.11.2011	US 2011/0255201 A1	
				段落 [0024] , 第1図	
				TW 201203509 A	
JP	2-170458	A	02.07.1990	(ファミリーなし)	
JP	2017-175008	A	28.09.2017	(ファミリーなし)	
US	2013/0308232	A1	21.11.2013	EP 2665055 A1	
CN	108322195	A	24.07.2018	(ファミリーなし)	