



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월17일  
(11) 등록번호 10-1287015  
(24) 등록일자 2013년07월11일

- (51) 국제특허분류(Int. C1.)  
*H01L 27/115* (2006.01)
- (21) 출원번호 10-2007-7027839
- (22) 출원일자(국제) 2006년05월05일  
심사청구일자 2011년03월31일
- (85) 번역문제출일자 2007년11월29일
- (65) 공개번호 10-2008-0022085
- (43) 공개일자 2008년03월10일
- (86) 국제출원번호 PCT/US2006/017525
- (87) 국제공개번호 WO 2006/121924  
국제공개일자 2006년11월16일
- (30) 우선권주장  
11/125,606 2005년05월09일 미국(US)
- (56) 선행기술조사문현  
US20050052915 A1\*
- \*는 심사관에 의하여 인용된 문헌
- (73) 특허권자  
샌디스크 3디 엘엘씨  
미국, 캘리포니아 95035-7933, 밀피타스, 샌디스크 드라이브 951
- (72) 발명자  
허너, 에스. 브래드  
미국, 캘리포니아 95125, 산 호세, 밀드레드 애비뉴 1289
- 던톤, 사무엘 브이.  
미국, 캘리포니아 95148, 산 호세, 퍽산 코트 2697
- (74) 대리인  
박경재

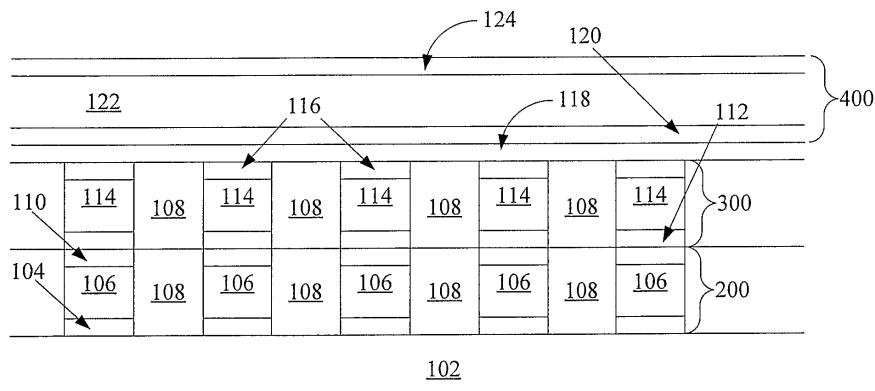
전체 청구항 수 : 총 12 항

심사관 : 박문철

(54) 발명의 명칭 저온으로 제조되고 반도체 다이오드를 포함하는 고밀도비휘발성 메모리 어레이

**(57) 요 약**

고밀도 모듈리티 3차원 메모리 어레이에 사용하기에 적합한 메모리 셀이 기술된다. 메모리셀의 바람직한 실시예에서, 비교적 낮은 온도에서 결정화될 수 있는 게르마늄 또는 게르마늄 합금으로 형성된 반도체 접합 다이오드는 컨덕터들 사이에 배치된다. 저온 재료를 사용하면, 매우 작은 피쳐 크기로 충분한 전류를 제공하는 저저항 재료들인 구리 또는 알루미늄으로 컨덕터를 형성할 수 있으며 따라서 고밀도 적층 어레이가 형성될 수 있다.

**대 표 도** - 도4c

## 특허청구의 범위

### 청구항 1

모놀리딕 3차원 메모리 어레이를 형성하기 위한 방법으로서,

다수의 제 1 메모리 셀들을 포함하는 제 1 메모리 레벨을 기판 위에 형성하는 단계로서, 상기 제 1 메모리 셀들 각각은 다결정 반도체 재료를 각각 포함한 다이오드 및 유전체 파열 안티퓨즈를 포함하며, 상기 다결정 반도체 재료는 게르마늄 또는 게르마늄 합금인 것을 특징으로 하는, 제 1 메모리 레벨을 기판 위에 형성하는 단계; 및 상기 제 1 메모리 레벨 위에 제 2 메모리 레벨을 모놀리딕식으로 형성하는 단계를 포함하며;

상기 모놀리딕 3차원 메모리 어레이의 형성 동안, 상기 어레이 형성 동안의 처리 온도는 500°C를 초과하지 않는, 모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 2

제 1항에 있어서, 상기 처리 온도는 450°C를 초과하지 않는, 모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 3

제 1항에 있어서, 상기 처리 온도는 400°C를 초과하지 않는, 모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 4

제 1항에 있어서, 상기 처리 온도는 375°C를 초과하지 않는, 모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 5

제 1항에 있어서, 상기 처리 온도는 350°C를 초과하지 않는, 모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 6

제 1항에 있어서, 상기 기판은 단결정 실리콘인, 모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 7

제 1항에 있어서,

상기 다이오드 각각은 p-i-n 다이오드를 포함하는,

모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 8

제 1항에 있어서,

상기 다결정 반도체 재료는

적어도 20 원자 퍼센트 게르마늄인, 게르마늄 합금인,

모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 9

제 8항에 있어서,

상기 다결정 반도체 재료는

적어도 50 원자 퍼센트 게르마늄인, 게르마늄 합금인,

모놀리딕 3차원 메모리 어레이 형성 방법.

### 청구항 10

삭제

#### **청구항 11**

제 1항에 있어서, 상기 유전체 패열 안티퓨즈는 산화물, 질화물 또는 옥시니트라이드 층을 포함하는, 모놀리틱 3차원 메모리 어레이 형성 방법.

#### **청구항 12**

제 1항에 있어서, 상기 제 1 메모리 레벨은 제 1의 다수의 하부 컨덕터들 및 제 1의 다수의 상부 컨덕터들을 포함하며, 상기 제 1 하부 또는 상기 제 1 상부 컨덕터들은 알루미늄 또는 구리를 포함하는, 모놀리틱 3차원 메모리 어레이 형성 방법.

#### **청구항 13**

제 1항에 있어서, 상기 반도체는 제 1도전형을 가진 제 1 도핑된 반도체 재료 및 제 2 도전형을 가진 제 2 도핑된 반도체 재료를 포함하는, 모놀리틱 3차원 메모리 어레이 형성 방법.

#### **청구항 14**

삭제

#### **청구항 15**

삭제

#### **청구항 16**

삭제

#### **청구항 17**

삭제

#### **청구항 18**

삭제

#### **청구항 19**

삭제

#### **청구항 20**

삭제

#### **청구항 21**

삭제

#### **청구항 22**

삭제

#### **청구항 23**

삭제

#### **청구항 24**

삭제

#### **청구항 25**

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

## 명세서

### 기술분야

[0001] 본 발명은 게르마늄 또는 게르마늄-합금 다이오드를 포함하는 고밀도 비휘발성 메모리 어레이에 관한 것이다.

### 배경기술

[0002] 종래의 반도체 장치들에서, 메모리 셀들은 메모리 셀들에 전기 접속을 제공하는 도전성 와이어링과 함께 단결정 실리콘 웨이퍼 기판에 제조된다. 일반적으로, 이를 컨덕터들은 어레이가 형성된 후 형성될 수 있으며, 따라서

메모리 셀 그 자체들을 형성하는데 필요한 온도에 종속될 필요가 없다. 특히, 상부 금속 컨덕터들은 예컨대 다결정 실리콘(이러한 논의에서 다결정 실리콘은 폴리실리콘이라 칭할 것이다)의 증착 및 결정화동안 유발되는 온도에 종속될 필요가 없으며(폴리실리콘은 제어 게이트들 및 플로팅 게이트들과 같은 메모리 엘리먼트들에서 사용된다), 상기 온도는 보통 약 500°C를 초과한다. 따라서, 알루미늄 및 구리와 같이 고온 처리에 견딜 수 없는 금속들은 종래의 2차원 반도체 장치들에서 컨덕터들로 성공적으로 사용될 수 있다. 알루미늄 및 구리는 초저저항 재료들이며 이에 따라 컨덕터로 사용하기에 바람직하다.

[0003] "수직 적층된 필드 프로그램가능 비휘발성 메모리 및 이의 제조방법"이라는 명칭을 가진 Johnson 등의 미국특허 제6,034,882호에 개시된 것과 같은 모놀리딕 3차원 메모리 어레이들에서는 단결정 실리콘 웨이퍼 기판 위에 서로 교반하여 적층된 다중 메모리 레벨들이 형성되며, 이 출원은 본 발명의 양수인에게 양도되고 여기에 참조문헌으로서 통합된다.

[0004] 모놀리딕 3차원 메모리 어레이에 있어서, 제 1 메모리 레벨의 일부분으로서 형성된 컨덕터들은 다음 레벨 및 모두 다음에 형성된 메모리 레벨들에 메모리 셀들의 모든 엘리먼트를 형성하는데 필요한 처리 온도에 견딜 수 있어야 한다. 메모리 셀이 결정화되어야 하는 증착된 실리콘을 포함할 경우에, 종래의 증착 및 결정화 기술을 사용하면 컨덕터들은 예컨대 550°C를 초과하는 온도를 견딜 수 있어야 한다.

[0005] 알루미늄 와이어링은 약 475°C 이상의 온도들에서 연화 및 압출되는 경향이 있고, 구리는 더 낮은 열적 내구력을 갖는다. 따라서, Johnson 등의 어레이들과 같은 어레이들에서는 높은 처리온도에 견딜 수 있는 재료들이 컨덕터들로서 바람직하게 사용된다.

[0006] Johnson 등의 어레이들과 같은 메모리 어레이들이 작은 크기로 소형화됨에 따라 컨덕터들의 단면들이 작아지며 결국 저항이 증가한다. 따라서, 저온에서 증착된 반도체 재료를 포함하는 고밀도 메모리 장치가 저저항 컨덕터들을 사용할 수 있도록 하는 효율적인 저비용 방법에 대한 필요성이 요망된다.

### 발명의 상세한 설명

[0007] 본 발명은 이하의 청구범위에 의하여 한정되며, 본 단락에서 기술된 내용은 본 발명을 제한하는 것으로 의도되지 않는다. 일반적으로, 본 발명은 고밀도 어레이로 제조될 수 있으며 게르마늄 또는 게르마늄 화합물 다이오드 및 저밀도 재료로 형성된 컨덕터들을 가진 비휘발성 메모리 셀에 관한 것이다.

[0008] 본 발명의 제 1 양상은 모놀리딕 3차원 메모리 어레이를 형성하기 위한 방법으로서, 반도체 재료를 각각 포함하는 제 1의 다수의 메모리 셀들을 포함하는 제 1 메모리 레벨을 기판 위에 형성하는 단계; 및 상기 제 1 메모리 레벨 위에 제 2 메모리 레벨을 모놀리딕식으로 형성하는 단계를 포함하며; 상기 모놀리딕 3차원 메모리 어레이의 형성 동안, 상기 어레이 형성 동안의 처리 온도는 약 500°C를 초과하지 않는, 모놀리딕 3차원 메모리 어레이 형성 방법을 제공한다.

[0009] 본 발명의 다른 양상은 모놀리딕 3차원 메모리 어레이로서, a) 제 1 메모리 레벨을 포함하는데, 상기 제 1 메모리 레벨은, i) 제 1 알루미늄층 또는 제 1 구리층을 포함하는 제 1의 다수의 하부 컨덕터들, ii) 상기 제 1 하부 컨덕터들 위에 형성되며, 게르마늄 또는 게르마늄 합금을 포함하는 제 1의 다수의 필러형 다이오드들, 및 iii) 상기 제 1 다이오드들 위에 형성되며, 제 2 알루미늄층 또는 제 2 구리층을 포함하는 제 1의 다수의 상부 컨덕터들을 포함하며; 및 b) 상기 제 1 메모리 레벨 위에 모놀리딕식으로 형성된 제 2 메모리 레벨을 포함하는, 모놀리딕 3차원 메모리 어레이를 제공한다.

[0010] 본 발명의 또 다른 양상은 제 1 메모리 레벨을 형성하는 방법으로서, 제 1방향으로 연장되며 구리 또는 알루미늄을 포함하는 제 1의 다수의 실질적으로 평행한 실질적으로 공면형 레일-형상 하부 컨덕터들을 형성하는 단계; 상기 제 1 하부 컨덕터들 위에 형성되고, 게르마늄 또는 게르마늄 합금을 포함하는 제 1의 다수의 다이오드들을 형성하는 단계; 및 상기 제 1 다이오드들 위에 형성되고 상기 제 1 방향과 다른 제 2 방향으로 연장되며 구리 또는 알루미늄을 포함하는 제 1의 다수의 실질적으로 평행한 실질적으로 공면형 레일-형상 상부 컨덕터들을 형성하는 단계를 포함하며, 상기 제 1 메모리 레벨의 형성동안, 상기 처리 온도는 500°C를 초과하지 않는, 제 1 메모리 레벨 형성 방법을 제공한다.

[0011] 본 발명의 다른 양상은 비휘발성 원-타임 프로그램가능 메모리 셀로서, 하부 컨덕터; 상기 하부 컨덕터 위에 형성된 다결정 다이오드; 및 상기 다이오드 위에 형성된 상부 컨덕터를 포함하며; 상기 셀이 프로그래밍된 후에, 약 1볼트가 상기 상부 컨덕터 및 상기 하부 컨덕터 사이에 공급될 때, 상기 다이오드를 통해 흐르는 전류가 적어도 약 100 마이크로암페어인, 비휘발성 원-타임 프로그램가능 메모리 셀을 제공한다.

- [0012] 본 발명의 또 다른 양상은 알루미늄 또는 구리를 포함하는 하부 컨덕터; 적어도 20 원자 퍼센트 게르마늄인 반도체 재료를 포함하는 필러(pillar); 및 알루미늄 또는 구리를 포함하는 상부 컨덕터를 포함하며; 상기 필러는 상기 상부 컨덕터 및 상기 하부 컨덕터 사이에 배치되며; 상기 반도체 재료는 고저항 상태로 형성되며, 프로그래밍 전압의 인가시에 다이오드를 저저항 상태로 전환하는, 비휘발성 메모리 셀을 제공한다.
- [0013] 본 발명의 바람직한 실시예는 모놀리딕 3차원 메모리 어레이로서, a) 기판 위에 형성되며, 다수의 메모리 셀들을 포함하는 제 1 메모리 레벨을 포함하는데, 상기 각각의 메모리 셀은, i) 알루미늄 합금을 포함하는 하부 컨덕터, ii) 적어도 20 원자 퍼센트 게르마늄인 반도체 재료를 포함하는 필러, iii) 알루미늄 합금을 포함하는 상부 컨덕터를 포함하며, 상기 필러는 상기 상부 컨덕터 및 상기 하부 컨덕터 사이에 배치되며, 상기 반도체 재료는 고저항 상태로 형성되며, 프로그래밍 전압의 인가시에 다이오드를 저저항 상태로 전환하며; 및 b) 상기 제 1 메모리 레벨위에 모놀리딕식으로 형성된 제 2 메모리 레벨을 포함하는, 모놀리딕 3차원 메모리 어레이를 제공한다.
- [0014] 본 발명의 다른 바람직한 양상은, 모놀리딕 3차원 메모리 어레이로서,a) 기판 위에 형성된 제 1 메모리 레벨을 포함하는데, 상기 제 1 메모리 레벨은, i) 구리를 포함하며 다마신 방법에 의하여 형성되는 하부 컨덕터, ii) 적어도 20 원자 퍼센트 게르마늄인 반도체 재료를 포함하는 필러, iii) 구리를 포함하며 다마신 방법에 의하여 형성되는 상부 컨덕터를 포함하며, 상기 필러는 상기 상부 컨덕터 및 상기 하부 컨덕터 사이에 배치되며, 상기 반도체 재료는 고저항 상태로 형성되며, 프로그래밍 전압의 인가시에 다이오드를 저저항 상태로 전환하며; 및 b) 상기 제 1 메모리 레벨 위에 모놀리딕식으로 형성된 제 2 메모리 레벨을 포함하는, 모놀리딕 3차원 메모리 어레이를 제공한다.
- [0015] 본 발명의 바람직한 양상은 모놀리딕 3차원 메모리 어레이를 형성하기 위한 방법으로서, a) i) 구리 또는 알루미늄 합금을 포함하는 제 1의 다수의 실질적으로 평행한 실질적으로 공면형 하부 컨덕터들을 형성하는 단계, ii) 상기 제 1 하부 컨덕트들 위에 형성되고 게르마늄 또는 게르마늄 합금을 포함하는 제 1의 다수의 다이오드들을 형성하는 단계, 및 iii) 상기 제 1 다이오드들 위에 형성되고 구리 또는 알루미늄 합금을 포함하는 제 1의 다수의 실질적으로 평행한 실질적으로 공면형 상부 컨덕터들을 형성하는 단계를 포함하는 방법에 의하여 기판 위에 제 1 메모리 레벨을 형성하는 단계; 및 b) 상기 제 1 메모리 레벨 위에 제 2 메모리 레벨을 모놀리딕식으로 형성하는 단계를 포함하는, 모놀리딕 3차원 메모리 어레이 형성 방법을 제공한다.
- [0016] 여기에 기술된 본 발명의 양상들 및 실시예들의 각각은 단독으로 또는 서로 관련하여 사용될 수 있다.
- [0017] 바람직한 양상들 및 실시예들은 첨부 도면들을 참조로 하여 지금 기술될 것이다.

## 실 시 예

- [0023] 도 1은 Herner 등에 의한 미국 출원번호 제10/326,470호에 개시된 메모리 셀을 도시하며, 이후에 이러한 470' 출원은 포기되었으며 여기에 참조문헌으로서 통합된다. '470 출원은 바람직하게 단결정 실리콘의 기판 위에 형성된 셀들을 포함하는 모놀리딕 3차원 메모리 어레이의 제조 및 사용을 개시한다. 관련 메모리 어레이들 및 이들의 용도 및 제조 방법들은 "고 및 저-임피던스 상태를 가진 유전체 안티퓨즈없는 비휘발성 메모리 셀"이라는 명칭으로 2004년 9월 29일에 출원된 Herner 등의 미국특허 출원번호 제10/955,549호(이후에 '549 출원이라 칭함); "감소된 높이를 가진 수직 다이오드를 포함하는 비휘발성 메모리 셀"이라는 명칭으로 2004년 12월 17일에 출원된 Herner 등에 의한 미국특허 출원번호 제11/015,824호(이후 '824 출원이라 칭함); 및 "가변 반도체 조성물을 포함하는 접합 다이오드"라는 명칭으로 2004년 9월 29일에 출원된 Herner 등에 의한 미국 특허출원 제10/954,577호(이후 '577 출원이라 칭함)에 개시되어 있으며, 이를 출원들 모두는 본 발명의 양수인에게 양도되며 여기에 참조문헌으로서 통합된다.
- [0024] 도 1을 참조하면, '470 출원의 바람직한 실시예에서 폴리실리콘 다이오드(30)는 하부 컨덕터(20) 및 상부 컨덕터(40) 사이에 배치되며, 유전체 파열 안티퓨즈(18), 전형적인 박막 산화물층에 의하여 상부 컨덕터(40)로부터 분리된다. 셀은 초기 고저항 상태로 형성되며, 판독 전압이 하부 컨덕터(20) 및 상부 컨덕터(40) 사이에 공급될 때 이를 컨덕터들 사이에 적은 전류가 흐르거나 또는 전류가 흐르지 않는다. 그러나, 프로그래밍 전압의 인가시에, 셀은 저저항 상태로 영구적으로 전환된다. 이러한 저저항 상태에서, 판독 전압이 하부 컨덕터(20) 및 상부 컨덕터(40) 사이에 공급될 때 신뢰성 있게 검출가능한 전류가 흐른다. 초기 고저항 상태는 예컨대 데이터 "0"에 대응할 수 있는 반면에, 프로그래밍된 저저항 상태는 데이터 "1"에 대응한다.
- [0025] 고저항 상태로부터 저저항 상태로의 변화는 적어도 두가지 변화들로부터 야기된다. 유전체 파열 안티퓨즈(18)는 유전체 항복을 경험하며, 변경할 수 없는 파열들은 안티퓨즈(18)를 통해 형성된 파열 경로를 통해 도전성이

된다. 더욱이, '549 출원에 더 상세히 기술된 바와 같이, 다이오드 그 자체의 반도체 재료는 고저항 상태로부터 저저항 상태로 전환된다. 다이오드(30)는 프로그래밍 전에 다결정이다. 프로그래밍 전압이 공급된 후에, 폴리실리콘 다이오드(30)는 프로그래밍 전압의 인가 전보다 더 도전적이다.

[0026] '470, '549, '824 및 '577의 바람직한 실시예들에서, 하부 컨덕터(20) 및 상부 컨덕터(40)는 티타늄 질화물 접착층들(2, 22) 및 텅스텐층들(4, 24)을 포함한다. 티타늄 질화물 장벽층(9)은 텅스텐층(4)으로부터 폴리실리콘 다이오드(30)를 분리한다. 이러한 다수의 상부 및 하부 컨덕터들은 중재 다이오드들 및 안티퓨즈들과 함께 크로스-포인트 어레이로 제조될 수 있어서 제 1 메모리 레벨을 형성하며, 이의 전형적인 부분은 도 2에 도시되어 있다.

[0027] 도 1의 메모리 셀은 넓은 범위에 걸쳐 매우 효과적이다. 그러나, 설계가 항상 작은 크기로 이루어지기 때문에, 하부 컨덕터(20) 및 상부 컨덕터(40)의 단면 영역들은 감소하며 컨덕터들의 저항은 증가한다. 두께를 빼르게 증가시켜서 감소하는 폭을 보상하는 것이 비현실적이기 때문에, 고-에스펙트 비 피쳐들(feature)은 신뢰성 있게 패터닝하기가 곤란하며 고-에스펙트 비 캡들은 유전체로 채우기가 곤란하다. 매우 작은 피쳐 크기에서, 텅스텐 컨덕터들은 너무 높은 저항을 가져서 장치의 성능을 향상시킬 수 없다.

[0028] 상부 및 하부 컨덕터들을 형성하기 위하여 저저항 재료를 사용하는 것은 바람직하다. 그러나, 앞서 언급된 바와 같이, 폴리실리콘 다이오드(30)의 결정화는 알루미늄 또는 구리의 사용과 양립할 수 없는 온도로 통상적으로 수행된다.

[0029] 과거 10년 동안 게르마늄보다 오히려 실리콘이 반도체 접적회로에 사용되는 표준 반도체 재료가 되었다. 이는 실리콘이 산화될 때 이산화실리콘을 형성하고 여러 다른 용도 중 유전체가 필요할 때마다 고품질의 유전체 재료(인터레벨 유전체, 필드 산화물, 캡 재료, 및 게이트 유전체를 포함함)가 광범위하게 사용되는 사실 때문에 매우 중요하다. 단결정 게르마늄 장치의 상업화가 부족하며 다결정 게르마늄을 사용하는 장치가 적다.

[0030] 본 발명에서, 다결정 다이오드들은 게르마늄 또는 게르마늄 풍부 합금들로 형성된다. 약 350°C 만큼 낮은 온도에서 게르마늄의 결정화는 Edelman et al., "Initial Crystallization Stage of Amorphous Germanium Films", J. Appl. Phys., 5153 (1992)에 개시되어 있다. 약 475 °C 이하에서의 결정화는 알루미늄 컨덕터들의 사용을 가능하게 하는 반면에, 낮은 온도는 구리 컨덕터들의 사용을 가능하게 한다. 이를 저저항 금속들은 감소된 단면으로 형성될 수 있는 저저항 컨덕터들을 형성한다. 폭 및 에스펙트 비의 감소는 메모리 어레이의 고밀도를 가능하게 한다.

[0031] 도 3은 본 발명에 따라 형성된 메모리 셀을 도시한다. 이러한 실시예에 있어서, 하부 컨덕터(20) 및 상부 컨덕터(40)는 각각 알루미늄층들(15, 25)을 포함하며, 대안 실시예에서 컨덕터들은 구리를 포함한다. 다이오드(32)는 게르마늄 또는 게르마늄 합금으로 형성된 p-i-n 다이오드이다. 게르마늄 합금은 바람직하게 적어도 20 원자 퍼센트 게르마늄이며, 바람직하게 적어도 50 원자 퍼센트 게르마늄이며, 바람직한 실시예에서는 적어도 80 또는 적어도 90 원자 퍼센트 원자 게르마늄이다. 유전체 파열 안티퓨즈(18)는 컨덕터들 사이에서 다이오드(32)와 직렬로 배열된다. 유전체 파열 안티퓨즈(18)는 산화물, 질화물 또는 옥시나트라이드와 같은 임의의 적절한 유전체 재료로 형성될 수 있다.

[0032] 실리콘보다 오히려 게르마늄 또는 게르마늄-풍부 합금을 사용하면, 다이오드의 결정 온도는 대규모 제조 동안 실제적으로 유지되는 어닐(anneal) 시간에 약 350 °C 만큼 낮게 감소된다.

[0033] 두가지 상세한 예들이 제공되며, 여기서 다른 모놀리틱 3차원 메모리 어레이의 각각은 본 발명에 따라 형성된다. 제 1 실시예는 알루미늄 컨덕터들의 사용을 기술하는 반면에 제 2 실시예는 구리 컨덕터들의 사용을 기술할 것이다. 명확화를 위하여, 단계들, 재료들 및 공정 조건들을 포함하는 세부사항들이 포함될 것이다. 이러한 예는 비제한적이며 이들 세부사항들은 수정, 생략 또는 추가될 수 있으며 이의 결과는 본 발명의 범위내에 있다는 것이 이해되어야 한다. 특히, '470, '549, '824, '577 및 다른 통합 출원들 및 특허들에는 본 발명에 따른 메모리를 형성하는 것이 개시되어 있다. 단순화를 위하여, 통합된 출원들 및 특허들에 개시된 세부사항들이 포함되지 않으나 이들 출원들 또는 특허들에 개시된 세부사항들은 모두 포함되는 것으로 의도된다.

[0034] 예: 알루미늄 컨덕터들

[0035] 도 4a를 참조하면, 메모리의 형성은 기판(100)과 함께 시작된다. 이러한 기판(100)은 단결정 실리콘, 실리콘-게르마늄 또는 실리콘-게르마늄-탄소와 같은 IV-IV 화합물들, III-V 화합물들, II-VII 화합물들과 같이 공지된 임의의 반도체 기판, 이러한 기판들 위의 에피택셜층들, 또는 임의의 다른 반도체 재료일 수 있다. 기판은 그

내에 제조된 접적회로들을 포함할 수 있다.

- [0036] 절연층(102)은 기판(100) 위에 형성된다. 절연층(102)은 실리콘 산화물, 실리콘 질화물, 고유전체 막, Si-C-O-H 막 또는 임의의 다른 적절한 절연재료일 수 있다.
- [0037] 제 1 컨덕터들(200)은 기판(100) 및 절연체(102) 위에 형성된다. 접착층(104)은 도전층(106)을 접착하는데 도움을 주기 위하여 절연층(102) 및 도전층(106) 사이에 포함될 수 있다. 접착층(104)에 대한 바람직한 재료는 비록 다른 재료들이 사용되거나 또는 이러한 층이 생략될 수 있을지라도 티타늄 질화물이다. 접착층(104)은 임의의 종래의 방법, 예컨대 스팍터링에 의하여 증착될 수 있다.
- [0038] 접착층(104)의 두께는 약 20 내지 약 500 옹스트롬일 수 있으며, 바람직하게 약 100 내지 약 400 옹스트롬이며, 더 바람직하게 약 200 옹스트롬이다. 여기에서 "두께"는 기판(100)에 수직한 방향에서 측정된 수직 두께를 나타낼 것이라는 것에 유의해야 한다.
- [0039] 증착된 다음 층은 도전층(106)이다. 본 실시예에서, 도전층(106)은 비록 덜 바람직한 실시예에서 도핑된 반도체와 같은 공지된 임의의 도전재료, 텅스텐과 같은 금속 또는 금속 실리사이드가 사용될지라도 알루미늄 또는 알루미늄 합금이다. 도전층(106)의 두께는 적정 시트 저항에 부분적으로 좌우될 수 있으며, 따라서 적정 시트 저항을 제공하는 임의의 두께일 수 있다. 일 실시예에서, 도전층(106)의 두께는 약 500 내지 약 3000 옹스트롬, 바람직하게 1000 내지 2000 옹스트롬, 더 바람직하게 약 1200 옹스트롬일 수 있다.
- [0040] 티타늄 질화물의 다른층(110)은 도전층(106) 상에 증착된다. 이러한 층은 대략 접착층(104)과 동일한 두께를 가질 수 있다. 무반사 코팅이 사용될 수 있다. 티타늄 질화물층(110)은 알루미늄층(106) 및 형성될 다이오드의 게르마늄 또는 게르마늄 풍부 합금사이의 장벽층으로서 사용될 것이다.
- [0041] 일단 컨덕터 레인들을 형성하는 모든 층들이 증착되면, 층들은 도 4a에서 단면도로 도시된 실질적으로 평행하고 실질적으로 동일 평면 컨덕터들(200)을 형성하기 위하여 임의의 적절한 마스킹 및 에칭 공정을 사용하여 패터닝 및 에칭될 것이다. 일 실시예에 있어서, 포토레지스트는 증착되어 포토리소그라피에 의하여 패터닝되고 층들이 에칭된 후, 포토레지스트는 산소 포함 플라즈마의 "애싱"과 같은 표준 공정 기술들 및 EKC에 의하여 공식화된 것들과 같은 종래의 액체 솔벤트에서 에칭되는 동안 형성된 중합체를 남기는 스트립을 사용하여 제거된다.
- [0042] 반복 패턴에서, 피치(pitch)는 피처 및 동일한 피처의 다음 순환 사이의 거리이다. 컨덕터들(200)과 같은 다수의 실질적으로 평행한 라인들에서, 예컨대 컨덕터들(200)의 피치는 한 라인의 중심으로부터 다음 라인의 중심까지의 거리이다. 컨덕터들(200)은 임의의 적정 피치에 형성될 수 있으나, 컨덕터들(200)의 피치는 최대 180nm, 바람직하게 최대 약 150nm, 더 바람직하게 최대 약 120nm, 가장 바람직하게 최대 약 90nm이다. 컨덕터들(200)의 피치는 90nm보다 짧을 수 있다.
- [0043] 다음에, 유전체 재료(108)는 컨덕터 레일(rail)들(200) 위에 그리고 컨덕터 레일들(200) 사이에 증착된다. 유전체 재료(108)는 실리콘 산화물, 실리콘 질화물, 또는 실리콘 옥시니트라이드와 같은 임의의 공지된 전기 절연재료일 수 있다. 바람직한 실시예에 있어서, 이산화실리콘은 유전체 재료(108)를 위하여 사용된다. 실리콘 산화물은 화학기상증착(CVD), 또는 예컨대 고밀도 플라즈마 CVD(HDPCVD)와 같은 임의의 공지된 공정을 사용하여 증착될 수 있다.
- [0044] 최종적으로, 컨덕터 레일들(200)의 상부에 있는 유전체 재료(108)는 제거되어 유전체 재료(108)에 의하여 분리된 컨덕터 레일들(200)의 상부를 노출시키고 실질적으로 평면형 표면(109)을 남긴다. 결과적인 구조는 도 4a에 도시된다. 평면형 표면(109)을 형성하기 위한 이러한 유전체 오버필(overfill)의 제거는 에치백(etchback) 또는 화학 기계적 연마(CMP)와 같은 공지된 임의의 공정에 의하여 수행될 수 있다. 예컨대, "매립 패터닝된 피처들을 노출시키기 위한 비선택적 비패터닝 에치백"이라는 명칭으로 2004년 6월 30일에 출원된 Raghuram 등에 의한 미국출원번호 10/883,417에 개시된 에치백 기술들은 유리하게 사용될 수 있으며, 이 출원은 여기에 참조문헌으로서 통합된다.
- [0045] 만일 이러한 평탄화 단계가 CMP에 의하여 수행되면, 예컨대 약 600 옹스트롬의 티타늄 질화물층(110)의 일부 두께는 손실될 것이다. 이러한 경우에, 티타늄 질화물의 초파 희생 두께는 바람직하게 티타늄 질화물의 적어도 약 200 옹스트롬이 CMP이후에도 유지되도록 제공되어야 한다.
- [0046] 요약하면, 하부 컨덕터들은 알루미늄층 또는 알루미늄층을 포함한 도전 스택을 증착하는 단계; 제 1 하부 컨덕터들을 형성하기 위하여 알루미늄층 또는 도전 스택을 패터닝하고 에칭하는 단계; 제 1 하부 컨덕터들 위에 그리고 제 1 하부 컨덕터들 사이에 제 1 유전체 재료를 증착하는 단계; 및 제 1 하부 컨덕터들 및 제 1 유전체 재

료를 동시 노출시킨 실질적으로 평면형 표면을 형성하기 위하여 평탄화하는 단계를 포함하는 방법에 의하여 형성된다.

- [0047] 다음에, 도 4b를 참조하면, 수직 필러(pillar)들은 완성된 컨덕터 레일들(200) 위에 형성될 것이다(공간을 절약하기 위하여 기판(100)은 도 4b 및 다음 도면들에서 생략되나 존재하는 것으로 가정된다). 필러들 내로 패터닝 될 반도체 재료가 증착된다. 반도체 재료는 실리콘, 실리콘-게르마늄, 실리콘-게르마늄-탄소, 게르마늄, 또는 다른 적절한 IV-IV 화합물, 갈륨 아세나이드, 인듐 인화물, 또는 다른 적절한 III-V 화합물, 아연 셀리나이드, 또는 다른 II-VII 화합물 또는 이들의 조합일 수 있다. 바람직한 실시예들에 있어서, 적어도 20, 적어도 50, 적어도 80, 또는 적어도 90 원자 퍼센트 게르마늄 또는 순 게르마늄, 즉 임의의 비율의 게르마늄을 포함하는 게르마늄 합금들이 사용될 수 있다. 본 예는 순 게르마늄의 사용을 기술할 것이다. 용어 "순 게르마늄"은 전형적인 제조 환경에서 보통 발견되는 도전성-강화 도편트 또는 오염물의 존재를 배제하지 않는다.
- [0048] 바람직한 실시예들에 있어서, 반도체 필러는 접합 다이오드를 포함한다. 용어 "접합 다이오드"는 비오옴 전도 특성을 가지며, 두 개의 단자 전극들을 포함하며 하나의 전극이 p-형이며 다른 전극이 n-형인 반도체 장치를 언급하기 위하여 여기에서 사용된다. 예들은 제너 다이오드와 같이 p-형 반도체 재료 및 n-형 반도체 재료를 접촉한 p-n 다이오드들 및 n-p 다이오드들, 및 진성(비도핑) 반도체 재료가 p-형 반도체 재료 및 n-형 반도체 재료 사이에 삽입된 p-i-n 다이오드들을 포함한다.
- [0049] 대부분의 바람직한 실시예들에 있어서, 접합 다이오드는 제 1도전형의 고농도로 도핑된 하부 영역 및 제 2 도전형의 고농도로 도핑된 상부 영역을 포함하며, 제 1도전형은 제 2 도전형과 반대이다. 상부 및 하부 영역들 사이의 중간 영역은 제 1 또는 제 2 도전형의 진성 또는 약하게 도핑된 영역이다. 이러한 다이오드는 p-i-n 다이오드로서 기술될 수 있다.
- [0050] 이러한 예에서, 고농도로 도핑된 하부 영역(112)은 고농도로 도핑된 n-형 게르마늄이다. 대부분의 바람직한 실시예에 있어서, 고농도로 도핑된 영역(112)은 증착되어, 비록 도핑 대신에 이온 주입이 수행될지라도 임의의 종래의 방법, 바람직하게 인 시튜 도핑에 의하여 인과 같은 n-형 도편트로 도핑된다. 이러한 층은 바람직하게 약 200 내지 약 800 옹스트롬 두께를 가진다.
- [0051] 다음에, 다이오드의 나머지를 형성하는 게르마늄이 증착된다. 일부 실시예들에 있어서, 다음 평탄화 단계는 일부 게르마늄을 제거하며 그 결과 초과 두께가 증착된다. 만일 평탄화 단계가 종래의 CMP 방법을 사용하여 수행되면, 약 800 옹스트롬 두께가 손실될 수 있다(이는 평균이며, 두께는 웨이퍼를 가로질러 변화하며, 슬러리 및 CMP 동안 사용된 방법에 따르면 게르마늄 손실은 크거나 작을 수 있다). 만일 평탄화 단계가 에치백 방법에 의하여 수행되면, 단지 약 400 옹스트롬 이하의 게르마늄이 제거될 수 있다. 사용될 평탄화 방법에 따르면, 비도핑 게르마늄(114)의 약 800 내지 약 4000 옹스트롬, 바람직하게 약 1500 내지 약 2500 옹스트롬, 더 바람직하게 약 1800 내지 약 2200 옹스트롬의 적정 최종 두께는 임의의 종래의 방법에 의하여 증착된다. 만일 적절하면, 게르마늄 층(114)이 약하게 도핑될 수 있다. 고농도로 도핑된 상부 영역(116)은 이후 주입 단계에서 형성되나 이 때에는 아직 존재하지 않으며, 따라서 도 12b에 도시되지 않는다.
- [0052] 방금 증착된 게르마늄은 필러들(300)을 형성하기 위하여 패터닝 및 에칭될 것이다. 필러들(300)은 각각의 필러(300)가 컨덕터(200)의 상부에 형성되도록 아래의 컨덕터들(200)과 대략 동일한 피치 및 대략 동일한 폭을 가져야 한다. 일부 비정렬은 허용될 수 있다.
- [0053] 필러들(300)은 임의의 적절한 마스킹 및 에칭 공정을 사용하여 형성될 수 있다. 예컨대, 포토레지스트는 증착되고 표준 포토리소그라피 기술들을 사용하여 패터닝된 후에 에칭되며, 그 다음에 프토레지스트가 제거된다. 선택적으로, 일부 다른 재료, 예컨대 이산화실리콘의 하드 마스크는 하부 무반사 코팅(BARC)이 수행되면서 반도체 층 스택 상부에 형성될 수 있으며, 그 다음에 패터닝되고 에칭될 수 있다. 유사하게, 유전체 무반사 코팅(DARC)은 하드 마스크로서 사용될 수 있다.
- [0054] "교번 위상 시프팅을 사용하는 내부 비프린팅 윈도우를 가진 포토마스크 피처들"이라는 명칭으로 2003년 12월 5일에 출원된 Chen의 미국출원번호 10/728,436, 또는 "크롬리스 비프린팅 시프팅 윈도우를 가진 포토마스크 피처들"이라는 명칭으로 2004년 4월 1일에 출원된 Chen의 미국출원번호 10/815,312에 개시된 포토리소그라피 기술들은 본 발명에 따른 메모리 어레이의 형성에 사용되는 임의의 포토리소그라피 단계를 수행하기 위하여 사용될 수 있으며, 이 출원들 둘 다는 본 발명의 양수인에게 양도되고 여기에 참조문헌으로서 통합된다.
- [0055] 요약하면, 필러들(300)은 실질적으로 평면형 표면 위에 게르마늄 또는 게르마늄 합금 층 스택을 증착하는 단계, 및 제 1 필러들을 형성하기 위하여 층 스택을 패터닝 및 에칭하는 단계를 포함하는 방법에 의하여 형성된다.

- [0056] 유전체 재료(108)는 필러들(300) 위에 그리고 필러들(300) 사이에 증착되어 필러들(300) 사이의 갭들을 충진한다. 유전체 재료(108)는 실리콘 산화물, 실리콘 질화물 또는 실리콘 옥시니트라이드와 같은 임의의 공지된 전기 절연 재료일 수 있다. 바람직한 실시예에 있어서, 이산화실리콘은 절연 재료로서 사용된다. 이산화실리콘은 CVD 또는 HDPCVD와 같은 임의의 공지된 공정을 사용하여 증착될 수 있다.
- [0057] 다음에, 필러들(300)의 상부의 유전체 재료는 제거되어 유전체 재료(108)에 의하여 분리된 필러들(300)의 상부를 노출시키며 실질적으로 평면형 표면을 남긴다. 이러한 유전체 오버필의 제거 및 평탄화는 CMP 또는 에치백과 같은 공지된 임의의 공정에 의하여 수행될 수 있다. 예컨대, Raghuram 등에 기술된 에치백 기술이 사용될 수 있다. 결과적인 구조는 도 4b에 도시된다.
- [0058] 도 4c를 참조하면, 바람직한 실시예에 있어서, 고농도로 도핑된 상부 영역들(116)은 p-형 도편트, 예컨대 붕소 또는  $\text{BF}_2$ 를 사용한 이온 주입에 의하여 이 시점에 형성된다. 여기에 기술된 다이오드는 하부 n-형 영역 및 상부 p-형 영역을 가진다. 만일 적절하면, 도전형들은 반전될 수 있다. 만일 적절하면, 하부에서 n-영역을 가진 p-i-n 다이오드들은 하나의 메모리 레벨에서 사용될 수 있는 반면에, 하부에서 p-형 영역을 가진 p-i-n 다이오드들은 다른 메모리 레벨에서 사용될 수 있다.
- [0059] 필러들(300)에 위치한 다이오드들은 제 1컨덕터들 및 유전체 필 위에 반도체층 스택을 증착하는 단계, 및 제 1 다이오드들을 형성하기 위하여 반도체층을 패터닝 및 에칭하는 단계를 포함하는 방법에 의하여 형성된다.
- [0060] 만일 유전체 과열 안티퓨즈(118)가 포함되면, 유전체 과열 안티퓨즈(118)는 적절한 유전체 재료의 임의의 저온 증착에 의하여 형성될 수 있다. 예컨대,  $\text{Al}_2\text{O}_3$ 의 층은 약 150°C로 증착될 수 있다. 선택적으로, 안티퓨즈는 저온 공정을 사용하여 형성된 액상 증착 이산화실리콘일 수 있다. 적절한 방법들은 Nishiguchi et al. in "High quality SiO<sub>2</sub> film formation by highly concentrated ozone gas at below 600°C", Applied Physics Letters 81, pp 2190-2192(2002) 및 Hsu et al. in "Growth and electrical characteristics of liquid-phase deposited SiO<sub>2</sub> on Ge", "Electrochemical and Solid State Letters 6, pp. F9-F11(2003)에 개시되어 있다. 다른 대안 방법들은 저온 방법에 의하여 형성된 질화물 또는 옥시니트라이드를 포함한다. 유전체 과열 안티퓨즈(118)는 약 20 내지 약 80 옹스트롬 두께, 바람직하게 약 50 옹스트롬 두께를 가진다. 일부 실시예들에서는 유전체 과열 안티퓨즈(118)는 생략될 수 있다.
- [0061] 다음에, 도전 재료 또는 스택은 상부 컨덕터들(400)을 형성하기 위하여 증착된다. 바람직한 실시예에 있어서, 티타늄 질화물 장벽층(120)이 증착된 다음에 알루미늄층(122) 및 상부 티타늄 질화물 장벽층(124)이 증착된다. 상부 컨덕터들(400)은 앞서 기술된 바와 같이 패터닝 및 에칭될 수 있다. 제 2 컨덕터들(400)은 바람직하게 제 1 컨덕터들(200)로부터, 바람직하게 제 1 컨덕터들(200)에 실질적으로 수직하게 다른 방향으로 연장할 것이다. 도 4c에 도시된 결과적인 구조는 메모리 셀들의 하부 또는 제 1스토리이다. 이상적으로, 각각의 상부 컨덕터(400)는 필러들(300)의 행과 직접 정렬되도록 형성된다. 일부 비정렬이 허용될 수 있다. 각각의 메모리 레벨은 하부 컨덕터들(200), 필러들(300) 및 상부 컨덕터들(400)을 포함한다. 하부 컨덕터들(200)은 제 1 방향과 실질적으로 평행하게 연장되며, 상부 컨덕터들(400)은 제 1 방향과 다른 제 2 방향과 실질적으로 평행하게 연장된다.
- [0062] 각각의 메모리 셀에 대한 이러한 메모리 레벨에서 하부 컨덕터, 필러 및 상부 컨덕터가 개별 패터닝 단계에서 각각 패터닝된다는 것에 유의해야 한다.
- [0063] 부가 메모리 레벨들은 제 1 메모리 레벨 위에 형성될 수 있다. 일부 실시예들에서, 컨덕터들은 메모리 레벨들 사이에서 공유될 수 있으며, 즉 상부 컨덕터(400)는 다음 메모리 레벨의 하부 컨덕터로서 사용된다. 다른 실시예들에 있어서, 인터레벨 유전체(도시안됨)는 도 4c의 제 1 메모리 레벨 위에 형성되며, 제 2 메모리 레벨의 평탄화된 표면 및 구성은 컨덕터들을 공유하지 않으면서 평탄화된 인터레벨 유전체 상에서 시작된다.
- [0064] 기술된 바와 같이, 증착된 게르마늄은 도핑되지 않거나 또는 n-형 도편트들로 도핑될 때 그리고 저온에서 증착될 때 일반적으로 비결정질 재료일 것이다. 메모리 레벨들의 모두가 구성된 후에, 예컨대 약 350 내지 약 450 °C에서 수행되는 최종 저온 어닐은 게르마늄 다이오드들을 결정화하기 위하여 수행될 수 있으며 이러한 실시예에서 결과적인 다이오드들은 폴리게르마늄으로 형성될 것이다. 웨이퍼들의 큰 배치(batch)들, 예컨대 25 웨이퍼들 또는 그 이상의 웨이퍼들은 동시에 어닐링되어 양호한 스루풋이 유지될 수 있다.
- [0065] 메모리 레벨들 사이 그리고 기판의 회로소자들 사이의 수직 상호접속부들은 바람직하게 임의의 종래의 방법에 의하여 형성될 수 있는 텅스텐 플러그들로서 형성된다.

- [0066] 포토마스크들은 각각의 층을 패터닝하기 위하여 포토리소그라피동안 사용된다. 임의의 층들은 각각의 메모리 레벨에서 반복되며, 이를 층들을 형성하기 위하여 사용된 포토마스크들은 재사용될 수 있다. 예컨대, 도 4c의 필러들(300)을 한정하는 각각의 포토마스크는 각각의 메모리 레벨에 대하여 재사용될 수 있다. 각각의 포토마스크는 기준 마크들을 포함하며, 기준 마크들은 포토마스크를 정렬하기 위하여 사용된다. 포토마스크가 재사용될 때, 제 2 또는 다음 용도로 형성된 기준 마크들은 동일한 포토마스크의 우선적인 사용 동안 형성된 동일한 기준 마크들을 간섭할 수 있다. "수직 구조로 포토마스크들을 재사용가능하게 하는 정렬 마크들 및 반복 오버레이 마스킹"이라는 명칭으로 2005년 3월 31일에 출원된 Chen 등의 미국출원번호 11/097,496은 본 발명의 어레이와 유사한 모놀리틱 3차원 메모리 어레이의 형성 동안 간섭을 방지하는 방법을 개시하고 있으며, 이 출원은 본 발명의 양수인에게 양도되었으며 여기에 참조문헌으로서 통합된다.
- [0067] 예: 구리 컨덕터들
- [0068] 도 5a를 참조하면, 본 실시예에서는 이전 실시예에서 기술된 오버 기판(100) 및 절연층(102) 전에서처럼 제조가 시작된다.
- [0069] 바람직한 실시예들에 있어서, 예컨대 실리콘 질화물의 두꺼운 층(201)은 절연층(102)상에 증착된다. 이러한 층은 미래의 다마신 에칭동안 에칭 중지층으로서 사용될 것이다.
- [0070] 다음에, 유전체의 두꺼운 층(202), 예컨대 TEOS가 증착된다. 이의 두께는 약 1000 내지 6000 옹스트롬, 바람직하게 4000 옹스트롬일 수 있다. 종래의 다마신 에치는 실질적으로 평행한 트렌치들(204)을 에칭하기 위하여 수행된다. 에칭은 실리콘 질화물층(201) 상에서 중지된다. 예컨대 탄탈 질화물, 탄탈, 텅스텐, 텅스텐 질화물, 티타늄 질화물 또는 임의 적절한 재료의 장벽층(206)은 유전체층(202) 및 라이닝(lining) 트렌치들(204)을 커버하면서 등각 증착된다.
- [0071] 도 5b에 도시된 바와 같이, 다음 구리층(208)은 장벽층(206) 상에 증착되어 트렌치들(204)을 충진한다. 구리층(208)은 구리의 합금이 적절한 경우에 사용될 수 있을지라도 바람직하게 순 구리이다. 예컨대 CMP에 의하여 평탄화 단계는 구리(208)의 오버필을 제거하여 구리(208) 및 유전체(202) 뿐만 아니라 장벽재료(206)를 실질적으로 평면형 표면으로 동시에 노출시킨다. 하부 컨덕터들(200)이 형성되었다. 하부 컨덕터들(200)의 피치는 이전 실시예에 기술된 바와 같을 수 있다.
- [0072] 요약하면, 하부 컨덕터들(200)은 제 1 유전체 재료를 증착하는 단계; 유전체 재료에서 다수의 실질적으로 평면형 트렌치들을 에칭하는 단계; 제 1 유전체 재료 위에 구리를 증착하고 트렌치들을 충진하는 단계; 및 구리의 오버필을 제거하고 실질적으로 평면형 표면을 형성하도록 평탄화하여 제 1 하부 컨덕터들 및 제 1 유전체 재료를 동시에 노출시키는 단계에 의하여 형성된다.
- [0073] 도 5c를 참조하면, 도전 장벽층(210)은 평면 표면상에 증착된다. 이러한 장벽층은 바람직하게 일부 다른 적절한 재료가 사용될 수 있을지라도 탄탈 질화물 또는 탄탈이다.
- [0074] 다음에, 다이오드들을 형성하기 위하여 에칭되는 게르마늄 또는 게르마늄 합금 층 스택이 이전 실시예에서처럼 증착되며 고농도로 도핑된 n-형 게르마늄층(112) 및 비도핑 게르마늄층(114)을 포함한다. 게르마늄 또는 이전에 언급된 게르마늄 합금들의 일부가 사용될 수 있다. 이전 실시예에서처럼, 고농도로 도핑된 p-형 게르마늄층(116)은 후기 주입 단계에 의하여 도핑되어 아직 형성되지 않으며 결국 도 5c에 도시되지 않는다.
- [0075] 방금 증착된 게르마늄은 필러들(300)을 형성하기 위하여 패터닝 및 에칭될 것이다. 탄탈 질화물 장벽층(208)은 또한 에칭되어 필러들 사이에서 노출된 구리층(208)을 남길 것이다. 필러들(300)은 아래의 컨덕터들(200)과 약동일한 피치 및 약 동일한 폭을 가져야 한다. 그렇게 함으로써, 각각의 필러들(300)은 컨덕터(200)의 상부에 형성된다.
- [0076] 일반적으로, 구리는 다른 재료들로의 확산을 방지하기 위하여 캡슐화되어야 한다. 적절한 유전체 장벽 재료, 예컨대 실리콘 카바이드, 실리콘 질화물, Si-C-O-H 막, 또는 임의의 다른 높은-K 유전체의 박막층(212)은 컨덕터들(200)에서 유전체(202)를 커버하여 구리(208)를 캡슐화하도록 증착되어야 한다. 실리콘 카바이드 장벽 유전체(212)는 필러들(300)의 상부들을 커버할 것이며, 재료의 단계 커버리지에 따라 필러들(300)의 측벽들을 커버할 수 있다. 산화물(108) 또는 다른 적절한 캡 필 재료는 예컨대 HDPCVD에 의하여 증착되어 필러들(300) 사이의 갭들을 충진한다. 유전체층(108)은 필러들(300)의 상부 이상으로 충진된다.
- [0077] 다음에, 필러들(300)의 상부에 있는 유전체 재료는 제거되어 유전체 재료(108)에 의하여 분리된 필러들(300)의 상부에 있는 실리콘 카바이드 장벽 유전체(212)의 상부들을 노출시키면서 실질적으로 평면형 표면을 남긴다.

이러한 유전체 오버필의 제거 및 평탄화는 CMP 또는 에치백과 같은 공지된 임의의 공정에 의하여 수행될 수 있다. 예컨대, Raghuram 등에 기술된 에치백 기술들이 사용될 수 있다. 다음에, 실리콘 질화물 에칭 중지층(213)은 평면형 표면상에 증착된다. 결과적인 구조는 도 5c에 도시된다.

[0078] 도 5d는 라인 A-A'을 따라 도 5c에 수직하다. 도 5d를 참조하면, 유전체 재료(214)는 실리콘 질화물 에칭 중지층(213) 상에 증착되며, 유전체 재료의 두께는 하부 컨덕터들(200)이 형성된 유전체(202)의 두께와 바람직하게 유사할 수 있다. 다음 트렌치들은 유전체(214)에서 에칭된다. 에칭은 실리콘 질화물 에칭 중지층(214)에서 중지될 것이다. 저속 에칭은 제 1 실리콘 질화물층(214)을 제거한 후 실리콘 카바이드층(212)을 제거하여 필러들(300)의 상부들을 노출시킨다. 붕소 또는  $\text{BF}_2$ 와 같은 p-형 도편트의 이온주입은 바람직하게 이 지점에서 수행되며 고농도로 도핑된 p-형 영역들(116)을 형성한다.

[0079] 다음에, 유전체 패열 안티퓨즈(218)는 바람직하게  $\text{Al}_2\text{O}_3$ 의 원자층 증착에 의하여 형성되어 트렌치들을 등각 충진 한다. 이전 실시예에 기술된 유전체 패열 안티퓨즈(218)를 형성하기 위한 대안 방법들이 대신에 사용될 수 있다. 유전체 패열층(218)은 바람직하게 약 15 내지 약 80 옹스트롬 두께, 바람직하게 약 50 옹스트롬 두께를 가진다. 일부 실시예들에서는 유전체 패열 안티퓨즈(218)는 생략될 수 있다.

[0080] 상부 컨덕터들(400)은 하부 컨덕터들(200)과 동일한 방식으로 형성된다. 탄탈 질화물의 장벽층(220)은 트렌치들을 정렬시키며, 구리층(222)은 트렌치들을 충진한다. 예컨대 CMP에 의한 평탄화 단계는 구리의 오버필을 제거하여 상부 컨덕터들(400)을 형성하고 실질적으로 평면형 표면을 생성한다. 만일 인터레벨 유전체가 이러한 메모리 레벨 및 다음 메모리 레벨 사이에 형성되면, 예컨대 실리콘 카바이드의 유전체 장벽층(224)은 구리층(222)을 캡슐화하기 위하여 실질적으로 평면형 표면상에 증착될 수 있다.

[0081] 만일 다음 메모리 레벨이 상부 컨덕터들(400)을 공유하면, 즉 만일 상부 컨덕터들(400)이 다음 메모리 레벨의 하부 컨덕터들로서 사용되면, 탄탈 질화물과 같은 도전형 질화물 장벽층은 실질적으로 평면형 표면상에 증착될 수 있다(도시안됨). 다음에 필러들의 다음 세트를 형성하기 위한 게르마늄 스택이 증착되며, 제조단계는 필러들(300)과 관련하여 기술된 바와 같이 계속되며, 즉 도전 장벽층이 필러들과 함께 에칭되고 필러들 및 구리 위에 등각형 높은-K 장벽 유전체가 증착되는 것처럼 계속된다.

[0082] 메모리 레벨들 사이 그리고 기판의 회로소자들 사이의 수직 상호접속부들은 바람직하게 종래의 듀얼 다마신 공정으로 구리로 형성된다.

[0083] 기술된 두개의 실시예들의 각각 및 여기에 기술된 다른 설명들은 모놀리딕 3차원 메모리 어레이를 형성하기 위한 방법을 개시하고 있으며, 본 방법은 반도체 재료를 각각 가진 다수의 제 1 메모리 셀을 포함하는 제 1 메모리 레벨을 기판 위에 형성하는 단계 및 제 1 메모리 레벨 위에 제 2 메모리 레벨을 모놀리딕식으로 형성하는 단계를 포함하며, 모놀리딕 3차원 메모리 어레이의 형성 동안 처리 온도는 약 500 °C를 초과하지 않는다. 선택된 결정화 온도 및 어닐 시간에 따르면, 어레이의 형성 동안 처리 온도는 약 475, 450, 425, 400, 375 또는 약 350 °C를 초과하지 않을 것이다.

[0084] 특히, 본 발명은 제 1 메모리 레벨을 형성하기 위한 방법이며, 본 방법은 제 1방향으로 연장하여 구리 또는 알루미늄을 포함하는 다수의 제 1 실질적으로 평행한 실질적으로 공면형 레일-형상 하부 컨덕터들을 형성하는 단계; 게르마늄 또는 게르마늄 합금을 포함하는 다수의 제 1 다이오드들을 제 1 하부 컨덕터들 위에 형성하는 단계; 및 제 1 다이오드를 위에 다수의 제 1 실질적으로 평행한 실질적으로 공면형 레일-형상 상부 컨덕터들을 형성하는 단계를 포함하며, 제 1 상부 컨덕터들은 제 1 방향과 다른 제 2 방향으로 연장되며, 제 1 상부 컨덕터들은 구리 또는 알루미늄을 포함하며, 제 1 메모리 레벨의 형성 동안 처리 온도는 500 °C 또는 언급된 다른 하부 온도의 일부를 초과하지 않는다.

[0085] 실리콘 다이오드를 또는 임의의 다른 다결정 다이오드들과 비교할 때 본 발명에 사용하기 위하여 기술된 다결정 게르마늄 또는 게르마늄 풍부 합금으로 형성된 수직 방향 p-i-n 다이오드는 인가된 판독 전압에 대하여 비교적 고전류가 흐르도록 한다. 예컨대, 약 1볼트의 판독 전압이 본 발명에 따라 형성된 메모리의 상부 및 하부 컨덕터들 사이에 공급될 때, 프로그래밍된 셀(안티퓨즈가 패열되고 저저항 도전 경로가 다이오드를 통해 형성되는)에서는 약 100 마이크로암페어보다 큰 전류가 흐를 것으로 예상된다. 예컨대, 약 1볼트의 판독전압이 공급될 때, 전류 흐름은 약 100 마이크로암페어 내지 1 밀리암페어일 수 있다.

[0086] 모놀리딕 3차원 메모리 어레이에는 다중 메모리 레벨들이 중간 기판을 가지지 않은 웨이퍼와 같은 단일 기판 위에 형성되는 어레이이다. 하나의 메모리 레벨을 형성하는 층들은 기준 레벨 또는 레벨들의 층들 바로 위에서 증착

또는 성장된다. 대조적으로, 스택형 메모리들은, "3차원 구조 메모리"라는 명칭을 가진 Leedy의 미국특허번호 5,915,167에 개시된 바와 같이 개별 기판들 상에 메모리 레벨들을 형성하고 메모리 레벨들을 서로 접착시킴으로서 구성되었다. 기판은 본딩 전에 메모리 레벨들로부터 얇게 되거나 또는 제거될 수 있으나, 메모리 레벨이 개별 기판들 위에 초기에 형성될 때 이러한 메모리들은 모놀리틱 3차원 메모리 어레이들이 아니다.

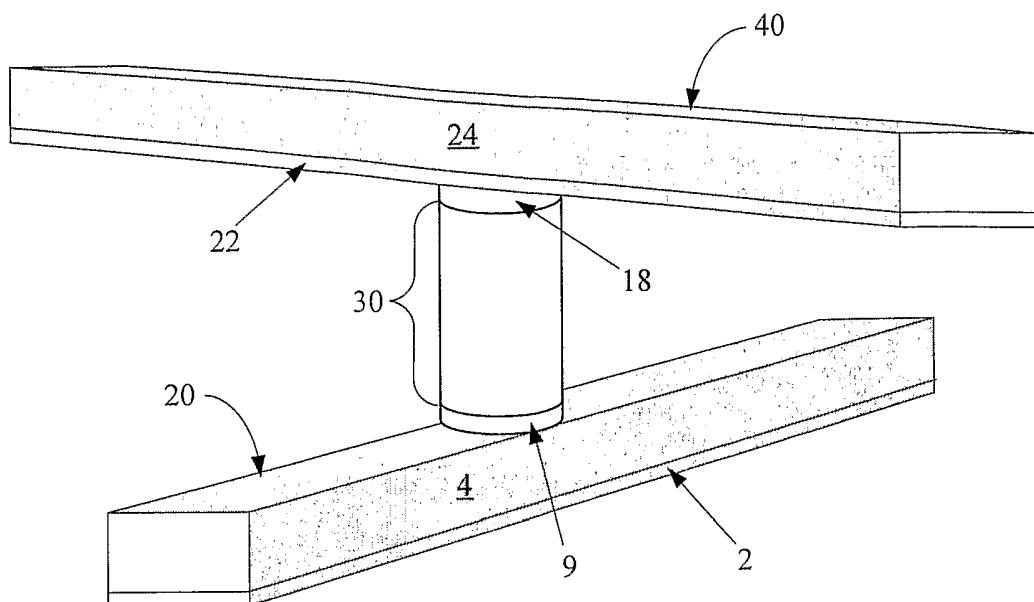
- [0087] 기판 위에 형성된 모놀리틱 3차원 메모리 어레이는 기판 위에서 제 1높이로 형성된 적어도 제 1 메모리 레벨 및 제 1 높이와 다른 제 2 높이로 형성된 제 2 메모리 레벨을 포함한다. 3, 4, 8개 또는 임의의 수의 메모리 레벨들은 멀티레벨 어레이로 기판 위에 형성될 수 있다.
- [0088] 본 발명의 비휘발성 원-타임 프로그램가능 메모리 셀은 모놀리틱 3차원 메모리 어레이와 관련하여 기술되나, 낮은 제조온도를 필요로 하는 임의의 다른 환경, 예컨대 임의의 저온 기판에 대하여 유리하다.
- [0089] 상세한 제조방법들이 여기에 기술되었으나 동일한 기판을 형성하는 임의의 다른 방법들이 사용될 수 있으며 이의 결과들은 본 발명의 범위 내에 있다.
- [0090] 전술한 상세한 설명은 본 발명이 취할 수 있는 많은 형식들 중 일부만을 기술하였다. 이러한 이유로 인하여, 이러한 상세한 설명은 본 발명을 제한하는 것이 아니라 예시적으로 기술된다. 본 발명은 모든 균등물들을 포함하며 본 발명의 범위를 한정하도록 의도된 이하의 청구범위에 의해서만 제한된다.

### 도면의 간단한 설명

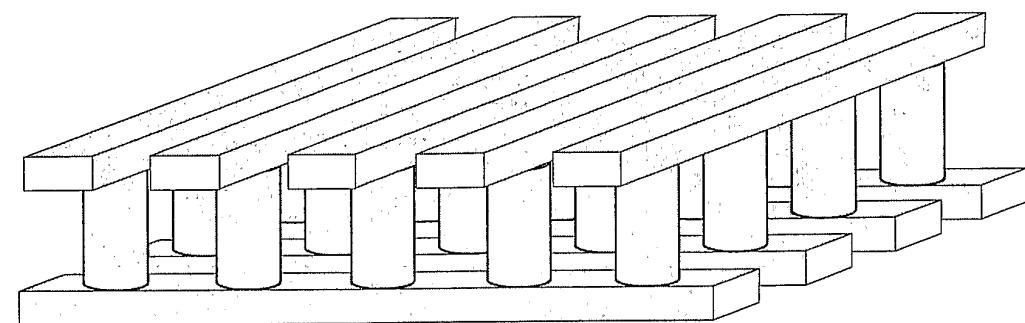
- [0018] 도 1은 '470 출원에 따라 형성된 메모리 셀의 사시도.
- [0019] 도 2는 도 1의 셀과 같은 셀들을 포함하는 메모리 레벨의 사시도.
- [0020] 도 3은 본 발명의 실시예에 따라 형성된 원-타임 프로그램가능 비휘발성 메모리 셀의 사시도.
- [0021] 도 4a-4c는 본 발명의 바람직한 실시예에 따라 형성된 모놀리틱 3차원 메모리 어레이의 형성 스테이지들을 기술한 단면도.
- [0022] 도 5a-5d는 본 발명의 다른 바람직한 실시예에 따라 형성된 모놀리틱 3차원 메모리 어레이의 형성 스테이지들을 기술한 단면도.

### 도면

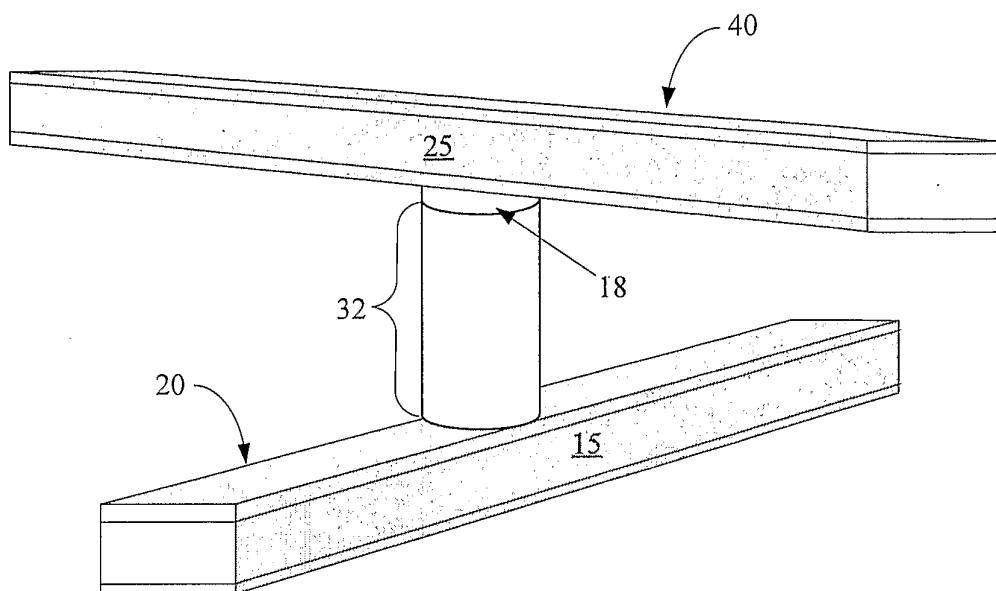
#### 도면1



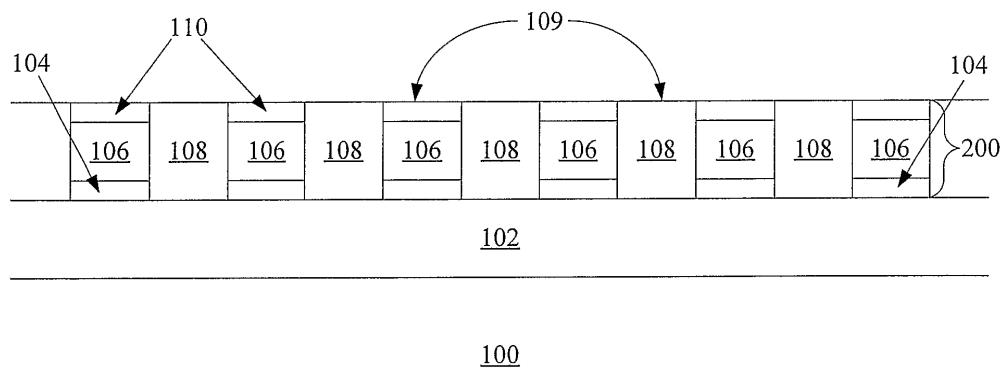
도면2



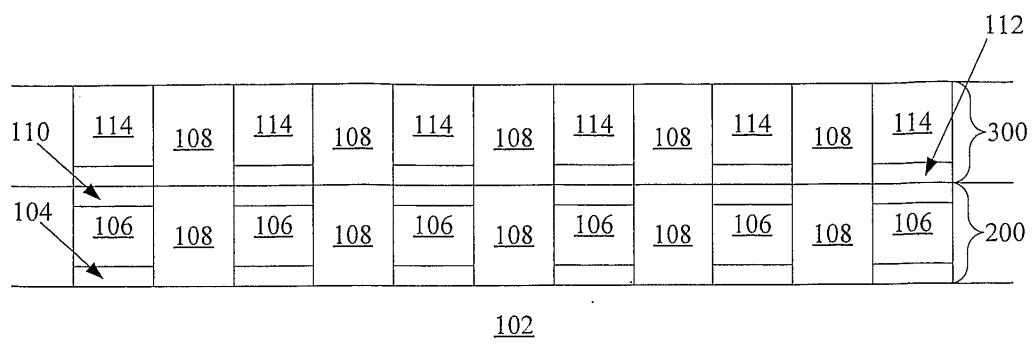
도면3



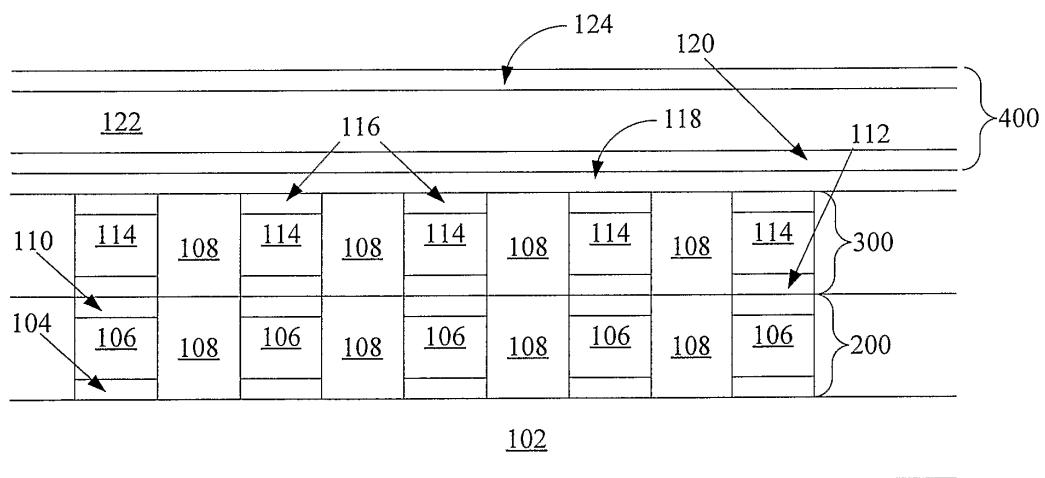
## 도면4a



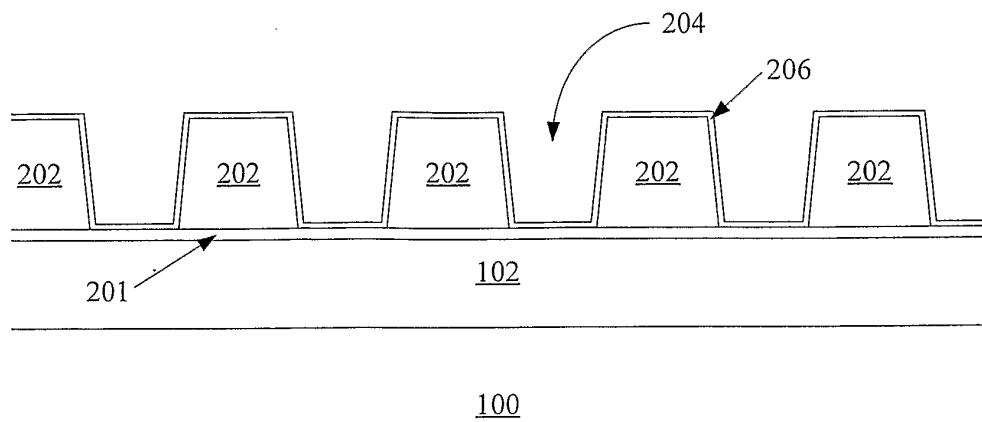
## 도면4b



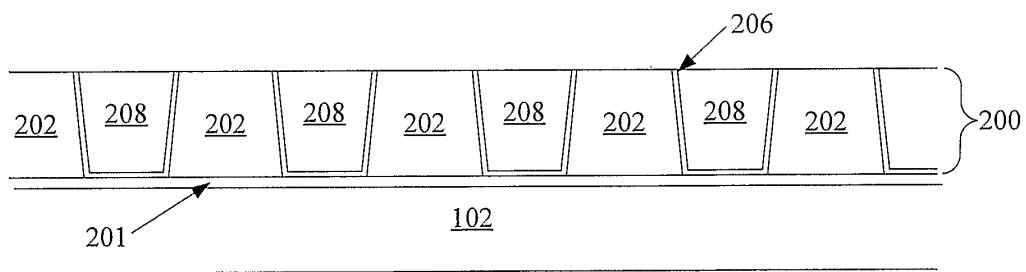
## 도면4c



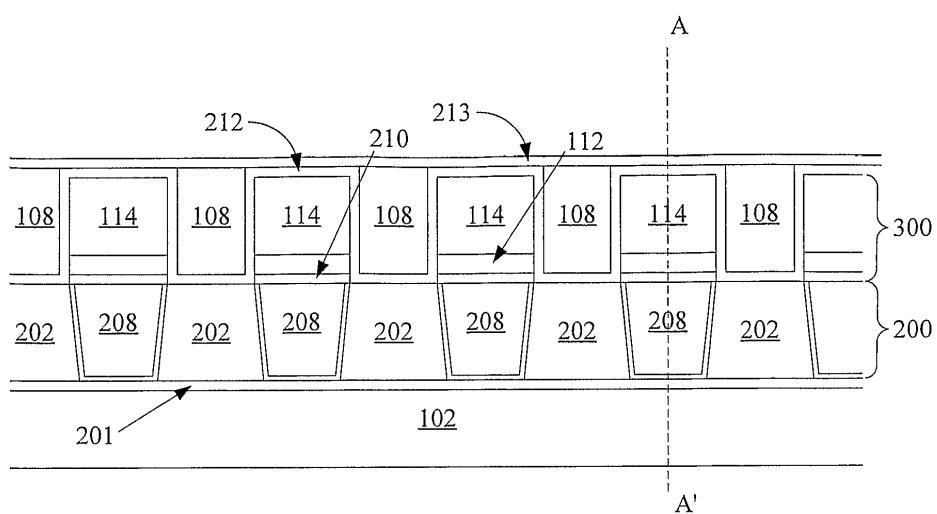
도면5a



도면5b



도면5c



도면5d

