

406446

公告本

申請日期：

88.4.12

案號：


88105814

類別：

Int. Cl<sup>6</sup> H01L 35/00

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	熱電堆紅外線感測器與其製造方法	
	英文		
二、 發明人	姓名 (中文)	1. 周正三	406446
	姓名 (英文)	1.	
	國籍	1. 中華民國	
	住、居所	1. 新竹市建中一路27號11樓之1	
三、 申請人	姓名 (名稱) (中文)	1. 全磊微機電股份有限公司	
	姓名 (名稱) (英文)	1.	
	國籍	1. 中華民國	
	住、居所 (事務所)	1. 新竹市科學園區園區二路47號201室	
	代表人 姓名 (中文)	1. 宋文恭	
代表人 姓名 (英文)	1.		
			

## 五、發明說明 (1)

## 【發明之背景】

發明之領域

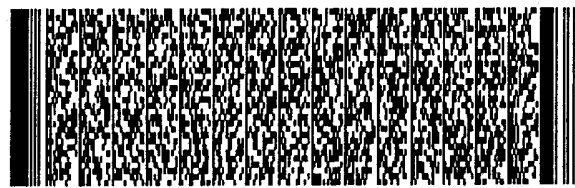
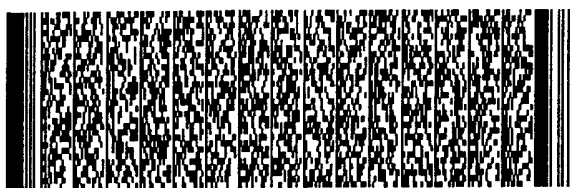
本發明係關於一種熱電堆紅外線感測器與其製造方法。

習用技術之描述

近年來以熱電偶作為溫度量測是相當廣泛的技術，其原理為藉由加熱兩導體接合處之一端，使其與兩導體之另一端產生溫差而生成一擴散電流，一個相當的反向電動勢可消去此電流而平衡，此熱電動勢便是賽貝克(Seebeck)電壓。藉由量測賽貝克電壓之大小，便可知道熱電偶兩端之溫差而校正溫度。而賽貝克電壓的大小係由兩端的溫差大小和此二導體的賽貝克係數之乘積決定。將複數對之熱電偶串聯起來即成為熱電堆，因此，熱電堆的熱電動勢等於單一熱電偶的賽貝克電壓值乘以串聯的熱電偶數。

以下將說明一種習知之熱電堆紅外線感測器之構造。

圖1A顯示一種習知之熱電堆感測器之俯視圖。圖1B為沿著圖1A之線L-L之剖視圖，圖1C為圖1A之佈線圖。參見圖1A與1B，此熱電堆感測器包含：一矽基板1；一第一介電層2與一絕緣膜2'，分別位於矽基板1之正反面；複數之多晶矽導體3，位於第一介電層2上；一第二介電層4，位於第一介電層2與多晶矽導體3上，用以罩覆多晶矽導體3；複數之金屬導體5，位於第二介電層4上；一第三介電層6，位於第二介電層4與金屬導體5上，用以罩覆金屬導體5；一黑體層7，位於該第三介電層6之中央區域，用以



## 五、發明說明 (2)

吸收熱量；以及一窪部8。

參見圖1A與1B，於此熱電堆感測器之結構中，依據熱傳導之程度，可區分為位於窪部8以上部分之熱絕緣區9，以及位於熱絕緣區9以外之熱汲體區10。其中，黑體層7所吸收的熱量在熱絕緣區9無法散去，僅能沿著往熱汲體區10的方向作固體熱傳導。

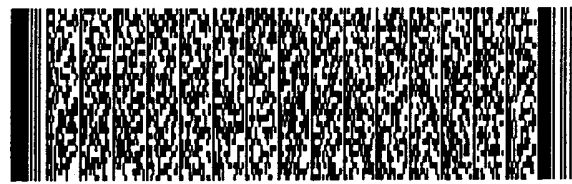
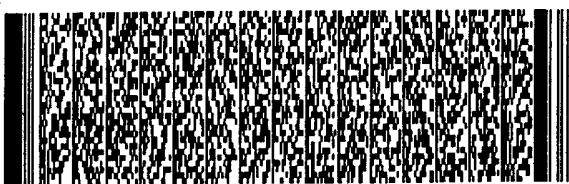
參見圖1B與1C，每一對多晶矽導體3與金屬導體5於熱絕緣區9接觸於熱端H，用以形成一熱電偶11，而複數之熱電偶11係以串聯的方式接觸於熱汲體區10的冷端(未顯示)。為提高熱電堆感測器之良率，通常每一個熱端H或冷端宜具有複數之接點12。相鄰兩熱電偶11之間距為1，以下稱為設計規範。

以下，將說明另一種習知熱電堆感測器之構造。

圖2A顯示一種習知之熱電堆感測器之俯視圖。圖2B為沿著圖2A之線M-M之剖視圖，圖2C為圖2A之佈線圖。如圖2A與2B所示，此種熱電堆感測器之構造大部分與圖1A和1B類似，於此不再詳述。比較圖2B與圖1B，兩者之不同點為：圖2B之熱電堆感測器係由晶片正面進行異方性蝕刻所造成的浮板(第一介電層2)以支撐複數之熱電偶11與黑體層7等，而圖1B之熱電堆感測器則由晶片背面進行異方性蝕刻所造成的薄膜(第一介電層2)以支撐複數之熱電偶11與黑體層7等。

以下將說明熱電堆感測器之特性。

上述的熱電堆感測器之特性可以下列幾個量表示：感



## 五、發明說明 (3)

測度 $R_v$ 、詹森(Johnson)雜訊 $V_J$ 、等效雜訊功率NEP以及特定偵測率 $D^*$ ，其對應公式可表示為：

$$R_v = \frac{N\alpha}{G_s + G_g + G_r} \quad (1)$$

$$V_J = \sqrt{4kTR\Delta f} \quad (2)$$

$$NEP = \frac{V_J}{R_v} \quad (3)$$

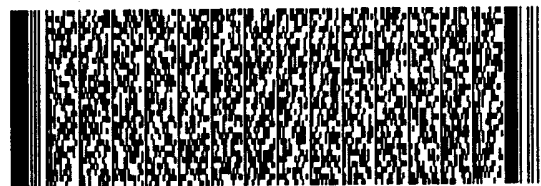
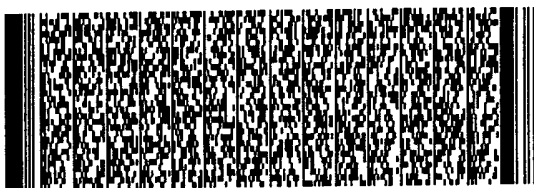
$$D^* = \frac{\sqrt{A\Delta f}}{NEP} \quad (4)$$

式中 $N$ 為串聯的熱電偶數目， $\alpha$ 為熱電偶的賽貝克係數(V/°C)。而 $G_s$ 、 $G_g$ 、 $G_r$ 分別為元件懸浮結構的固體、氣體及輻射熱傳導。 $k$ 為波茲曼常數， $T$ 為感測器之絕對溫度(°K)， $R$ 為串聯熱電偶的電阻值， $\Delta f$ 為頻寬，而 $A$ 為感測器面積。

對於這樣一個熱電堆感測器，其優質量的定義是：提高感測度 $R_v$ 與特定偵測率 $D^*$ ，降低詹森雜訊 $V_J$ 與等效雜訊功率NEP。為了比較的歸一性，在固定的感測器面積 $A$ 及頻寬 $\Delta f$ 之下，若感測器的NEP值越小，則其優質量越高，亦即，NEP之倒數( $R_v / V_J$ )值越大越好。

近年來，利用半導體微影技術及微加工技術製作之熱電堆，可參見以下附件：

(1). G. R. Lahiji and K. D. Wise, "A batch-fabricated silicon thermopile infrared detector", IEEE Trans. Electron Devices ED-29,



## 五、發明說明 (4)

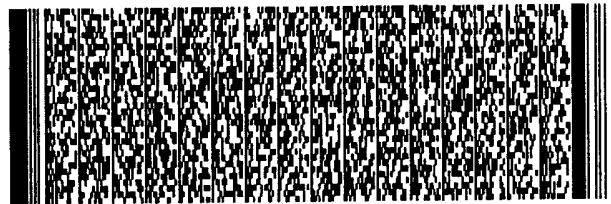
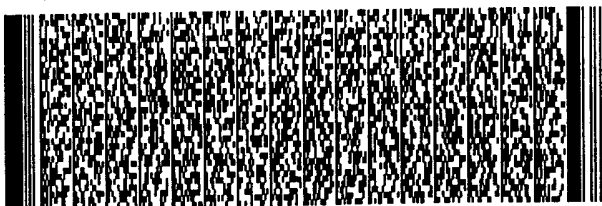
pp14-22, (1982)(附件一);

(2). W.G. Baer, T.Hull, Kevin D. Wise, K. Najafi and Kensall D. Wise, "A multiplexed silicon infrared thermal imager", Transducers' 91, pp631-634, (1991) (附件二);

(3). R. Lenggenhager, H. Baltes, J. Peer and M. Forster, "Thermoelectric infrared sensors by CMOS technology", IEEE Electron Device Letters 13, 454, (1992) (附件三); 以及

(4). E. Olgun, O. Akar, H. Kulah and T. Akin, "An integrated thermopile structure with high responsivity using any standard CMOS process", Transducers' 97, pp1263-1266, (1997) (附件四)。

以上述所發表文獻為例，由 E. Olgun 等人所提出的元件(參見附件四)具有較高的感測度 $R_v$ 值，其原因為所使用的熱電偶材料為N型多晶矽/P型單晶矽，較之其他作者所提出的多晶矽/金屬熱電偶(參見附件一至三)具有更高的賽貝克係數 $\alpha$ 所導致(此一結果可以由公式(1)推導得到)。然而此一感測器的 $V_J$ 雜訊亦較其他感測器高，原因為N型矽及P型矽相較於其他金屬材料皆為高電阻值材料，導致整體感測器的 $R_v / V_J$ 值並無多大改變。再者，此一元件的製作必須配合電化學及高濃度硼( $P^{++}$ )之蝕刻抑止方法完成，增加了製程的複雜性且降低了量產的良率。雖然多晶矽/金屬熱電堆感測器的 $R_v$ 值較低，但其 $V_J$ 值也一樣較



## 五、發明說明 (5)

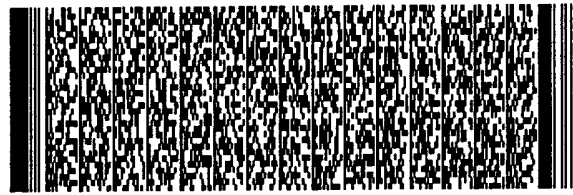
低。因此，多晶矽/金屬熱電堆感測器之 $R_v/V_j$ 與N型多晶矽/P型矽之感測器的 $R_v/V_j$ 值相差不多。

多晶矽/金屬熱電堆感測器之優點為製程簡單且量產的良率高，因此，如何提升此一感測器的特性正是下面所主要探討的主題。

從公式(1)可以發現提高感測度 $R_v$ 值最直接的方法為增加熱電偶數目 $N$ ，或選擇高 $\alpha$ 係數的材料，然而 $N$ 和 $\alpha$ 是由製程的設計規範 $\lambda$ (熱電偶之間距)及材料決定。在選定製程以後，便無法更改了。在此情況下，改善結構的熱傳導值( $G_s+G_g+G_r$ )是另一可行的方式。此乃因為降低熱傳導值除了會增加感測器之 $R_v$ 值外，根據公式(2)亦可發現對其 $V_j$ 並無影響，故其 $R_v/V_j$ 值可以因此提高。而通常這類感測器之結構的熱傳導值是由固體熱傳導值 $G_s$ 所主導，此乃因為大量之熱電偶數 $N$ 加大了固體熱傳導值。因此，在不改變元件製程下，有效降低熱電堆感測器的固體熱傳導值正是本發明的目的。

以下將說明習知熱電堆感測器之製作佈局對其優質量所造成的影響。

分析多晶矽/金屬熱電感測器可發現多晶矽材料主導感測器的賽貝克係數(約為Al、Au金屬的50-200倍)及電阻值(約為Al、Au金屬的1000-2000倍)，而其固體熱傳導值卻是由金屬所主導(一般感測器中，金屬之熱傳導值約為多晶矽的3倍以上)。所以，若能降低金屬的熱傳導值則可以有效增加 $R_v$ 值。一般而言，降低熱傳導值的直覺方法即



## 五、發明說明 (6)

是將熱傳輸的距離加大，對於傳統感測器之佈局方式即是將構成熱電偶的條狀材料延長，此舉雖然可以有效降低熱傳導值，卻伴隨了更多的缺點。首先是因為長度的增加而加大了多晶矽之電阻值，導致 $V_j$ 值增大，故而 $R_v/V_j$ 值並無明顯增加；其次為長度的增加使懸浮結構的機械特性更脆弱，易導致薄膜破裂；最後因感測器的等效面積加大，降低了單位面積的生產數目。因此，熱傳導值的降低必須同時考量以上之問題。

圖3A顯示一種習知之熱電堆感測器之局部佈局示意圖。參見圖3A，多晶矽導體3為多晶矽材料所組成，而金屬導體5為金屬材料所組成，亦可以是金或與IC相容的的鋁所組成。多晶矽導體3與金屬導體5，係分別位於第一介電層2與第二介電層4上，僅在熱接觸區H及冷接觸區作歐姆接觸。基於上述的理由，對於此種結構之熱電堆感測器而言，直接延長熱電偶之長度並不能獲得較佳之效果。

雖然感測器的佈局以為求得到最多熱電偶對數 $N$ 為佳，但是熱電偶之間距 $\lambda$ 為其最小設計規範。若所選用之材料及製程已決定，則感測器的特性也會被決定。誠如前面所提過，熱電堆感測器的固體熱傳導值是由金屬材料所組成的金屬導體5所決定，因此若能增加金屬導體5之有效長度，就可有效的降低其熱傳導值。

圖3B顯示另一種習知之熱電堆感測器之局部佈局圖。參見圖3B，多晶矽導體3與金屬導體5，亦分別位於第一介電層2與第二介電層4上，僅在熱接觸區H及冷接觸區作歐



## 五、發明說明 (7)

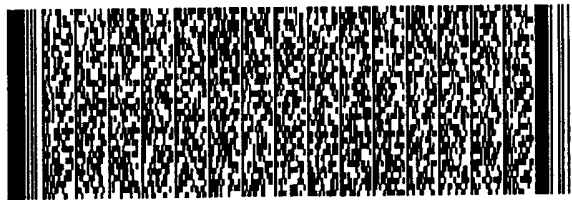
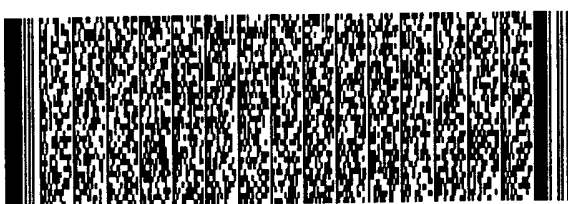
姆接觸。其特點在於：由金屬材料所組成之金屬導體5係以彎曲狀之方式排列。在設計規範已經固定的狀況下，雖然金屬導體5之有效長度增加了 $n$ 倍( $n>1$ )，但是熱電偶11之間距亦會增加約 $n\lambda$ 。所以，在增加 $R_v$ 上，亦不具有較大之影響力。

以下，將說明習知熱電堆感測器之製造方法所面臨的問題。

利用矽異方性蝕刻製作的熱電堆元件，在生產過程中所面臨的主要問題有二：一為懸浮結構的殘餘應力所導致的結構變形或破裂；二為在晶片切割分離時，因振動及冷卻水沖刷所造成的懸浮結構破裂。一般而言，殘餘應力的補償是可以利用IC製程中不同應力屬性的氧化矽及氮化矽以完成。所以，因傳統鑽石刀晶片切割所造成的破壞係為生產熱電堆感測器所面臨的一大問題。

一種解決的方法為在進行懸浮結構的矽異方性蝕刻時，同時在切割道進行蝕刻，此一方法的缺點為切割道所佔的有效面積太大，從而降低單位面積所產出的感測器數目。因此，解決上述生產方式所面臨問題為本發明之另一目的。

因此，本發明之目的如下：(一)提升熱電堆紅外線感測器之特性，亦即，在不改變感測器面積、晶片大小及熱電偶數目之情況下，降低多晶矽/金屬熱電堆紅外線感測器之固體熱傳導值，以增加感測度且保持詹森雜訊不變；(二)提高生產之良率：利用高密度電漿活性離子蝕刻技術



## 五、發明說明 (8)

同時作為形成懸浮結構的異方性蝕刻和晶片分離技術，以取代傳統的矽異方性蝕刻和晶片切割方式，以提高單位面積的元件數量及增加生產的良率。

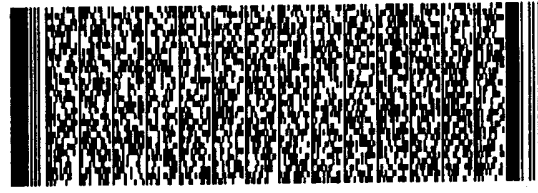
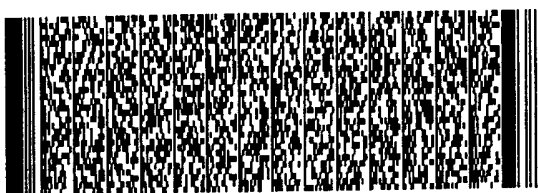
## 【發明之綜合說明】

因此，本發明之目的係提供一種熱電堆紅外線感測器與其製造方法，俾能提升感測器之特性與提高生產之良率。

依據本發明第一實施樣態，係關於一種熱電堆紅外線感測器，包含：一矽基板；一第一介電層，位於上述矽基板上；複數之多晶矽導體，位於第一介電層上；一第二介電層，位於第一介電層與上述多晶矽導體上，用以罩覆上述多晶矽導體；複數之金屬導體，位於第二介電層上；一第三介電層，位於第二介電層與上述金屬導體上，用以罩覆上述金屬導體；以及一黑體層，位於第三介電層之中央區域，用以吸收熱量；其中，上述矽基板、第一至第三介電層、金屬導體均包含一位於中央區域之熱絕緣區，與位於中央區域以外之熱汲體區，且金屬導體係以串聯的方式電連接，且於熱絕緣區接觸於複數之熱端，而於熱汲體區接觸於複數之冷端；其特徵為：

上述熱電堆紅外線感測器更包含：

第四至第 $n$ 介電層( $n$ 為大於等於4之正整數)，依序介設於第三介電層與上述黑體層之間，且第四介電層係與第三介電層鄰接；且上述金屬導體係為迂迴彎曲狀，更包

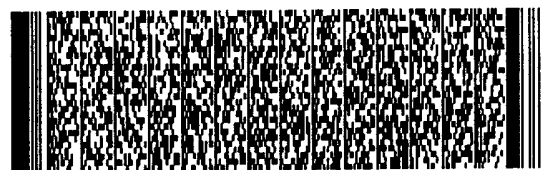
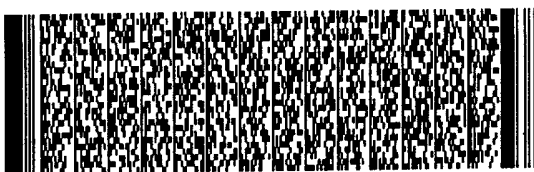


## 五、發明說明 (9)

含：

複數組之第一至第 $(n-2)$ 金屬子導體，其中，第一金屬子導體係介設於第二與第三介電層之間、第 $(n-2)$ 金屬子導體係介設於第 $(n-1)$ 與第 $n$ 介電層之間，且第 $k$ 金屬子導體 $(1 < k < n-2, k$ 為正整數)係分別介設於第 $(k+1)$ 與第 $(k+2)$ 介電層之間，而第一至第 $(n-2)$ 金屬子導體之每一組在投影至第二介電層後，係呈現第一至第 $(n-2)$ 金屬子導體之順序排列。

依據本發明第二實施樣態，係關於一種熱電堆紅外線感測器之製造方法，包含以下步驟：提供一矽基板；以一種低應力介電材料，於上述矽基板上形成一第一介電層，並於位於第一介電層反側之上述矽基板上形成一絕緣膜，之後，於第一介電層上形成複數之切割道；於第一介電層上以多晶矽形成複數之多晶矽導體；於上述多晶矽導體與第一介電層上以介電材料堆積一第二介電層，並形成複數之切割道；於第二介電層上形成迂迴彎曲狀之複數第一金屬導體，第一金屬導體分別與奇數對之上述多晶矽導體接觸於熱端與冷端，其中所接觸形成的熱端與冷端並非由同一組多晶矽導體與第一金屬導體上堆積一第三介電層，並形成複數之切割道；於第三介電層上形成迂迴彎曲狀之複數第二金屬子導體，第二金屬子導體分別與偶數對之上述多晶矽導體接觸於熱端，其中所接觸形成的熱端與冷端並非由同一組多晶矽導體與第二金屬子導體所形成，且第二金屬子導體係與



## 五、發明說明 (10)

第一金屬導體在投影於第一介電層上時，各第二金屬子導體係介設於相鄰之兩第一金屬導體之間；於第三金屬層與第二金屬子導體上堆積第一第四介電層，並形成複數之黑體層；於上述複數之黑體層上形成複數之蝕刻窗口，上述蝕刻窗口係對絕緣膜上形成上述熱端之蝕刻窗口，且上述蝕刻窗口係與上述切割道對準；於上述黑體層與第四介電層上，以一種高分子厚膜材料堆積形成晶片固定層；經由上述蝕刻窗口對上述矽基板進行高密度電漿活性離子蝕刻，以形成複數之窪部，同時經由上述切割窗口以乾式異方性蝕刻進行晶片分離，過去除上述晶片固定層，完成感測器的製造生產流程。然後因此，依據本發明之熱電堆紅外線感測器，利用直條狀多晶矽導體及彎曲狀金屬導體接合而成的熱電偶對，可更有效降低整體結構的熱傳導特性，增加元件的感測度。再者，本發明利用高密度的電漿活性離子蝕刻技術，選擇性的去除矽基板材料而留下的薄膜結構。同時，利用乾式異方性蝕刻技術完成晶片分離，取代傳統的鑽石刀切割方式，以增加生產良率。

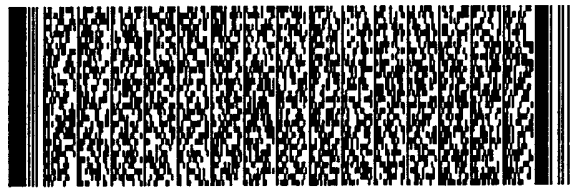
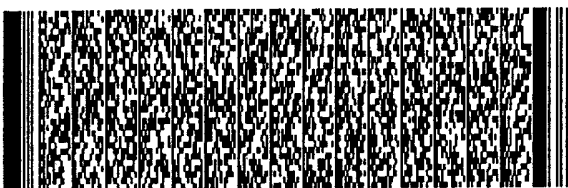
## 【圖示之簡單說明】

圖1A顯示一種習知之熱電堆感測器之俯視圖。

圖1B為沿著圖1A之線L-L之剖視圖。

圖1C為圖1A之熱電堆感測器之佈線圖。

圖2A顯示一種習知之熱電堆感測器之俯視圖。



## 五、發明說明 (11)

圖2B為沿著圖2A之線M-M之剖視圖。

圖2C為圖2A之熱電堆感測器之佈線圖。

圖3A為依據圖1A與2A之熱電堆感測器之立體佈線示意圖。

圖3B為另一種熱電堆感測器之立體佈線示意圖。

圖4A與4B分別示意表示依本發明較佳實施例之熱電堆感測器在不同部分之剖面圖。

圖4C為依據圖4A與4B之熱電堆感測器之立體佈線示意圖。

圖5顯示依本發明之SMT結構與習知結構之熱電堆感測器之輸入功率與輸出熱電動勢之關係圖。

圖6A至6H係以某一剖面示意顯示依本發明之熱電堆感測器之製造程序圖。

圖7A至7H係以另一剖面示意顯示依本發明之熱電堆感測器之製造程序圖。

## 【符號之說明】

1~矽基板

2~第一介電層

3~多晶矽導體

4~第二介電層

5~金屬導體

5a~第一金屬子導體

5b~第二金屬子導體

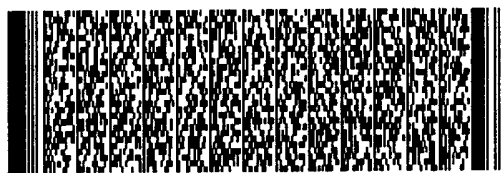
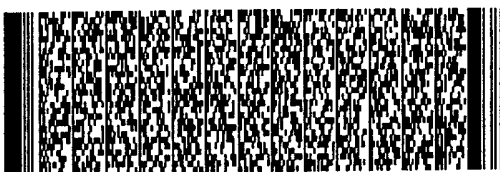


## 五、發明說明 (12)

- 6~ 第三介電層
- 7~ 黑體層
- 8~ 窪部
- 9~ 熱絕緣區
- 10~ 熱汲體區
- 11~ 熱電偶
- 12~ 接點
- 13~ 第四介電層
- 14~ 切割道
- 15~ 蝕刻窗口
- 16~ 切割窗口
- 17~ 晶片固定層
- 18~ 膠帶

## 【較佳實施例之說明】

為解決上述問題，本發明提出另一種多層彎曲狀金屬方式 (Serpentine Multi metal，以下稱為SMT) 以達到降低熱傳導值之目的。圖4A與4B係顯示本發明較佳實施例之熱電堆感測器在不同部分之剖面圖，圖4C顯示本發明較佳實施例之熱電堆感測器之立體佈局示意圖。如圖4A與4B所示，此熱電堆感測器包含：一矽基板1；一第一介電層2與一絕緣膜2'，分別位於矽基板1之正反面；複數之多晶矽導體3，位於第一介電層2上；一第二介電層4，位於第一介電層2與多晶矽導體3上，用以罩覆多晶矽導體3；複數之第一金屬子導體5a，位於第二介電層4上；一第三介電



## 五、發明說明 (13)

層6，位於第二介電層4與第一金屬子導體5a上，用以罩覆第一金屬子導體5a；複數之第二金屬子導體5b，位於第三介電層6上；一第四介電層13，位於第三介電層6與第二金屬子導體5b上，用以罩覆第二金屬子導體5b；一黑體層7，位於第四介電層13之中央區域上，用以吸收熱量；以及一窪部8。

參見圖4C，吾人可更清楚地了解本實施例之熱電堆感測元件之佈局方式。將圖4C與圖3A作比較，本實施例之特點在於將圖3A之金屬導體5分成奇數對之第一金屬子導體5a與偶數對之第二金屬子導體5b。其中，第一金屬子導體5a與第二金屬子導體5b係以兩道相同的金屬製程，分別形成於第二介電層4與第三介電層6上。因為第一金屬子導體5a與第二金屬子導體5b之間有第三介電層6作為電性隔離，所以在佈局時可以使SMT之第一與第二金屬子導體5a與5b在空間上相互重疊而不會造成短路。所以，此舉可在最小設計規範 $\lambda$ 維持不變的情況下，有效地增加第一與第二金屬子導體5a與5b之長度，從而增加熱電堆紅外線感測器之感測度。

為了證明SMT的可行性，本發明分別對應於圖3A及4C之佈局方式而製作之懸臂式熱電堆感測器，所使用的金屬層為兩道鋁，所對應的n值也約為2。其尺寸為長 $200\ \mu\text{m}$ 、寬 $100\ \mu\text{m}$ ，熱電偶數目 $N=21$ ，且其電阻值分別為 $64.2\ \text{k}\Omega$ 及 $64.8\ \text{k}\Omega$ 。關於本發明之SMT結構與習知結構之熱電堆感測器之輸入功率與輸出熱電壓之關係圖如圖5所示，可發



## 五、發明說明 (14)

現採用SMT技術的熱電堆感測器在相同的輻射輸入功率之下，具有更高的輸出電壓，且呈倍數的增加。這種改變正是有效的降低熱傳導值所導致，同時也因為維持固定的電阻值而不影響其 $V_J$ 值。故而在製程上僅需增加一道金屬製程，便可使 $R_v/V_J$ 值比傳統的熱電堆感測元件呈有效的提升。

此外，本發明亦提供一種熱電堆紅外線感測器之製造方法。

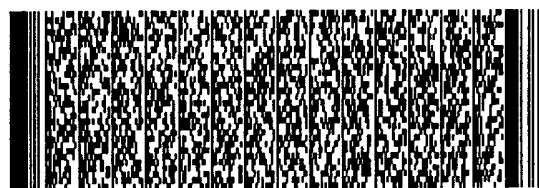
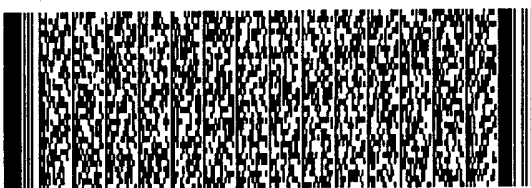
圖6A至6H係以某一部分之剖面示意表示本發明較佳實施例之熱電堆紅外線感測器之製造程序。圖7A至7H係以另一部分之剖面示意表示本發明較佳實施例之熱電堆紅外線感測器之製造程序。

如圖6A與圖7A所示，首先提供一矽基板1，然後，以一種低應力介電材料，於矽基板1上形成一第一介電層2，並於位於第一介電層2反側之矽基板1上形成一絕緣膜2'，接著，並於該第一介電層2上形成複數之切割道14。

然後，如圖6B與7B所示，於該第一介電層2上以多晶矽形成複數之多晶矽導體3。

接著，於該多晶矽導體3與第一介電層2上以介電材料堆積一第二介電層4，並形成複數之切割道14。然後，於第二介電層4上形成迂迴彎曲狀之複數第一金屬子導體5a，第一金屬子導體5a分別與奇數對之多晶矽導體3接觸於熱端H與冷端(未顯示)。

接著，如圖6C與7C所示，於第二介電層4與第一金屬



## 五、發明說明 (15)

子導體5a上堆一第三介電層6，並形成複數之切割道14。然後，於第三介電層6上形成迂迴彎曲狀之複數第二金屬子導體5b，第二金屬子導體5b分別與偶數對之多晶矽導體3接觸於熱端H，且第二金屬子導體5b係與該等第一金屬子導體5a在投影於第一介電層2上時，各第二金屬子導體5b係介設於相鄰兩第一金屬子導體5a之間。

然後，如圖6D與7D所示，於第三介電層6與第二金屬子導體5b上堆積一第四介電層13，並形成複數之切割道14。接著，於罩覆上述熱端H之區域形成黑體層7。

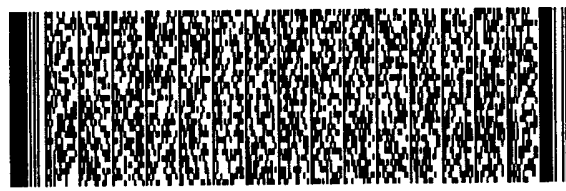
接著，如圖6E與7E所示，於該絕緣膜2'上形成複數之蝕刻窗口15與切割窗口16，蝕刻窗口15係罩覆於熱端H之下，且各切割窗口16係與各切割道14對準。

然後，如圖6F與7F所示，於黑體層7與第四介電層13上，以一種高分子厚膜材料堆積形成一晶片固定層17。

接著，如圖6G與7G所示，經由蝕刻窗口15對該矽基板1進行高密度電漿(HDP)活性離子蝕刻，以形成複數之窪部8，同時經由切割窗口16以相同的乾式異方性蝕刻進行晶片分離過程。

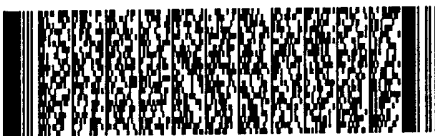
最後，如圖7H與8H所示，於矽基板1背面黏著一種晶片固定膠帶18，然後去除該晶片固定層17，完成感測器之製造生產流程。

因此，本發明之製程特點在於：(一)藉由晶片固定層17以進行蝕刻和切割的程序，將可避免晶片切割時所產生的破裂現象；(二)採用高密度電漿活性離子蝕刻技術，並



## 五、發明說明 (16)

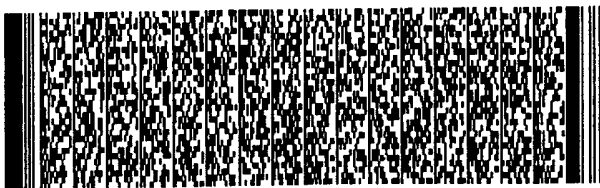
同時執行晶片異方性蝕刻與晶片分離過程，以取代傳統的矽異方性蝕刻和晶片切割方式，藉以提高單位晶圓之產能並提高生產良率。



## 四、中文發明摘要 (發明之名稱：熱電堆紅外線感測器與其製造方法)

一種熱電堆紅外線感測器，包含複數對之熱電偶，每對熱電偶係由直條狀多晶矽導體及彎曲狀金屬導體接合而成。以彎曲狀金屬導體的方式可以更有效地降低整體結構的熱傳導特性，增加元件的感測度。此外，本發明亦提供上述熱電堆紅外線感測器之製造方法，於其中，承載熱電偶對之熱絕緣結構之形成是利用高密度電漿活性離子蝕刻技術，選擇性的去除矽基板材料而留下薄膜結構以作為支撐。同時，各元件間的晶片切割也是利用相同的乾式蝕刻技術完成晶片分離，用以取代傳統的鑽石刀切割方式，以增加生產良率。

## 英文發明摘要 (發明之名稱：)



## 六、申請專利範圍

1. 一種熱電堆紅外線感測器，包含：

一矽基板；

一第一介電層，位於該矽基板上；

複數之多晶矽導體，位於該第一介電層上；

一第二介電層，位於該第一介電層與該等多晶矽導體上，用以罩覆該等多晶矽導體；

複數之金屬導體，位於該第二介電層上；

一第三介電層，位於該第二介電層與該等金屬導體上，用以罩覆該等金屬導體；以及

一黑體層，位於該第三介電層之中央區域，用以吸收熱量；

其中，該矽基板、該第一至第三介電層、該等金屬導體均包含一位於中央區域之熱絕緣區，與位於中央區域以外之熱汲體區，且該等金屬導體係以串聯的方式電連接，且於熱絕緣區接觸於複數之熱端，而於熱汲體區接觸於複數之冷端；

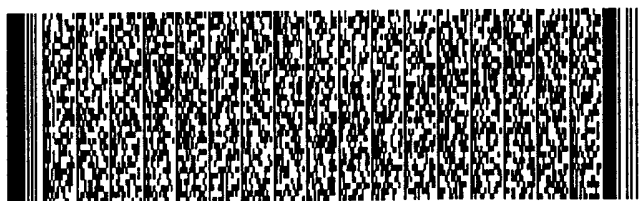
其特徵為：

該熱電堆紅外線感測器更包含：

第四至第 $n$ 介電層( $n$ 為大於等於4之正整數)，依序介設於該第三介電層與該黑體層之間，且該第四介電層係與該第三介電層鄰接；以及

該等金屬導體係為迂迴彎曲狀，更包含：

複數組之第一至第 $(n-2)$ 金屬子導體，其中，該第一金屬子導體係介設於該第二與第三介電層之間、該第



## 六、申請專利範圍

( $n-2$ ) 金屬子導體係介設於該第( $n-1$ )與第 $n$ 介電層之間，且該第 $k$ 金屬子導體( $1 < k < n-2$ ， $k$ 為正整數)係分別介設於該第( $k+1$ )與第( $k+2$ )介電層之間，而該等第一至第( $n-2$ )金屬子導體之每一組在投影至該第二介電層後，係呈現第一至第( $n-2$ )金屬子導體之順序排列。

2. 如申請專利範圍第1項之熱電堆紅外線感測器，其中該 $n$ 值為4。

3. 一種熱電堆紅外線感測器之製造方法，包含以下步驟：

提供一矽基板；

以一種低應力介電材料，於該矽基板上形成一第一介電層，並於位於該第一介電層反側之該矽基板上形成一絕緣膜，之後，於該第一介電層上形成複數之切割道；

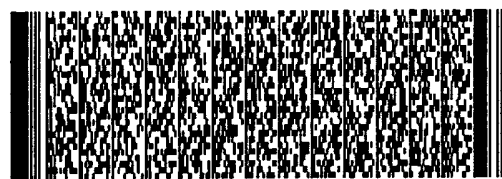
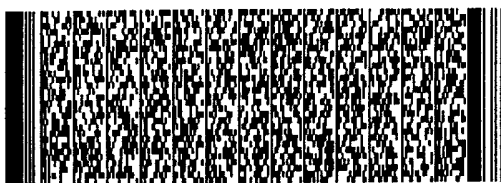
於該第一介電層上以多晶矽形成複數之多晶矽導體；

於該多晶矽導體與該第一介電層上以介電材料堆積一第二介電層，並形成複數之切割道；

於該第二介電層上形成迂迴彎曲狀之複數第一金屬子導體，該等第一金屬子導體分別與奇數對之該等多晶矽導體接觸於熱端與冷端，其中所接觸形成的熱端與冷端並非由同一組多晶矽導體與第一金屬子導體所形成；

於該第二介電層與該等第一金屬子導體上堆積一第三介電層，並形成複數之切割道；

於該第三介電層上形成迂迴彎曲狀之複數第二金屬子導體，該等第二金屬子導體分別與偶數對之該等多晶矽導



## 六、申請專利範圍

體接觸於熱端，其中所接觸形成的熱端與冷端並非由同一組多晶矽導體與第二金屬子導體所形成，且該等第二金屬子導體係與該等第一金屬子導體在投影於該第一介電層上時，各該第二金屬子導體係介設於相鄰兩第一金屬子導體之間；

於該第三介電層與該等第二金屬子導體上堆積一第四介電層，並形成複數之切割道；

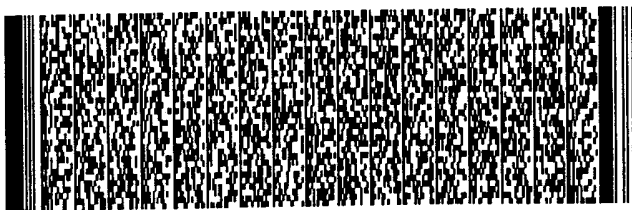
於單覆上述熱端之區域形成複數之黑體層；

於該絕緣膜上形成複數之蝕刻窗口與切割窗口，該等蝕刻窗口係罩覆於該等熱端之下，且該等切割窗口係與該等切割道對準；

於該等黑體層與該第四介電層上，以一種高分子厚膜材料堆積形成一晶片固定層；

經由該等蝕刻窗口對該矽基板進行高密度電漿活性離子蝕刻，以形成複數之窪部，同時經由該等切割窗口以乾式異方性蝕刻進行晶片分離過程；以及

於該矽基板背面黏著一種晶片固定膠帶，然後去除該晶片固定層，完成感測器之製造生產流程。



圖式

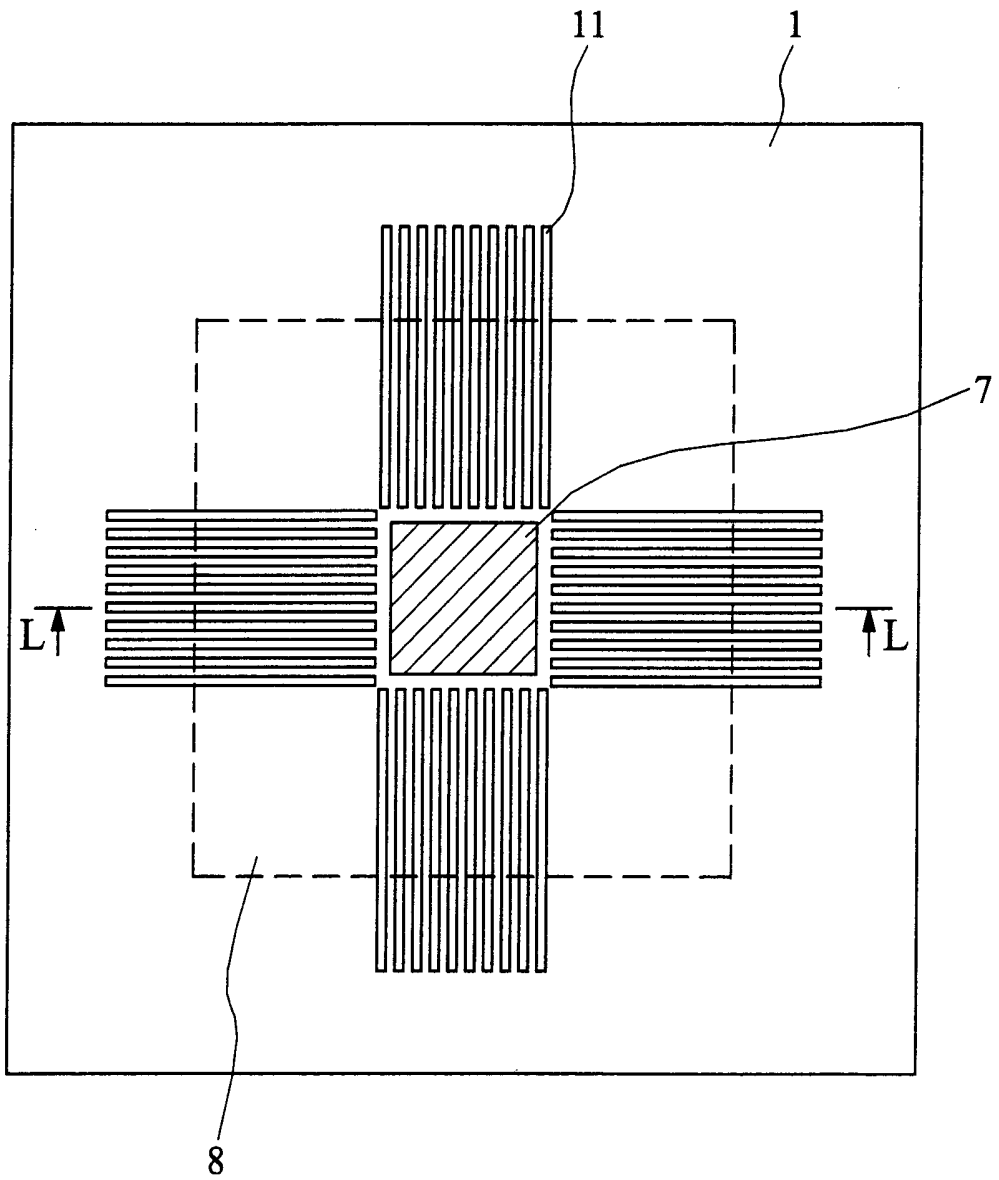


圖1A

圖式

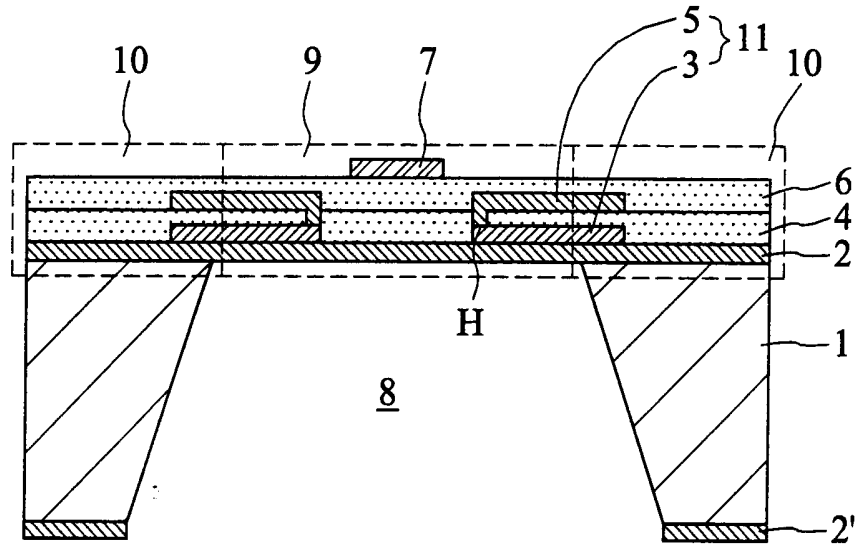


圖1B

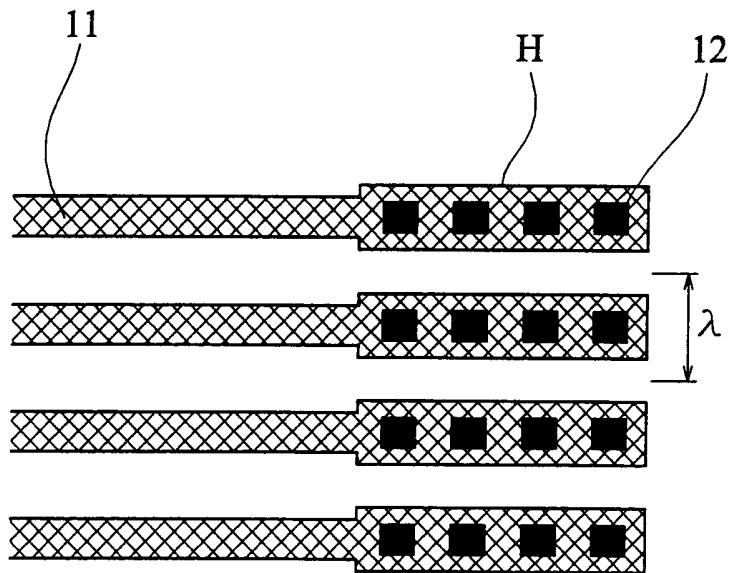


圖1C

圖式

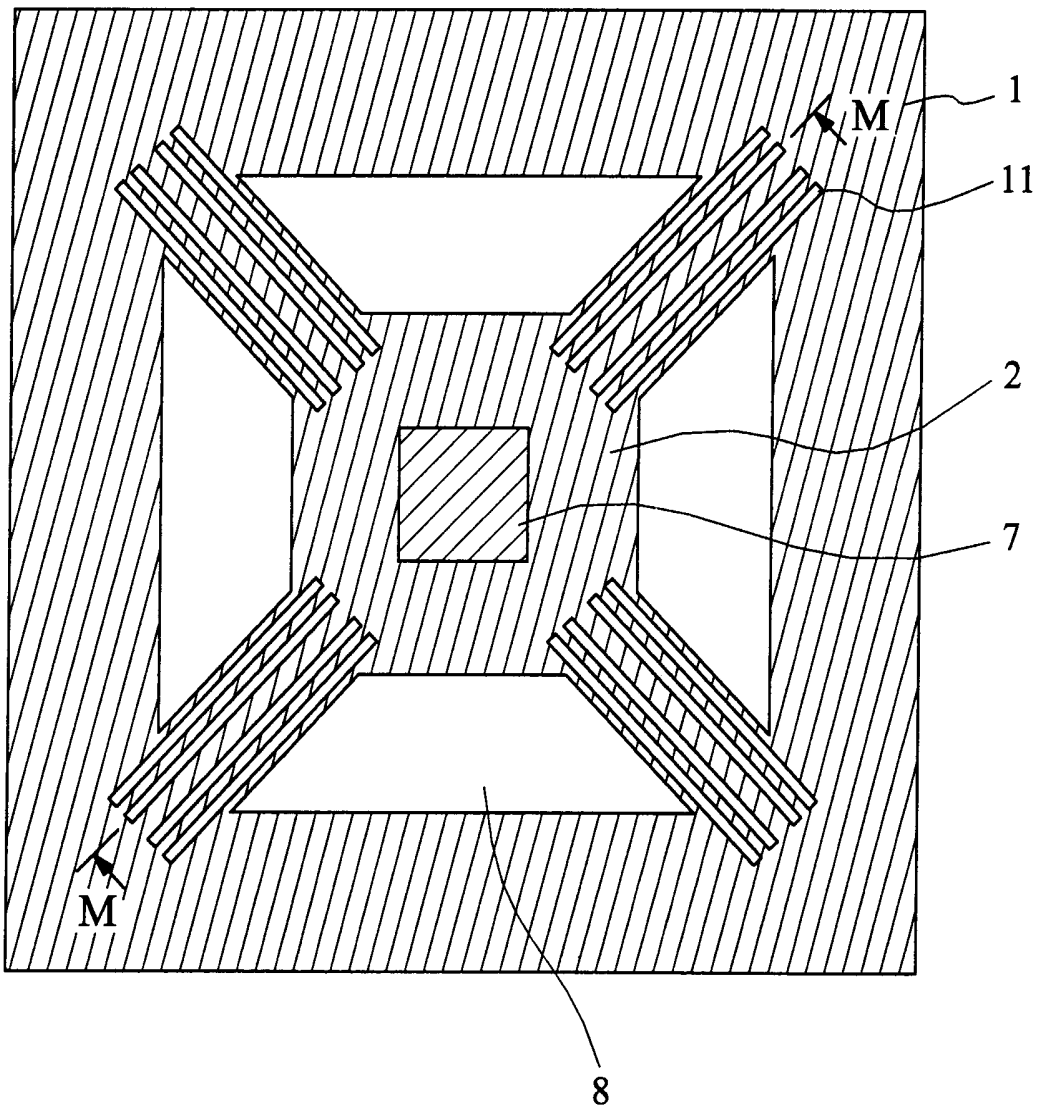


圖2A

圖式

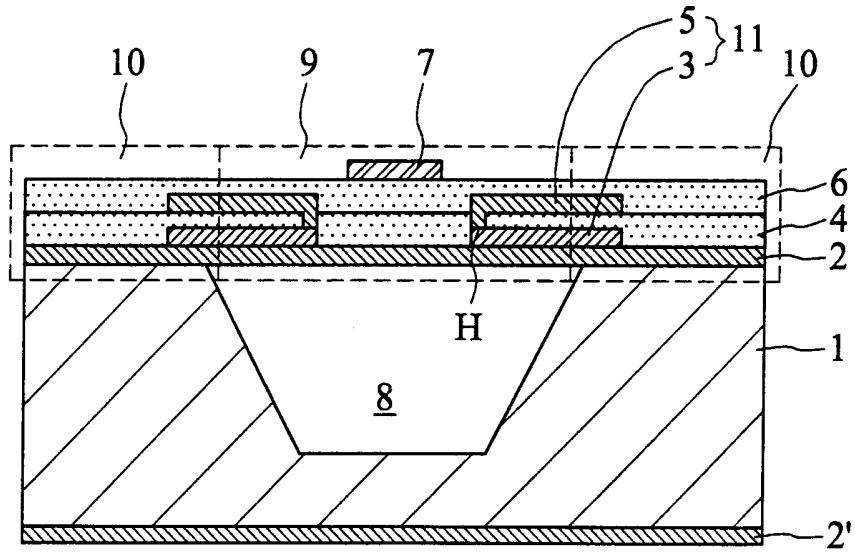


圖2B

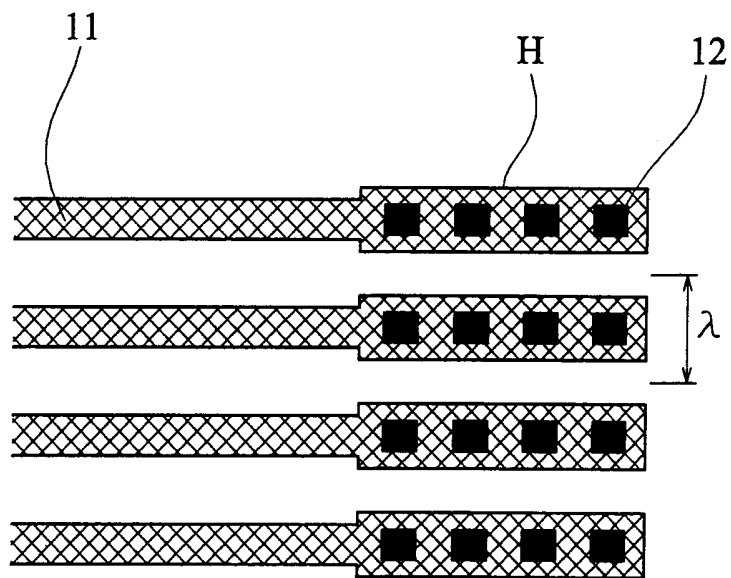


圖2C

圖式

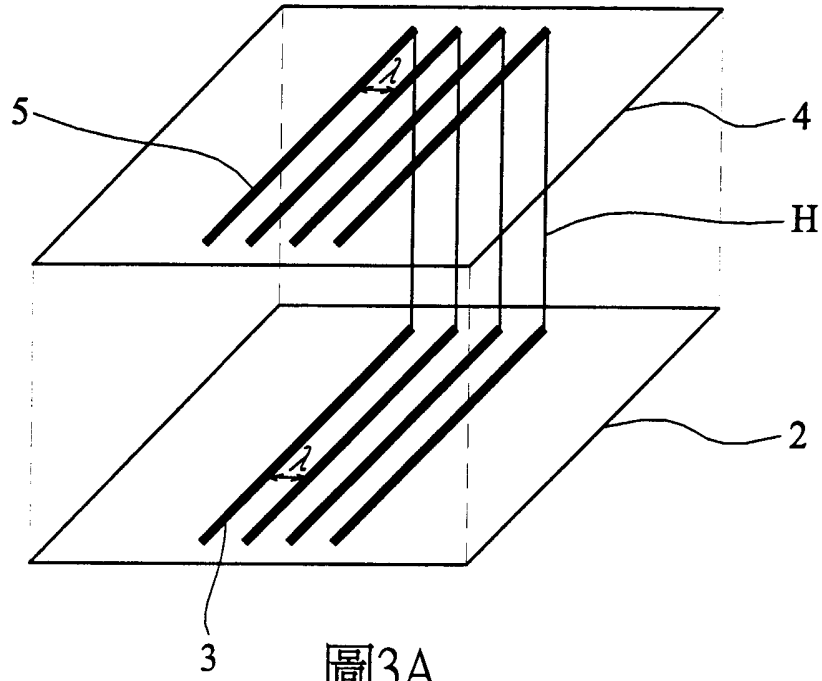


圖3A

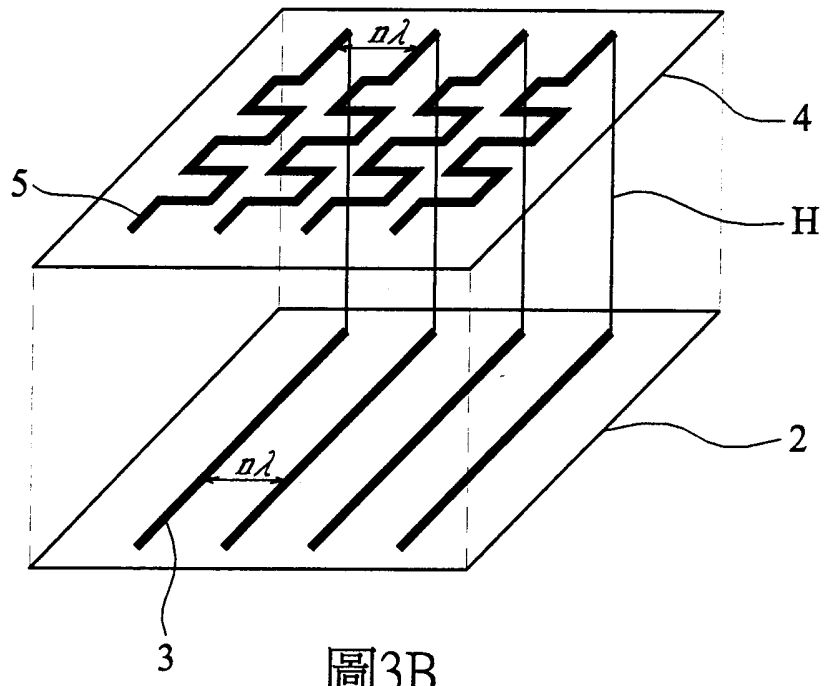


圖3B

圖式

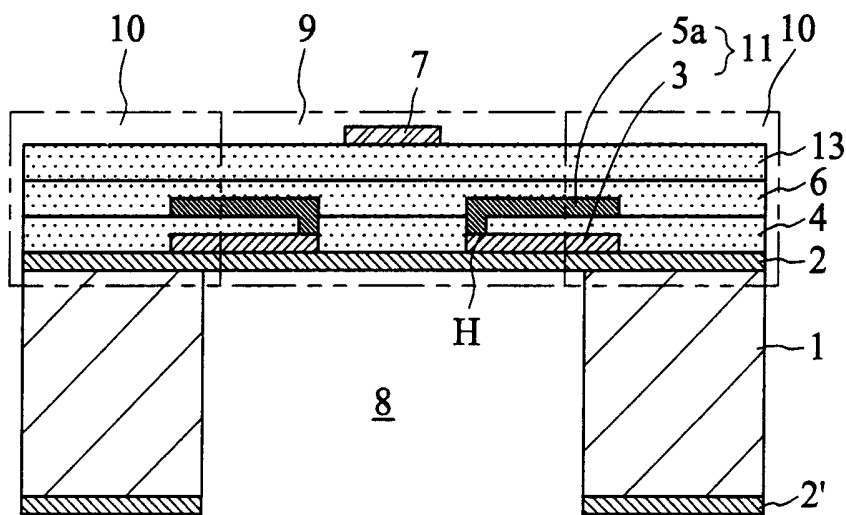


圖4A

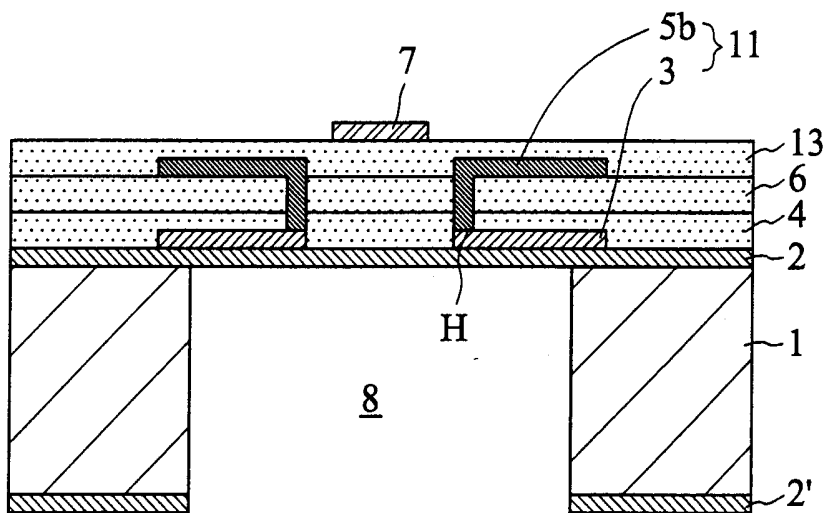
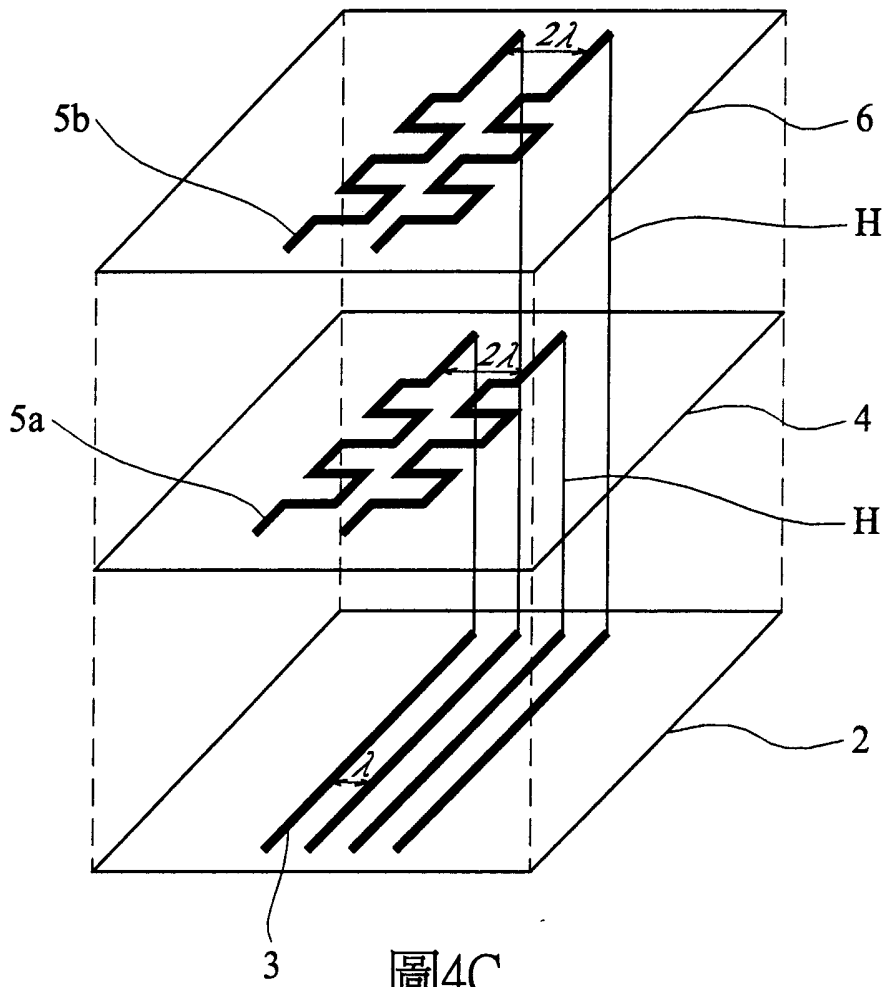


圖4B

圖式



圖式

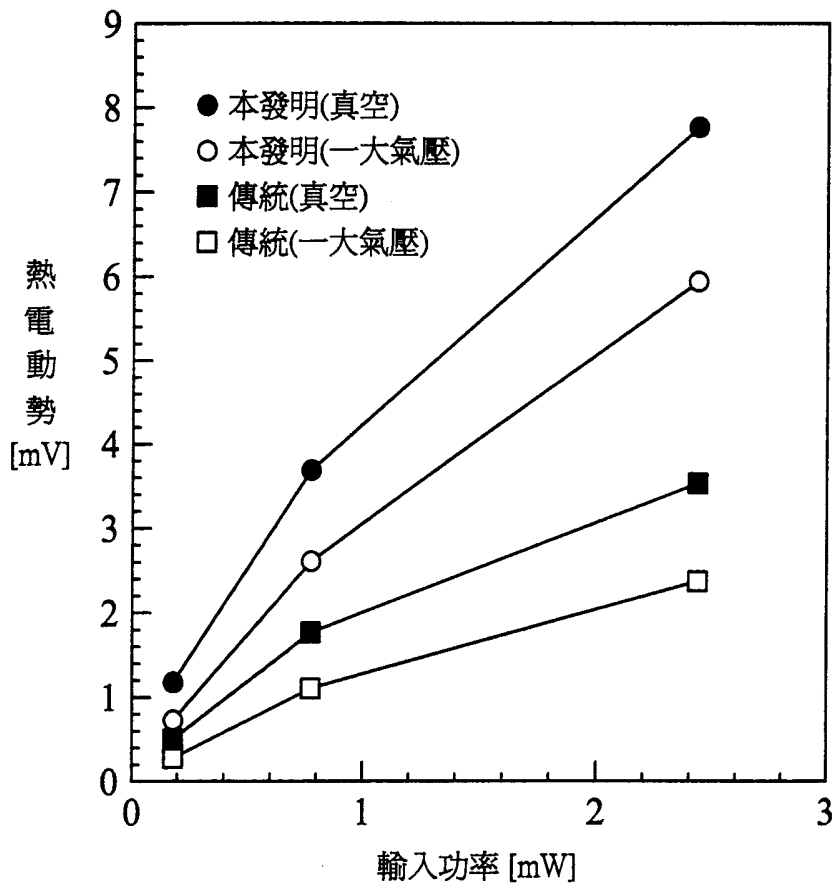


圖5

圖式

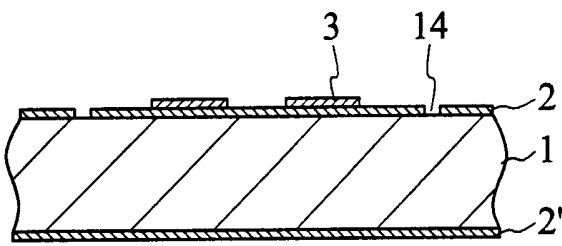


圖6A

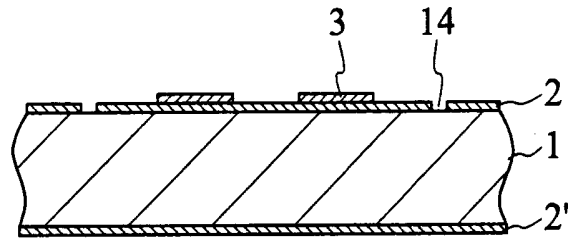


圖7A

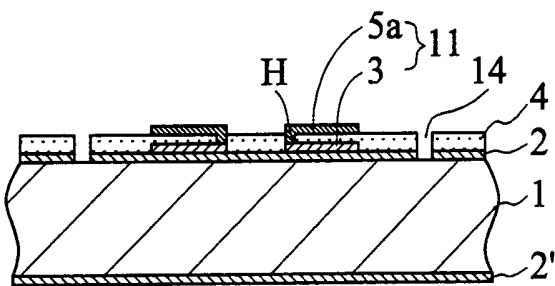


圖6B

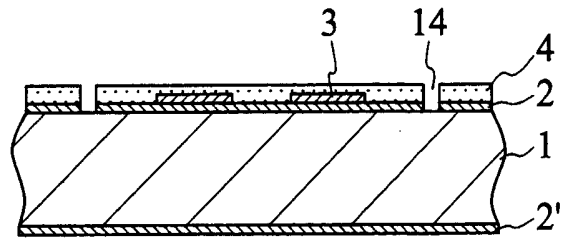


圖7B

圖式

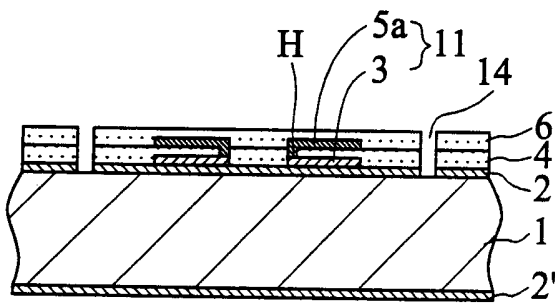


圖6C

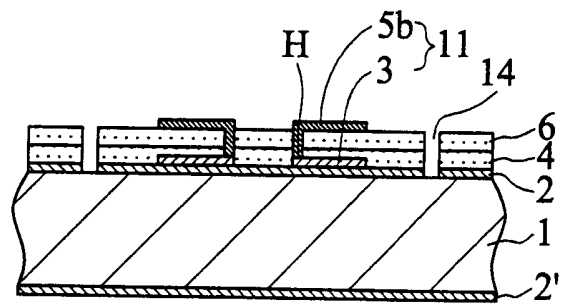


圖7C

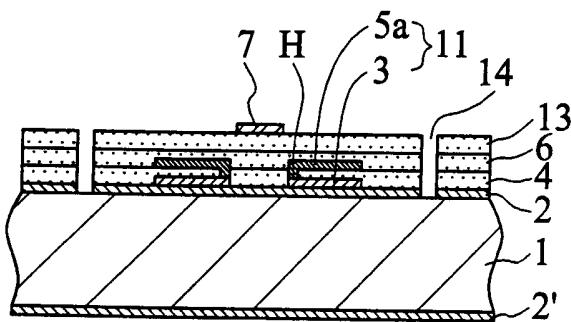


圖6D

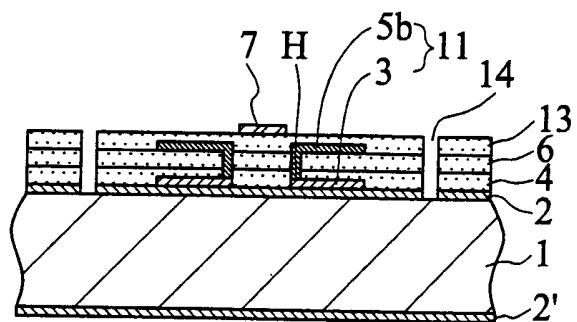


圖7D

圖式

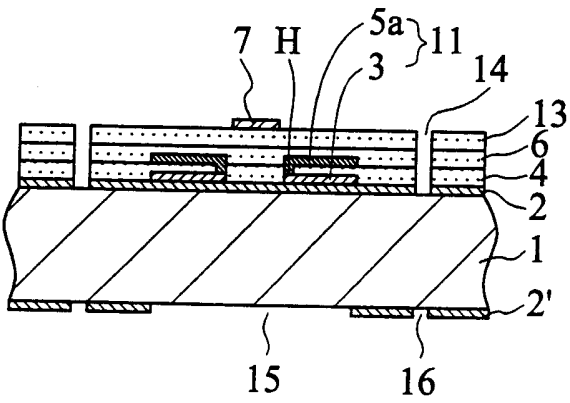


圖6E

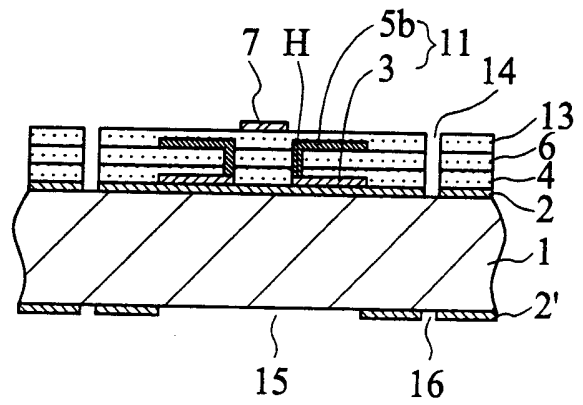


圖7E

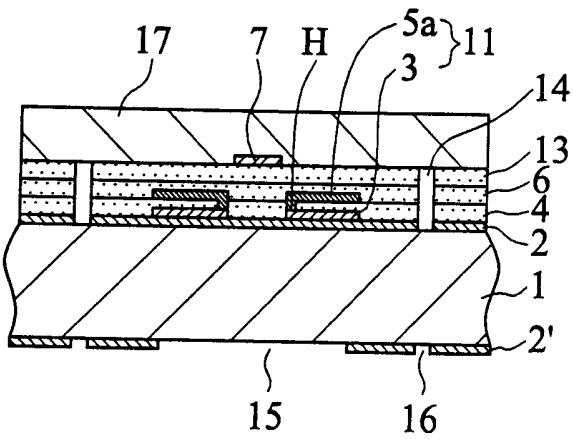


圖6F

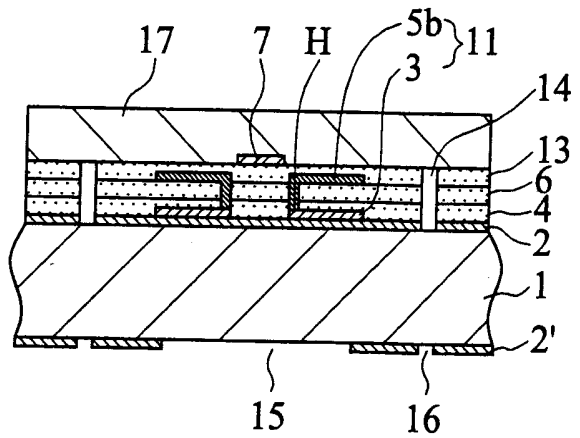


圖7F

