



(12) 发明专利

(10) 授权公告号 CN 101675516 B

(45) 授权公告日 2012.06.20

(21) 申请号 200880014764.9

(22) 申请日 2008.02.26

(30) 优先权数据

60/905,096 2007.03.05 US

(85) PCT申请进入国家阶段日

2009.11.04

(86) PCT申请的申请数据

PCT/US2008/002659 2008.02.26

(87) PCT申请的公布数据

W02008/108970 EN 2008.09.12

(73) 专利权人 数字光学欧洲有限公司

地址 爱尔兰戈尔韦

(72) 发明人 B·哈巴 K·A·霍纳

D·B·塔克曼 V·奥加涅相

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 蔡胜利

(51) Int. Cl.

H01L 23/31 (2006.01)

H01L 23/485 (2006.01)

H01L 23/48 (2006.01)

H01L 25/065 (2006.01)

H01L 27/146 (2006.01)

H01L 29/06 (2006.01)

H01L 31/0203 (2006.01)

(56) 对比文件

EP 1686627 A1, 2006.08.02, 全文.

US 2006/0068580 A1, 2006.03.30, 全文.

EP 1519410 A1, 2005.03.30, 全文.

EP 1482553 A2, 2004.12.01, 全文.

EP 1653510 A2, 2006.05.03, 全文.

US 2004/0104454 A1, 2004.06.03, 全文.

US 2006/0175697 A1, 2006.08.10, 全文.

US 2006/0046471 A1, 2006.03.02, 全文.

US 6031274 A, 2000.02.29, 全文.

EP 0926723 A1, 1999.06.30, 全文.

JP 60-160645 A, 1985.08.22, 全文.

审查员 吴海涛

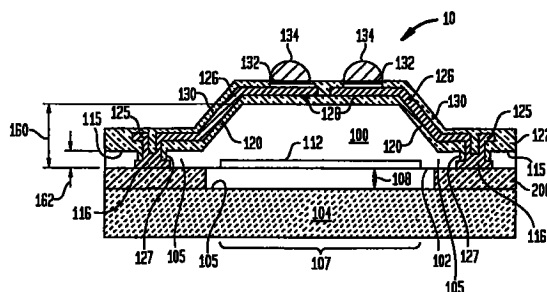
权利要求书 2 页 说明书 19 页 附图 20 页

(54) 发明名称

具有通过过孔连接到前侧触头的后侧触头的芯片

(57) 摘要

一种微电子单元被提供,其中半导体元件(100)的前表面(102)和后表面(114)可以限定出具有第一厚度的薄区(105)和具有至少为第一厚度二倍的厚度的厚区。半导体器件(112)可以设置在前表面,位于前表面的多个第一导电触头(116)连接着所述器件。多个导电过孔(125)可以从后表面延伸穿过半导体元件的薄区(105)到达第一导电触头(116)。多个第二导电触头(134)可以暴露于半导体元件(100)的外部。多个导电迹线(126)可以将第二导电触头(134)连接至导电过孔(125)。



1. 一种微电子单元,包括:

半导体元件,其具有前表面、远离前表面的后表面,所述前表面和后表面限定出具有第一厚度的薄区和具有至少为第一厚度二倍的第二厚度的厚区,半导体元件包括位于前表面的半导体器件、位于前表面的连接着所述器件的多个第一导电触头,每个第一导电触头具有背对着半导体元件前表面的表面;

所述半导体元件还包括从半导体元件的后表面延伸穿过半导体元件的薄区到达第一导电触头的多个导电过孔,所述导电过孔包含与第一导电触头的所述表面相接触的金属;

多个第二导电触头,它们暴露在半导体元件的后表面上;以及

多个导电迹线,它们将第二导电触头连接至导电过孔。

2. 如权利要求 1 所述的微电子单元,其中,第二导电触头在后表面叠加于所述厚区上。

3. 如权利要求 1 所述的微电子单元,还包括叠加于半导体元件后表面上的介电层。

4. 如权利要求 3 所述的微电子单元,其中,第二导电触头和导电迹线叠加于介电层上。

5. 一种组件,包括如权利要求 1 所述的微电子单元,所述微电子单元还包括叠加于半导体元件后表面上的顺应性介电层,所述组件还包括电路板,所述电路板具有结合至第二导电触头的端子,其中,所述介电层的弹性模量和介电层厚度的乘积足够大以补偿微电子单元和电路板之间的热膨胀失配。

6. 一种照相机或摄像机模块,包括如权利要求 1 所述的微电子单元,其中,半导体器件包括成像区域,照相机或摄像机模块还包括光学单元,所述光学单元具有光学元件,所述光学元件以与成像区域对准的方式安装至罩盖元件。

7. 一种微电子单元,包括:

半导体元件,其具有前表面、与前表面相邻的半导体器件、位于前表面的第一导电触头、远离前表面的后表面,所述半导体元件还具有从后表面朝着前表面部分地穿过半导体元件的至少一个第一开口、从所述至少一个第一开口中的至少一个朝向前表面延伸的至少一个第二开口;

在所述至少一个第一开口中延伸的至少一个第一导电元件;

布置在所述至少一个第二开口中延伸的至少一个第二导电元件,所述至少一个第二导电元件连接着所述第一导电触头中的至少一个和所述至少一个第一导电元件;以及

与所述至少一个第一导电元件连接着的至少一个第二导电触头,所述第二导电触头暴露在半导体元件的后表面。

8. 如权利要求 7 所述的微电子单元,其中,所述第一导电触头具有背对着所述前表面的后表面,所述至少一个第一开口延伸穿过半导体元件厚度的大部分,并且所述第二开口中的至少一个从所述至少一个第一开口延伸至接触所述第一导电触头之一的表面。

9. 如权利要求 1 或 7 所述的微电子单元,还包括罩盖元件,其至少叠加于布置着半导体器件的前表面部分上。

10. 如权利要求 7 所述的微电子单元,其中,半导体元件包括与前表面相邻且朝向后表面向下延伸的沟道型电容的阵列,并且所述至少一个第一开口不与所述阵列对准。

11. 如权利要求 7 所述的微电子单元,其中,所述至少一个第二开口的宽度沿着从所述前表面至所述后表面的方向逐渐变小。

12. 如权利要求 7 所述的微电子单元,其中,所述至少一个第二开口的宽度沿着从所述前

表面至所述后表面的方向逐渐变大。

13. 如权利要求 7 所述的微电子单元, 其中, 所述至少一个第一开口在沿着所述前表面的方向上具有第一尺寸, 所述至少一个第二开口在沿着所述前表面的该方向上具有第二尺寸, 所述第二尺寸小于所述第一尺寸。

14. 一种叠层式微电子组件, 包括多个微电子单元, 每个微电子单元如权利要求 7 所述, 其中, 至少一些微电子单元的第一导电触头导电连接至其它微电子单元的暴露于后表面的第二导电触头。

15. 如权利要求 14 所述的叠层式微电子组件, 其中, 至少一些微电子单元的第一导电触头通过至少一个接线柱凸块或焊料导电连接至其它微电子单元的第二导电触头。

16. 一种制造如权利要求 1-4 中任一所述的微电子单元的方法, 其中, 所述半导体元件具有背对着半导体元件前表面的后表面, 所述方法包括:

在形成所述第二导电触头和导电迹线之前, 电沉积叠加于所述后表面上的介电层, 而所述第二导电触头和导电迹线被形成为叠加于所述介电层上。

17. 一种制造如权利要求 1-4 中任一所述的微电子单元的方法, 包括:

(a) 从后表面开始将半导体元件减薄到所述第二厚度;

然后执行步骤 (b), 其中, 将半导体元件中的厚度小于半导体元件总厚度的一部分减薄至所述第一厚度以形成所述薄区。

18. 如权利要求 1 所述的微电子单元, 其中, 所述第二导电触头暴露在由半导体元件的下表面限定的半导体元件凸缘。

19. 如权利要求 18 所述的微电子单元, 其中, 所述第二导电触头邻近于半导体元件的边缘被暴露。

具有通过过孔连接到前侧触头的后侧触头的芯片

相关申请的交叉引用

[0001] 本申请要求享有 2007 年 3 月 5 日提交的美国临时申请 No. 60/905,096 的申请日, 该申请的公开内容以引用方式并入本申请。

背景技术

[0002] 本发明涉及微电子器件的封装, 尤其是半导体器件的封装。

[0003] 某些类型的微电子器件和半导体芯片包括各种器件, 例如声换能器、射频发射器、射频检测器或光电子器件或这些器件的组合。这样的器件典型地要求被封装以便实现在半导体芯片的表面向或者从这些器件传输能量, 例如音频、射频或光频波长的能量。

[0004] 由于这样的微电子器件经常在器件前侧面暴露, 因此它们通常要求被保护而避免各种因素例如尘土、其它颗粒、污物或水分。出于这个原因, 有益的是在加工的早期阶段在微电子器件上组装盖子或其它元件, 以便罩盖这种微电子器件的前侧面。

[0005] 在某些类型的微电子系统中希望在电路板上安装芯片以及具有非常小的即芯片级封装体的封装芯片。在一下情况下, 希望将芯片彼此上下叠置地层叠和互联, 以增大组件的电路密度。

[0006] 一些类型的批量制造的芯片还要求严格控制封装成本。用于封装这种半导体芯片的过程同能同时实施于许多芯片, 而此时这些芯片以晶片或部分晶片的形式保持附连于彼此。这种“晶片级”加工典型地是在整个晶片上以一系列过程实施的, 之后, 晶片被切块为单个芯片。有利地, 晶片级封装过程所产生的封装芯片具有与原始半导体芯片相同的面积尺寸, 从而使得它们在电路板和类似物上的互联较为紧凑。

发明内容

[0007] 根据本发明的一个方面, 一种微电子单元被提供, 其中半导体元件具有前表面和远离前表面的后表面。前表面和后表面可以限定出具有第一厚度的薄区和具有至少为第一厚度二倍的第二厚度的厚区。在这样的微电子单元中, 半导体元件可以包括位于前表面的半导体器件和位于前表面的连接着所述器件的多个第一导电触头。多个导电过孔可以从后表面延伸穿过半导体元件的薄区到达第一导电触头。多个第二导电触头可以暴露在半导体元件的外部, 并且多个导电迹线可以将第二导电触头连接至导电过孔。

[0008] 根据本发明的另一方面, 一种微电子单元被提供。在这样的微电子单元中, 半导体元件具有前表面、位于前表面的半导体器件和远离前表面的后表面。第一导电触头可以设置在前表面。半导体元件可以还包含的第一孔, 其具有第一深度且从后表面且部分地穿过半导体元件朝向前表面延伸。这样的第二孔可以具有第二深度且从第一孔延伸至第一导电触头。多个第一导电过孔可以沿着第二孔的壁延伸至接触第一导电触头。多个导电互联部可以连接到第一导电过孔。在一个实施方式中, 这样的导电互联部可以沿着第一孔的壁延伸。多个第二导电触头可以连接到导电互联部。在一个例子中, 第二触头可以暴露在半导体元件的外部。

[0009] 根据本发明的一个方面,一种微电子单元被提供,其可以包括半导体元件,所述半导体元件具有前表面、位于前表面的半导体器件和位于前表面的连接着所述器件的多个第一导电触头。盖子可以被提供,其具有面对着半导体元件前表面的内表面和远离内表面的外表面。具有第一深度的第一孔可以从外表面至少部分地穿过盖子朝向内表面延伸。支撑结构可以被提供,其在半导体元件的前表面上方支撑着盖子的内表面。在一个例子中,支撑结构具有与第一孔对正的第二孔。第二孔可以延伸穿过支撑结构到达第一导电触头。多个第一导电过孔可以沿着第二孔的壁延伸至接触第一导电触头。多个第二导电过孔可以沿着第一孔的壁延伸。多个第二导电触头可以暴露在盖子的外部。在一个例子中,多个导电迹线将这样的第二导电触头连接至导电过孔。

[0010] 根据本发明的一个方面,一种微电子单元被提供,其包括半导体元件,所述半导体元件具有前表面和位于半导体元件前表面的半导体器件。多个第一导电触头可以设置在前表面,它们连接着所述器件。微电子单元可以额外地包括盖子,其具有面对着半导体元件前表面的内表面和远离内表面的外表面。盖子的内表面和外表面可以限定出具有第一厚度的薄区和具有至少为第一厚度二倍的第二厚度的厚区。这样的盖子可以还包括从外表面延伸穿过盖子的薄区而连接至第一导电触头的多个导电过孔。这样的微电子单元可以还包括多个第二导电触头。多个导电迹线也可以将第二导电触头连接至导电过孔。

[0011] 根据本发明的一个方面,一种微电子单元被提供,其可以包括盖子,所述盖子具有面对着半导体元件前表面的内表面和远离前表面的外表面。多个导电过孔可以延伸穿过盖子而接触第一导电触头。这样的微电子单元可以额外地包括叠加于盖子外表面上的多个第二导电触头。多个导电迹线可以将第二导电触头连接至导电过孔。

[0012] 根据本发明的一个方面,一种微电子单元被提供,其包括半导体元件,所述半导体元件具有前表面、位于前表面的半导体器件和远离前表面的后表面。前导电触头可以暴露在前表面。后导电触头可以暴露在后表面。多个导电过孔可以连接到前导电触头,所述导电过孔从前表面向下延伸。开口可以以与导电过孔中的至少一个对准(嵌套)的方式从后表面向下延伸。导电迹线可以从导电过孔中的至少一个沿着开口的壁向上延伸。这样的导电迹线可以连接到后导电触头中的至少一个。

[0013] 根据本发明的一个方面,一种微电子单元被提供,其包括半导体元件,所述半导体元件具有前表面、位于前表面的半导体器件和远离前表面的后表面。后导电触头可以暴露在后表面。在这样的微电子单元中,多个导电过孔可以从前表面向下延伸。开口可以以与导电过孔中的至少一个对准(嵌套)的方式从后表面向下延伸。导电凸块可以结合至该开口中的导电过孔之一。在这种情况下,导电凸块可以从导电过孔延伸至由后表面限定的平面上方的位置。

[0014] 根据本发明的一个方面,一种微电子单元被提供,其包括半导体元件,所述半导体元件具有前表面、位于前表面的半导体器件和远离前表面的后表面。后导电触头可以暴露在后表面。多个导电过孔可以从前表面向下延伸。开口可以以与导电过孔中的至少一个对准(嵌套)的方式从后表面向下延伸。导电凸块可以在前表面结合至导电过孔之一。例如,导电凸块可以从前表面上延伸。

[0015] 根据本发明的另一方面,一种制造微电子单元的方法被提供。这种方法可以包括提供半导体元件,其具有前表面、远离前表面的后表面和位于前表面的半导体器件。第一导

电触头可以设置在半导体元件的前表面,它们连接着所述器件。多个导电过孔可以从后表面延伸穿过半导体元件到达第一导电触头。这种方法可以还包括形成叠加于后表面上的多个第二导电触头以及多个导电迹线,所述导电迹线将第二导电触头连接至导电过孔。

[0016] 根据本发明的另一方面,一种制造微电子单元的方法被提供,其中半导体元件被提供,其包括前表面和位于前表面的半导体器件。位于前表面的第一导电触头可以连接到半导体器件。半导体元件可以还包括远离前表面的后表面和暴露在后表面的半导体材料。多个通孔可以从后表面延伸穿过半导体元件到达第一导电触头。后介电层可以在后表面、沿着通孔的壁或同时以这两种方式被电沉积到暴露的半导体材料上。第二导电触头可以叠加于后表面上。多个导电过孔可以形成在通孔中以接触第一导电触头。多个导电迹线可以被形成,用于将第二导电触头连接至导电过孔。

[0017] 根据本发明的另一实施方式,一种制造微电子单元的方法被提供。这种方法可以包括将半导体元件与罩盖元件组装在一起,所述罩盖元件叠加于半导体元件的前表面上,由此形成一个单元。半导体元件可以在前表面具有第一导电触头,它们连接着半导体器件。后表面可以被提供,其远离前表面。多个通孔可以从后表面延伸穿过半导体元件到达第一导电触头。在一个实施方式中,半导体材料暴露在后表面和暴露在通孔的壁处。

[0018] 介电层可以被电沉积以便在后表面以及沿着通孔的壁叠加于暴露的半导体材料上。介电层还可以被电沉积到介电层上,以使得导电过孔被形成在通孔内以接触第一导电触头。多个第二导电触头可以叠加于后表面上,并且多个导电迹线可以将导电过孔连接至第二导电触头。

附图说明

[0019] 图 1 是剖视图,示出了根据本发明的一个实施方式的封装半导体芯片。

[0020] 图 2 是剖视图,示出了根据本发明的一个实施方式的同时制造多个封装半导体芯片的方法中的一个阶段。

[0021] 图 3A 和 3B 是剖视图和相应的俯视图,示出了根据本发明的一个实施方式的一个制造阶段。

[0022] 图 3C 和 3D 是剖视图和相应的俯视图,示出了根据本发明的一个实施方式的制造方法中的制备盖子件的阶段。

[0023] 图 4 是剖视图,示出了根据本发明的一个实施方式的制造方法中的一个阶段。

[0024] 图 5A 和 5B 是剖视图和相应的俯视图,示出了根据本发明的一个实施方式中的一个制造阶段。

[0025] 图 6A 是俯视图,示出了根据本发明的一个实施方式中的一个制造阶段。

[0026] 图 6B 是俯视图,示出了根据本发明的备选实施方式中的一个制造阶段。

[0027] 图 7A、7B 和 7C 是剖视图、相应的俯视图和放大图,示出了根据本发明的一个实施方式中的一个制造阶段。

[0028] 图 8A 和 8B 是剖视图和相应的俯视图,示出了根据本发明的一个实施方式中的一个制造阶段。

[0029] 图 9A 和 9B 是剖视图和相应的俯视图,示出了根据本发明的一个实施方式中的一个制造阶段。

[0030] 图 10A 和 10B 是剖视图和相应的俯视图,示出了根据本发明的一个实施方式中的一个制造阶段。

[0031] 图 11 是剖视图,示出了根据本发明的一个实施方式的光电子器件模块,例如照相机或摄像机模块。

[0032] 图 12 和 13 是剖视图和相应的透视图,示出了根据本发明的一个实施方式的备选光电子器件模块,例如照相机或摄像机模块。

[0033] 图 14 是剖视图,示出了根据本发明的一个实施方式的另一备选光电子器件模块,例如照相机或摄像机模块。

[0034] 图 15 是剖视图,示出了一种组件,其包括根据本发明的一个实施方式的封装半导体芯片。

[0035] 图 16A 是剖视图,示出了根据本发明的另一实施方式的封装芯片。

[0036] 图 16B 是俯视图进一步示出了图 16A 中所示的封装芯片。

[0037] 图 17 是剖视图,示出了根据本发明的另一实施方式的封装芯片。

[0038] 图 18 是剖视图,示出了根据本发明的另一实施方式的封装芯片。

[0039] 图 19A 是局部剖视图,示出了根据本发明的另一实施方式的封装芯片。

[0040] 图 19B 是相应的俯视图,进一步示出了图 19A 中所示的根据本发明实施方式的封装芯片。

[0041] 图 19C 是相应的俯视图,进一步示出了根据图 19A 中所示的本发明实施方式的一种改型的封装芯片。

[0042] 图 19D 是剖视图,示出了一种叠层式组件,其包括多个示于图 19A 的封装芯片。

[0043] 图 19E 是局部剖视图,示出了图 19A 中所示的根据本发明实施方式的一种改型的封装芯片。

[0044] 图 19F 是剖视图,示出了叠层式组件,其包括多个示于图 19E 的封装芯片。

[0045] 图 20A 是剖视图,示出了根据示于图 19A 的实施方式的一种改型的封装芯片。

[0046] 图 20B 是剖视图,示出了叠层式组件,其包括多个示于图 20A 封装芯片。

[0047] 图 21A 是剖视图,进一步示出了根据本发明的一个实施方式的封装芯片。

[0048] 图 21B 是局部放大图,进一步示出了图 21A 中所示的封装芯片。

[0049] 图 22A 是剖视图,进一步示出了根据本发明的一个实施方式的封装芯片。

[0050] 图 22B 是局部放大图,进一步示出了图 22A 中所示的封装芯片。

[0051] 图 23A、23B 和 23C 是剖视图,示出了根据本发明各实施方式的改型的封装芯片。

[0052] 图 23D、23E 和 23F 是剖视图,示出了根据本发明各实施方式的改型的封装芯片。

[0053] 图 24A 是剖视图,进一步示出了根据本发明的一个实施方式的封装芯片。

[0054] 图 24B 是局部放大图,进一步示出了图 24A 中所示的封装芯片。

[0055] 图 25A 是剖视图,示出了根据本发明的一个实施方式的封装芯片。

[0056] 图 25B 是剖视图,示出了叠层式组件,其包括多个封装芯片示于图 25A。

[0057] 图 26A 是剖视图,示出了根据本发明的一个实施方式的封装芯片。

[0058] 图 26B 是剖视图,示出了叠层式组件,其包括多个示于图 26A 的封装芯片。

[0059] 图 27A 是剖视图,示出了根据本发明的一个实施方式的封装芯片。

[0060] 图 27B 是剖视图,示出了叠层式组件,其包括多个示于图 27A 的封装芯片。

[0061] 图 28A 是剖视图,示出了根据本发明的一个实施方式的封装芯片。

[0062] 图 28B 是剖视图,示出了叠层式组件,其包括多个示于图 28A 的封装芯片。

具体实施方式

[0063] 图 1 是根据本发明的一个实施方式的封装半导体芯片 10 的剖视图。如示于图 1,封装芯片被显示在这样的定向,其中半导体芯片的前侧面 102 面向向下。如示于图 1,封装芯片包括半导体芯片 100,其具有前侧面 102 和远离前侧面的后侧面 114。芯片 100 的前侧面被盖子或罩盖 104 覆盖,所述盖子或罩盖与半导体芯片 100 组装在一起以形成封装芯片 10。如示于图 1,半导体芯片 100 的前侧面 102 被定向为向下面对着盖子 104 的朝向上方的内表面 105。半导体芯片 100 典型地包括半导体基底,在其中一个或多个半导体器件 112 在前侧面 102 下方被布置在器件区中。半导体芯片 100 还包括叠加于基底上的多个介电层,在其中导电金属布线层和过孔(未示出)被布置。半导体器件 112 被布置在芯片的前侧面和/或芯片的前后侧面之间。封装芯片可以称作芯片级封装("CSP"),这是因为封装芯片 10 的外部横向尺寸(例如,沿箭头 102 的方向)几乎与裸芯片的那些尺寸相同。

[0064] 半导体芯片 100 典型地通过一个或多个支座结构 124 连接着盖子 10,所述支座结构可以包括粘合剂,无机或有机材料和/或结合金属。用于以距离芯片的恒定间隔支撑盖子的结构描述于共同拥有的 2006 年 1 月 23 日提交的美国临时申请 No. 60/761,171 和 2006 年 2 月 21 日提交的美国临时申请 No. 60/775,086 中,所述申请的公开内容以引用方式并入本申请。封装芯片可以包括位于芯片的前侧面 102 和盖子 104 的内表面 105 之间的内部空腔 106,如示于图 1。或者,封装芯片 10 可以被构造成不带内部空腔。当空腔存在时,空腔的高度 108 和各种横向尺寸,包括横向尺寸 110,被典型地基于例如用于将盖子 104 与半导体芯片 100 相组装的结构 124 的高度和尺寸来确定。在特定的实施方式中,盖子 104 主要由玻璃或聚合材料构成,并且至少部分地对于感兴趣频率的电磁频谱是透过性的。盖子 104 可以仅仅是部分地透过性的以提供过滤器功能,或者可以对于一定范围的感兴趣频率是基本上透过性的。

[0065] 半导体芯片 100 中的半导体器件 112 典型地包括电磁换能器件例如电磁或光电器件,其检测或输出电磁辐射。半导体器件可以被设计成发射或接收射频和/或光学波长的红外线、可见光和/或紫外线或更大波长的频谱,包括但不限于 x 射线波长。或者,半导体器件 112 可以包括音频换能器件,这样的器件被设计成将通过介质例如空气和/或其它流体介质(气体或液体)接收的声压波转换成一个或多个电信号,或将一个或多个电信号转换为声压波。

[0066] 在特定的实施方式中,封装芯片是传感器单元,在其中芯片 100 的半导体器件 112 包括成像区域 107,用于俘获图像。芯片 100 中的电路(未示出)连接着成像区域 107 中的半导体器件,用于产生代表由成像区域 107 拍摄的图像的一个或多个电信号。用于此目的的数字电路在成像领域中是公知的。例如,半导体芯片 100 可以是普通的传统电荷耦合器件(CCD)成像芯片,带有传统电路例如时钟和电荷至电压转换电路。

[0067] 如见于图 1,半导体芯片在半导体芯片的前侧面包括多个前触点垫 116。虽然未在图 1 中专门示出,位于器件区中的半导体器件 112 导电连接着前触点垫 116。因此,半导体器件可通过所采用的在半导体芯片 100 的一个或多个介电层之内或上方延伸的布线而被

导电地触及。

[0068] 半导体芯片具有表面 120, 其以一定角度离开后表面设置。如示于图 1, 表面 120 可以从后侧面以不是直角的角度倾斜离开, 其斜坡既可以是缓坡, 例如, 相对于后表面法向的角度小于 45 度, 或者斜坡可以更为陡峭, 其中相对于所述法向的角度大于 45 度。或者, 表面 120 可以与后侧面成直角。表面 120 终止于下部后表面 115。下部后表面 115 背对着前侧面 102 并且与之相隔着半导体芯片 100 的减薄区 105。

[0069] 导电过孔 125 延伸在芯片 100 的前侧面 102 和下部后表面 115 之间。导电过孔提供了前触点垫 116 和导电迹线 126 之间的导电互联部, 其叠加于下部后表面 115 和表面 120 上。导电过孔 125 包括叠加于介电层 122 上的导电层, 其布置在延伸于前侧面和下部后表面之间的孔 127 中。在前侧面 102 和下部后表面之间, 孔 127 的壁可以竖直延伸, 即, 相对于前侧面成直角。或者, 孔 127 可以沿着从下部后表面朝向前侧面的方向呈锥形, 以使得孔随着与下部后表面相隔的距离的增加而缩小。在又一替代方案中, 孔 127 可以沿着从前侧面朝向下部后表面方向呈锥形, 以使得孔随着距离前侧面的深度的增加而缩小。下面描述的每个实施方式可以包括具有任何一种可供使用的孔几何形状的孔。

[0070] 在图 1 中所示的实施例中, 导电过孔 125 的形式为从芯片的触点垫 116 沿着孔 127 的壁向上延伸的导电迹线, 所述迹线沿着壁 120 向上延展并且到达后侧面 114。或者, 导电过孔 125 的形式可以为孔 127 充填有导电材料例如金属。在这种情况下, 迹线 126 可以从各个过孔沿着壁 120 延伸并且到达后侧面 114。

[0071] 介电层 122 优选包括共形涂覆的介电材料。优选地, 在共形涂层中没有裂纹并且介电层 122 提供了相对于半导体芯片 100 的良好介电隔离。理想地, 介电层 122 是顺应层, 具有充分低的弹性模量和足够的厚度, 以使得弹性模量和厚度的乘积确保提供顺应性。具体地讲, 这样的顺应层可以允许触头 128 和其上附连的迹线 126 在一定程度上挠曲。以这种方式, 封装芯片 10 的外部导电凸块 134 和电路板 (未示出) 的端子之间的结合部可以更好地抵抗由于封装芯片 10 和电路板 (未示出) 的热膨胀系数 ("CTE") 之间的失配而导致的热应变。理想地, 提供由介电层 122 的厚度及其弹性模量的乘积提供的顺应度足以补偿由于芯片 100 和电路板之间的热膨胀失配导致的施加于导电凸块的应变。底部填充剂 (未示出) 可以提供在介电层 130 的暴露表面和这样的电路板之间以增强对由于 CTE 失配导致的热应变的抵抗力。

[0072] 进一步参看图 1, 导电迹线 126 将导电过孔 125 导电连接至叠加于封装芯片 10 的外表面上的相应的封装触点垫 128。如图 1 中具体所示, 封装触点垫 128 叠加于半导体芯片 100 的后侧面 114 上。导电迹线 126 叠加于第二介电层 122 上并且延伸越过半导体芯片的表面 120 和后侧面 114 的一些部分。理想地, 导电迹线 126 将芯片 100 的各个前触点垫 116 与相应的各封装触点垫 128 连接。导电凸块 134 可以被提供在触点垫 128 上。微电子元件 100 在前后侧面之间的厚度 160 典型地小于 $200\ \mu\text{m}$, 并且可以显著更小, 例如、130nm、70nm 甚至更小。微电子元件在下表面 115 和前侧面 102 之间的厚度 162 通常为厚度 160 的一半或小于其一半。理想地, 微电子元件在下表面处的厚度 162 显著小于厚度 160 的一半。在一个例子中, 厚度 162 约为 10 微米。

[0073] 如图 1 中进一步所示, 第二介电层 130 叠加于导电迹线 126 上并且为其提供外部隔离。这个层可以被称作封装体 10 的 "外部钝化层" 130。第二介电层可以包括无机或有

机介电材料或二者。第二介电可以包括电沉积的共形涂层或其它介电材料,例如,可光成像的聚合材料,例如,焊料掩膜材料。可光成像的焊料掩膜材料可以从多个制造商获得,包括 Shipley 和 Toyo 等等。

[0074] 在特定的实施方式中,包括由可润湿金属层形成的金属层或金属层层叠体的金属结构 132 叠加于封装触点垫 128 上,并且导电凸块 134 叠加于金属结构 132 上。典型地,导电凸块 134 包括具有相对低熔点的可溶性金属例如焊料、锡或包含多种金属的低共熔混合物。或者,凸块 134 包括可润湿金属,例如,铜或其它贵金属或非贵金属,其熔点高于焊料或其它可溶性金属。这样的可润湿金属可以组合相应的特征,例如,互联元件例如电路板的可溶性金属特征,以将封装芯片 10 从外部互联至这样的互联元件。在另一备选方案中,凸块 134 包括内置于介质中的导电材料,所述介质可以是例如导电膏,例如金属充填膏,焊料充填膏或各项同性导电粘合剂或各项异性导电粘合剂。

[0075] 参看图 2,半导体芯片 100 优选通过晶片级过程同时封装,即,通过对多个半导体芯片 100 同时执行的过程,这些半导体芯片保持结合在一起作为晶片的一部分或作为整块半导体器件晶片 101。在达到图 2 所示的一个制造阶段后,晶片与附连的盖子 104 的组件被沿着切线 12 和图 2 中的视图中不可见的其它切线切断成单个的封装半导体芯片。

[0076] 下面参看图 3A 至 10B 描述一种方法,其同时制造多个封装芯片 10(图 1)。如示于图 3A,包含多个芯片 100 的半导体器件晶片或器件晶片部分被安装至盖子件 111,以使得芯片 100 的前侧面 102 上具有器件区 112 和前触头 116,面对着盖子件 111。理想地,盖子件 111 的沿横向(在内表面 105 限定的平面中延伸的各个方向)的尺寸优选与半导体器件晶片 101 的横向尺寸相同。附图标记 12 表示各芯片 100 之间边界处的切线的位置。晶片的切线 12 不需要太宽。芯片 100 的结合垫 116 的位置不需要专门定位成使得结合垫像通常那样远离切线。切线的代表性宽度约为 $40\text{ }\mu\text{m}$ (微米)。如示于图 3B 中的俯视图,所述器件晶片的后侧面 101A 叠加于芯片的前侧面 102 上。理想地,在这一制造阶段,后侧面 101A 与芯片的前侧面 102 均匀地相隔所述器件晶片的初始厚度 272。结合垫 116 位于所述器件晶片和切线 12 下方的位置显示在朝向所述器件晶片的后侧面 101A 所作的相应俯视图(图 3B)中。

[0077] 如进一步示于图 3A,支座结构 206 将所述器件晶片 101 支撑在盖子件 111 的内表面 105 上方的距离 108 处。图 3C 示出了制造过程的初级阶段,其中多个支座结构 206 可以形成为从盖子件 111 的包含在切线 12 处附连在一起的主表面向外延伸。如最佳见于图 3D,每个支座结构 206 典型地具有矩形形状,与竖直定向的切线 12 的对正并且与位于将被从原始盖子件 111 切下的各个盖子的边界之间的水平定向的切线 14 对正。如示于图 3D,支座结构 206 具有这样的形式,其可以描述为“相框状环形”。如前所述,支座结构可以包括一或多种无机介电材料、有机介电材料、半导体、导体例如一或多种金属、金属化合物或这些材料的组合。支座结构可以通过添加材料型工艺或去除材料型工艺或二者制作,如描述于,例如,2004 年 9 月 24 日提交的美国专利申请 No. 10/949,674,或美国临时申请 No. 60/761,171,所述申请的公开内容以引用方式并入本申请。当支座结构包括金属时,其可以通过下述步骤的组合制作,其中包括溅镀薄金属层,然后通过去除材料来图案化,然后在保留结构上电镀最终的金属。或者,支座结构可以这样形成,即通过无电镀,然后通过去除材料来图案化,以及电镀。在特定的实施方式中,支座结构 206 是这样的制造的,

即在预先存在的溅镀或电镀导电层上电泳沉积聚合物,其方式可以采用例如以引入方式并入本申请的美国临时申请 No. 60/775, 086 中描述的。

[0078] 在如图 3A 所示将所述器件晶片 101 结合至盖子元件 111 后,所述器件晶片的厚度可以从后侧面 101A 消减。从后侧面进行研磨、打磨或抛光或它们的组合可以用于减小厚度。在执行以减小厚度的过程中,盖子元件 104 叠加于半导体芯片的前侧面上有助于向半导体芯片提供结构支撑,提高其刚度,以允许封装芯片的厚度被尽可能理想地减小到至更小的厚度。在这个步骤中,举例来说,所述器件晶片的厚度可以从大约 700nm 减小至大约 130nm 或甚至更小。

[0079] 之后,所产生的器件晶片具有示于图 4 的减小的厚度 274,并且后侧面 114 与每个芯片 100 的前侧面 102 分隔厚度 274。接下来,如示于图 5A,凹陷 276 形成在所述器件晶片中,其从后侧面 114 朝向所述器件晶片的前侧面 102 向下延伸。凹陷可以这样形成例如,在需要保存芯片后侧面 114 的保留部分的地方形成掩膜层,之后选择性蚀刻所述器件晶片。例如,可光成像的层例如光阻层可以沉积和图案化以便只罩盖后侧面的各部分,然后定时蚀刻过程可以执行,以形成凹陷 276。凹陷可以形成为条 278,其沿着直线方向 280 在所述器件晶片上方与切线 12 对正地延伸。如最佳见于图 6A,细长的凹陷 276 理想地被同时形成,其沿着所述器件晶片的竖直配置方向 280 与竖直延伸的切线对正地延伸。竖直延伸凹陷 276 可以形成为只沿着各对芯片的切块线延伸。在这种情况下,凹陷可以不叠加于芯片 100 的位于竖直切线 12 和沿所述器件晶片的水平配置方向延伸的水平切线 14 之间的交点处的角部部分上。在另一例子中,水平延伸凹陷 284 可以形成为邻近于每个芯片的水平切线 14 叠加于结合垫上。竖直延伸凹陷 276 和水平延伸凹陷 284 都可以形成在所述器件晶片中。在特定的例子中,凹陷可以被形成为邻近于仅仅一条界定芯片的切线叠加于结合垫上。在另一例子中,凹陷可以形成为叠加于芯片的仅仅两条切线上或叠加于仅仅三条切线或更多界定芯片的切线上。在一个例子中,凹陷可以制作得小于图 6A 所示的,以使得凹陷叠加于邻近于所述器件晶片 101 的切线 12 安置的成排的结合垫中的仅仅一些结合垫上。在又一例子中,如示于图 6B,与切线 12 对正的凹陷 286 可以以条的形式延伸在所述器件晶片 101 的相应边缘 288、290 之间。

[0080] 如图 5A 中特别显示,每个凹陷 276 理想地具有下表面 502,其为平坦的并且与前侧面 102 等距。凹陷的从后侧面 114 朝向下表面 502 向下延伸的壁 504 可以是倾斜的,即,可以以除垂直角度(直角)之外的角度延伸至后表面 114,如特别示于图 5A。湿式蚀刻过程例如各项同性蚀刻过程和利用斜边锯片的锯切等等,可以用于形成如图 5A 所示具有倾斜壁 504 的凹陷。激光切块、机械磨削、等等,也可以用于形成具有倾斜壁的凹陷。或者,不是采用倾斜形状,壁可以相对于后侧面 114 成直角从后侧面 114 竖直向下延伸。各项异性蚀刻过程,激光切块,激光钻销,机械去除过程例如锯切、磨削、超声加工,等等,可以用于形成具有基本竖直壁的凹陷。在所述器件晶片重形成凹陷之后,可光成像的层例如光阻层被沉积在所述器件晶片的后部并且被图案化,以形成叠加于下表面 502 上的与结合垫 116 对准的掩膜开口 506。

[0081] 之后,如示于图 7A,蚀刻过程被应用于下表面 502 的暴露在掩膜开口中的部分以便去除位于掩膜开口下面的半导体材料。结果,过孔 708 被形成,其延伸在下表面间,与前触头 116 接触。蚀刻过程理想地被以这样的方式执行,其选择性蚀刻半导体材料例如硅,但

保留氧化物材料。典型地,前触头例如芯片的结合垫 116 叠加于一或多层的氧化物材料或其它介电材料上,该材料被用于钝化,作为级间介电层,或用于其它目的,以提供芯片上的绝缘或隔离。通过以选择方式蚀刻半导体材料,其保留介电层,包覆蚀刻可以根据需要被执行,以便在所述器件晶片的所有位置蚀透半导体材料的厚度,同时在整个所述器件晶片上维持足够的工艺窗口。当选择性蚀刻过程被使用时,优选地,如见于图 7B 中的局部放大图,介电层 710 例如氧化物层在形成过孔 708 之后保留在其位之上。或者,激光钻销或机械磨削可以用于形成过孔 708,在这种情况下,前触点垫的表面可以暴露在过孔中。

[0082] 之后,在示于图 8A 的制造阶段,介电层 820 形成在过孔的壁 806 以及壁 504 和芯片后表面 114。各种方法可以用于形成这样的介电层。在一个例子中,可流动的介电材料被施加于包含芯片 100 的晶片 101 的后表面 114 上,然后,在“旋涂”操作中,可流动的材料被更均匀地分布在晶片的整个后表面上,然后,执行干燥周期,其可以包括加热。在另一例子中,介电材料的热塑性薄膜可以施加于所述器件晶片 101 的后表面,然后包括晶片和盖子元件的组件被加热,引起薄膜向下流动到下表面 115 上并且进入过孔 708。在另一例子中,气相沉积可以用于形成介电层。

[0083] 在又一例子中,包括所述器件晶片与附着于其上的盖子元件的组件浸入介电沉积浴槽中,以形成共形介电涂层或层 820。优选地,电泳沉积技术被用于形成共形介电涂层,以使得共形介电涂层只沉积在组件的暴露的导电和半导电表面上。在沉积过程中,半导体器件晶片被保持在期望的电势,并且电极浸入浴槽中,以将浴槽保持在不同的期望的电势。组件然后被以适宜的条件保持在浴槽中充足的时间以在所述器件晶片的导电或半导电的暴露表面上形成电沉积的共形介电涂层 820,包括但不限于沿着后侧面 114、凹陷壁 504、下表面 502 和过孔 708 的壁 806 形成。只要充分强的电池被维持在将被如此涂覆的表面和浴槽之间,就会发生电泳沉积。电泳沉积涂层是自我限制的,即在基于其沉积时的参数例如电压、浓度等而达到一定的厚度后,沉积就会停止。电泳沉积在组件的导电和/或半导电外表面上形成连续和均匀厚度的共形涂层。此外,电泳沉积涂层优选不形成在叠加于触头 116 上的剩下的介电层 710 上,这是因为其具有介电(不导电)特性。换言之,电泳沉积的特点是,只要介电材料层具有足够的厚度,则由于其介电特性,不会在其上形成只能叠加于导体上的介电材料层。典型地,电泳沉积不会发生在厚度大于大约 10 微米至几十微米的介电层上。

[0084] 优选地,共形介电层 820 由阴极环氧树脂沉积前体形成。或者,聚氨酯或丙烯酸酯沉积前体可被使用。各种电泳涂层前体成分和供应源列举在下面的表 1 中。表 1

电泳漆名称	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
制造商信息			
制造商名	PPG	PPG	BASF
类型	阴极	阴极	阴极
聚合物基材	环氧树脂	环氧树脂	环氧树脂
地点	宾夕法尼亚州匹兹堡	宾夕法尼亚州匹兹堡	迈阿密州南菲尔德
涂布数据			
无 Pb/Pf	无 Pb	无 Pb 或 Pf	无 Pb
有害空气污染物,g/L		60-84	符合规定
挥发性有机物, g/L(去掉水)		60-84	<95
固化	20 分钟/175℃	20 分钟/175℃	
膜特性			
颜色	黑	黑	黑
厚度,μm	10-35	10-38	13-36
铅笔硬度计硬度		2H+	4H
浴槽特性			
固体,%重量	20(18-22)	20(19-21)	17.0-21.0
pH 值(25℃)	5.9(5.8-6.2)	5.8(5.6-5.9)	5.4-6.0
导电率(25℃),μs	1000-1500	1200-1500	1000-1700
P/B 比	0.12-0.14	0.12-0.16	0.15-0.20
操作温度,℃	30-34	34	29-35
时间,秒	120-180	60-180	120+
阳极	SS316	SS316	SS316
电压,伏		200-400	>100
电泳漆名称	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
制造商信息			

制造商名	MACDERMID	LVH COATINGS	LVH COATINGS
类型	阴极	阳极	阴极
聚合物基材	聚氨酯	聚氨酯	聚氨酯
地点	康涅狄格州沃特伯里	英国伯明翰	英国伯明翰
涂布数据			
无 Pb/Pf		无 Pb	无 Pb
有害空气污染物,g/L			
挥发性有机物, g/L(去掉水)			
固化	20 分钟/149℃	20 分钟/175℃	20 分钟/175℃

表 1 续

膜特性			
颜色	透明(+颜料)	黑	黑
厚度, μm		10-35	10-35
铅笔硬度计硬度	4H		
浴槽特性			
固体,%重量	7.0(6.5-8.0)	10-12	9-11
pH 值(25℃)	5.5-5.9	7-9	4.3
导电率(25℃), μs	450-600	500-800	400-800
P/B 比			
操作温度,℃	27-32	23-28	23-28
时间,秒			60-120
阳极	SS316	316SS	316SS
电压,伏	40, 最大值		50-150

[0085] 图 8B 示出了位于结合垫上方的过孔 710 在电泳沉积之后保持敞开。在电泳沉积了共形介电涂层后,加工过程开始形成导电迹线,其将半导体芯片的前触点垫连接至封装芯片的外触头。

[0086] 接下来,参看图 9A 和 9B,基底现在已经准备好进行形成导电迹线 126 和凸台 128 的过程。如果在先的过程导致了阻挡住芯片前触点垫 116 的介电层 820,则激光钻销、机械磨削或其它适宜的技术可以用于在这个阶段中打开邻近于前触点垫的过孔底部。此外,如果预先存在的芯片介电层 710(图 8A)的任何部分保持与触头 116 对正,则这个层可以在这个步骤中去除。这样的去除可以通过例如激光钻销、机械磨削或其它适宜的技术实现。其它

可行的去除技术包括各种选择性蚀刻技术,其可以在本质上是各项同性或各项异性的。各项异性蚀刻过程包括反应性离子蚀刻过程,其中离子流被朝向将被蚀刻的表面引导。为了使得离子以高入射角撞击的表面被蚀刻的程度高于沿着离子流定向的表面,反应性离子蚀刻过程的可选择性通常低于各项同性蚀刻过程。当反应性离子蚀刻过程被使用时,理想地,掩膜层优选沉积成叠加于共形介电涂层 820 上,并且与过孔 708 对正的开口被形成在其中。通过这种方式,蚀刻过程避免了去除介电涂层 820 的除了位于过孔 708 内的部分之外的部分。

[0087] 导电迹线 126 和凸台 128 现在被形成成为叠加于共形介电涂层 820 上。形成迹线和凸台的代表性方法涉及沉积金属层,以叠加于共形介电涂层 220 上。或者,可以在这些表面的各部分被掩膜层保护的情况下进行沉积。金属层优选通过在组件的暴露表面上溅镀初级金属层或通过无电沉积而被沉积。例如,这个步骤可以通过在所述器件晶片的后侧面、壁和下表面上进行均厚沉积而实现。在一个实施方式中,初级金属层包括铝或主要由铝构成。在另一特定实施方式中,初级金属层包括铜或主要由铜构成。在又一实施方式中,初级金属层包括钛或主要由钛构成。一或多种代表性金属可以用在形成初级金属层的过程中。

[0088] 然后,可光成像的层被沉积成叠加于初级金属层上,并且三维光刻图案化过程被用于图案化初级金属层,例如描述于 Badehi 的美国专利 No. 5, 716, 759 中的过程,所述申请的公开内容以引用方式并入本申请。之后,可光成像的层的保留部分被去除。结果,各导电图案被形成,其对应于将被形成于其上的导电迹线的尺寸。在将初级金属层图案化为各个线后,可光成像的层被从所述器件晶片去除,并且电镀过程被用于将第二金属层电镀到初级金属层上,以形成从前触点垫 116 沿着壁 120 延伸并且到达半导体芯片的后侧面 114 的各导电迹线 126。第二金属可以包括镍或其它贵金属。在一个实施方式中,电镀在初级金属层上的第二金属完成了导电迹线。或者,可选的第三金属层例如金、铂或钯可以被镀到第二金属上,用于为完成的导电迹线提供腐蚀抵抗力。

[0089] 接下来,作为代表性过程,附加的介电层 230 被沉积成叠加于沿着后表面 114 和壁 120 延伸的每个导电迹线 226 上。理想地,附加的介电层 230 通过电泳沉积过程例如参照图 8A-B 所描述的过程被沉积。包括光阻、氧化物掩膜等等的图案化的掩膜层形成在触头 128 上。之后,在电泳沉积过程中,通过图案化的掩膜层,避免所产生的介电层 230 形成在触头 128 上。图案化掩膜层然后被去除,以将触头 128 暴露在介电层 230 中的开口中。

[0090] 或者,不是通过电泳沉积来沉积介电层 230,介电层可以这样形成,即通过朝向所述器件晶片的后侧面 114 和壁 120 旋涂或喷涂可光成像的介电材料例如密封材料或焊料掩膜材料,以形成相对均匀厚度的涂层。之后,通过光刻过程,开口可以形成在共形介电层 230 中以与触头 128 对准。在初始沉积可光成像的材料之后,一个或多个过程,例如,加热等可以被执行,以引起介电层 230 固化。

[0091] 接下来,可润湿金属层 132,例如,"凸块下金属化"(UBM)层,在介电层 230 中被形成在开口中,可润湿层与每个触头 128 接触。在一个代表性过程中,扩散屏蔽层,例如,包含钛、钨、钼或其它类似金属的导电层被形成为与触头 128 接触。之后,包括第一可润湿金属的层可以沉积成叠加于屏蔽层上,这个层包括金属例如镍、铜或其它金属,其理想地包括贵金属。为了提高抗蚀性,金层,通常非常薄,例如,0.1 微米,可以沉积为最终的可润湿金属层。在形成可润湿金属层后,导电凸块 134 可以形成为与每个触头上的可润湿金属层接

触。导电凸块可以形成,其包括可熔性金属例如焊料,锡或低共熔成分,或者其包括导电膏,例如,焊料充填或银充填的膏,等等。导电凸块可以包括一或多种导电材料。在特定的例子中,导电凸块可以包括一或多种贵金属,例如、铜、镍、等。在一个例子中,导电凸块可以这样形成,即通过将包含可熔性金属例如焊料、锡或低共熔的球放在可润湿金属层 232 上,然后加热其上的导电凸块,以使这些球熔接在可润湿金属层 232 上。

[0092] 最后,封装芯片通过锯切或其它切块方法被沿着切线 12 彼此切断,以形成单个封装芯片 10,如示于图 10A-10B。用于将封装芯片切断成各个单元的各种代表性过程描述于这里引用的共同拥有的美国临时申请 No. 60/761, 171 和 60/775, 086 中,其中任何一种方法可以用于切断封装芯片以形成示于图 10A-10B 的单个封装芯片。

[0093] 根据本发明的一个实施方式的一种照相机或摄像机模块 1030 (图 11) 包括传感器单元 1020,其具有触头 1042,所述触头布置在传感器单元后侧面、即半导体芯片 1000 的与承载着成像区域 1026 的前表面 1028 相反的表面上。传感器单元可以是例如参照图 1 所描述和显示的。类似的传感器单元和照相机或摄像机模块描述于共同拥有的 2005 年 11 月 2 日提交的美国专利申请 No. 11/265, 727 和 2005 年 12 月 30 日提交的 11/322, 617, 它们进步以代理人案卷号 TESSERA3. 0-381CIP 和 3. 0-464 标识,所述申请的公开内容以引用方式并入本申请。传感器单元的触头 1042 通过可熔性导电材料例如焊料的块 1082 连接着电路板 1070 的端子 1080。

[0094] 这个配置中的光学单元 1050 包括转台或支撑结构 1051,其具有安装部分 1052,所述安装部分被安置成保持一个或多个透镜或其它光学元件 1058。支撑结构 1051 还包括多个后部元件 1062,其形式为从安装部分 1052 向后突伸的细长立柱 1062。这些立柱具有后表面 1054,其抵接或机械接合传感器单元中的基准平面,以将光学单元相对于传感器单元定位。在示于图 11 的例子中,后表面 1054 抵接透明罩盖 1034 的叠加于成像区域 1026 上的前表面。或者,转台或支撑结构包括对准特征,例如,柱、销、凹陷或类似物,用于机械地设定光学单元 1050 相对于芯片 1000 的高度,同时限制转台相对于芯片成像区域 1026 的倾斜。

[0095] 希望使得立柱 1062 的后表面和前表面 1034 之间的连接平整且厚度均匀。在另一实现此目的的措施中,金属附连特征或垫 1055 可以设置在罩盖 1034 的外表面 1036 上,所述金属附连特征或垫通过金属冶金结合,例如,通过扩散结合,结合到位于立柱 1062 的后表面 1054 上的金属特征上。或者,某种薄粘合剂可以用于将立柱的后表面结合至罩盖。

[0096] 在另一实施方式中,不是使用立柱,而是转台或支撑结构 1051 包括后部元件,其封闭或基本上封闭圆柱形或多面体形状的容腔。这样的后部元件可以提供为具有圆柱形壁或多面体形状(例如,箱形)的壁,其中后部元件的后表面抵接传感器单元的基准平面,例如提供在罩盖 1034 的外表面 1036 上的基准平面。

[0097] 在一种对图 12 中所示的前述实施方式所作的改型中,传感器单元 1020 被这样安装,即传感器单元的前部并且因此而成像区域 1028 面向下方,朝向电路板 1070 的后或底表面。传感器单元的触头 1042 通过适宜的引线或焊线部 1002 连接至电路板的导体 1076。在这个实施方式中,光学单元 1050 的后部元件 1062 突伸穿过电路板中的与成像区域 1028 对正的孔 1072。换言之,孔 1072 足够大,以容纳从光学元件至成像区域的光路,并且还能容纳后部元件 1062。类似的结构可以用于如前所述在前侧面具有触头的传感器单元。

[0098] 根据本发明又一实施方式的一种照相机或摄像机模块(图 13)包括传感器单元

920,如虚线所示,布置在电路板 970 的底部或后侧。在这里,同样,传感器单元中的芯片的成像区域与电路板中的孔 972 对正。在这个配置中光学单元 950 包括转台或支撑结构 952,其具有安装部分 902,所述安装部分被安置成保持一个或多个透镜或其它光学元件 958。支撑结构 952 还包括多个后部元件 962,其形式为从安装部分 902 向后突伸的细长立柱。这些立柱延伸穿过电路板中的孔眼 974,并且因此而机械接合传感器单元,以将光学单元相对于如前所述的传感器单元定位。这里,同样,立柱之间限定出间隙,例如,立柱 962a 和 962b 之间的间隙 963a。这里,同样,电路板 970 可以延伸到间隙中,并且因此可以在传感器单元和光学单元之间延伸,这方便了实现连接至如前所述的传感器单元。在图 13 中的实施方式中,间隙具有很大的高度。完成的组件中的间隙的高度 H_c 等于安装元件 902 在电路板 970 的前表面 901 上方的高度。高度 H_c 理想地大约为 2mm 或以上,更理想地 5mm 或以上,最优选 1cm 或以上。每个间隙的宽度(即,后部元件 962a 和 962b 之间平行于电路板的水平距离)理想地也至少为大约 2mm,更理想地至少大约 5mm,最理想地至少大约 1cm。如下面进一步讨论,提供这样大的间隙允许触及到光学元件和孔 972 之间的空间中,以便对完成的组件执行操作。然而,大的间隙可以提供,而不需要增加组件的整体高度。光学元件例如透镜 958 和传感器单元之间的距离基于系统光学特性例如透镜 958 的焦距而确定。因此,在任何情况下,透镜必须被支撑在电路板前方相当大的距离处。

[0099] 根据图 13 中的实施方式的模块或组件可以在组装之后通过一或多个间隙、并且理想地也通过电路板中的孔 972 对传感器单元执行操作而被处理。例如,组件可以承受清洁操作,其中清洁流体、清洁器具或二者被引入间隙中的一个或多个并且通过孔 972,以便清洁传感器模块的表面。例如,在传感器模块组合朝向电路板的后或底表面面向下方的罩盖的地方,罩盖的与孔对正的区域,包括与传感器芯片的成像区域对正的区域,可以被清洁。能够对完成的组件进行这种清洁操作的能力,可以应对组装过程中的各种污染作用。这反过来又可以提供更高质量的照相机或摄像机单元,并且可以允许对组装过程中的可能导致污染的条件放松。例如,“净室”环境可能就不再是必需的了,或者,价格低的、质量不太高的净室可以被使用。在进一步的例子中,传感器单元可以不采用单独的罩盖,而是可以仅由“裸”半导体芯片构成,该裸半导体芯片具有成像区域并且具有钝化层,钝化层的形式为薄涂层,能够保护裸芯片中的元件在组装过程中不受化学或机械损伤。这样的裸成像芯片在传送过程中典型地要求严格的措施以避免沉积的尘土蒙在一个或多个成像元件上。对于采用罩盖的传感器单元,技术要求相对不那么严格。然而,通过组装之后的后续清洁,不包括罩盖的传感器单元的组装中的技术要求可以不那么严格。

[0100] 在根据本发明又一实施方式的方法中,传感器单元可以包括叠加于传感器单元前部的牺牲层,例如,叠加于包括罩盖的传感器单元中的罩盖外表面上的牺牲层,或叠加于不包括罩盖的传感器单元中的芯片的成像区域上的牺牲层。在牺牲层布置就位的情况下,组装较为方便。然后,完成的组件经受下述操作,其中牺牲层或至少是牺牲层的与传感器单元成像区域对正的部分,被通过孔 972 和通过支撑结构 952 中的一个或多个间隙 963 去除。例如,牺牲层可以通过被溶解或通过机械接合牺牲层并将其从传感器单元剥离而去除。去除牺牲层可以去掉任何可能已经聚集在该层上的污染物。

[0101] 其它操作也可以通过所述一或多个间隙被执行。例如,工具可以插入一或多个间隙中,以便接合电路板的导体并将它们结合至传感器单元的触头。或者,焊线工具可以用于

通过孔 972 或通过一个或多个附加的孔眼 974 或通过为此目的提供在电路板中的其它孔眼（未示出）的焊线部而延伸在导体和传感器单元之间。

[0102] 并不是必须提供立柱状后部元件来提供如前所述的大间隙。例如，后部元件的形式可以为板或肋。此外，并不是必须提供多个间隙；仅仅一个间隙对于某些操作而言可能就足够了。

[0103] 图 14 示出了根据本发明另一实施方式的光学单元或照相机或摄像机模块。在这个实施方式中，传感器单元 1120 具有触头 1142，其导电连接着叠加于罩盖 1128 的外表面 1138 上的电路板的端子 1144，例如，通过焊料块 1146。罩盖的壁 1130 优选是倾斜的，以使得壁的边缘 1132 处的半径是平缓的，并且优选在提供于芯片前表面 1102 上的一组第一触头 1134 与壁 1130 之间形成光滑过渡。一组导电迹线 1156 从第一触头 1134 沿着壁 1130 延伸并且到达罩盖 1128 的外表面 1138，这些导电迹线导电连接着触头 1142。介电涂层 1158，例如沉积的、优选通过电泳沉积的环氧树脂或其它聚合材料，叠加于导电迹线 1156 上并且被用作钝化层，例如，带有暴露在触头 1142 上方的开口的焊料掩膜。

[0104] 与参照图 12 所显示和描述的实施例一样，光学单元 1150 具有一组后部元件 1162，其从支撑着光学元件 1158 的结构向后延伸，所述光学元件为例如透镜或选自反射或折射元件、滤光器、反射器和散射器等等的其它光学器件。这里，同样，后部元件的后表面 1164 被配置成延伸穿过电路板中的孔 1172，以便抵接或接合罩盖 1128 的外表面 1138 或传感器单元 1120 的其它基准平面。

[0105] 在前面讨论的实施方式中，电路板具有延伸穿过板、与传感器单元的成像区域对正的孔。这样的孔在电路板中形成透明区。在其它实施方式中，电路板包括固体但透明的区，其与传感器单元的成像区域对正。例如，电路板可以由透明介电材料形成，在这种情况下，通过简单地排布电路板的导体的路径以使得没有导体穿过透明区，电路板的透明区可以被提供。

[0106] 图 15 是剖视图，示出了根据封装芯片 10（图 1）的一种改型的封装芯片 1500。如图 15 中所示，芯片的外部触头 1528 暴露在由芯片下表面限定的芯片凸缘 1515，外部触头 1528 邻近于半导体芯片的边缘 1502 被暴露。与外部元件例如电路板之间的互联部可以通过形成接合线 1530 而实现，该接合线在第一端连接着外部触头 1528、在第二端连接着电路板 1540 的端子 1532，电路板具有开口 1542 与芯片的光电子元件 1512 例如图像传感器对准。或者，不是采用接合线，导电块，例如焊料块、焊球等等，可以用于将触头 1528 互联至布置在芯片的后表面 114 上方的外部元件。

[0107] 图 16A 是剖视图，示出了根据封装芯片 10（图 1）的一种改型的封装芯片 1600。在这个实施方式中，芯片 1602 中的大开口 1604 延伸穿过芯片厚度 1606 的大部分，过孔 1608 从大开口延伸至前导电触头 116。大开口 1604 可以提供的形式为叠加于各个过孔 1608 的孔，或者，其形式为延伸越过每个示于图 6A 的单个芯片的一或多排结合垫的沟槽，或者，其形式为延伸经过包含芯片的晶片（图 6B）的长度的沟槽。理想地，在执行形成图 16A 中所示的封装芯片各步骤之前，处在晶片形式的芯片 1606 的厚度从其原始厚度减小。例如，在将器件晶片结合至相应的盖子元件之前，包含芯片的器件晶片可以通过从后表面研磨或打磨而减薄，以使得其厚度为大约 200 微米。如果研磨是在将晶片结合至盖子元件之后进行的，厚度可以减小得更多，例如减小到 50 微米的厚度。

[0108] 在图 16A 中所示的实施例中, 导电迹线 1610 从芯片的结合垫 116 沿着过孔 1608 和开口 1604 的壁向上延伸。或者, 过孔 1608 可以充填有导电材料。在这种情况下, 迹线 1610 可以从各个过孔沿着由若干过孔共享的开口 1604 的壁(见朝向后侧面所作的俯视图(图 16B))向上延伸。迹线 1610 在叠加于芯片 1602 的后表面 1614 的位置连接着外部触头 1628。虽然图 1 和 15 至 24B 示出的实施方式具有充填的小过孔 1908(例如, 图 19A)或沿着过孔(例如, 过孔 1608)延伸的迹线, 但在每种情况下, 可更换为导电过孔的备选结构。

[0109] 或者, 当每个大开口 1604 中只具有一个过孔时, 过孔 1608 和大开口 1604 可以充填有导电材料, 所述导电材料叠加于布置在过孔 1608 和开口 1604 的壁上的介电层 1620 上。

[0110] 图 17 示出了根据参照图 15 所显示和描述的实施方式的一种改型的封装芯片。这个例子与图 15 中所示的结构的不同之处在于, 光学透明盖子, 而非芯片, 具有由下表面限定的邻近于其边缘的凸缘 1715 和布置在凸缘上的触头 1728。图 17 示出了一种实施方式, 其中一个或多个介电层 1720、1722, 例如, 旋涂的介电材料、焊料掩膜等等, 可以延伸在盖子的顶表面上。然而, 由于盖子 1704 典型地具有介电特性, 因此介电层可能并非必需的, 并且通常可以省略。还如图 17 中所示, 盖子的内表面 1706 通过支撑结构 171 与芯片的前表面 1702 分隔。过孔理想地在包含盖子的包覆晶片被结合至包含芯片 1700 的器件晶片之后被形成, 其中支撑结构 1710 位于所述器件晶片和盖子晶片之间。各种蚀刻、磨削、激光或机械钻销过程, 例如前面描述的, 可以用于在盖子和支撑结构 1710 中形成孔 1714, 以便暴露触头 1716, 然后过孔被金属化, 并且触头 1728、迹线等等被形成。

[0111] 图 18 示出了根据图 17 中所示的实施方式的一种改型的封装芯片, 其具有与图 16A-B 中所示实施方式的相似性。在这个实施方式中, 沿着盖子中的大开口 1804 的壁延伸的迹线 1824 在第一端连接至金属化过孔 1808, 在第二端连接至叠加于盖子 1820 的顶表面 1844 上的外部触头 1828。过孔延伸穿过支撑结构 1810 到达芯片的导电触头 1816。通过附连于外部触头 1828 的接合线或通过焊料块例如焊球、凸块等, 可以提供与外部元件之间的电互联部。

[0112] 图 19A 是剖视图, 示出了根据本发明另一实施方式的可叠置的芯片级封装芯片 1910。封装芯片可以包括特定类型的微电子器件, 例如动态随机存储器("DRAM")。封装芯片 1910 具有与前面描述的封装芯片 1600(图 16A)类似的特征, 即从芯片 1901 的前侧面 1902 向内延伸的导电过孔 1908 连接至沿着芯片的后侧面 1914 中的大开口的壁延伸的迹线 1924。然而, 封装芯片 1900 不包括叠加于前侧面上的盖子, 并且导电过孔 1908 通过沿着芯片 1901 的前侧面延伸的再分布迹线 1912 连接着结合垫 1909。图 19B 是朝向封装芯片的后侧面 1914 所作的相应俯视图。图 19A 中的视图是沿着图 19B 中的线 19A-19A'所作的。如示于图 19B, 迹线 1924 从过孔 1908 沿着大开口 1904 的壁 1926 向上延伸并且到达后表面 1914。迹线 1924 连接至叠加于芯片的后侧面 1914 上的外部触头 1928。参看图 19C, 朝向芯片 1901 的前侧面所作的俯视图被提供, 芯片包括例如 DRAM。在 DRAM 中, 结合垫 1909 典型地成排提供在存储电路 1920 之间。图 19A 是沿着图 19C 中的线 19A-19A'所作视图。前侧面 1902 上的再分布迹线 1912 将结合垫 1909 连接至导电过孔 1908。迹线可以如图 19B、19C 所示布置, 以使得一些迹线沿第一方向背离导电过孔延伸, 其它迹线沿第二方向背离过孔延伸, 其中第二方向与第一方向相反。通过这种方式, 导电过孔左侧的结合垫连接着一些

导电过孔,导电过孔右侧的结合垫连接着其它导电过孔。

[0113] 再次参看图 19A,导电过孔 1908 构成锥形,以使得它们沿着从芯片前侧面 1902 朝向后侧面 1914 的方向缩减。导电过孔通过介电层 1922 与芯片的半导体材料绝缘。叠加于芯片的前侧面 1902 上的钝化层 1924 包括导电过孔 1908。介电层中的开口 1934 将触头 1936 暴露在芯片的前侧面。理想地,前侧面触头 1936 不与结合垫 1909 对准,尽管它们也可以对准。

[0114] 介电填充材料 1940 理想地在大开口 1904 中叠加于迹线 1924 上,以便提供迹线之间的电隔离以及机械支撑封装芯片 1901。理想地,介电层 1942,例如焊料掩膜,叠加于迹线 1924 上。介电层中的开口 1944 暴露出芯片的后侧面触头 1946。

[0115] 通过提供前侧面触头 1936 和后侧面触头 1946,若干封装芯片可以彼此上下叠置,以形成封装芯片的叠层式组件 1950(图 19D)。在这样的配置中,前侧面触头与后侧面触头对正。叠层式组件中各相邻封装芯片之间的连接是通过导电块实现的。前侧面的介电层 1930 和后侧面的介电层 1942 提供组件中相邻封装芯片 1910 之间的除了互联部被提供的地方以外的电隔离。

[0116] 叠层式组件 1950 的优点在于,前侧面和后侧面触头相对于封装芯片中的大开口 1904 偏置。因此,在封装芯片互联时施加在叠层式组件上的压力主要由那些处在背离大开口的位置的触头承担。这样的配置有助于避免在大开口处施加压力至封装芯片,在这种地方,半导体芯片可能会因去除半导体材料以形成大开口而被削弱。

[0117] 具有偏置触头的一个潜在益处是能够在芯片的实际结合垫和前后侧面触头之间提供再分布迹线。芯片选择某些类型的存储器例如 DRAM 的特征,可能要求某些芯片结合垫不连接到直接叠加于它们之上的其它芯片的结合垫。

[0118] 图 19E 是剖视图,示出了示于图 19A-19C 的实施方式的一种改型。在这种情况下,后侧面触头 1946' 大开口 1904 的左侧和右侧暴露在后侧面。类似地,前侧面触头 1936' 在开口 1904 的左侧和右侧暴露在前侧面。迹线 1926' 将两个后侧面触头 1946' 连接至同一导电过孔 1908。图 19F 是剖视图,示出了相应的叠层式组件,其中导电块 1952' 将大开口的相应左右侧的前侧面触头结合至至大开口的相应左右侧的后侧面触头。图 19E-F 中所示的配置的另一可能益处在于减小封装芯片之间的电感,这时由于,对于每个信号,在相邻芯片之间流动的电流现在会流过一组左右触头。

[0119] 图 20A 是剖视图,示出了当芯片包括 DRAM 时可叠置封装芯片 1910 的优点。某些类型的半导体芯片包括 DRAM 包括电容,所述电容形成在从芯片的前侧面向下延伸的具有大高宽比的沟道 1960 中。通常,芯片的结合垫被布置成紧密邻近于这种沟道型电容的阵列 1962。在封装芯片 1910 中,前侧面触头和后侧面触头之间的互联是通过与沟道型电容阵列 1962 相隔一些距离的大开口实现的。参看图 20B,利用延伸穿过芯片且不与沟道型电容阵列的排布或功能发生冲突的互联部,可以提供层叠体中的相邻芯片 1910 之间的互联部。

[0120] 导电过孔和大开口中迹线之间的互联部可以通过不同方式实现。图 21A 示出了互联部的一个例子。如示于图 21B 中的局部放大图,形成为从芯片的前侧面 2102 向下延伸的导电过孔 2108 中充填有金属。例如,在从前表面蚀刻了孔后,相对薄层的金属可以被溅镀以罩盖孔的壁和底部。之后,电镀可以用于形成金属填充物。如示于图 21B,大开口 2104 通过化学蚀刻被形成,例如,化学蚀刻选择性蚀刻半导体材料,同时保留导电过孔被形成的

金属。过度蚀刻开口 2104 的结果是完全暴露导电过孔的顶表面 2170。之后,介电层 2122 被形成,然后开口被制作于叠加于过孔 2108 上的介电层中,例如通过使用激光。激光可以从过孔顶表面上方选择性地去除介电层,这时由于其所处的焦面不同于叠加于大开口底部 2106 上的介电层所处的焦面。接下来,当导电迹线 2124 被形成时,迹线接触过孔 2108 的整个顶表面 2170。

[0121] 图 22A 示出了互联部的另一例子。如示于图 22B 中的局部放大图,在形成导电过孔之后大开口 2204 通过锯切而形成。然后,在介电层 2222 被形成后,开口被制作在介电层中,例如通过使用激光。在这个例子中,激光孔径的尺寸被限制,以避免在介电层接触开口 2206 的底部中的半导体材料的位置处形成开口。

[0122] 图 23A 至 23F 是剖视图,示出了在芯片的大开口中形成了导电迹线后充填大开口的各种备选方案。如示于图 23A,在形成了导电迹线后,可流动的介电填充材料 2330 被沉积或注入大开口中或到芯片的后侧面上。可流动的介电材料被引起注入到开口中,例如,通过旋涂或热处理,以使得填充材料充入开口 2304 中,并且提供与后侧面 2314 大致平齐的表面。然后,焊料掩膜 2332 被沉积成叠加于填料 2330 和迹线 2328 上,焊料掩膜中的开口暴露后侧面触头 2346。图 23B 示出了备选方案,其中填充材料 2340 具有比大开口更大的体积,以使得填料 2340 突出到后侧面 2304 之上。或者,当填料 2340 不是均匀分布时,填料可以突出到后侧面 2314 之上。图 23C 示出了当填料 2350 的体积小于开口 2304 的体积或当填料 2350 被不均匀分布时的另一例子。

[0123] 图 23D 示出了另一备选方案,其类似于图 23A 中所示的,但其中焊料掩膜层 2372 在沉积填充材料 2370 之前被沉积。图 23E 示出了一个例子,其类似于图 23B 中所示的,但其中焊料掩膜层 2382 在沉积填充材料 2380 之前被沉积。最后,图 23F 示出了一个例子,其类似于图 23C 中所示的,但其中焊料掩膜层 2392 在沉积填充材料 2390 之前被沉积。

[0124] 图 24A 是剖视图,示出了图 19A 至 19C 所示的封装芯片的一种改型。图 24B 是局部放大图,显示了其导电过孔 2408。在这个改型中,导电过孔 2408 利用沿着朝向芯片的前侧面 2402 的方向通过大开口应用的过程形成的。在这种情况下,加工过程类似于前面参照图 16A-B 所描述的。在制造过程中,在前侧面上形成了前侧面触头 2436、迹线 2432 和介电层 2422 后,包括芯片 2400 的器件晶片可以以前侧面向下的方式临时安装到承载晶片(未示出)上。在形成了大开口后,孔可以从大开口中形成用作过孔,例如通过激光钻销、蚀刻、机械磨削等。当孔被形成时,承载晶片可以为导电迹线 2402 提供机械支撑,以有助于将其保持就位于孔的底部。接下来,过孔和大开口可以通过同时加工而金属化,以形成在过孔、大开口内延伸并且到达后侧面 2414 的导电迹线 2442。

[0125] 在参照图 19A-C 所描述的封装芯片 1910 的另一改型中,图 25A 示出了一种芯片 2510,具有暴露的芯片至芯片互联部,其形式为焊球 2550。在这个实施方式中,焊球 2550 被结合至位于大开口 2504 内的导电过孔 2508 的顶表面。导电过孔可以导电连接着芯片 2510 的前侧面 2502 上的结合垫 2509 或其它触头,例如通过导电迹线。钝化层 2522 叠加于导电迹线 2512 和结合垫 2509 上,钝化层 2522 具有与导电过孔 2508 对准的开口。图 25B 示出了一种叠层式组件,包括多个示于图 25A 的芯片 2510,每个芯片与随后相邻的芯片通过它们之间的焊球 2550 互联。

[0126] 图 26A 示出了图 25A 中所示的实施方式的一种改型,其中焊球 2650 被结合至导电

过孔 2608 的底表面 2528, 以使得其在芯片的前侧面 2602 下面向下突伸。图 26B 示出了一种叠层式组件, 包括多个芯片 2610, 它们通过相邻芯片 2610 之间的焊球 2650 导电结合在一起。

[0127] 图 27A 示出了图 25A 中所示的实施方式的另一改型, 其中接线柱凸块 2750, 例如主要由金或其它金属构成, 被结合至导电过孔 2708 的顶表面 2718。图 27B 示出了一种相应的叠层式组件, 其中, 接线柱凸块 2750 与相邻芯片的接线柱凸块导电互联。

[0128] 图 28A 示出了又一改型, 类似于图 26A 中所示的, 其中接线柱凸块被结合至导电过孔的底表面, 以使得接线柱凸块从芯片的前侧面 2802 向下突伸。图 28B 示出了一种相应的叠层式组件, 其中示于图 28A 的芯片 2810 通过接线柱凸块 2850 导电互联。

[0129] 尽管这里参照特定实施方式描述了本发明, 但可以理解, 这些实施方式仅仅是为了解释本发明的原理和应用。因此, 应当理解, 在不脱离权利要求中限定的本发明精神和范围的前提下, 对所示出的实施方式可以做出多种修改, 并且其它配置可以构想出来。

[0130] 例如, 在本发明的特定的实施方式中, 导电迹线从位于半导体芯片的前侧面上的导电特征沿着罩盖半导体芯片的盖子的边缘或沿着形成在盖子中的开口的壁延伸并且到达罩盖元件的外表面。

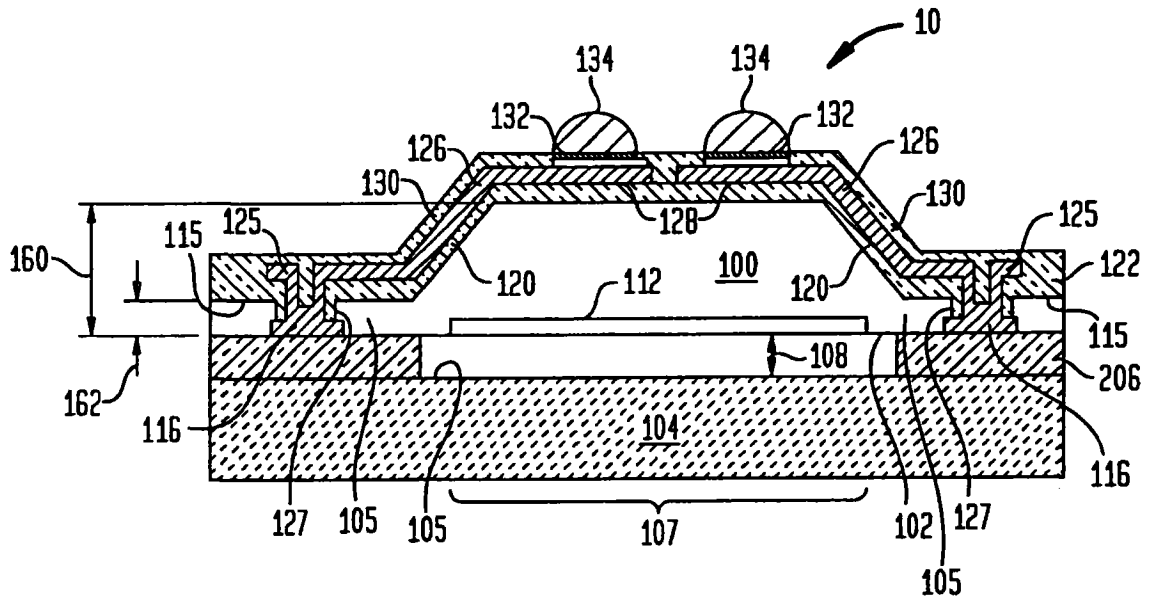


FIG. 1

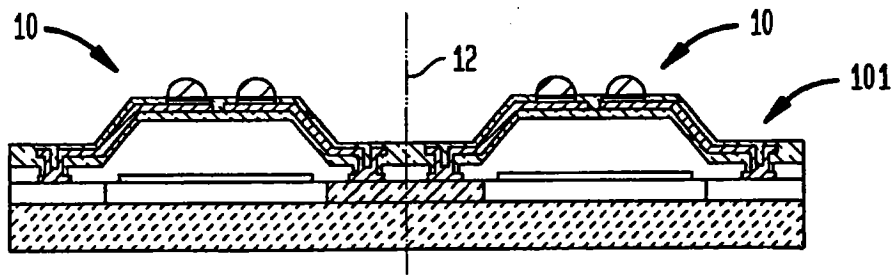


FIG. 2

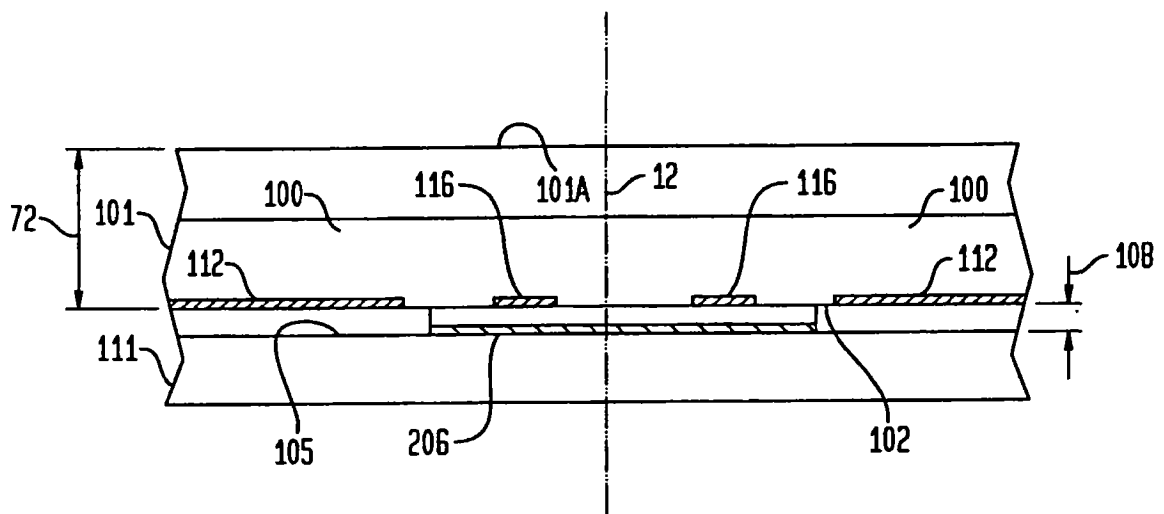


FIG. 3A

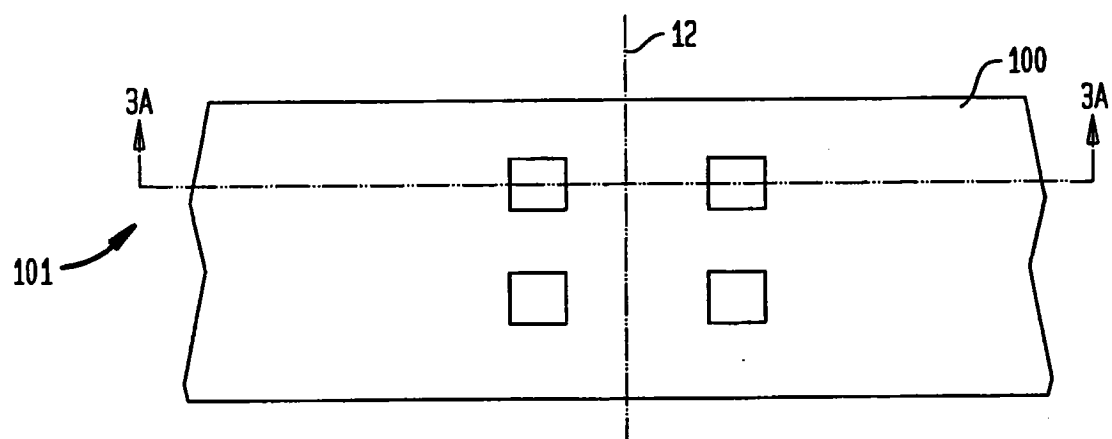


FIG. 3B

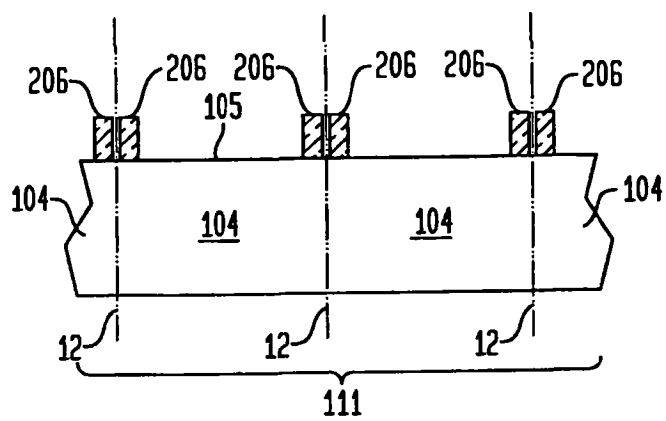


FIG. 3C

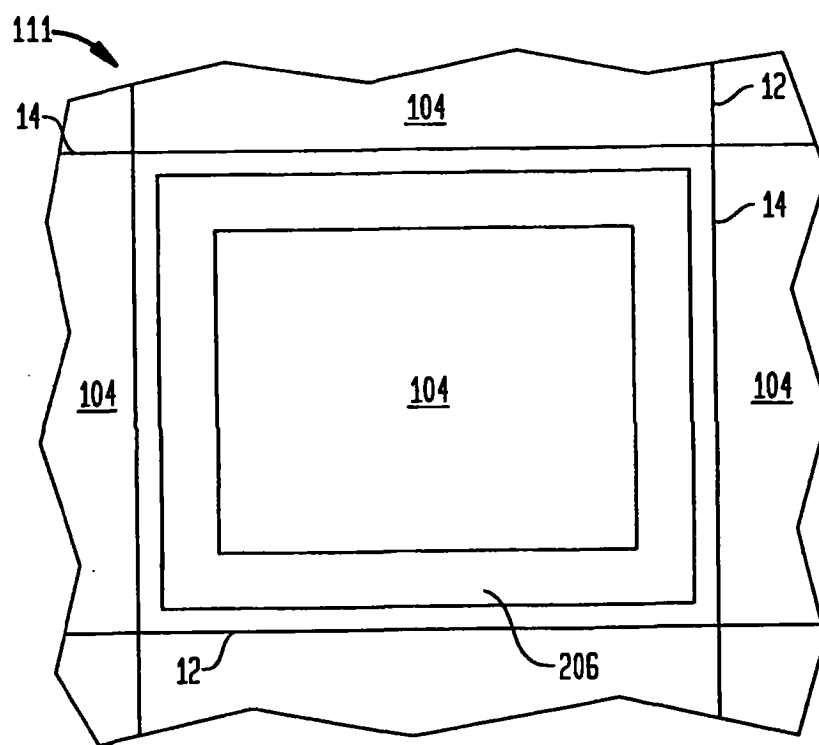


FIG. 3D

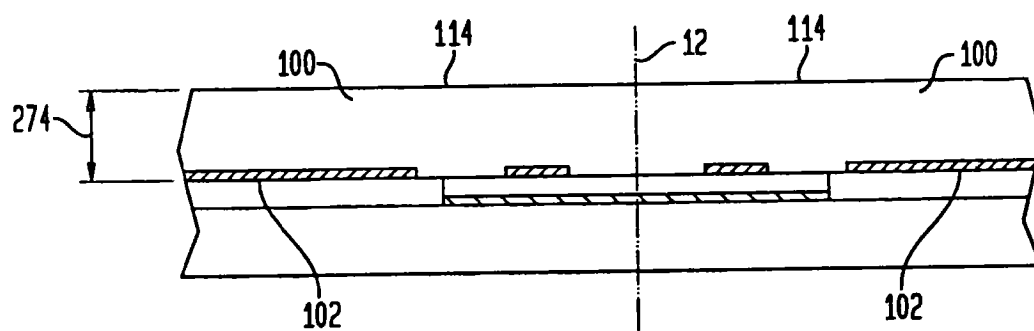


FIG. 4

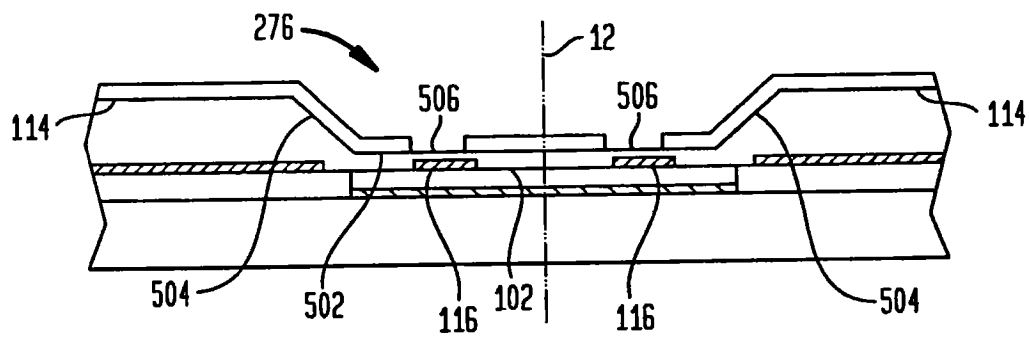


FIG. 5A

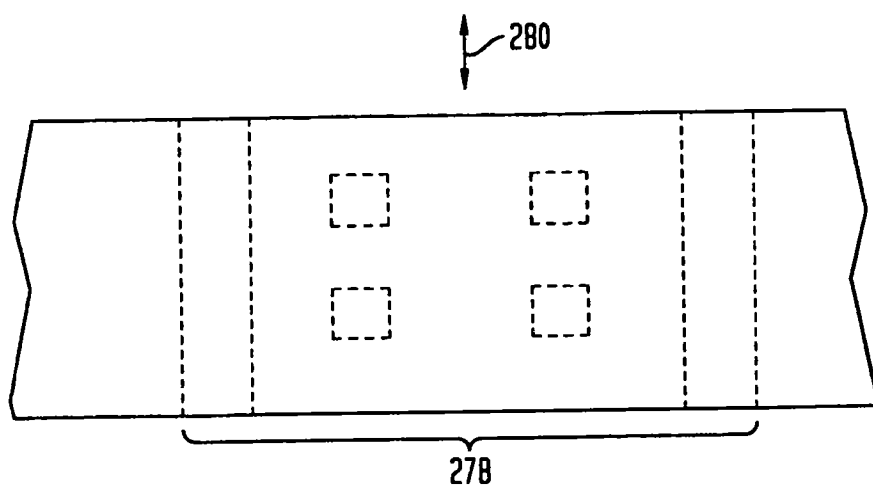


FIG. 5B

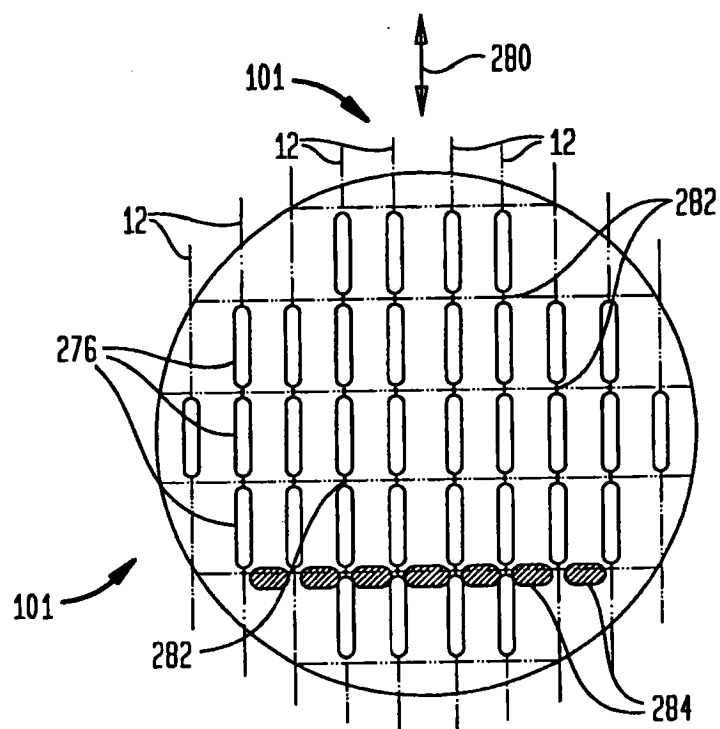


FIG. 6A

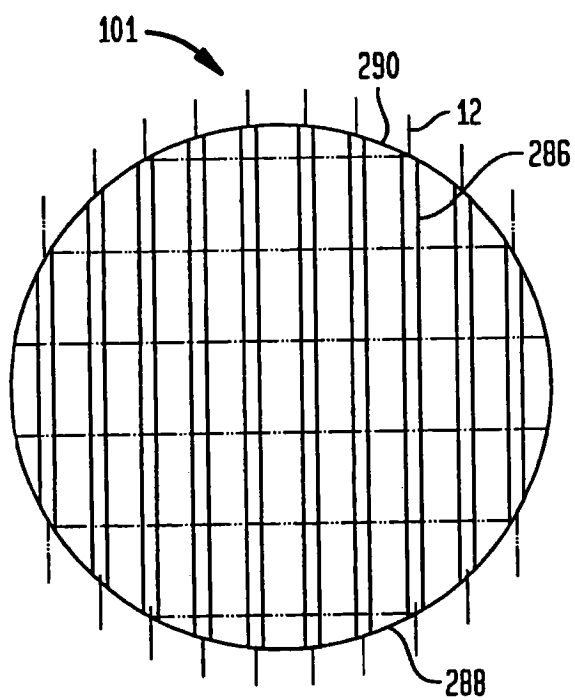


FIG. 6B

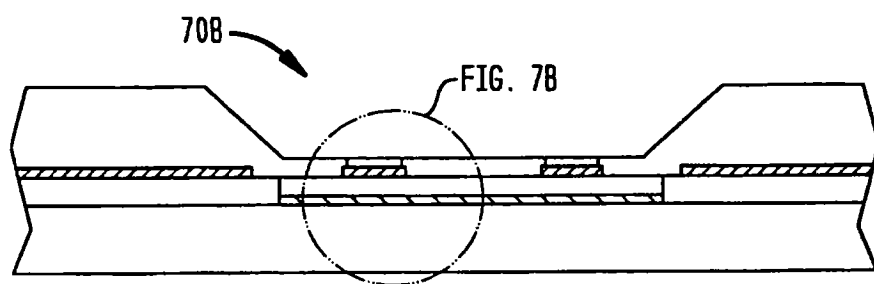


FIG. 7A

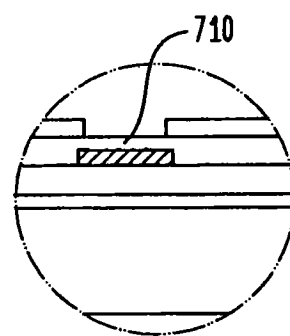


FIG. 7B

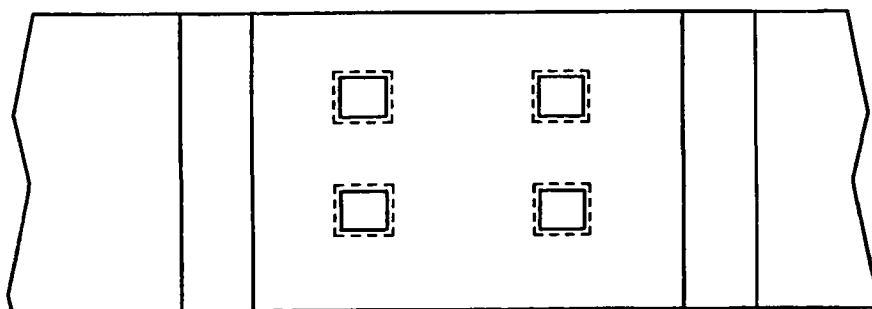


FIG. 7C

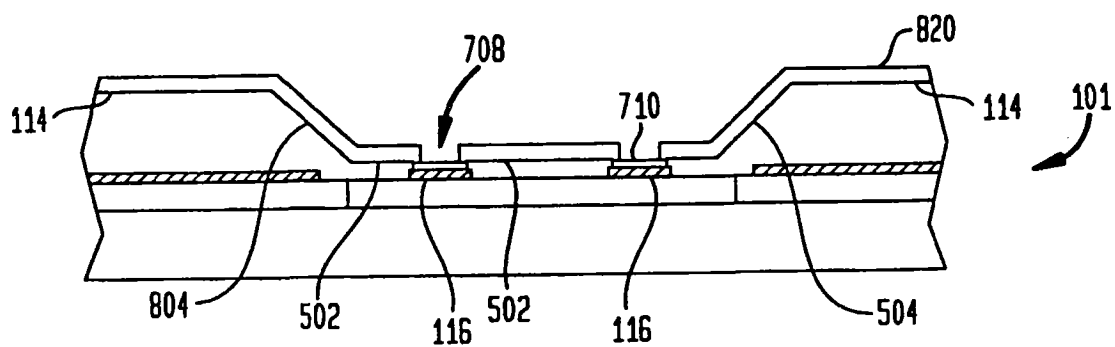


FIG. 8A

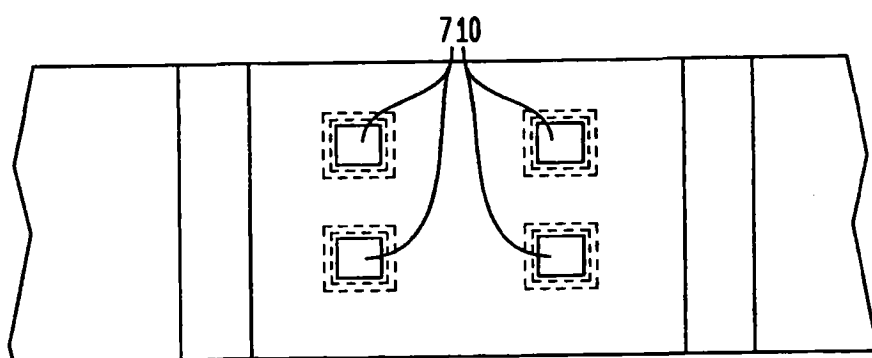


FIG. 8B

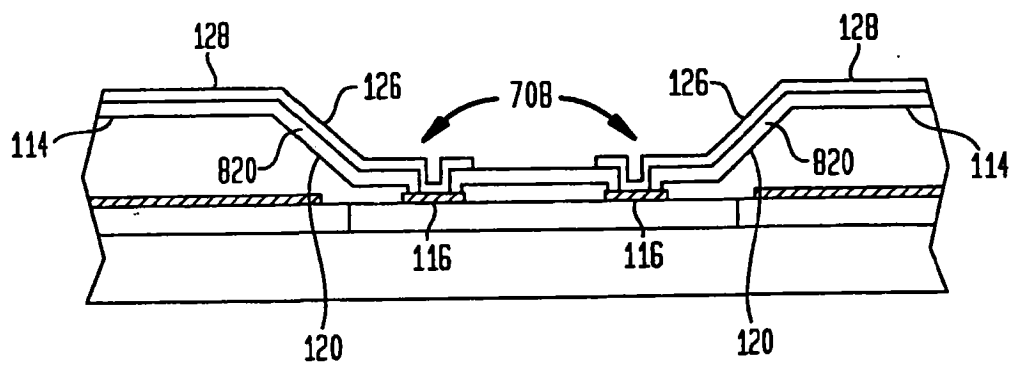


FIG. 9A

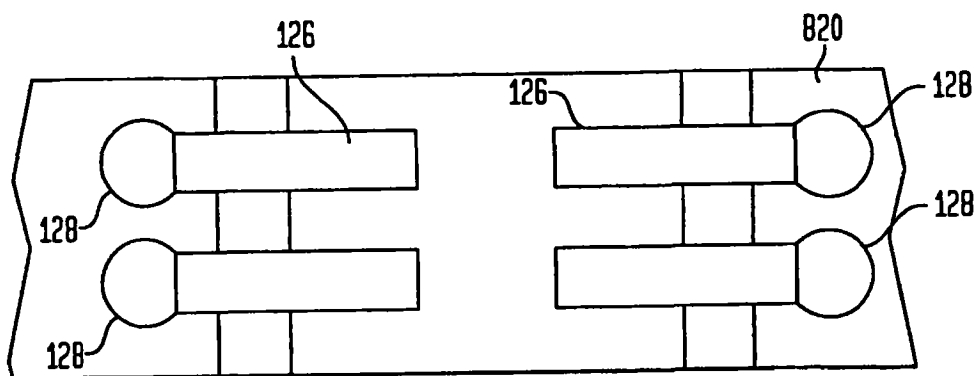


FIG. 9B

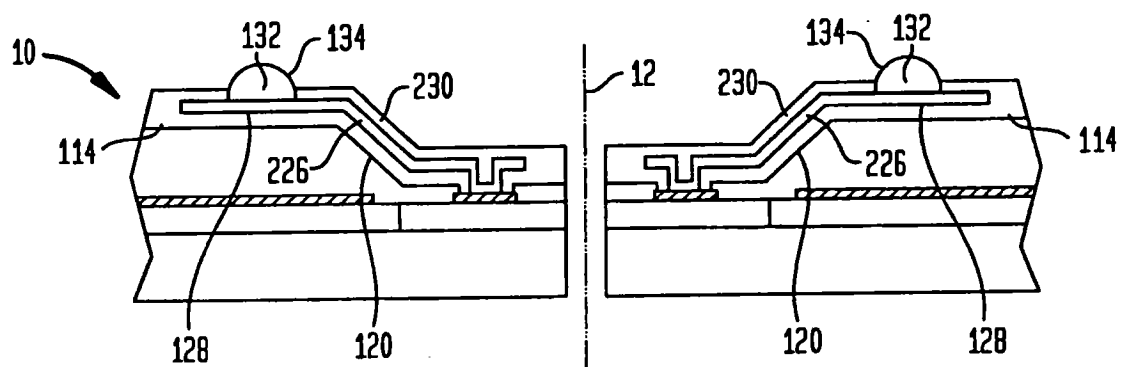


FIG. 10A

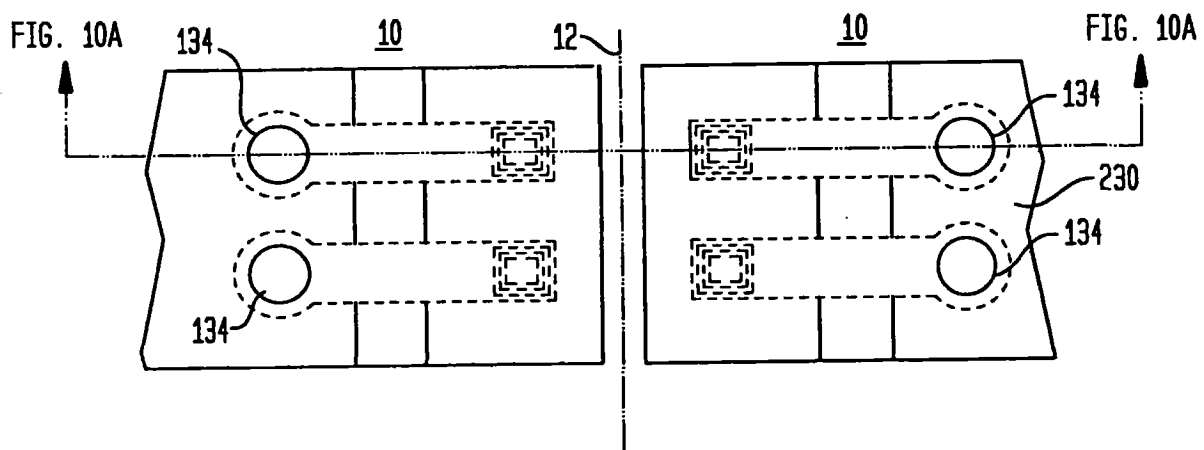


FIG. 10B

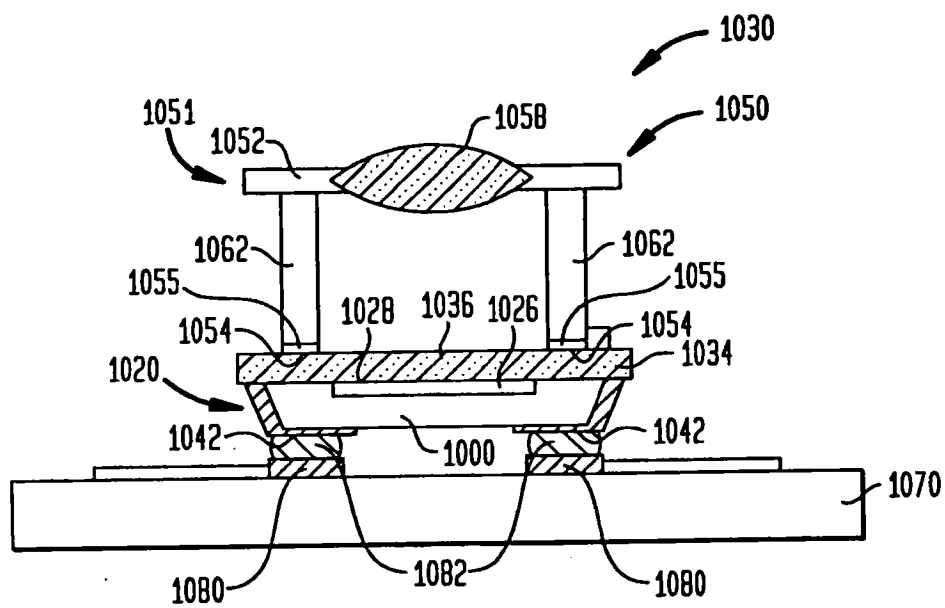


FIG. 11

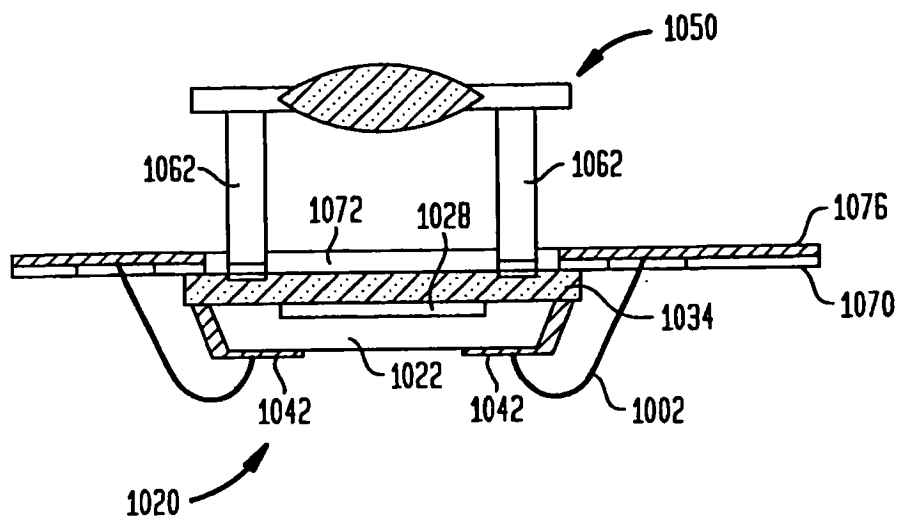


FIG. 12

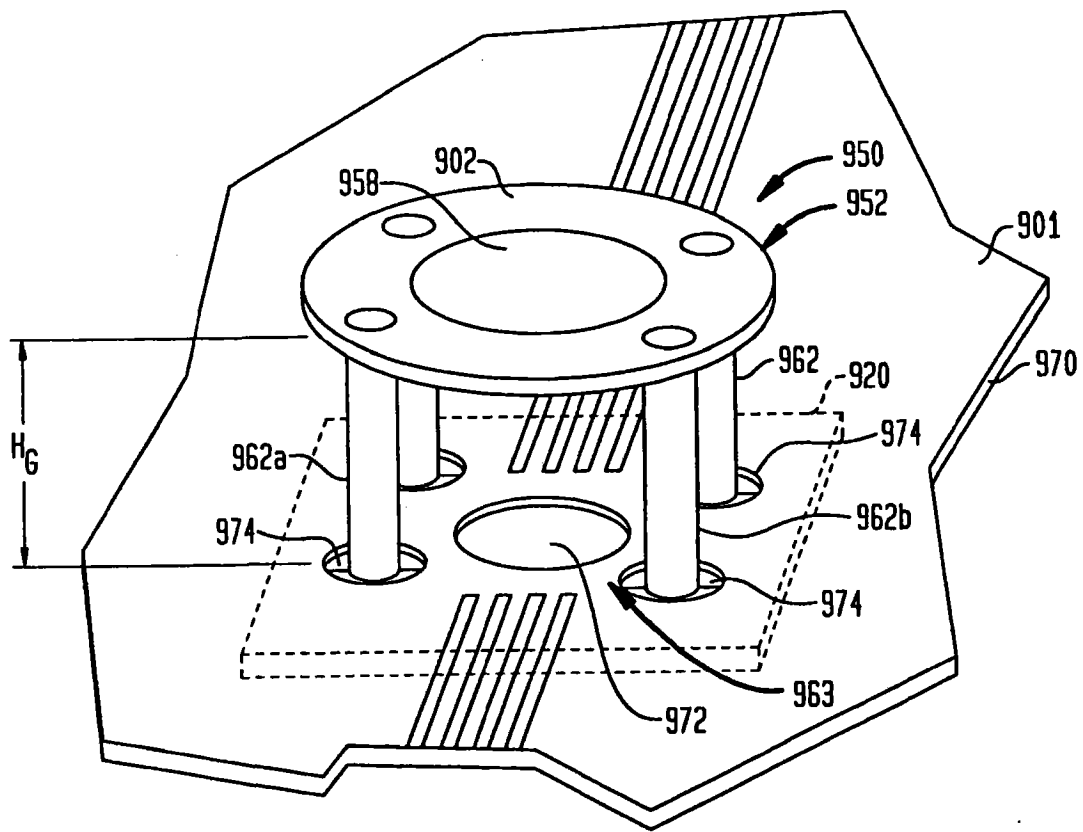


FIG. 13

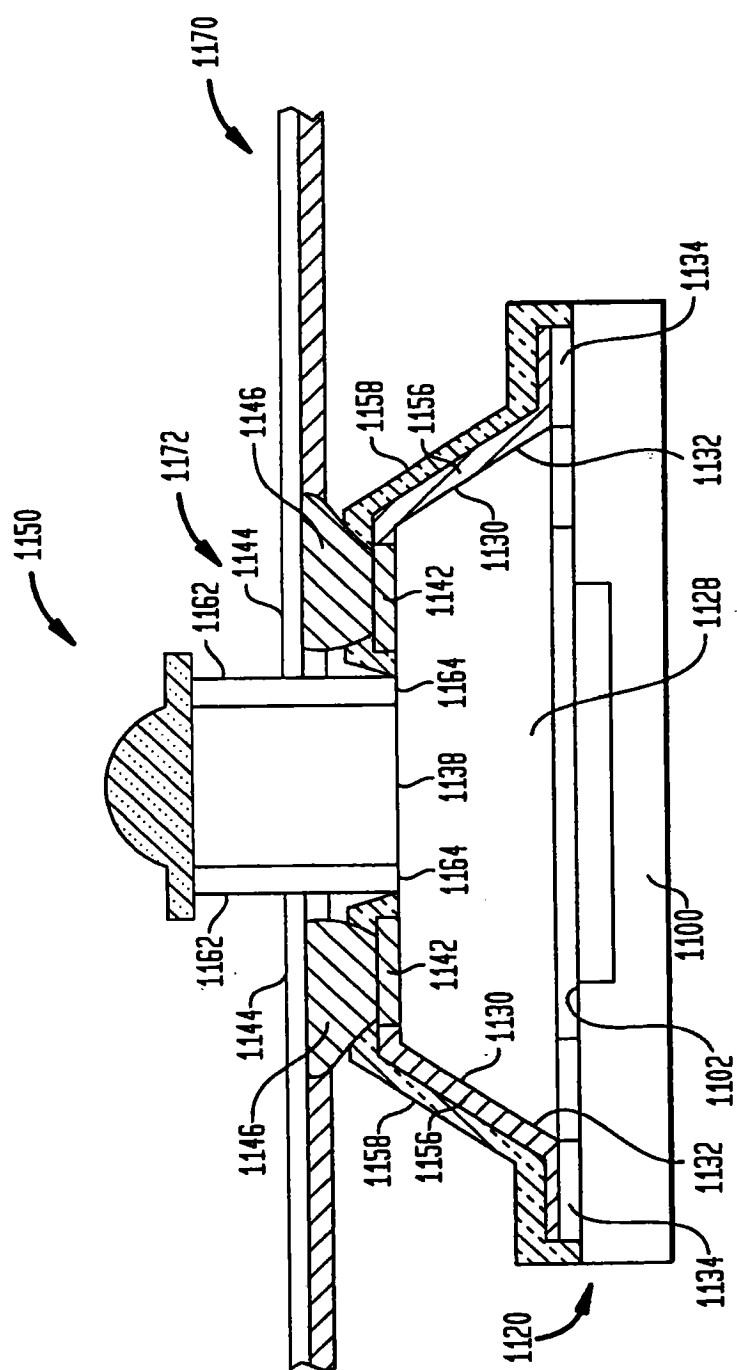


FIG. 14

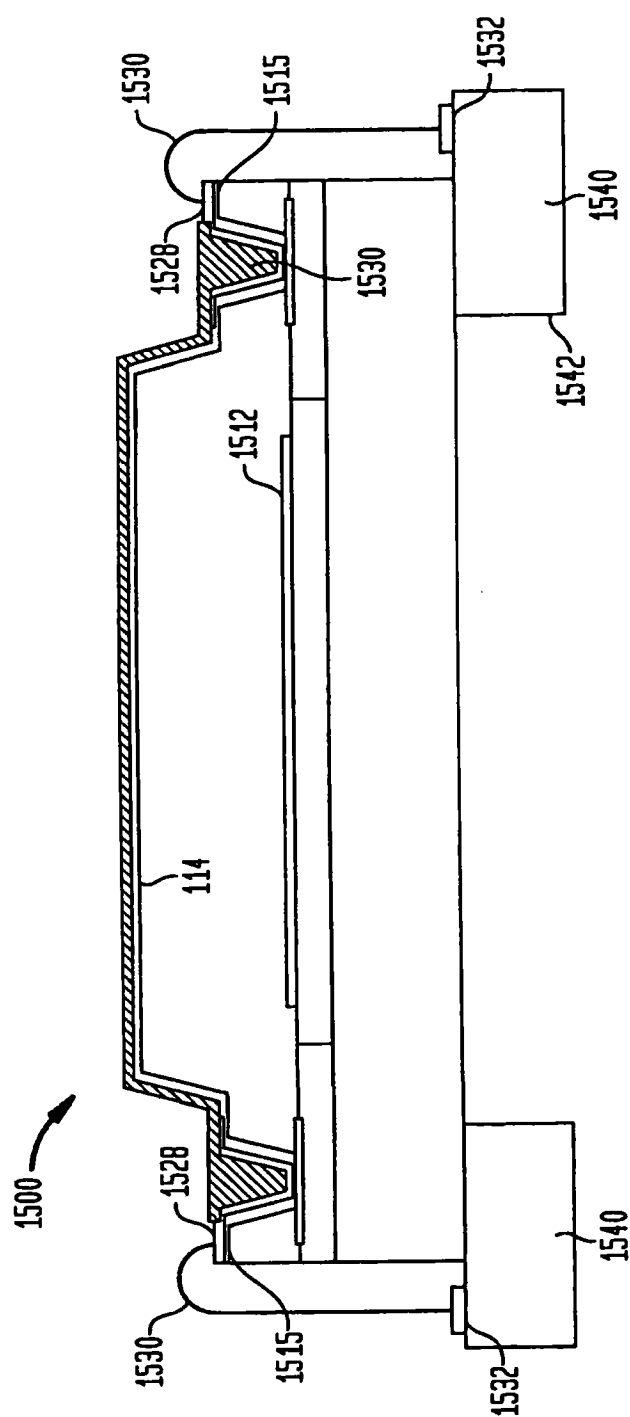


FIG. 15

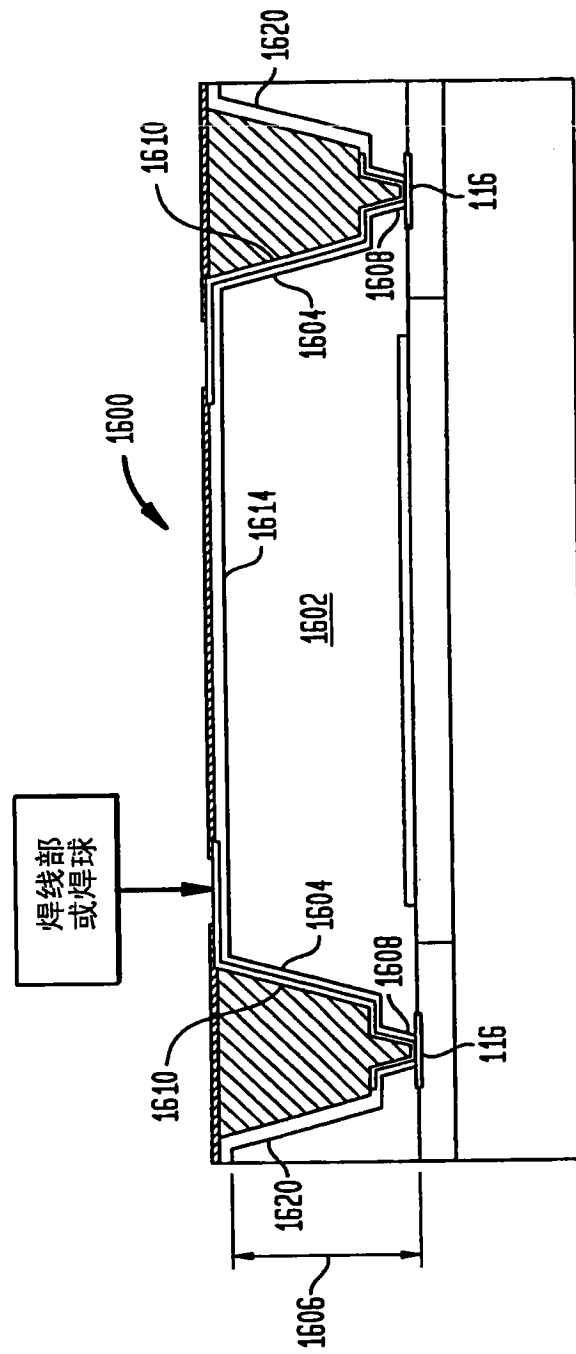


FIG. 16A

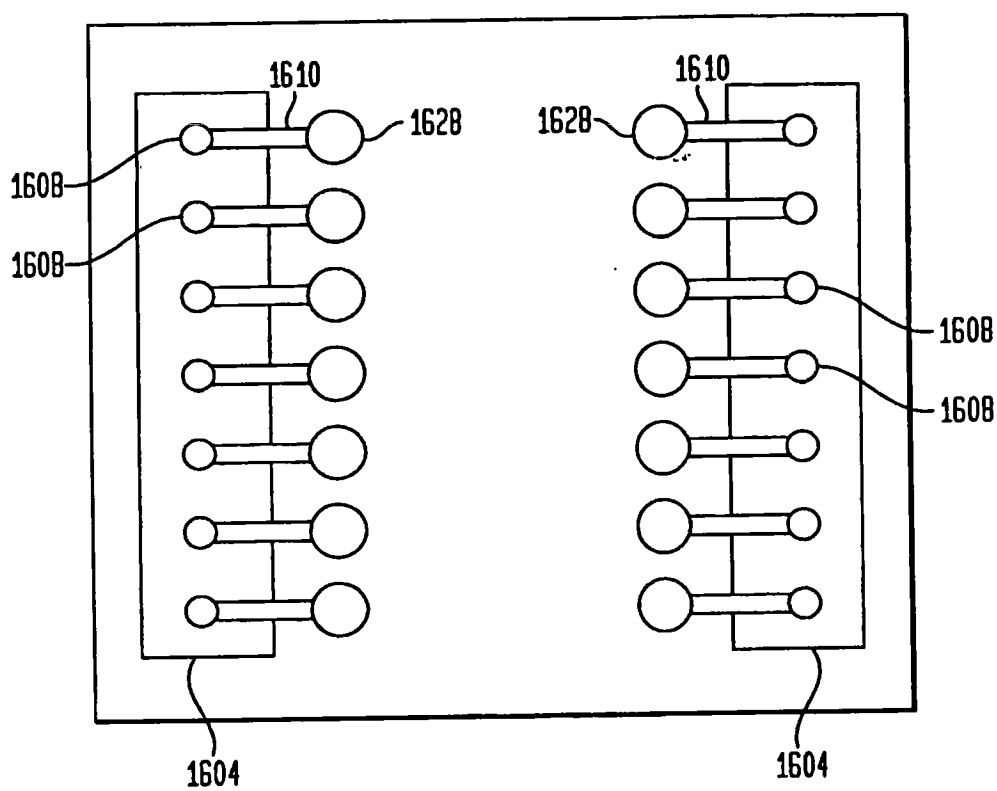


FIG. 16B

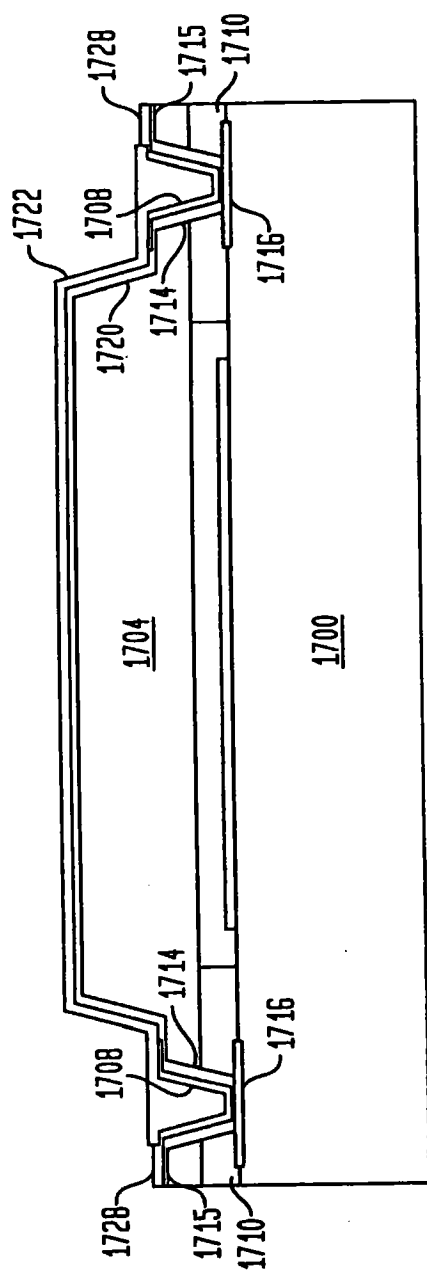


FIG. 17

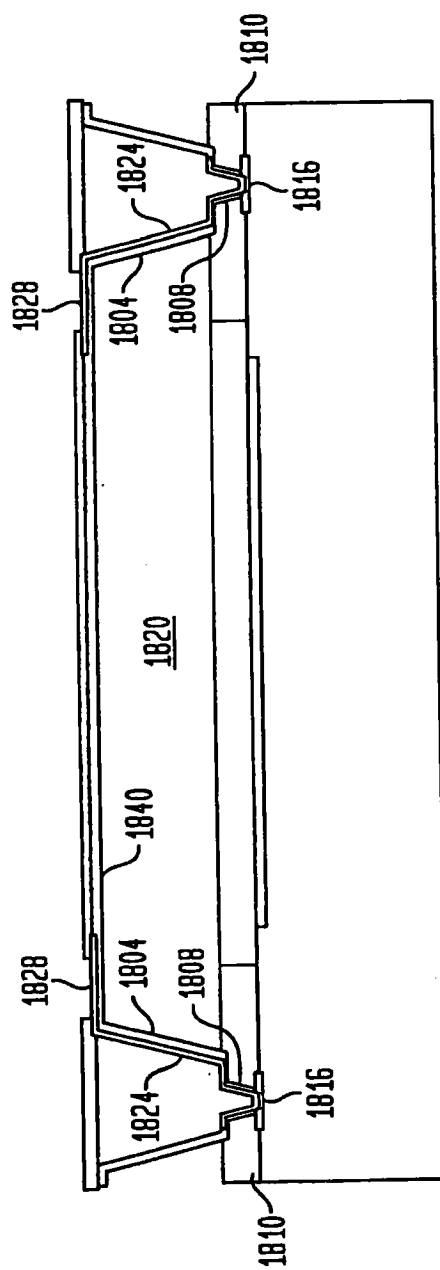


FIG. 18

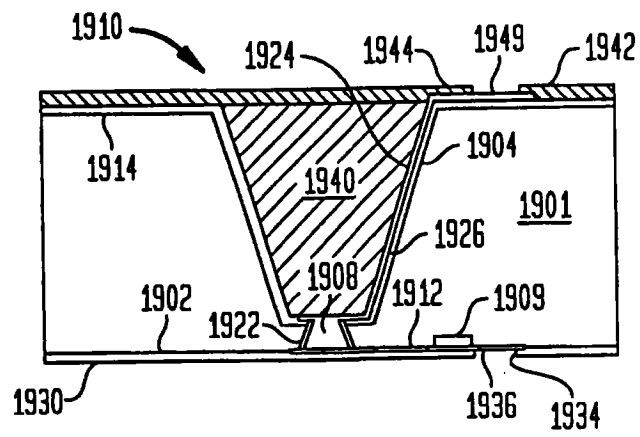


FIG. 19A

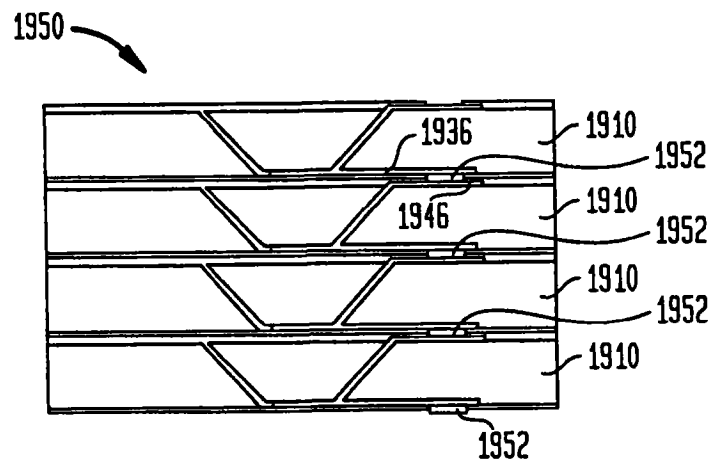


FIG. 19D

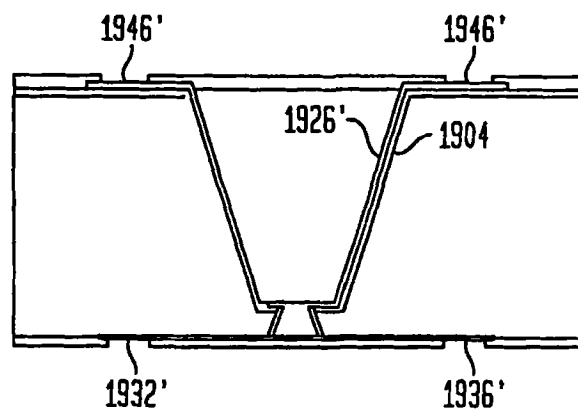


FIG. 19E

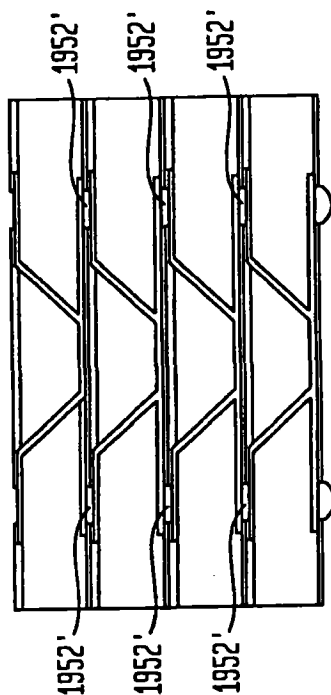


FIG. 19F

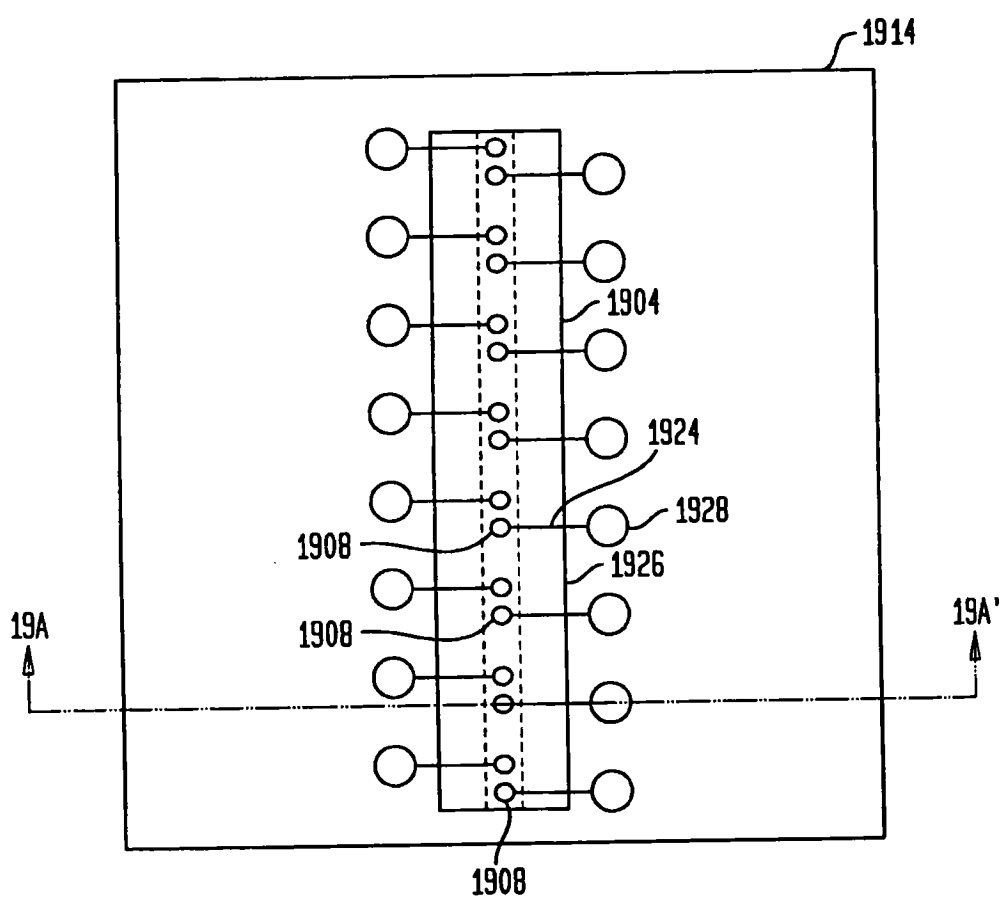


FIG. 19B

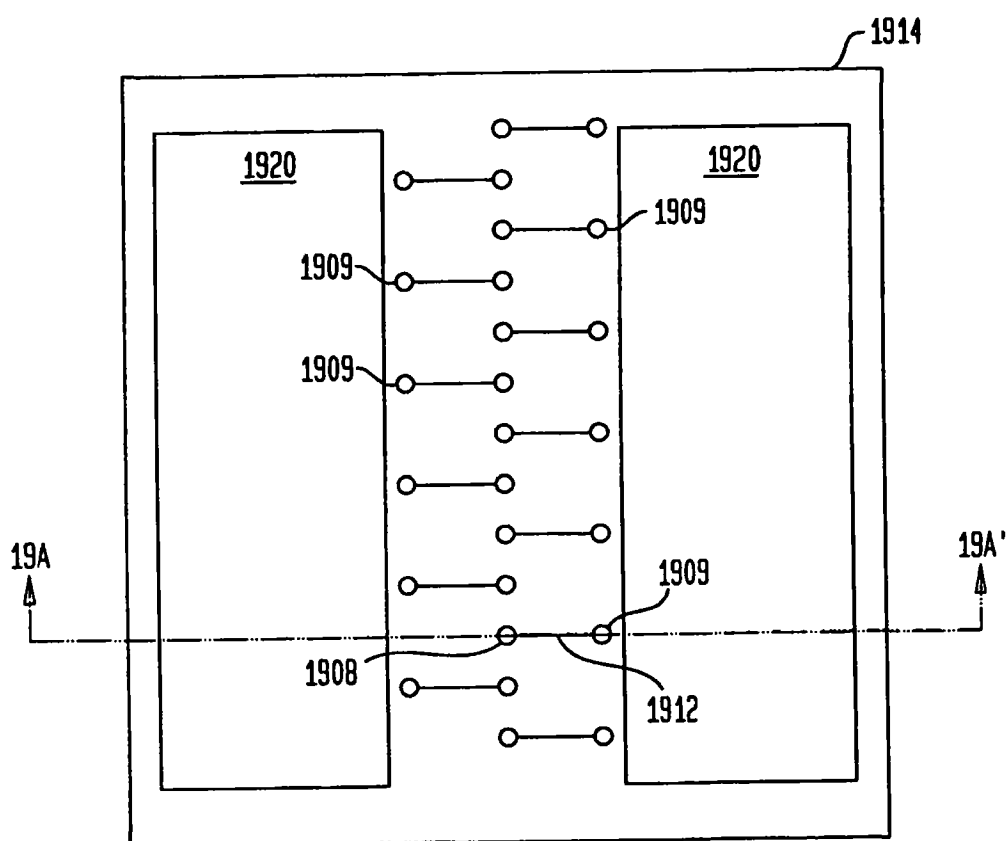


FIG. 19C

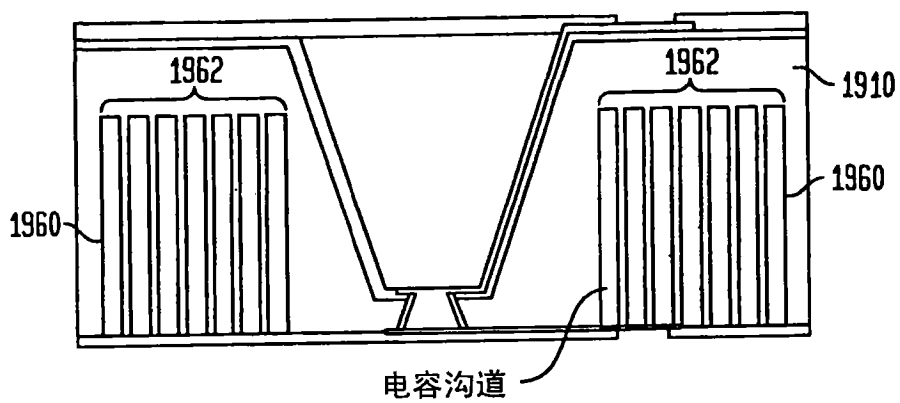


FIG. 20A

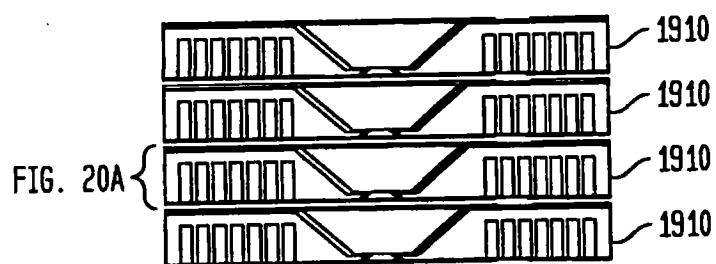


FIG. 20B

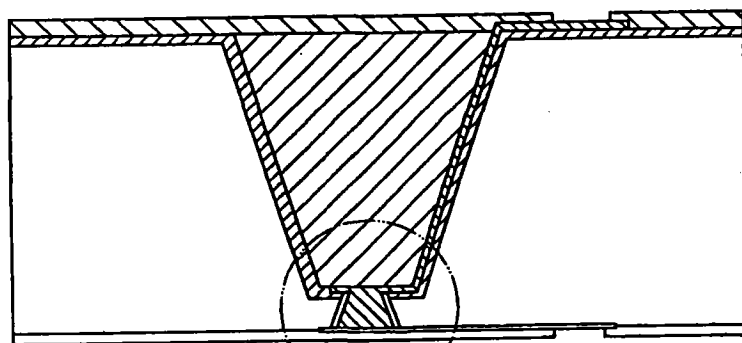
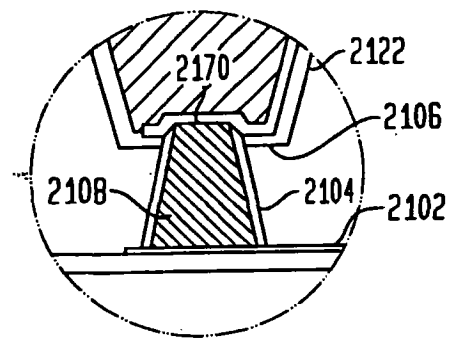
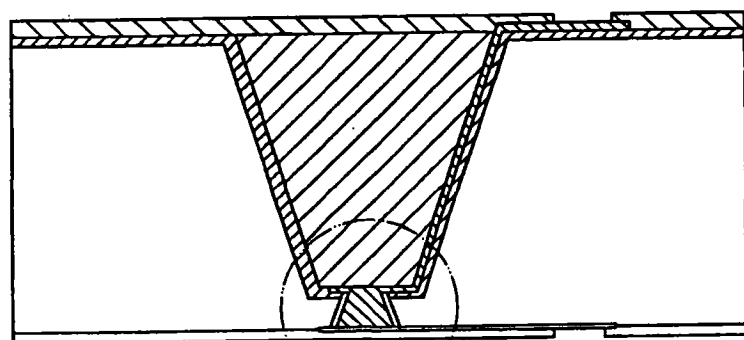


FIG. 22B

FIG. 22A

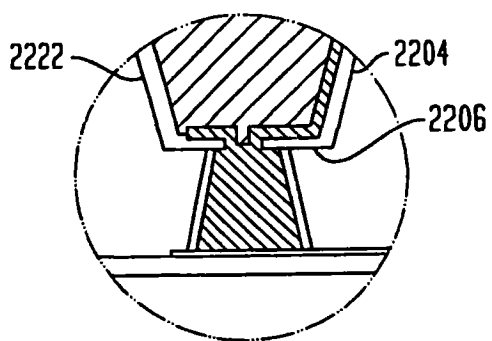


FIG. 22B

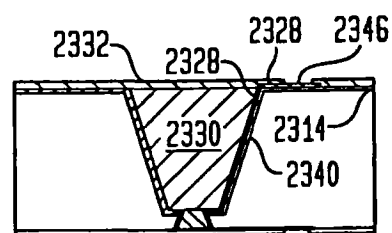


FIG. 23A

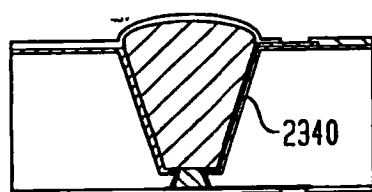


FIG. 23B

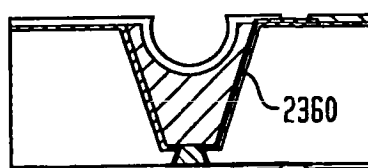


FIG. 23C

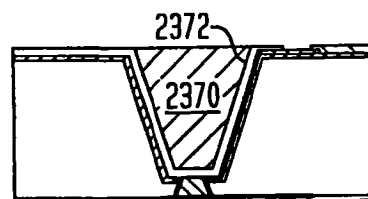


FIG. 23D

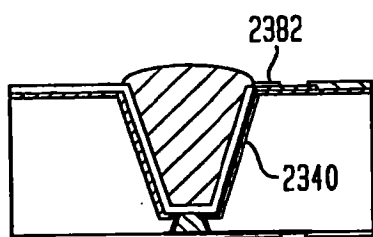


FIG. 23E

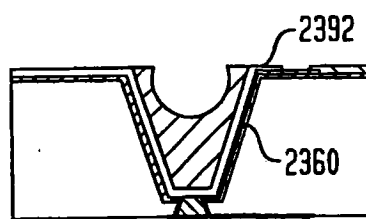


FIG. 23F

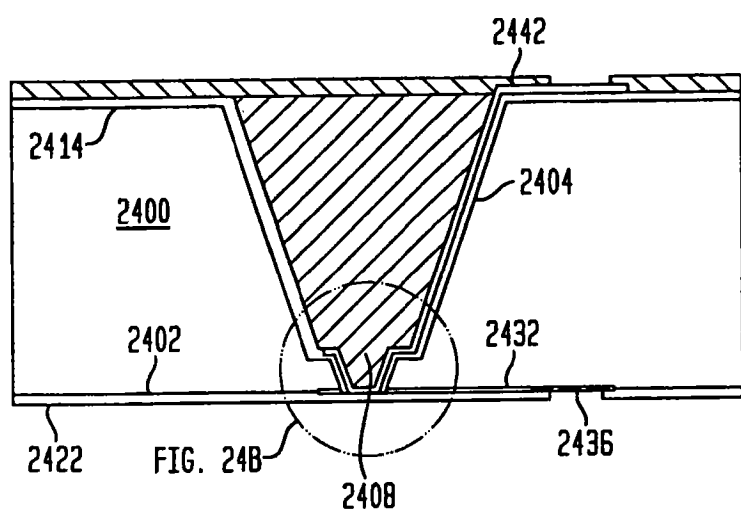


FIG. 24A

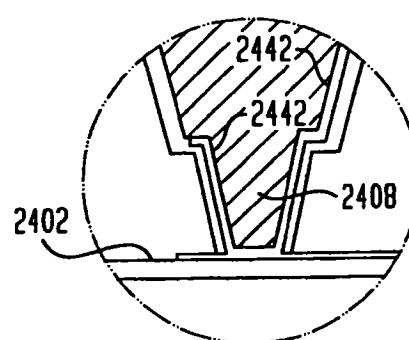


FIG. 24B

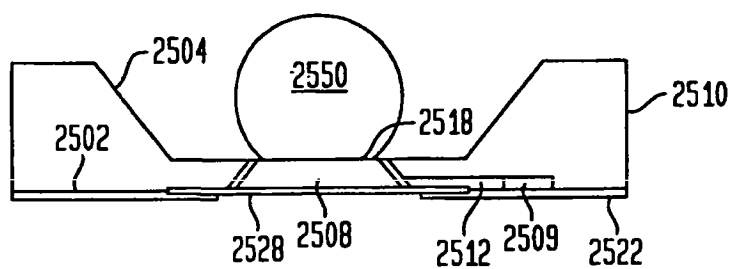


FIG. 25A

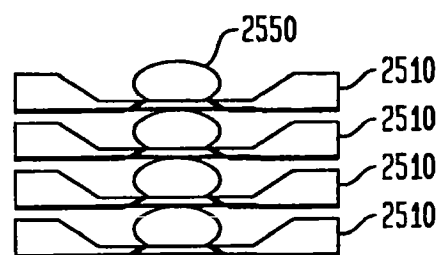


FIG. 25B

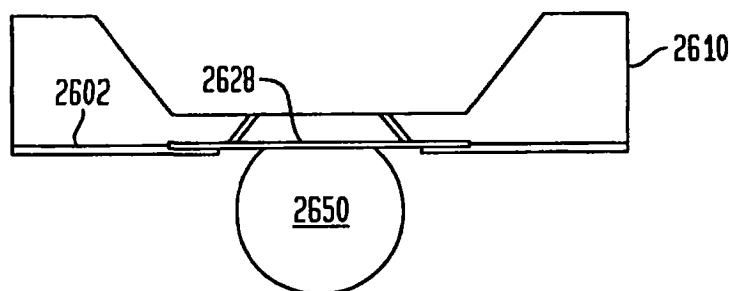


FIG. 26A

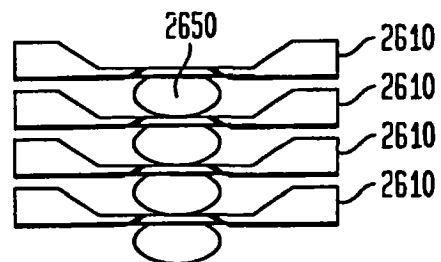


FIG. 26B

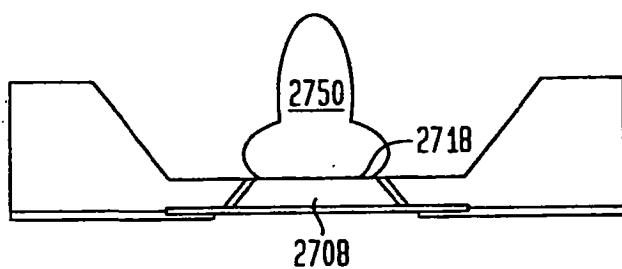


FIG. 27A

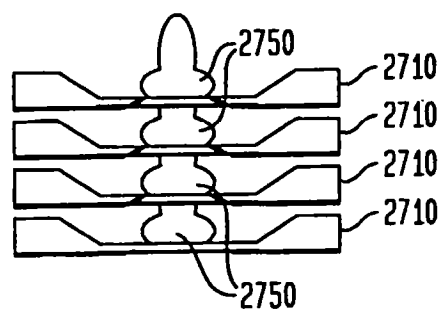


FIG. 27B

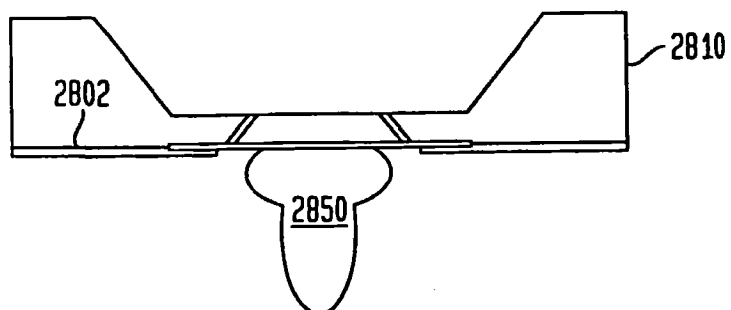


FIG. 28A

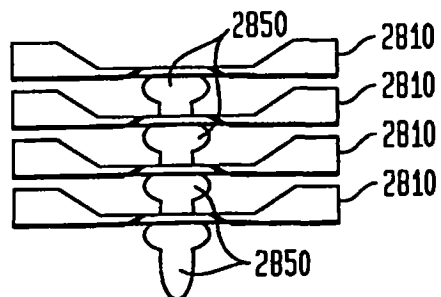


FIG. 28B