

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6134515号
(P6134515)

(45) 発行日 平成29年5月24日 (2017. 5. 24)

(24) 登録日 平成29年4月28日 (2017. 4. 28)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10 3 2 1
HO 1 L 27/108 (2006. 01)	HO 1 L 27/10 4 8 1
HO 1 L 27/10 (2006. 01)	

請求項の数 3 (全 31 頁)

(21) 出願番号	特願2013-3145 (P2013-3145)	(73) 特許権者	000153878
(22) 出願日	平成25年1月11日 (2013. 1. 11)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-168638 (P2013-168638A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成25年8月29日 (2013. 8. 29)	(72) 発明者	黒川 義元
審査請求日	平成27年12月2日 (2015. 12. 2)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2012-6640 (P2012-6640)		半導体エネルギー研究所内
(32) 優先日	平成24年1月17日 (2012. 1. 17)		
(33) 優先権主張国	日本国 (JP)	審査官	上田 智志

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項 1】

駆動回路と、前記駆動回路上に積層して設けられた複数のメモリセルと、を有し、
前記複数のメモリセルのそれぞれは、一の電極により電氣的に接続され、
前記駆動回路は、第 1 のトランジスタを有し、
前記複数のメモリセルは、第 2 のトランジスタを有し、
前記第 1 のトランジスタは、単結晶半導体からなるチャネル形成領域と、第 1 のゲート絶縁層と、第 1 のゲート電極と、を有し、
前記第 2 のトランジスタは、酸化物半導体からなるチャネル形成領域と、第 2 のゲート絶縁層と、第 2 のゲート電極と、ソース電極と、ドレイン電極と、を有し、
前記第 1 のトランジスタと前記第 2 のトランジスタとの間には、第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層と、前記第 2 の絶縁層上の第 3 の絶縁層と、を有し、
前記第 1 のゲート電極の側面は、前記第 1 の絶縁層の側面と接する領域を有し、
前記第 1 の絶縁層の側面は、前記第 2 の絶縁層の側面と接する領域を有し、
前記第 2 の絶縁層の側面は、前記第 3 の絶縁層の側面と接する領域を有し、
前記ソース電極及び前記ドレイン電極は、前記第 1 乃至前記第 3 の絶縁層と接することを特徴とする記憶装置。

【請求項 2】

駆動回路と、前記駆動回路上に積層して設けられた複数のメモリセルと、を有し、
前記複数のメモリセルのそれぞれは、一の電極により電氣的に接続され、

前記駆動回路は、第 1 のトランジスタを有し、
前記複数のメモリセルは、第 2 のトランジスタを有し、
前記第 1 のトランジスタは、単結晶半導体からなるチャネル形成領域と、第 1 のゲート絶縁層と、第 1 のゲート電極と、を有し、
前記第 2 のトランジスタは、酸化物半導体からなるチャネル形成領域と、第 2 のゲート絶縁層と、第 2 のゲート電極と、ソース電極と、ドレイン電極と、を有し、
前記第 1 のトランジスタと前記第 2 のトランジスタとの間には、第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層と、前記第 2 の絶縁層上の第 3 の絶縁層と、を有し、
前記第 1 のゲート電極の側面は、前記第 1 の絶縁層の側面と接する領域を有し、
前記第 1 の絶縁層の側面は、前記第 2 の絶縁層の側面と接する領域を有し、
前記第 2 の絶縁層の側面は、前記第 3 の絶縁層の側面と接する領域を有し、
前記ソース電極の下面及び前記ドレイン電極の下面は、前記第 1 乃至前記第 3 の絶縁層の上面と接することを特徴とする記憶装置。

10

【請求項 3】

前記複数のメモリセルの前記トランジスタのオフ電流は、25 において 100 zA 以下であることを特徴とする請求項 1 又は 2 に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

記憶装置に関する。

20

【背景技術】

【0002】

揮発性メモリ的一种として、DRAM (Dynamic Random Access Memory) が広く知られている。

【0003】

一方で、近年、半導体特性を示す金属酸化物（以下、酸化物半導体と呼ぶ。）が注目されている。酸化物半導体は、トランジスタに適用することができる（特許文献 1 及び特許文献 2）。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 096055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一態様は、高集積化され、高速動作が可能な記憶装置を提供することを課題とする。

【課題を解決するための手段】

【0006】

40

本発明の一態様は、駆動回路と、該駆動回路上に積層して設けられた複数のメモリセルと、を有し、前記複数のメモリセルのそれぞれは、一の電極により電氣的に接続されていることを特徴とする記憶装置である。

【0007】

前記構成において、前記駆動回路には高速動作が求められ、前記メモリセルのトランジスタにはオフ電流が小さいことが求められるため、具体的には、前記駆動回路のトランジスタが単結晶半導体（例えば、単結晶シリコン）により設けられ、前記複数のメモリセルのトランジスタが酸化物半導体により設けられているとよい。

【0008】

前記構成において、前記複数のメモリセルの前記トランジスタのオフ電流は、25 に

50

において 100 z A 以下であればよい。

【発明の効果】

【0009】

高集積化され、高速動作が可能な記憶装置を得ることができる。

【図面の簡単な説明】

【0010】

【図1】本発明の一態様である記憶装置を説明する図。

【図2】図1の記憶装置の回路構成のブロック図。

【図3】図2の記憶装置の具体的な回路構成の一例を示す図。

【図4】書き込み回路104a及び読み出し回路104bの回路構成の一例を示す図。

【図5】(A)センスアンプ152の回路構成の一例を示す図。(B)比較回路170の回路構成の一例を示す図。

【図6】図1～図5で説明した記憶装置のタイミングチャート。

【図7】本発明の一態様である記憶装置を説明する断面図。

【図8】本発明の一態様である記憶装置の作製方法を説明する図。

【図9】本発明の一態様である記憶装置の作製方法を説明する図。

【図10】本発明の一態様である記憶装置の作製方法を説明する図。

【図11】本発明の一態様である記憶装置の作製方法を説明する図。

【図12】本発明の一態様である記憶装置の作製方法を説明する図。

【図13】本発明の一態様である記憶装置を搭載した電子機器を説明する図。

【発明を実施するための形態】

【0011】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0012】

(実施の形態1)

本実施の形態では、本発明の一態様である記憶装置について図1乃至図6を参照して説明する。

【0013】

図1は、本発明の一態様である記憶装置を説明する図である。図1に示す記憶装置では、駆動回路104上に複数のメモリセルが積層された多層メモリセル102が設けられている。多層メモリセル102では、第1段のメモリセル102a上に第2段のメモリセル102bが設けられている。多層メモリセル102が2段である態様について、以下に説明する。

【0014】

図1では、多層メモリセル102は、第1段のメモリセル102a及び第2段のメモリセル102bのみを有するが、さらに多くのメモリセルを積層することが好ましい。すなわち、図1のz方向に複数のメモリセルを有することが好ましい。多くのメモリセルを積層することで、xy面における単位面積あたりの記憶容量を増加させることができる。

【0015】

また、多層メモリセル102も多数設けられているとよい。すなわち、図1のy方向にも多数の多層メモリセル102を有することが好ましい。

【0016】

図2には、図1に示す記憶装置の回路構成のブロック図の一部を示す。図2に示す記憶装置は、多層メモリセル102、駆動回路104、第1の信号生成回路106a及び第2の信号生成回路106bを有する。

【0017】

多層メモリセル102は、第1段のメモリセル102a及び第2段のメモリセル102

10

20

30

40

50

bを有する。

【0018】

駆動回路104は、書き込み回路104a、読み出し回路104b及び回路104cを有する。

【0019】

第1の信号生成回路106aは、第2の書き込み選択線120、第1の書き込み選択線122、第2の読み出し選択線124、第1の読み出し選択線126、読み出し選択線128、読み出しデータ線132及び読み出し電源線136に電氣的に接続されている。

【0020】

第2の信号生成回路106bは、容量素子電源線134、書き込み制御線138、書き込みデータ線140、読み出し制御線142、ラッチ制御線144、読み出しデータ線146及び参照信号線148に電氣的に接続されている。

10

【0021】

図3には、図2に回路構成を示した記憶装置の具体的な回路構成の一例を示す。

【0022】

第1段のメモリセル102aは、第1のトランジスタ108a、第2のトランジスタ110a及び容量素子112aを有する。第1のトランジスタ108a及び第2のトランジスタ110aは、オフ電流の小さいトランジスタである。第1のトランジスタ108a及び第2のトランジスタ110aのオフ電流は、25において100zA以下であることが好ましい。このようなオフ電流の小さいトランジスタは、後に説明する高純度化された酸化物半導体により形成することができる。

20

【0023】

なお、駆動回路104は、単結晶半導体基板またはSOI基板などのキャリア移動度の高い半導体基板に形成することが好ましいが、これに限定されず、駆動回路104も酸化物半導体により形成されていてもよい。

【0024】

第1のトランジスタ108aのソース及びドレインの一方は、書き込みデータ線130に電氣的に接続されている。第1のトランジスタ108aのソース及びドレインの他方は、第2のトランジスタ110aのソース及びドレインの一方と、容量素子112aの第1の電極に電氣的に接続されており、第1の記憶保持部FN1を構成している。第1のトランジスタ108aのゲートは、第1の書き込み選択線122に電氣的に接続されている。

30

【0025】

第2のトランジスタ110aのソース及びドレインの他方は、第2のトランジスタ110bのソース及びドレインの一方と、駆動回路104に設けられたトランジスタ114のゲートと、容量素子118の第1の電極に電氣的に接続されており、浮動電位配線FNを構成している。

【0026】

第2のトランジスタ110aのゲートは、第1の読み出し選択線126に電氣的に接続されている。

【0027】

容量素子112aの第2の電極は、容量素子電源線134に電氣的に接続されている。

40

【0028】

第2段のメモリセル102bは、第1のトランジスタ108b、第2のトランジスタ110b及び容量素子112bを有する。第1のトランジスタ108b及び第2のトランジスタ110bは、オフ電流の小さいトランジスタである。

【0029】

第1のトランジスタ108bのソース及びドレインの一方は、書き込みデータ線130に電氣的に接続されている。第1のトランジスタ108bのソース及びドレインの他方は、第2のトランジスタ110bのソース及びドレインの他方と、容量素子112bの第1の電極に電氣的に接続されており、第2の記憶保持部FN2を構成している。

50

【 0 0 3 0 】

第 1 のトランジスタ 1 0 8 b のゲートは、第 2 の書き込み選択線 1 2 0 に電氣的に接続されている。

【 0 0 3 1 】

第 2 のトランジスタ 1 1 0 b のゲートは、第 2 の読み出し選択線 1 2 4 に電氣的に接続されている。

【 0 0 3 2 】

容量素子 1 1 2 b の第 2 の電極は、容量素子電源線 1 3 4 に電氣的に接続されている。

【 0 0 3 3 】

駆動回路 1 0 4 に設けられた回路 1 0 4 c は、トランジスタ 1 1 4 と、トランジスタ 1 1 6 と、容量素子 1 1 8 と、を有する。 10

【 0 0 3 4 】

トランジスタ 1 1 4 のソース及びドレインの一方は、読み出しデータ線 1 3 2 に電氣的に接続され、トランジスタ 1 1 4 のソース及びドレインの他方は、トランジスタ 1 1 6 のソース及びドレインの一方に電氣的に接続されている。トランジスタ 1 1 6 のソース及びドレインの他方は、読み出し電源線 1 3 6 に電氣的に接続され、トランジスタ 1 1 6 のゲートは、読み出し選択線 1 2 8 に電氣的に接続されている。

【 0 0 3 5 】

容量素子 1 1 8 の第 2 の電極は、容量素子電源線 1 3 4 に電氣的に接続されている。

【 0 0 3 6 】

書き込みデータ線 1 3 0 は、駆動回路 1 0 4 に設けられた書き込み回路 1 0 4 a に電氣的に接続されている。 20

【 0 0 3 7 】

読み出しデータ線 1 3 2 及び読み出し電源線 1 3 6 は、駆動回路 1 0 4 に設けられた読み出し回路 1 0 4 b に電氣的に接続されている。

【 0 0 3 8 】

図 4 には、駆動回路 1 0 4 に設けられた書き込み回路 1 0 4 a 及び読み出し回路 1 0 4 b の具体的な回路構成の一例を示す。

【 0 0 3 9 】

書き込み回路 1 0 4 a は、スイッチ 1 6 2 とインバータ 1 6 4 を有し、書き込み制御線 1 3 8 から信号を入力すると、書き込みデータ線 1 4 0 と書き込みデータ線 1 3 0 が電氣的に接続され、書き込みデータ線 1 4 0 の信号が書き込みデータ線 1 3 0 に供給される構成を有する。 30

【 0 0 4 0 】

読み出し回路 1 0 4 b は、回路 1 5 0、センスアンプ 1 5 2、インバータ 1 5 4、インバータ 1 5 6、クロックドインバータ 1 5 8 及びインバータ 1 6 0 を有する。回路 1 5 0 は、スイッチ 1 6 6 とインバータ 1 6 8 を有し、読み出し制御線 1 4 2 から信号を入力すると、インバータ 1 5 6 の出力端子と書き込みデータ線 1 3 0 が電氣的に接続される構成を有する。

【 0 0 4 1 】

インバータ 1 6 0 の入力端子はラッチ制御線 1 4 4 に電氣的に接続され、インバータ 1 6 0 の出力端子はクロックドインバータ 1 5 8 の制御端子に接続されている。 40

【 0 0 4 2 】

クロックドインバータ 1 5 8 の入力端子は、インバータ 1 5 6 の入力端子及びインバータ 1 5 4 の出力端子に電氣的に接続され、クロックドインバータ 1 5 8 の出力端子はインバータ 1 5 4 の入力端子及び読み出しデータ線 1 4 6 に電氣的に接続されている。

【 0 0 4 3 】

センスアンプ 1 5 2 は、読み出しデータ線 1 3 2、読み出し電源線 1 3 6、ラッチ制御線 1 4 4、読み出しデータ線 1 4 6 及び参照信号線 1 4 8 に電氣的に接続されている。

【 0 0 4 4 】

図 5 (A) には、センスアンプ 1 5 2 の回路構成の一例を示す。

【 0 0 4 5 】

センスアンプ 1 5 2 は、比較回路 1 7 0、トランジスタ 1 7 2 及びトランジスタ 1 7 4 を有する。

【 0 0 4 6 】

比較回路 1 7 0 は、第 1 の入力端子と、第 2 の入力端子と、制御端子と、出力端子と、を有する。第 1 の入力端子は、読み出しデータ線 1 3 2 に電氣的に接続されている。第 2 の入力端子は、トランジスタ 1 7 2 のソース及びドレインの一方に電氣的に接続されている。制御端子は、ラッチ制御線 1 4 4 に電氣的に接続されている。出力端子は、読み出しデータ線 1 4 6 に電氣的に接続されている。

10

【 0 0 4 7 】

トランジスタ 1 7 2 のソース及びドレインの他方はトランジスタ 1 7 4 のソース及びドレインの一方に電氣的に接続されている。トランジスタ 1 7 2 のゲートは参照信号線 1 4 8 に電氣的に接続されている。

【 0 0 4 8 】

トランジスタ 1 7 4 のソース及びドレインの他方は読み出し電源線 1 3 6 に電氣的に接続されている。トランジスタ 1 7 4 のゲートはラッチ制御線 1 4 4 に電氣的に接続されている。

【 0 0 4 9 】

図 5 (B) には、比較回路 1 7 0 の具体的な回路構成の一例を示す。

20

【 0 0 5 0 】

比較回路 1 7 0 は、トランジスタ 1 7 6、トランジスタ 1 7 8、トランジスタ 1 8 0、トランジスタ 1 8 2 及びトランジスタ 1 8 4 を有する。なお、トランジスタ 1 7 6 及びトランジスタ 1 7 8 は p チャネル型トランジスタである。

【 0 0 5 1 】

トランジスタ 1 7 6 のソース及びドレインの一方とトランジスタ 1 7 8 のソース及びドレインの一方は、高電源電位線に電氣的に接続されている。トランジスタ 1 7 6 のゲートとトランジスタ 1 7 8 のゲートは、トランジスタ 1 7 6 のソース及びドレインの他方とトランジスタ 1 8 0 のソース及びドレインの一方に電氣的に接続されている。トランジスタ 1 8 0 のゲートは、第 2 の入力端子に電氣的に接続されている。トランジスタ 1 8 0 のソース及びドレインの他方は、トランジスタ 1 8 2 のソース及びドレインの一方とトランジスタ 1 8 4 のソース及びドレインの一方に電氣的に接続されている。トランジスタ 1 8 4 のソース及びドレインの他方は、低電源電位線に電氣的に接続されている。トランジスタ 1 8 4 のゲートは、制御端子に電氣的に接続されている。トランジスタ 1 8 2 のゲートは、第 1 の入力端子に電氣的に接続されている。トランジスタ 1 8 2 のソース及びドレインの他方は、トランジスタ 1 7 8 のソース及びドレインの他方と出力端子に電氣的に接続されている。

30

【 0 0 5 2 】

なお、ここで「高電源電位線」は一定の高電位 V_{dd} が供給される配線であり、この電位は記憶装置内で最も高いことが好ましい。「低電源電位線」は一定の低電位 V_{ss} が供給される配線であり、この電位は記憶装置内で最も低く、接地電位であることが好ましい。好ましくは、「高電源電位線」として読み出し電源線 1 3 6 を用い、「低電源電位線」として容量素子電源線 1 3 4 を用いる。

40

【 0 0 5 3 】

次に、本発明の一態様である前記記憶装置の動作について、図 6 のタイミングチャートを参照して説明する。

【 0 0 5 4 】

なお、ここで図 6 のタイミングチャートに示していない配線の電位は、一定にする。すなわち、容量素子電源線 1 3 4 の電位は低電位電源電位 V_L とし、読み出し電源線 1 3 6 の電位は高電位電源電位 V_H とする。参照信号線 1 4 8 の電位は、後に説明するように、

50

期間 t_1 に第 2 の記憶保持部 F N 2 に書き込む信号の電位 V_H と、期間 t_3 に第 1 の記憶保持部 F N 1 に書き込む信号の電位 V_L の中間の電位 V_M とする。

【 0 0 5 5 】

なお、以下の説明には 3 種類の電位（すなわち、電位 V_H 、電位 V_M 、電位 V_L ）を用いるが、これらの電位は概ね等しいものであればよく、厳密に等しい電位であることを要しない。ただし、電位 $V_H > \text{電位 } V_M > \text{電位 } V_L$ とする。

【 0 0 5 6 】

なお、以下の説明では、動作は期間 t_1 から開始しているが、期間 t_1 の前に、第 2 の記憶保持部 F N 2、第 1 の記憶保持部 F N 1 及び浮動電位配線 F N の電位が V_L となるようにリセット動作を行うことが好ましい。リセット動作を行うことで、第 2 の記憶保持部 F N 2、第 1 の記憶保持部 F N 1 及び浮動電位配線 F N の電位が過度に高くても、誤動作なく動作させることができる。

【 0 0 5 7 】

期間 t_1 は、第 2 段のメモリセル 1 0 2 b にデータを書き込む（第 1 の書き込み）期間である。期間 t_1 では、第 2 の書き込み選択線 1 2 0 の電位及び書き込み制御線 1 3 8 の電位を V_H とする。これにより、第 1 のトランジスタ 1 0 8 b 及びスイッチ 1 6 2 がオンする。そうして、第 2 の書き込みデータ線 1 4 0 の信号が、第 2 の記憶保持部 F N 2 に書き込まれる。ここで、第 2 の書き込みデータ線 1 4 0 の信号の電位を V_H とすると、第 1 の書き込みデータ線 1 3 0 の電位は V_H となり、第 2 の記憶保持部 F N 2 の電位は V_H となる。

【 0 0 5 8 】

期間 t_2 は、第 2 段のメモリセル 1 0 2 b にデータを保持する（第 1 の保持）期間である。期間 t_2 では、第 2 の書き込み選択線 1 2 0 の電位を V_L とするため、第 1 のトランジスタ 1 0 8 b がオフし、第 2 の記憶保持部 F N 2 の電位は V_H に保持される。

【 0 0 5 9 】

期間 t_3 は、第 1 段のメモリセル 1 0 2 a にデータを書き込む（第 2 の書き込み）期間である。期間 t_3 では、第 1 の書き込み選択線 1 2 2 の電位及び書き込み制御線 1 3 8 の電位を V_H とする。これにより、第 1 のトランジスタ 1 0 8 a 及びスイッチ 1 6 2 がオンする。そうして、第 2 の書き込みデータ線 1 4 0 の信号が、第 1 の記憶保持部 F N 1 に書き込まれる。ここで、第 2 の書き込みデータ線 1 4 0 の信号の電位を V_L とすると、第 1 の書き込みデータ線 1 3 0 の電位は V_L となり、第 1 の記憶保持部 F N 1 の電位は V_L となる。

【 0 0 6 0 】

期間 t_4 は、第 1 段のメモリセル 1 0 2 a 及び第 2 段のメモリセル 1 0 2 b にデータを保持する（第 2 の保持）期間である。第 1 のトランジスタ 1 0 8 b、第 1 のトランジスタ 1 0 8 a、第 2 のトランジスタ 1 1 0 b 及び第 2 のトランジスタ 1 1 0 a は、オフ電流が小さいトランジスタであるため、第 2 の記憶保持部 F N 2 及び第 1 の記憶保持部 F N 1 には、それぞれ第 1 の書き込み期間または第 2 の書き込み期間に書き込まれたデータが保持される。

【 0 0 6 1 】

期間 t_5 は、第 2 段のメモリセル 1 0 2 b のデータを読み出す（第 1 の読み出し）期間である。期間 t_5 では、第 2 の読み出し選択線 1 2 4、読み出し選択線 1 2 8、読み出し制御線 1 4 2 及びラッチ制御線 1 4 4 の電位を V_H とする。これにより、第 2 のトランジスタ 1 1 0 b、トランジスタ 1 1 6 及びスイッチ 1 6 6 がオンする。第 2 のトランジスタ 1 1 0 b がオンすることで、第 2 の記憶保持部 F N 2 の電位と浮動電位配線 F N の電位は（概ね）等しくなる。第 2 の記憶保持部 F N 2 はオフ電流が小さいトランジスタと容量素子に囲まれているため、第 2 のトランジスタ 1 1 0 b がオンする前の第 2 の記憶保持部 F N 2 の電位を V_H とし、浮動電位配線 F N の電位を V_0 とし、容量素子 1 1 2 b の容量値を C_1 とし、容量素子 1 1 8 の容量値を C_2 とすると、第 2 のトランジスタ 1 1 0 b がオンした後の第 2 の記憶保持部 F N 2 と浮動電位配線 F N の電荷量の合計は、 $C_1 V_H + C$

10

20

30

40

50

V_0 となる。

【 0 0 6 2 】

容量素子 1 1 2 b の容量値 C_1 は、容量素子 1 1 8 の容量値 C_2 よりも大きくする。浮動電位配線 F N の電位 V_0 が V_L (簡単のために 0 とする) 以上 V_H 以下とすると、電位 V_0 が 0 のときには第 2 の記憶保持部 F N 2 と浮動電位配線 F N の電荷量の合計は $C_1 V_H$ となり、電位 V_0 は $C_1 V_H / (C_1 + C_2)$ である。ここで、 $C_1 > C_2$ とすると、 $C_1 V_H / (C_1 + C_2)$ は $V_H / 2$ より小さい。

【 0 0 6 3 】

浮動電位配線 F N の電位 V_0 が V_H のときには電位 V_0 は V_H である。従って、電位 V_0 が 0 V 以上 V_H 以下とすると、電位 V_0 は $V_H / 2$ より大きく V_H 以下となる。

10

【 0 0 6 4 】

トランジスタ 1 1 6 のソース及びドレインの他方は V_H に保持された読み出し電源線 1 3 6 に電氣的に接続されており、トランジスタ 1 1 6 がオンするので、トランジスタ 1 1 4 のゲート電位 (浮動電位配線 F N の電位) に応じた電位の信号が読み出しデータ線 1 3 2 に出力され、比較回路 1 7 0 の第 1 の入力端子に入力される。

【 0 0 6 5 】

なお、期間 t_5 の前に読み出しデータ線 1 3 2 を V_M 以上 V_H 以下の電位にプリチャージしておくといよい。プリチャージしておく、トランジスタ 1 1 4 のゲート電位が高いほど読み出しデータ線 1 3 2 の電位の低下が早く、トランジスタ 1 1 4 のゲート電位が低いほど読み出しデータ線 1 3 2 の電位の低下が遅い。

20

【 0 0 6 6 】

なお、読み出しデータ線 1 3 2 をプリチャージするためには、プリチャージ電位の配線 (例えば参照信号線 1 4 8) と読み出しデータ線 1 3 2 を、トランジスタを介して電氣的に接続すればよい (図示していない) 。

【 0 0 6 7 】

そして、ラッチ制御線 1 4 4 の電位を V_H とすることで、ソース及びドレインの他方が読み出し電源線 1 3 6 に電氣的に接続されたトランジスタ 1 7 4 がオンするので、トランジスタ 1 7 2 のゲート電位 (参照信号線 1 4 8 の電位) に応じた電位の信号がトランジスタ 1 7 2 のソース及びドレインの一方に出力され比較回路 1 7 0 の第 2 の入力端子に入力される。

30

【 0 0 6 8 】

なお、期間 t_5 の前にトランジスタ 1 7 2 のソース及びドレインの一方を読み出しデータ線 1 3 2 と同様にプリチャージするとよい。

【 0 0 6 9 】

なお、トランジスタ 1 7 2 のソース及びドレインの一方をプリチャージするためには、プリチャージ電位の配線 (例えば参照信号線 1 4 8) とトランジスタ 1 7 2 のソース及びドレインの一方を、トランジスタを介して電氣的に接続すればよい (図示していない) 。

【 0 0 7 0 】

一方で、ラッチ制御線 1 4 4 の電位を V_H とすることで、比較回路 1 7 0 の電源端子に電氣的に接続されたトランジスタ 1 8 4 もオンし、比較回路 1 7 0 が動作する。比較回路 1 7 0 の第 1 の入力端子と第 2 の入力端子の電位の低下速度の差に応じて、比較回路 1 7 0 の出力端子に信号が出力される。

40

【 0 0 7 1 】

第 2 の入力端子の電位の低下よりも第 1 の入力端子の電位の低下のほうが早い場合には、トランジスタ 1 8 0 がオンした状態でトランジスタ 1 8 2 が先にオフするため、比較回路 1 7 0 の出力端子からは電位 V_H の信号が出力される。第 1 の入力端子の電位の低下よりも第 2 の入力端子の電位の低下のほうが早い場合には、トランジスタ 1 8 2 がオンした状態でトランジスタ 1 8 0 が先にオフするため、比較回路 1 7 0 の出力端子からは電位 V_L の信号が出力される。ここでは、期間 t_1 に第 2 の記憶保持部 F N 2 に書き込まれた信号の電位が V_H であるため、浮動電位配線 F N の電位及びトランジスタ 1 1 4 のゲート電

50

位（具体的には、 V_M より高く、 V_H より低い）は、トランジスタ 172 のゲート電位（具体的には、 V_M ）よりも高い。

【0072】

そして、ここで、ゲート電位が概ね等しいときのトランジスタ 114 のオン電流とトランジスタ 172 のオン電流が同程度であるとして、これらのトランジスタが線形領域で動作するものとする、読み出しデータ線 132 の電位の降下がトランジスタ 172 のソース及びドレインの一方の電位の降下よりも早く、トランジスタ 180 よりもトランジスタ 182 が先にオフし、出力端子からは電位 V_H の信号が出力される。そして、出力端子の信号は読み出しデータ線 146 に出力される。

【0073】

また、読み出し制御線 142 の電位を V_H とするので、スイッチ 166 がオンし、第 1 の書き込みデータ線 130 の電位も V_H となる。

【0074】

期間 t_6 は、第 2 段のメモリセル 102b のデータをリフレッシュする（第 1 のリフレッシュ）期間である。期間 t_6 では、読み出し制御線 142 の電位は V_H に保持し、第 2 の読み出し選択線 124、読み出し選択線 128 及びラッチ制御線 144 の電位を V_L とし、第 2 の書き込み選択線 120 を V_H とする。これにより、スイッチ 166 はオンとしつつ、第 2 のトランジスタ 110b、トランジスタ 116、トランジスタ 184 及びトランジスタ 174 がオフする。

【0075】

このとき、比較回路 170 の出力端子から出力される信号の電位、すなわち読み出しデータ線 146 の電位 V_H は、インバータ 154 とクロックドインバータ 158 によって構成されるラッチ回路によって低下することなく保持されている。そして、読み出しデータ線 146 の電位 V_H はスイッチ 166 を介して書き込みデータ線 130 に入力されている。第 2 の書き込み選択線 120 を V_H とすることで第 1 のトランジスタ 108b がオンしているため、第 2 の記憶保持部 FN2 の電位は再び V_H となる。

【0076】

期間 t_7 は、第 2 段のメモリセル 102b のデータの読み出しを終了する（第 1 の読み出し終了）期間である。期間 t_7 では、読み出し制御線 142 を V_L とし、スイッチ 166 をオフする。

【0077】

期間 t_8 は、第 1 段のメモリセル 102a のデータを読み出す（第 2 の読み出し）期間である。期間 t_8 では、第 1 の読み出し選択線 126、読み出し選択線 128、読み出し制御線 142 及びラッチ制御線 144 の電位を V_H とする。これにより、第 2 のトランジスタ 110a、トランジスタ 116 及びスイッチ 166 がオンする。第 2 のトランジスタ 110a がオンすることで、第 1 の記憶保持部 FN1 の電位と浮動電位配線 FN の電位は（概ね）等しくなる。容量素子 112a の容量値は、容量素子 118 の容量値よりも大きくする。詳細は期間 t_5 と同様に考えると、電位 V_0 は $V_H / 2$ より小さく V_L 以上となる。

【0078】

トランジスタ 116 のソース及びドレインの他方は V_H に保持された読み出し電源線 136 に電氣的に接続されており、トランジスタ 116 がオンするので、トランジスタ 114 のゲート電位（浮動電位配線 FN の電位）に応じた電位の信号が読み出しデータ線 132 に出力され、比較回路 170 の第 1 の入力端子に入力される。

【0079】

なお、期間 t_7 の前に読み出しデータ線 132 を V_M 以上 V_H 以下の電位にプリチャージしておくといよい。

【0080】

そして、ラッチ制御線 144 の電位を V_H とすることで、ソース及びドレインの他方が読み出し電源線 136 に電氣的に接続されたトランジスタ 174 がオンするので、トラン

10

20

30

40

50

ジスタ 172 のゲート電位（参照信号線 148 の電位）に応じた電位の信号がトランジスタ 172 のソース及びドレインの一方に出力され、比較回路 170 の第 2 の入力端子に入力される。

【0081】

一方で、ラッチ制御線 144 の電位を V_H とすることで、比較回路 170 の電源端子に電氣的に接続されたトランジスタ 184 もオンし、比較回路 170 が動作する。ここでは、第 1 の入力端子の電位の低下よりも第 2 の入力端子の電位の低下のほうが早いため、期間 t_5 とは逆に、出力端子には電位 V_L の信号が出力される。

【0082】

また、読み出し制御線 142 の電位を V_H とするので、スイッチ 166 がオンし、第 1 10
の書き込みデータ線 130 の電位も V_L となる。

【0083】

期間 t_9 は、第 1 段のメモリセル 102 a のデータをリフレッシュする（第 2 のリフレッシュ）期間である。期間 t_9 では、読み出し制御線 142 の電位は V_H に保持し、第 1 の読み出し選択線 126、読み出し選択線 128 及びラッチ制御線 144 の電位を V_L とし、第 1 の書き込み選択線 122 を V_H とする。これにより、スイッチ 166 はオンしつつ、第 2 のトランジスタ 110 a、トランジスタ 116、トランジスタ 184 及びトランジスタ 174 がオフする。

【0084】

このとき、比較回路 170 の出力端子から出力される信号の電位、すなわち読み出しデータ線 146 の電位 V_L は、インバータ 154 とクロックドインバータ 158 によって構成されるラッチ回路によって上昇することなく保持されている。そして、読み出しデータ線 146 の電位 V_L はスイッチ 166 を介して書き込みデータ線 130 に入力されている。第 1 の書き込み選択線 122 を V_H とすることで第 1 のトランジスタ 108 a がオンしているため、第 2 の記憶保持部 FN2 の電位は再び V_L となる。

【0085】

以上説明したように、第 1 段のメモリセル 102 a 及び第 2 段のメモリセル 102 b へのデータの書き込みと、第 1 段のメモリセル 102 a 及び第 2 段のメモリセル 102 b からのデータの読み出しが可能である。

【0086】

なお、本実施の形態では、多層メモリセル 102 が 2 段である場合について説明したが、本発明の一態様である記憶装置においては、多層メモリセル 102 の積層数については制限がない。

【0087】

多層メモリセル 102 を更に多段にする場合には、第 1 のトランジスタのソース及びドレインの一方を書き込みデータ線 130 に電氣的に接続し、第 2 のトランジスタのソース及びドレインの一方を浮動電位配線 FN に電氣的に接続し、第 1 のトランジスタのソース及びドレインの他方と、第 2 のトランジスタのソース及びドレインの他方は、容量素子の第 1 の電極に電氣的に接続し、容量素子の第 2 の電極は容量素子電源線 134 に電氣的に接続すればよい。

【0088】

なお、書き込みデータ線 130 及び容量素子電源線 134 のように複数の層のすべてに接続される配線は、「接続電極」により形成すればよい。「接続電極」により形成することで、各メモリセルの素子から書き込みデータ線 130 及び容量素子電源線 134 までの距離を短くすることができるため、多数の層を積層して多層メモリセル 102 を構成する場合であっても、書き込みデータ線 130 及び容量素子電源線 134 における抵抗を抑制し、配線遅延を抑制することができる。

【0089】

なお、「接続電極」により形成される配線は、書き込みデータ線 130 及び容量素子電源線 134 に限定されない。例えば、図 3 では第 1 の信号生成回路 106 a が各層のメモ 50

リセルに信号を供給しているが、第1の信号生成回路106aを設けることなく第2の信号生成回路106bにてすべての信号を生成する場合には、複数の層のすべてに接続される配線が更に必要になる。このような配線に「接続電極」を用いてもよい。

【0090】

(実施の形態2)

本実施の形態では、本発明の一態様である記憶装置の構成とその作製方法について説明する。

【0091】

図7は、本発明の一態様である記憶装置の断面図を示す。図7中、A1 - A2断面の切断線とB1 - B2断面の切断線は直交している。

10

【0092】

図7に示す記憶装置は、下部に第1の半導体材料を用いた第1のトランジスタ250を有し、上部に第2の半導体材料を用いた第2のトランジスタ252を複数有する。このような構成とすることで、第1のトランジスタ250と第2のトランジスタ252に要求される電気的特性に応じて、第1の半導体材料と第2の半導体材料を異なるものとすることができる。

【0093】

第1のトランジスタ250は、実施の形態1のトランジスタ114及びトランジスタ116などの駆動回路104に設けられた各トランジスタに相当する。第2のトランジスタ252は、実施の形態1の第1のトランジスタ108a、第2のトランジスタ110a、第1のトランジスタ108b及び第2のトランジスタ110bに相当する。

20

【0094】

第1の半導体材料と第2の半導体材料を異なるものとする場合には、例えば、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素または有機半導体材料などを例示することができる。

【0095】

第1のトランジスタ250は高速動作可能であり、第2のトランジスタ252におけるソースとドレインの間のリーク電流(第2のトランジスタ252がオフしているときのソースとドレインの間に流れる電流)は小さいことが好ましい。そのため、第1の半導体材料は単結晶半導体(例えば、単結晶シリコン)であることが好ましく、第2の半導体材料は酸化物半導体であることが好ましい。第2のトランジスタ252におけるソースとドレインの間のリーク電流が小さいと、第1の記憶保持部FN1及び第2の記憶保持部FN2における長時間の電荷保持が可能となり、メモリセルに長時間の記憶保持ができるからである。

30

【0096】

図7の第1のトランジスタ250は、半導体基板270上に設けられた半導体層のチャネル形成領域214と、チャネル形成領域214を挟む第3の不純物領域212と、チャネル形成領域214上に設けられたゲート絶縁層202aと、ゲート絶縁層202a上にチャネル形成領域214と重畳して設けられたゲート電極208aと、を有する。ここで、第3の不純物領域212は、ソース領域及びドレイン領域を形成している。

40

【0097】

なお、本明細書において、「ソース」には、ソース電極及びソース領域の少なくとも一方が含まれ、ソース電極及びソース領域の双方をまとめてソースと呼ぶこともある。また、本明細書において、「ドレイン」には、ドレイン電極及びドレイン領域の少なくとも一方が含まれ、ドレイン電極及びドレイン領域の双方をまとめてドレインと呼ぶこともある。

【0098】

また、半導体基板270上に設けられた半導体層の第1の不純物領域206には、第1

50

の導電層 208b が接続されている。第 1 の導電層 208b は、第 1 のトランジスタ 250 のソース電極またはドレイン電極として機能する。そして、第 2 の不純物領域 210 が、第 1 の不純物領域 206 と第 3 の不純物領域 212 の間に設けられている。

【0099】

また、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 は、第 1 のトランジスタ 250 の一部を覆って設けられている。図 7 に示すように、第 1 のトランジスタ 250 がサイドウォール絶縁層を有しないため、この記憶装置は高集積化することができる。ただし、これに限定されず、第 1 のトランジスタ 250 がサイドウォール絶縁層を有していてもよい。第 1 のトランジスタ 250 がサイドウォール絶縁層を有する場合には、第 3 の不純物領域 212 とチャネル形成領域 214 の間に不純物元素の濃度が異なる領域を形成しやすく、所謂 LDD (Lightly Doped Drain) 領域を形成しやすい。

10

【0100】

図 7 の第 2 のトランジスタ 252 は、第 3 の絶縁層 220 (または第 5 の絶縁層 234) などの上に設けられた酸化物半導体層 224 と、酸化物半導体層 224 にそれぞれ電氣的に接続されたソース電極 222a 及びドレイン電極 222b と、ソース電極 222a、ドレイン電極 222b 及び酸化物半導体層 224 上に設けられたゲート絶縁層 226 と、ゲート絶縁層 226 上に酸化物半導体層 224 と重畳して設けられたゲート電極 228a と、を有する。なお、ソース電極 222a がドレイン電極であってもよいし、ドレイン電極 222b がソース電極であってもよい。

20

【0101】

ここで、酸化物半導体層 224 は、水素濃度が低く、酸素濃度が十分に高いことが好ましい。具体的には、酸化物半導体層 224 の水素濃度 (SIMS 測定値) は 5×10^{19} atoms/cm³ 以下とするとよく、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 5×10^{17} atoms/cm³ 以下とする。このように、水素が十分に除去され、酸素が十分に供給された酸化物半導体を「高純度化された酸化物半導体」と呼ぶ。

【0102】

高純度化された酸化物半導体では、水素が十分に除去され、酸素が十分に供給されて、酸素欠損に起因するエネルギーギャップ中の欠陥準位の数が高純度化された酸化物半導体層 224 では、キャリア濃度が 1×10^{12} /cm³ 未満とするとよく、好ましくは 1×10^{11} /cm³ 未満、より好ましくは 1.45×10^{10} /cm³ 未満とする。これは、一般的なシリコンウェハにおけるキャリア密度 (1×10^{14} /cm³ 程度) と比較して十分に小さい値であり、オフ電流を小さくすることができる。例えば、室温 (25℃)、チャネル長 3 μm における単位チャネル幅 (1 μm) あたりのオフ電流は 100 zA (zeptoアンペア) 以下、好ましくは 10 zA 以下となる。このような高純度化された酸化物半導体を用いることで、第 2 のトランジスタ 252 のオフ電流を極めて小さいものとすることができる。

30

【0103】

なお、酸素濃度は、酸素が十分に供給されて酸素欠損に起因するエネルギーギャップ中の欠陥準位の数に低減し、キャリア濃度が前記範囲となる程度に調節すればよい。

40

【0104】

なお、図 7 の第 2 のトランジスタ 252 には、島状に加工された酸化物半導体層 224 を用いているが、酸化物半導体層が島状であるため、隣り合う素子との間に生じるリーク電流を抑制することができる。ただし、これに限定されず、酸化物半導体層は島状でなくてもよい。酸化物半導体層が島状でない場合には、酸化物半導体層を加工する工程 (例えば、エッチング工程) を経ないため、加工による酸化物半導体層の汚染を防止することができる。

【0105】

図 7 における容量素子 254 は、ドレイン電極 222b と、第 2 の導電層 228b と、

50

ドレイン電極 2 2 2 b と第 2 の導電層 2 2 8 b に挟持されたゲート絶縁層 2 2 6 と、により構成されている。このような構成とすることにより第 2 のトランジスタ 2 5 2 と同一の工程で形成することができ、さらには平面レイアウトを調節することで十分な容量を確保することができる。なお、本発明の一態様である記憶装置に容量素子が不要である場合には、容量素子 2 5 4 を設けなくてもよい。

【 0 1 0 6 】

本実施の形態では、第 2 のトランジスタ 2 5 2 及び容量素子 2 5 4 は、第 1 のトランジスタ 2 5 0 と少なくとも一部が重畳しているため、メモリセルの面積を小さくして高集積化することができる。例えば、最小加工寸法を F とすると、一のメモリセルの占有面積を $1.5 F^2 \sim 2.5 F^2$ にすることができる。

10

【 0 1 0 7 】

さらには、図 7 に示すように本発明の一態様である記憶装置では、第 1 段のメモリセル 1 0 2 a 上に第 2 段のメモリセル 1 0 2 b が設けられており、メモリセルが 2 層であるため、一のメモリセルの占有面積をさらに半分にすることができる。第 2 段のメモリセル 1 0 2 b は、第 1 段のメモリセル 1 0 2 a と同様の構成を有する。

【 0 1 0 8 】

第 2 のトランジスタ 2 5 2 及び容量素子 2 5 4 の上には、第 4 の絶縁層 2 3 0 が設けられている。そして、ゲート絶縁層 2 2 6 及び第 4 の絶縁層 2 3 0 に形成された開口部には、電極 2 3 2 が設けられている。電極 2 3 2 は、積層された複数のメモリセルを互いに接続し、実施の形態 1 における書き込みデータ線 1 3 0 及び容量素子電源線 1 3 4 の少なくともいずれか一方に相当する。電極 2 3 2 は、ソース電極 2 2 2 a と第 1 の導電層 2 0 8 b を介して、第 1 の不純物領域 2 0 6 に接続されている。そのため、第 1 のトランジスタ 2 5 0 のソース領域またはドレイン領域と、第 2 のトランジスタ 2 5 2 のソース電極 2 2 2 a をそれぞれ異なる配線によって接続するよりも、配線の本数を少なくすることができる。

20

【 0 1 0 9 】

さらには、電極 2 3 2 と第 1 の不純物領域 2 0 6 が重畳しているため、コンタクト領域が設けられることによる素子面積の増大を抑制し、記憶装置の集積度を向上させることができる。

【 0 1 1 0 】

なお、図 7 に示す記憶装置は、具体的な構成の一例を示すものであり、これに限定されない。

30

【 0 1 1 1 】

次に、図 7 に示す記憶装置に採用されている S O I 基板の作製方法の一例について説明する。

【 0 1 1 2 】

まず、ベース基板としては半導体基板 2 7 0 を準備する（図 8 (A) 参照）。半導体基板 2 7 0 としては、シリコン基板及びゲルマニウム基板を例示することができる。好ましくは、半導体基板 2 7 0 として、単結晶シリコン基板または単結晶ゲルマニウム基板などの単結晶半導体基板を用いる。なお、これに限定されず、半導体基板 2 7 0 としては、多結晶半導体基板または太陽電池級シリコン (S O G - S i : S o l a r G r a d e S i l i c o n) 基板などを用いてもよい。多結晶半導体基板または太陽電池級シリコン基板を用いる場合には、単結晶シリコン基板を用いるよりも、製造コストを抑制することができる。

40

【 0 1 1 3 】

なお、半導体基板 2 7 0 に代えて、ガラス基板、石英基板、セラミック基板またはサファイア基板を用いてもよい。ガラス基板としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスを例示することができる。セラミック基板としては、例えば、窒化シリコンと酸化アルミニウムを主成分とする熱膨張係数がシリコンに近いものを用いるとよい。

50

【0114】

半導体基板270は、洗浄することが好ましい。洗浄に用いる薬液としては、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）及びFPM（フッ酸、過酸化水素水、純水の混合液）を例示することができる。

【0115】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板280を用いる（図8（B）参照）。なお、ボンド基板の結晶性は単結晶に限られるものではない。

【0116】

単結晶半導体基板280としては、単結晶シリコン基板、単結晶ゲルマニウム基板または単結晶シリコンゲルマニウム基板などの第14族元素でなる単結晶半導体基板を例示することができる。なお、ガリウムヒ素またはインジウムリンなどの化合物半導体基板を用いてもよい。単結晶半導体基板280は、円形であってもよいし、矩形状に加工されたものであってもよい。

【0117】

そして、単結晶半導体基板280の表面に酸化物層282を形成する（図8（C）参照）。酸化物層282の形成前には、前記薬液を用いて単結晶半導体基板280の表面を洗浄することが好ましい。ここで、希フッ酸とオゾン水を交互に吐出して洗浄する方法を採用すると、洗浄に用いる前記薬液の使用量を抑制することができ、好ましい。

【0118】

酸化物層282は、例えば、酸化シリコンまたは酸化窒化シリコンなどにより、単層でまたは複数の層を積層して形成することができる。酸化物層282は、熱酸化法、CVD法またはスパッタリング法などにより形成すればよい。CVD法を用いる場合には、テトラエトキシシラン（略称；TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）などの有機シランにより酸化シリコン層を形成することが好ましい。ここでは、単結晶半導体基板280に熱酸化処理を行うことで、酸化シリコンにより酸化物層282を形成する方法を採用する。

【0119】

熱酸化処理では、酸化性ガス雰囲気中にハロゲンを含ませて加熱を行うと、酸化物層282にハロゲンを含ませることができる。例えば、酸化物層282に塩素を含ませると、重金属（例えば、Fe、Cr、Ni、Moなど）を捕集して塩化物としてこれらを除去することが容易になる。そのため、単結晶半導体基板280の汚染を抑制することができる。

【0120】

なお、酸化物層282に含ませるハロゲンはフッ素でもよい。酸化物層282にフッ素を含ませるには、例えば、単結晶半導体基板280をフッ酸に浸漬させた後に酸化性ガス雰囲気中で熱酸化処理を行えばよい。または、 NF_3 を酸化性ガス雰囲気中含ませて熱酸化処理を行ってもよい。

【0121】

次に、イオンを電界で加速して単結晶半導体基板280に照射することで、単結晶半導体基板280の所定の深さの部分の結晶構造を破壊して脆化領域284を形成する（図8（D）参照）。

【0122】

形成される脆化領域284の深さは、イオンの入射速度、イオンの質量、電荷及びイオンの入射角などによって調節することができる。脆化領域284は、イオンの平均侵入深さとほぼ同じ深さに形成される。脆化領域284の深さを調節することで、単結晶半導体基板280から分離して形成される単結晶半導体層の厚さを調節することができる。この単結晶半導体層の厚さは、10nm以上500nm以下、好ましくは50nm以上200nm以下とするといよい。

【0123】

イオンの照射は、イオンドーピング装置またはイオン注入装置を用いて行えばよい。ここでは、イオンドーピング装置を用いて、水素イオンを単結晶半導体基板 280 に照射する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンは、 H_3^+ の比率を高くするとよく、具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が 50% 以上（より好ましくは 80% 以上）となるように調節するとよい。 H_3^+ の割合を高めることで、イオンの照射効率を高くすることができる。

【0124】

なお、添加するイオンは水素に限定されず、ヘリウムなどを用いてもよい。また、添加するイオンは一種類でなく、複数種類であってもよい。例えば、イオンドーピング装置を用いて水素とヘリウムを同時に照射する場合には、異なる工程で照射する場合よりも工程数を少なくすることができ、さらには単結晶半導体層の表面荒れを抑制することができる。

10

【0125】

なお、イオンドーピング装置を用いて脆化領域 284 を形成する場合には、チャンパー壁の重金属も同時に添加されるおそれがある。そこで、前記したハロゲンを含む酸化物層 282 を形成し、これを介してイオンを照射することで、単結晶半導体基板 280 の汚染を抑制することができる。

【0126】

次に、半導体基板 270 と単結晶半導体基板 280 を対向させ、酸化物層 282 を介して密着させて貼り合わせる（図 8（E）参照）。半導体基板 270 の表面にも酸化物層または窒化物層が設けられていてもよい。

20

【0127】

貼り合わせの際には、半導体基板 270 または単結晶半導体基板 280 の一箇所に、 0.001 N/cm^2 以上 100 N/cm^2 以下、好ましくは 1 N/cm^2 以上 20 N/cm^2 以下の圧力を加えるとよい。このような範囲の圧力を加えつつ貼り合わせ面を密着させると、密着した部分を始点として自発的な接合がほぼ全面におよぶ。この接合は、ファンデルワールス力及び水素結合によるものであり、加熱せずして常温（概ね 5 ～ 35）で行うことができる。

【0128】

なお、単結晶半導体基板 280 と半導体基板 270 を貼り合わせる前には、貼り合わせ面にウェット処理、ドライ処理またはこれらを組み合わせた表面処理を行ってもよい。

30

【0129】

なお、単結晶半導体基板 280 と半導体基板 270 を貼り合わせた後に熱処理を行ってもよい。この熱処理の温度は、脆化領域 284 における分離が生じない温度（例えば、常温（概ね 5 ～ 35）以上 400 未満）とする。また、この温度範囲で加熱しつつ、半導体基板 270 と酸化物層 282 を接合してもよい。熱処理に用いる装置は特に限定されない。

【0130】

次に、熱処理を行うことにより、単結晶半導体基板 280 を脆化領域 284（図 8（E）参照）において分離し、半導体基板 270 上に酸化物層 282 を介して設けられた単結晶半導体層 286 を形成する（図 8（F）参照）。なお、ここで、前記熱処理の温度は、例えば、300 以上 600 以下とすればよく、好ましくは 400 以上 500 以下とする。表面荒れを抑制することができるためである。

40

【0131】

また、単結晶半導体基板 280 を分離した後に 500 以上の温度で熱処理を行うと、単結晶半導体層 286 中に残存する水素の濃度を低減することができるため好ましい。

【0132】

次に、単結晶半導体層 286 の表面にレーザー光を照射することで、該表面の平坦性を向上させつつ欠陥を少なくして単結晶半導体層 288 を形成する（図 8（G）参照）。なお、レーザー光の照射処理に代えて、熱処理を行ってもよい。または、レーザー光を照射

50

する前にエッチング処理を行うことで単結晶半導体層 286 表面の欠陥が多い領域を除去してもよい。または、レーザー光を照射した後に単結晶半導体層 286 を薄くするよう加工（例えば、エッチング処理）を行ってもよい。

【0133】

以上説明したように、図 7 に示す記憶装置に採用されている S O I 基板を得ることができる（図 8（G）参照）。

【0134】

次に、図 7 に示す記憶装置の作製方法について説明する。まず、第 1 のトランジスタ 250 の作製方法について説明する。

【0135】

まず、単結晶半導体層 288 を島状に加工して半導体層 200 を形成する（図 9（A）参照）。なお、この工程の前後に、トランジスタのしきい値電圧を制御するために、半導体層 200 に導電性を付与する不純物元素を添加してもよい。半導体層 200 の材料がシリコンの場合には、n 型の導電性を付与する不純物元素としては、例えばリン及びヒ素などを例示することができ、p 型の導電性を付与する不純物元素としては、例えば、ホウ素、アルミニウム及びガリウムなどを例示することができる。

【0136】

次に、半導体層 200 を覆って第 1 の絶縁層 202 を形成する（図 9（B）参照）。第 1 の絶縁層 202 は、後にゲート絶縁層となるものである。第 1 の絶縁層 202 は、例えば、半導体層 200 表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。または、熱処理に代えて、高密度プラズマ処理を行ってもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xe などの希ガス、酸素ガス、酸化窒素ガス、アンモニアガス、窒素ガスまたは水素ガスなどを用いて行うことができ、これらの混合ガスを用いてもよい。または、CVD 法またはスパッタリング法などを用いて絶縁層を形成してもよい。第 1 の絶縁層 202 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素を含むハフニウムシリケートまたは窒素を含むハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））などにより、単層または複数の層を積層して形成することが好ましい。第 1 の絶縁層 202 の厚さは、例えば、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすればよい。ここでは、プラズマ CVD 法を用いて、酸化シリコンを含む絶縁層を単層で形成する。

【0137】

次に、第 1 の絶縁層 202 上にマスク 204 を形成し、導電性を付与する不純物元素を半導体層 200 に添加して第 1 の不純物領域 206 を形成する（図 9（C）参照）。その後、マスク 204 を除去する。

【0138】

次に、第 1 の絶縁層 202 上にマスク（図示しない）を形成し、第 1 の絶縁層 202 が第 1 の不純物領域 206 と重畳する部分の一部を除去するように加工することで、ゲート絶縁層 202a を形成する（図 9（D）参照）。第 1 の絶縁層 202 の加工はエッチング処理により行えばよい。

【0139】

次に、ゲート絶縁層 202a 上に導電層を形成した後にマスクを用いてこれを加工し、ゲート電極 208a 及び第 1 の導電層 208b を形成する（図 9（E）参照）。ここで、この導電層の材料及び形成方法は限定されない。この導電層の材料としては、アルミニウム、銅、チタン、タンタル及びタングステンなどの金属材料、並びに導電性を付与する不純物元素が添加された多結晶シリコンなどを例示することができる。この導電層の形成方法としては、蒸着法、CVD 法、スパッタリング法及びスピコート法などを例示することができる。また、この導電層は、単層であってもよいし、複数の層の積層であってもよい。

【0140】

次に、ゲート電極 208a 及び第 1 の導電層 208b をマスクとして、一導電型を付与する不純物元素を半導体層に添加して、チャネル形成領域 214、第 2 の不純物領域 210 及び第 3 の不純物領域 212 を形成する（図 10（A）参照）。ここでは、p 型トランジスタを形成するために、ホウ素またはアルミニウムなどを添加するとよい。不純物元素を半導体層に添加した後、活性化のための熱処理を行う。不純物領域のうち、添加された不純物元素の濃度は第 2 の不純物領域 210 が最も高く、第 1 の不純物領域 206 が最も低い。

【0141】

次に、ゲート絶縁層 202a、ゲート電極 208a、第 1 の導電層 208b を覆って第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 を形成する（図 10（B）参照）。

10

【0142】

第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンまたは酸化アルミニウムなどの無機絶縁材料により形成することができる。または、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 は、ポリイミドまたはアクリルなどの有機絶縁材料により形成してもよい。なお、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 に誘電率の低い（low-k）材料を用いると、複数の電極や配線の間に生じる寄生容量を低減することができるため好ましい。なお、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 は、列挙した前記材料により多孔性の絶縁層としてもよい。多孔性の絶縁層は誘電率が低く、複数の電極や配線の間に生じる寄生容量をさらに低減することができるため好ましい。ここでは、第 1 の絶縁層 216 を酸化窒化シリコンにより形成し、第 2 の絶縁層 218 を窒化酸化シリコンにより形成し、第 3 の絶縁層 220 を酸化シリコンにより形成する場合について説明する。なお、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 は、単層で形成してもよいし、複数の層を積層して形成してもよい。なお、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 として単層の絶縁層を形成してもよい。

20

【0143】

次に、第 2 の絶縁層 218 及び第 3 の絶縁層 220 に CMP 処理またはエッチング処理を行う（図 10（C）参照）。ここでは、少なくとも第 2 の絶縁層 218 の一部が露出されるまで CMP 処理を行う。第 2 の絶縁層 218 を窒化酸化シリコンにより形成し、第 3 の絶縁層 220 を酸化シリコンにより形成した場合には、第 2 の絶縁層 218 はエッチングストップパとして機能する。

30

【0144】

次に、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 に CMP 処理またはエッチング処理を行うことで、ゲート電極 208a 及び第 1 の導電層 208b の上面を露出させる（図 10（D）参照）。ここでは、ゲート電極 208a 及び第 1 の導電層 208b の一部が露出されるまでエッチング処理を行う。このエッチング処理は、ドライエッチングを用いることが好ましいが、ウェットエッチングを用いてもよい。ゲート電極 208a 及び第 1 の導電層 208b の上面を露出させるに際して、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 の表面は可能な限り平坦にしておくことが好ましい。第 2 のトランジスタ 252 の被形成面となるからである。

40

【0145】

以上説明したように、第 1 のトランジスタ 250 を形成することができる（図 10（D）参照）。

【0146】

次に、第 1 段のメモリセル 102a における第 2 のトランジスタ 252 の作製方法について説明する。

【0147】

まず、ゲート電極 208a、第 1 の導電層 208b、第 1 の絶縁層 216、第 2 の絶縁

50

層 218 及び第 3 の絶縁層 220 などの上に酸化物半導体層を形成し、この酸化物半導体層を加工して、酸化物半導体層 224 を形成する（図 11（A）参照）。なお、酸化物半導体層を形成する前に、第 1 の絶縁層 216、第 2 の絶縁層 218 及び第 3 の絶縁層 220 の上に、下地として機能する絶縁層を形成してもよい。この絶縁層の材料及び形成方法は特に限定されないが、一例として、酸化シリコンまたは酸化窒化シリコンなどにより、スパッタリング法または CVD 法などを用いて形成すればよい。なお、後に説明するように、下地として機能する絶縁層では、酸素が化学量論的組成より多い状態とすることが好ましい。

【0148】

酸化物半導体層 224 に用いる材料としては、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物（IGZO とも表記する）、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物などを列挙することができる。

【0149】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In、Ga 及び Zn を有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In、Ga 及び Zn 以外の金属元素が含まれていてもよい。

【0150】

酸化物半導体層は、水素、水、水酸基または水素化物などが混入しにくい方法で形成することが好ましい。例えば、スパッタリング法などを用いて形成すればよい。

【0151】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) 若しくは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。または、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) 若しくは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。ただし、これに限定されるものではない。

【0152】

スパッタリング法は、希ガス雰囲気、酸素ガス雰囲気または希ガスと酸素ガスの混合ガス雰囲気中などで行えばよい。また、酸化物半導体層への水素、水、水酸基または水素化物などの混入を防ぐために、これらが十分に除去された高純度ガスを用いることが好ましい。

【0153】

また、酸化物半導体層 224 の厚さは、3 nm 以上 30 nm 以下とすることが好ましい。酸化物半導体層 224 を厚くしすぎると（例えば、厚さ 50 nm 以上とすると）、トランジスタがノーマリーオンになってしまうおそれがあるからである。

【0154】

酸化物半導体層の具体的な形成方法の一例について説明する。

【0155】

まず、処理室内に基板を導入して加熱する。このときの基板温度は、200より高く500以下、好ましくは300より高く500以下、より好ましくは350以上450以下とする。

【0156】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを処理室内に導入してプラズマを発生させる逆スパッタを行って、酸化物半導体層の被形成面に付着している粉状物質などを除去することが好ましい。なお、アルゴンガスに代えて、窒素ガス、ヘリウムガス、酸素ガスなどを用いてもよい。

【0157】

なお、酸化物半導体層の加工前、酸化物半導体層の加工後（第1の熱処理）またはゲート絶縁層226の形成後に、熱処理を行うことが好ましい。この熱処理は不活性ガス雰囲気中で行い、不活性ガスの温度は250以上700以下、好ましくは450以上600以下とする。また、基板の温度は基板の歪み点未満となるようにする。これらの熱処理は、一度のみ行ってもよいし、複数回行ってもよい。これらの熱処理は、酸化物半導体層に脱水化及び脱水素化を行うものであるが、これらの熱処理により、酸化物半導体層224中の結晶構造を整え、エネルギーギャップ中の欠陥準位の数を低減することができる。

10

【0158】

酸化物半導体層は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。

20

【0159】

酸化物半導体層は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸またはb軸はマクロに揃っていない。

【0160】

酸化物半導体層は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体層は、例えば、1nm以上10nm未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。または、微結晶酸化物半導体層は、例えば、1nm以上10nm未満の結晶部を有する結晶-非晶質混相構造の酸化物半導体を有している。

30

【0161】

酸化物半導体層は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体層は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体層は、例えば、完全な非晶質であり、結晶部を有さない。

【0162】

なお、酸化物半導体層が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

40

【0163】

なお、酸化物半導体層は、例えば、単結晶を有してもよい。

【0164】

酸化物半導体層は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体

50

層の一例としては、C A A C - O S 膜がある。

【 0 1 6 5 】

C A A C - O S 膜は、完全な非晶質ではない。C A A C - O S 膜は、例えば、結晶部および非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体を有している。なお、当該結晶部は、一辺が 1 0 0 n m 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) による観察像では、C A A C - O S 膜に含まれる非晶質部と結晶部との境界、結晶部と結晶部との境界は明確ではない。また、T E M によって C A A C - O S 膜には明確な粒界 (グレインバウンダリーともいう。) は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

10

【 0 1 6 6 】

C A A C - O S 膜に含まれる結晶部は、例えば、c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつ a b 面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、8 0 ° 以上 1 0 0 ° 以下、好ましくは 8 5 ° 以上 9 5 ° 以下の範囲も含まれることとする。また、単に平行と記載する場合、- 1 0 ° 以上 1 0 ° 以下、好ましくは - 5 ° 以上 5 ° 以下の範囲も含まれることとする。

【 0 1 6 7 】

20

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 1 6 8 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形状 (被形成面の断面形状または表面の断面形状) によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

30

【 0 1 6 9 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 7 0 】

次に、酸化物半導体層 2 2 4 などの上に導電層を形成し、この導電層を加工して、ソース電極 2 2 2 a 及びドレイン電極 2 2 2 b を形成する (図 1 1 (B) 参照) 。ここで、この導電層の材料及び形成方法は限定されない。この導電層の材料としては、アルミニウム、銅、チタン、タンタル及びタングステンなどの金属材料、並びに導電性を付与する不純物元素が添加された多結晶シリコンなどを例示することができる。この導電層の形成方法としては、蒸着法、C V D 法、スパッタリング法及びスピンコート法などを例示することができる。また、この導電層は、単層であってもよいし、複数の層の積層であってもよい。なお、この導電層の加工は、形成されるソース電極 2 2 2 a 及びドレイン電極 2 2 2 b の端部が、テーパー形状となるように行うことが好ましい。

40

【 0 1 7 1 】

第 2 のトランジスタ 2 5 2 のチャネル長は、ソース電極 2 2 2 a の下端部と、ドレイン電極 2 2 2 b の下端部の間隔によって決まる。チャネル長が短く、例えば 2 5 n m 未満である場合には、加工に用いるマスクは、波長の短い超紫外光 (E x t r e m e U l t r a v i o l e t) によって露光を行うことが好ましい。チャネル長を短くすることで素子

50

の微細化がしやすく、素子の占有面積を小さくすることができる。

【0172】

なお、図示していないが、酸化物半導体層224と、ソース電極222a及びドレイン電極222bの間に、ソース領域またはドレイン領域として機能する酸化物導電層が設けられていてもよい。この酸化物導電層の材料は、酸化亜鉛を主成分として含み、酸化インジウムを主成分として含まないことが好ましい。この酸化物導電層の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム及び酸化亜鉛ガリウムなどを例示することができる。

【0173】

なお、「主成分」とは、組成で5 atomic %以上含まれるものをいう。

10

【0174】

酸化物導電層は、酸化物半導体層と積層して設けられた酸化物導電層を加工することにより形成してもよいし、ソース電極及びドレイン電極となる導電層と積層して設けられた導電層を加工することにより形成してもよい。

【0175】

酸化物半導体層とソース電極及びドレイン電極の間に酸化物導電層が設けられると、ソース電極とドレイン電極の間を低抵抗化し、第2のトランジスタ252をさらに高速動作させることができる。また、第2のトランジスタ252の絶縁耐圧を向上させることもできる。駆動回路などの周辺回路の周波数特性を向上させることもできる。

【0176】

20

次に、ソース電極222a及びドレイン電極222bを覆って、酸化物半導体層224の一部と接するように、ゲート絶縁層226を形成する(図11(C)参照)。

【0177】

ゲート絶縁層226は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素を含むハフニウムシリケート。または窒素を含むハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))などにより、単層または複数の層を積層して形成することが好ましい。または、酸化ガリウムにより形成してもよい。ゲート絶縁層226が酸化シリコンにより形成されている場合には、ゲート絶縁層226の厚さは、1 nm以上100 nm以下、好ましくは10 nm以上50 nm以下とすることが好ましい。ゲート絶縁層226は、CVD法またはスパッタリング法などを用いて形成すればよい。ただし、これらに限定されるものではない。

30

【0178】

ゲート絶縁層226は、前記範囲で薄くすることが好ましいが、ゲート絶縁層226を薄くすると、トンネル効果などに起因するゲートリークが問題となる。そのため、ゲート絶縁層226の材料には、高誘電率(high-k)材料を用いることが好ましい。高誘電率材料としては、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート及び窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))などが挙げられる。なお、ゲート絶縁層226は、high-k材料を含む層と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは酸化アルミニウムなどの層との積層であってもよい。

40

【0179】

ゲート絶縁層226は、第13族元素を含む絶縁性材料により形成してもよい。ゲート絶縁層226が第13族元素を含む絶縁性材料により形成されると、酸化物半導体層224とゲート絶縁層226の界面準位の発生などを抑え、界面特性を良好なものとすることができる。

【0180】

また、ゲート絶縁層226は、その表面のみならず、内部においても酸素が化学量論的組成より多い状態とすることが好ましい。酸素の導入は、酸素ガス雰囲気で行う熱処理ま

50

たは酸素ドーブにより行えばよい。酸素ドーブは、イオン注入法またはイオンドーピング法を用いて行えばよい。

【0181】

このような化学量論的組成より酸素が多い絶縁層は、酸化物半導体層224の下地として形成する絶縁層にも適用するとよい。

【0182】

なお、ゲート絶縁層226において、酸素が化学量論的組成より多い場合には、ゲート絶縁層226の形成後に熱処理を行うことが特に好ましい。第2の熱処理の温度は、200以上450以下、好ましくは250以上350以下である。このような温度で熱処理を行うことでゲート絶縁層226に含まれる酸素が酸化物半導体層に十分に供給され、酸素欠損に起因するエネルギーギャップ中の欠陥準位の数を低減することができる。

10

【0183】

次に、ゲート電極を形成するための導電層を形成し、この導電層を加工して、ゲート電極228a及び第2の導電層228bを形成する(図11(D)参照)。ここで、この導電層の材料及び形成方法は限定されない。この導電層の材料としては、アルミニウム、銅、チタン、タンタル及びタングステンなどの金属材料、並びに導電性を付与する不純物元素が添加された多結晶シリコンなどを例示することができる。この導電層の形成方法としては、蒸着法、CVD法、スパッタリング法及びスピンコート法などを例示することができる。また、この導電層は、単層であってもよいし、複数の層の積層であってもよい。

【0184】

20

次に、ゲート絶縁層226、ゲート電極228a及び第2の導電層228b上に、第4の絶縁層230を形成する(図12(A)参照)。第4の絶縁層230の材料としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム及び酸化アルミニウムなどを例示することができる。

【0185】

なお、第4の絶縁層230には、誘電率の低い材料や、誘電率の低い多孔性の構造(構造など)を用いるとよい。第4の絶縁層230の誘電率を低くすると、複数の電極や配線の間を生じる寄生容量を抑制し、記憶装置の動作の高速化を図ることができるからである。なお、本実施の形態では、第4の絶縁層230は単層構造としているがこれに限定されず、第4の絶縁層230は複数の層が積層されていてもよい。また、第4の絶縁層230は、PVD法またはCVD法などを用いて形成すればよい。

30

【0186】

次に、第4の絶縁層230上に第5の絶縁層234を形成し、第5の絶縁層234にCMP処理またはエッチング処理を行う(図12(B)参照)。このようにして、第1段のメモリセル102aを形成することができる。そして、第4の絶縁層230上に第2段のメモリセル102bを形成する。第2段のメモリセル102bは、上記説明した第1段のメモリセル102aと同様に形成すればよい。

【0187】

以上のようにして形成した第1段のメモリセル102a及び第2段のメモリセル102bに、ソース電極222aに達する開口部をエッチングなどにより形成し、この開口部に電極232を形成する。電極232は、積層された複数のメモリセルを互いに接続し、実施の形態1における書き込みデータ線130及び容量素子電源線134の少なくともいずれか一方に相当する(図12(C)参照)。

40

【0188】

電極232の材料としては、アルミニウム、銅、チタン、タンタル及びタングステンなどの金属材料、並びに導電性を付与する不純物元素が添加された多結晶シリコンなどを例示することができる。電極232の形成方法としては、蒸着法、CVD法、スパッタリング法及びスピンコート法などを例示することができる。また、この導電層は、単層であってもよいし、複数の層の積層であってもよい。

【0189】

50

電極 2 3 2 の形成方法として、好ましくは、第 4 の絶縁層 2 3 0 の開口部を含む領域に PVD 法を用いて約 5 nm のチタン層を形成し、開口部を埋め込むアルミニウム層を形成する。チタン層により被形成面の自然酸化膜などを還元し、ソース電極 2 2 2 a と電極 2 3 2 の接触抵抗を低減させ、アルミニウム層のヒロックを防止することができる。

【0190】

また、電極 2 3 2 が設けられる開口部は、第 1 の導電層 2 0 8 b と重畳する位置に設けられることが好ましい。コンタクト領域に起因する素子面積の増大を抑制し、記憶装置の集積度を向上させることができるからである。

【0191】

以上説明したように、図 7 に示す記憶装置を作製することができる。

10

【0192】

(実施の形態 3)

次に、本発明の一態様である電子機器について説明する。本発明の一態様である電子機器には、実施の形態 1 及び実施の形態 2 で説明した記憶装置を搭載させる。本発明の一態様である電子機器として、例えば、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などが挙げられる。例えば、このような電子機器の記憶部に実施の形態 1 及び実施の形態 2 で説明した記憶装置を設ければよい。

【0193】

20

図 1 3 (A) は、ノート型のパーソナルコンピュータであり、筐体 3 0 1、筐体 3 0 2、表示部 3 0 3、キーボード 3 0 4 などによって構成されている。筐体 3 0 1 と筐体 3 0 2 内には、実施の形態 1 及び実施の形態 2 で説明した記憶装置が設けられている。

【0194】

図 1 3 (B) は、携帯情報端末 (PDA) であり、本体 3 1 1 には、表示部 3 1 3、外部インターフェイス 3 1 5、操作ボタン 3 1 4 などが設けられている。更には、携帯情報端末を操作するスタイラス 3 1 2 などを備えている。本体 3 1 1 内には、実施の形態 1 及び実施の形態 2 で説明した記憶装置が設けられている。

【0195】

図 1 3 (C) は、電子ペーパーを実装した電子書籍 3 2 0 であり、筐体 3 2 1 と筐体 3 2 3 の 2 つの筐体で構成されている。筐体 3 2 1 及び筐体 3 2 3 には、それぞれ表示部 3 2 5 及び表示部 3 2 7 が設けられている。筐体 3 2 1 と筐体 3 2 3 は、軸部 3 3 7 により接続されており、軸部 3 3 7 を軸として開閉動作を行うことができる。そして、筐体 3 2 1 は、電源 3 3 1、操作キー 3 3 3、スピーカー 3 3 5などを備えている。筐体 3 2 1 及び筐体 3 2 3 の少なくともいずれかには、実施の形態 1 及び実施の形態 2 で説明した記憶装置が設けられている。

30

【0196】

図 1 3 (D) は、携帯電話機であり、筐体 3 4 0 と筐体 3 4 1 の 2 つの筐体で構成されている。さらに、筐体 3 4 0 と筐体 3 4 1 は、スライドし、図 1 3 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。そして、筐体 3 4 1 は、表示パネル 3 4 2、スピーカー 3 4 3、マイクロフォン 3 4 4、ポインティングデバイス 3 4 6、カメラ用レンズ 3 4 7、外部接続端子 3 4 8などを備えている。そして、筐体 3 4 0 は、携帯電話機の充電を行う太陽電池セル 3 4 9、外部メモリスロット 3 5 0などを備えている。なお、アンテナは、筐体 3 4 1 に内蔵されている。筐体 3 4 0 と筐体 3 4 1 の少なくともいずれかには、実施の形態 1 及び実施の形態 2 で説明した記憶装置が設けられている。

40

【0197】

図 1 3 (E) は、デジタルカメラであり、本体 3 6 1、表示部 3 6 7、接眼部 3 6 3、操作スイッチ 3 6 4、表示部 3 6 5、バッテリー 3 6 6 などによって構成されている。本体 3 6 1 内には、実施の形態 1 及び実施の形態 2 で説明した記憶装置が設けられている。

50

【 0 1 9 8 】

図 1 3 (F) は、テレビジョン装置 3 7 0 であり、筐体 3 7 1、表示部 3 7 3、スタンド 3 7 5 などで構成されている。テレビジョン装置 3 7 0 の操作は、筐体 3 7 1 が備えるスイッチや、リモコン操作機 3 8 0 により行うことができる。筐体 3 7 1 及びリモコン操作機 3 8 0 には、実施の形態 1 及び実施の形態 2 で説明した記憶装置が設けられている。

【 符号の説明 】

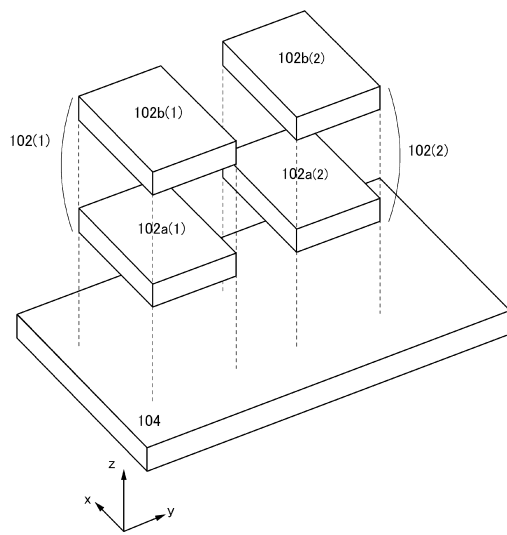
【 0 1 9 9 】

1 0 2	多層メモリセル	
1 0 2 a	第 1 段のメモリセル	
1 0 2 b	第 2 段のメモリセル	10
1 0 4	駆動回路	
1 0 4 a	書き込み回路	
1 0 4 b	読み出し回路	
1 0 4 c	回路	
1 0 6 a	第 1 の信号生成回路	
1 0 6 b	第 2 の信号生成回路	
1 0 8 a	第 1 のトランジスタ	
1 0 8 b	第 1 のトランジスタ	
1 1 0 a	第 2 のトランジスタ	
1 1 0 b	第 2 のトランジスタ	20
1 1 2 a	容量素子	
1 1 2 b	容量素子	
1 1 4	トランジスタ	
1 1 6	トランジスタ	
1 1 8	容量素子	
1 2 0	第 2 の書き込み選択線	
1 2 2	第 1 の書き込み選択線	
1 2 4	第 2 の読み出し選択線	
1 2 6	第 1 の読み出し選択線	
1 2 8	読み出し選択線	30
1 3 0	書き込みデータ線	
1 3 2	読み出しデータ線	
1 3 4	容量素子電源線	
1 3 6	読み出し電源線	
1 3 8	書き込み制御線	
1 4 0	書き込みデータ線	
1 4 2	読み出し制御線	
1 4 4	ラッチ制御線	
1 4 6	読み出しデータ線	
1 4 8	参照信号線	40
1 5 0	回路	
1 5 2	センスアンプ	
1 5 4	インバータ	
1 5 6	インバータ	
1 5 8	クロックドインバータ	
1 6 0	インバータ	
1 6 2	スイッチ	
1 6 4	インバータ	
1 6 6	スイッチ	
1 6 8	インバータ	50

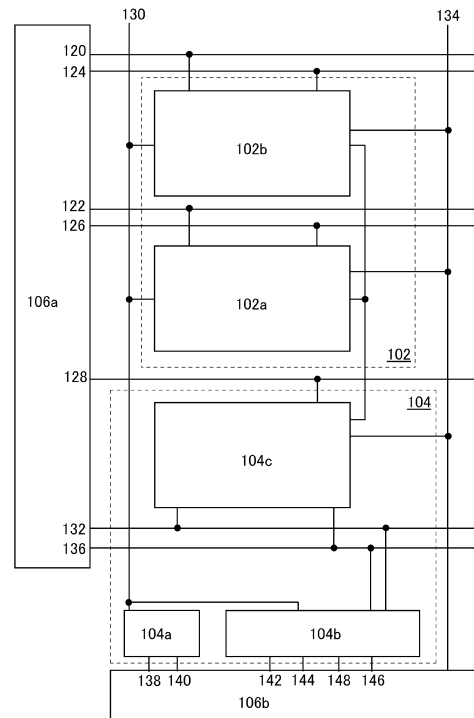
1 7 0	比較回路	
1 7 2	トランジスタ	
1 7 4	トランジスタ	
1 7 6	トランジスタ	
1 7 8	トランジスタ	
1 8 0	トランジスタ	
1 8 2	トランジスタ	
1 8 4	トランジスタ	
2 0 0	半導体層	
2 0 2	第 1 の絶縁層	10
2 0 2 a	ゲート絶縁層	
2 0 4	マスク	
2 0 6	第 1 の不純物領域	
2 0 8 a	ゲート電極	
2 0 8 b	第 1 の導電層	
2 1 0	第 2 の不純物領域	
2 1 2	第 3 の不純物領域	
2 1 4	チャネル形成領域	
2 1 6	第 1 の絶縁層	
2 1 8	第 2 の絶縁層	20
2 2 0	第 3 の絶縁層	
2 2 2 a	ソース電極	
2 2 2 b	ドレイン電極	
2 2 4	酸化物半導体層	
2 2 6	ゲート絶縁層	
2 2 8 a	ゲート電極	
2 2 8 b	第 2 の導電層	
2 3 0	第 4 の絶縁層	
2 3 2	電極	
2 3 4	第 5 の絶縁層	30
2 5 0	第 1 のトランジスタ	
2 5 2	第 2 のトランジスタ	
2 5 4	容量素子	
2 7 0	半導体基板	
2 8 0	単結晶半導体基板	
2 8 2	酸化物層	
2 8 4	脆化領域	
2 8 6	単結晶半導体層	
2 8 8	単結晶半導体層	
3 0 1	筐体	40
3 0 2	筐体	
3 0 3	表示部	
3 0 4	キーボード	
3 1 1	本体	
3 1 2	スタイラス	
3 1 3	表示部	
3 1 4	操作ボタン	
3 1 5	外部インターフェイス	
3 2 0	電子書籍	
3 2 1	筐体	50

3 2 3	筐体	
3 2 5	表示部	
3 2 7	表示部	
3 3 1	電源	
3 3 3	操作キー	
3 3 5	スピーカー	
3 3 7	軸部	
3 4 0	筐体	
3 4 1	筐体	
3 4 2	表示パネル	10
3 4 3	スピーカー	
3 4 4	マイクロフォン	
3 4 6	ポインティングデバイス	
3 4 7	カメラ用レンズ	
3 4 8	外部接続端子	
3 4 9	太陽電池セル	
3 5 0	外部メモリスロット	
3 6 1	本体	
3 6 3	接眼部	
3 6 4	操作スイッチ	20
3 6 5	表示部	
3 6 6	バッテリー	
3 6 7	表示部	
3 7 0	テレビジョン装置	
3 7 1	筐体	
3 7 3	表示部	
3 7 5	スタンド	
3 8 0	リモコン操作機	

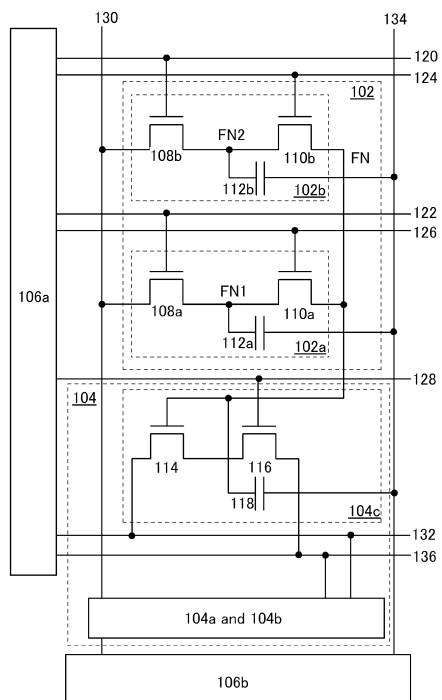
【図 1】



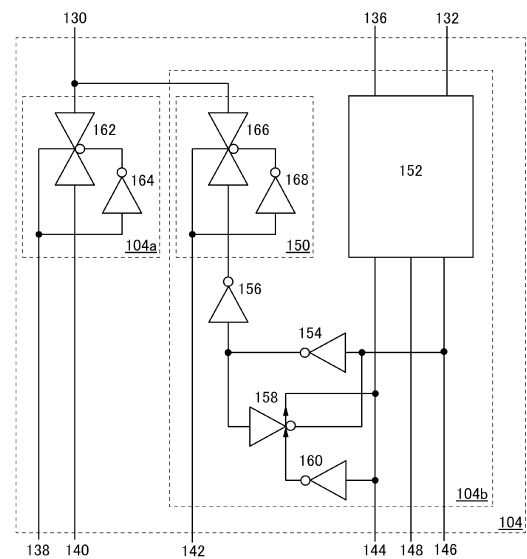
【図 2】



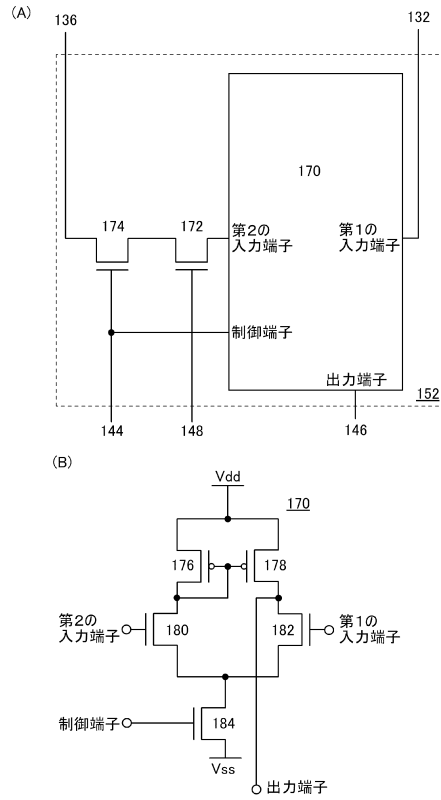
【図 3】



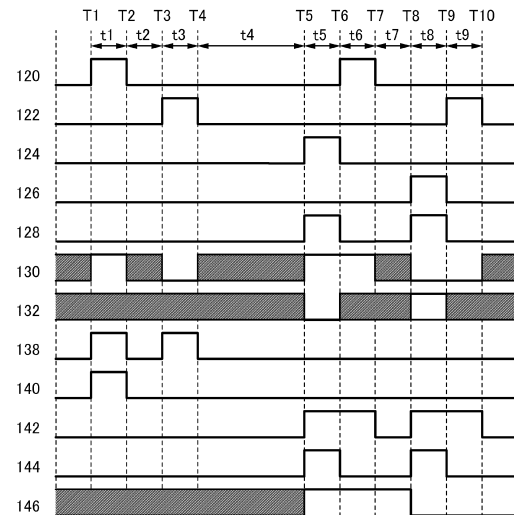
【図 4】



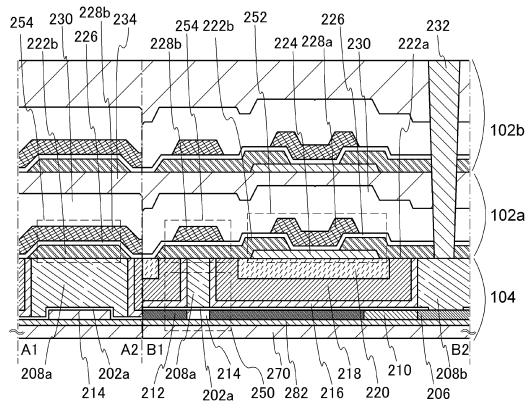
【図 5】



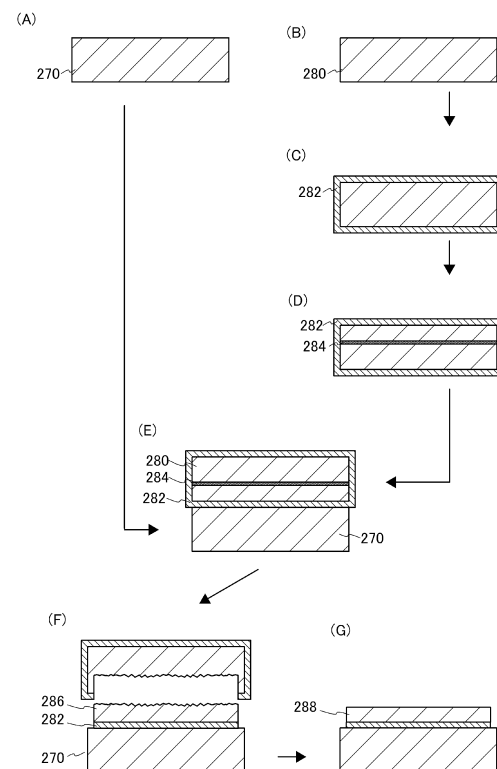
【図 6】



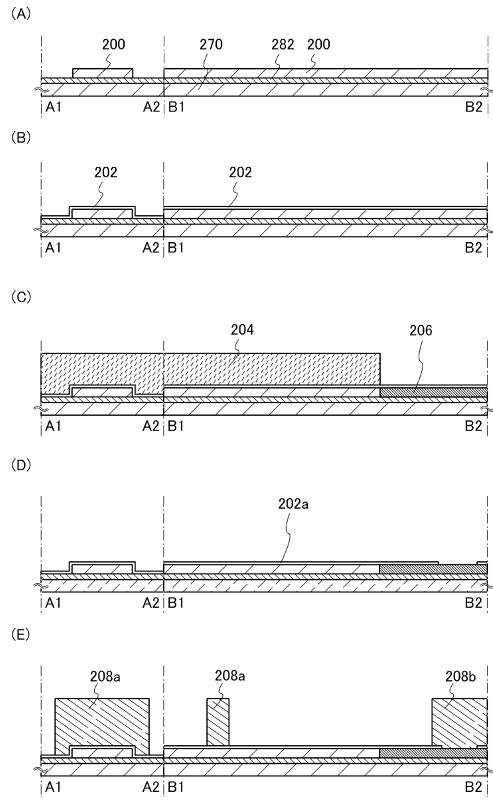
【図 7】



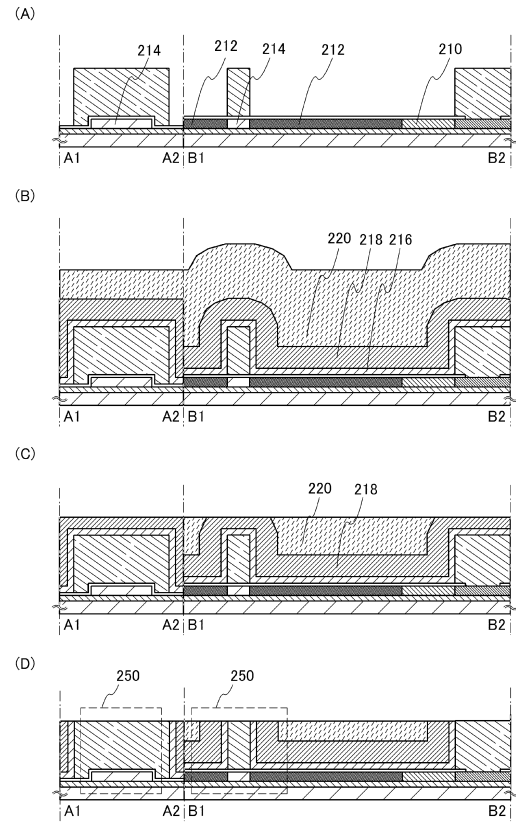
【図 8】



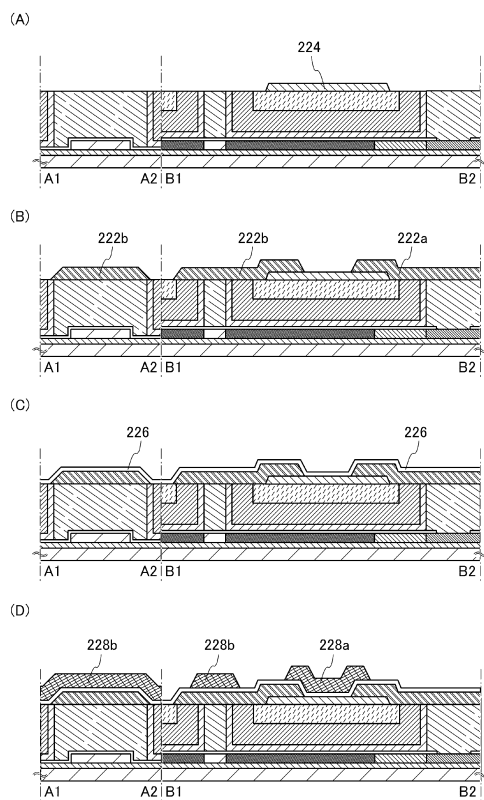
【図 9】



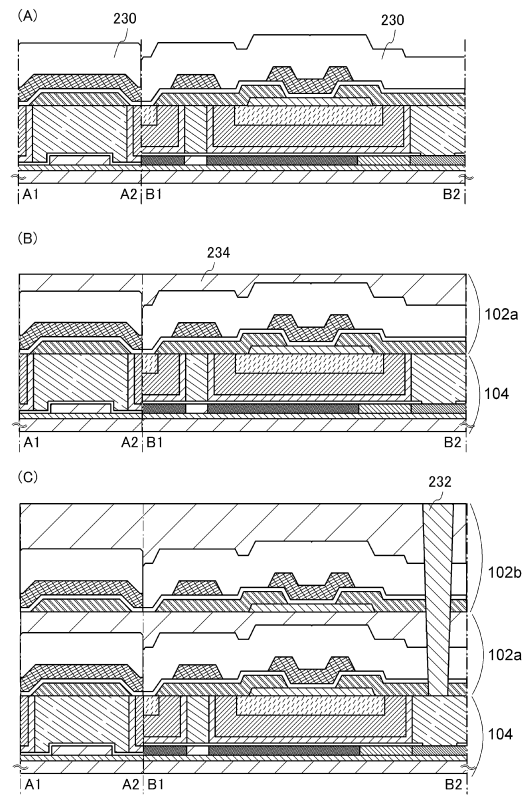
【図 10】



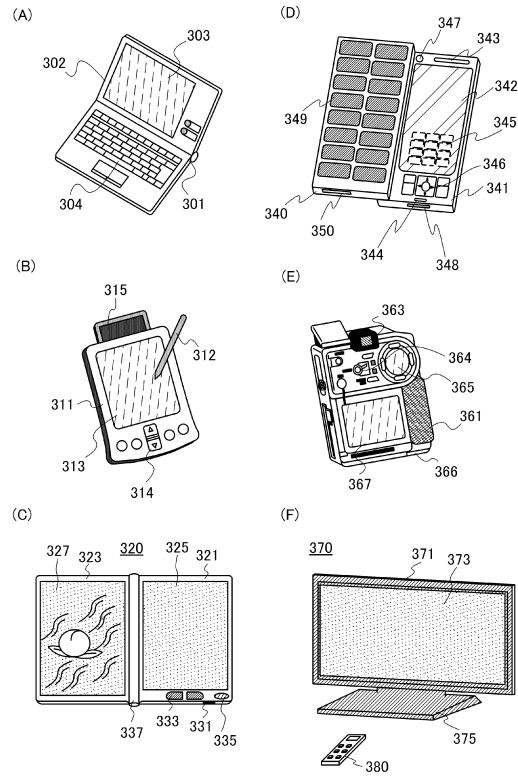
【図 11】



【図 12】



【図 13】



フロントページの続き

(56)参考文献 特開2009-158939(JP,A)
特開2011-233877(JP,A)
特開2013-065638(JP,A)
特開2000-150900(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242,
27/10, 27/108,
29/786