



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0106513
(43) 공개일자 2024년07월08일

(51) 국제특허분류(Int. Cl.)
G05B 11/42 (2006.01) G05B 11/28 (2006.01)
(52) CPC특허분류
G05B 11/42 (2024.01)
G05B 11/28 (2013.01)
(21) 출원번호 10-2022-0189405
(22) 출원일자 2022년12월29일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
최진영
서울특별시 노원구 동일로248길 16, 506동 1003호
김웅남
서울특별시 서초구 전원말안3길 6, B01호
(74) 대리인
김준석, 박민욱

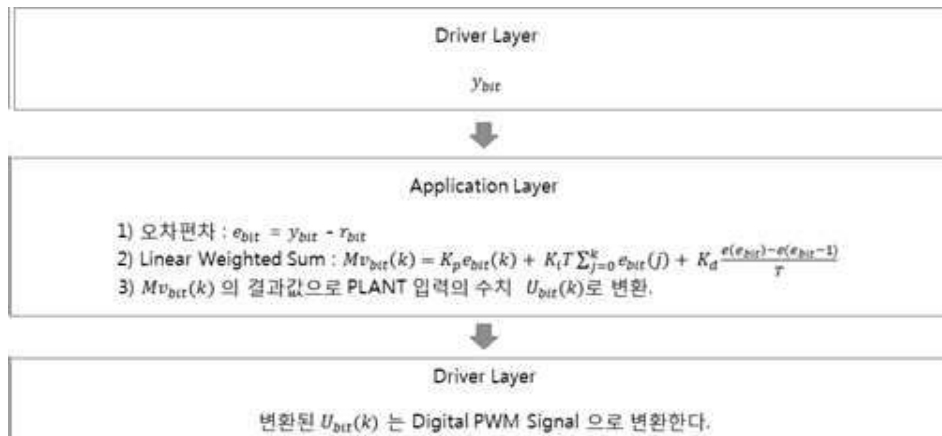
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 PID 연산 방법

(57) 요약

본 발명의 일 기술적 측면에 따른 PID 연산 방법은 이산 Sampling k번째 비트 Plant 출력 상수 값을 수신하는 단계; 오차편차를 기반으로 선형 가중치 합을 연산하는 단계; 상기 선형 가중치 합의 결과값으로 Plant 입력의 수치값으로 변환하는 단계; 및 상기 Plant 입력의 수치값을 기초로 디지털 PWM 시그널로 변환하는 단계;를 포함한다.

대표도 - 도6



이 발명을 지원한 국가연구개발사업

과제고유번호	1711159674
과제번호	2018-0-00532-005
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보보호핵심원천기술개발(정진기금)
연구과제명	(ICT 전문연구실) 고등급(EAL6 이상) 보안 마이크로커널 개발
기 여 율	100/100
과제수행기관명	고려대학교산학협력단
연구기간	2022.01.01 ~ 2022.12.31

명세서

청구범위

청구항 1

이산 Sampling k번째 비트 Plant 출력 상수 값을 수신하는 단계;
오차편차를 기반으로 선형 가중치 합을 연산하는 단계;
상기 선형 가중치 합의 결과값으로 Plant 입력의 수치값으로 변환하는 단계; 및
상기 Plant 입력의 수치값을 기초로 디지털 PWM 시그널로 변환하는 단계;
를 포함하는 PID 제어 장치.

발명의 설명

기술 분야

[0001] 본 발명은 PID 연산 방법에 관한 것이다.

배경 기술

- [0002] 일반적으로, 라운딩 회로는 사용자의 결정에 따라 유효숫자를 정하여 로직이 인에이블되면 반올림한 결과 값을 출력하는 회로를 말한다.
- [0003] 도 1에서 도시한 바와 같이, Inverted Pendulum은 비선형 기기 중 대표적인 연구 테스트 벤치로 활용되고 있고, 비선형 기기를 정밀하게 제어하기 위해서는 다양한 동역학 등의 고차 수학적 모델링 접근이 일반적인 예이다.
- [0004] 도 2에서 도시한 바와 같이, 종래의 Inverted Pendulum은 움직임 회전각에 따라 비례하여 Voltage Analog Signal은 DC 0~ 5V 범위 내에 전압이 변화하고, 만약, Inverted Pendulum이 아랫방향으로 떨어진 상태라고 가정 한다면, 0 Degree 이고, Voltage Analog Signal은 DC 0V 이다. 또한, 도 1과 같이 세워진 상태라면 180 Degree이고, Voltage Analog Signal은 DC 5V의 절반인 2.5V 이다.
- [0005] 종래의 Inverted Pendulum 기기의 센서(Sensor)는 일반적으로 ADC(Analog to Digital Converter) Chip을 사용하고, Inverted Pendulum의 Voltage Analog Signal은 센서에서 Digital 로 변환하게 된다.
- [0006] Controller에서는 Inverted Pendulum 회전각 $y(t)_{bit}$ 를 입력 받고, PLANT(Actuator Driver + Actuator) $u(t)_{bit}$ 의 Digital PWM Signal을 출력한다.
- [0007] 만약, Actuator가 PWM 방식의 모터를 가정한다면, Actuator Driver에서는 Controller에서 출력되는 Digital PWM 신호를 Analog PWM Signal으로 변환하는 하드웨어 모듈이다.
- [0008] 도 3에서 도시한 바와 같이, 종래의 Inverted Pendulum 소프트웨어는 일반적으로 사용되고 있는 이산 PID 방식을 사용할 수 있다.
- [0009] 도 4에서 도시한 바와 같이, 하드웨어에서는 Controller, Actuator Driver, Actuator, Sensor로 나뉘었으며, 소프트웨어에서는 Application, Driver, I/O Layer로 나뉜다.
- [0010] Application Layer에서는 10진수로 연산되고, Driver Layer에서는 I/O와 함께 Bit 진수 단위로 이루어 졌다.
- [0011] 일반적으로, Driver Layer에서 Application Layer으로 Data Type Conversion을 하게 된다. 이 Data Type Conversion에서는 Round off Error가 발생하게 되는 문제점이 있다.
- [0012] 도 5에서 도시한 바와 같이, Application Layer에서의 호출에 따라 Driver Layer에서는 Data Type Conversion을 하게 되고, Inverted Pendulum 기기를 예를 들어보면, 실제 y_{bit} 는 전체 Resolution N bit ADC이고, 소수점을

발생시킬 수 있다.

[0013] 이로 인해 시그마 함수에서 Round off Error는 누적될 수 있다.

선행기술문헌

특허문헌

[0014] (특허문헌 0001) 대한민국 공고특허공보 제10-0192968호("라운드 오프 에러를 최소화하기 위한 라운딩 장치", 공개일자: 1997.12.12)

발명의 내용

해결하려는 과제

[0015] 본 발명은 Round Off Error를 줄이기 위한 PID 연산 방법을 제공하고자 한다.

과제의 해결 수단

[0016] 본 발명의 일 기술적 측면은 이산 Sampling k번째 비트 Plant 출력 상수 값을 수신하는 단계; 오차편차를 기반으로 선형 가중치 합을 연산하는 단계; 상기 선형 가중치 합의 결과값으로 Plant 입력의 수치값으로 변환하는 단계; 및 상기 Plant 입력의 수치값을 기초로 디지털 PWM 시그널로 변환하는 단계;를 포함한다.

발명의 효과

[0017] 본 발명의 일 실시형태에 따르면, 비트 진수로 연산하기 때문에 Round off error 를 줄일 수 있고, FPGA 프로그램(VHDL or Verilog) 구현을 단순화시킬 수 있다.

도면의 간단한 설명

[0018] 도 1은 종래의 Inverted Pendulum 장치의 PID 제어 방법을 설명하기 위한 도면이다.

도 2는 종래의 Inverted Pendulum 하드웨어를 설명하기 위한 블록도이다.

도 3은 종래의 Inverted Pendulum 소프트웨어를 설명하기 위한 블록도이다.

도 4는 종래의 PID 제어 시스템을 설명하기 위한 도면이다.

도 5는 종래 기술의 PID 제어 방법을 설명하기 위한 순서도이다.

도 6은 본 발명의 일 실시예에 따른 PID 제어 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0020] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 본 발명에 대해 구체적으로 설명하기로 한다.

[0021] 본 발명에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 판례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 발명에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 발명의 전반에 걸친 내용을 토대로 정의되어야 한다.

[0022] 명세서 전체에서 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다. 또한, 명세서에서 사용되는

"부", "모듈", "유닛" 등의 용어는 적어도 하나의 기능 또는 동작을 처리하는 단위를 의미하며, 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소, 또는 소프트웨어와 하드웨어의 결합으로 구현될 수 있다. 그렇지만 "부", "모듈", "유닛" 등의 용어가 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. "부", "모듈", "유닛" 등은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 "부", "모듈", "유닛" 등의 용어는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다.

[0023] 아래에서는 첨부한 도면을 참고하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략한다.

[0024] "제1", "제2" 등과 같이 서수를 포함하는 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의해 한정되지는 않는다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. "및/또는" 이라는 용어는 복수의 관련된 항목들의 조합 또는 복수의 관련된 항목들 중의 어느 하나의 항목을 포함한다.

[0026] 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 PID 연산 방법을 설명하도록 한다.

[0027] 도 6은 본 발명의 일 실시예에 따른 PID 제어 방법을 설명하기 위한 순서도이다.

[0028] PID 제어 장치는 이산 Sampling k번째 비트 Plant 출력 상수 값을 수신할 수 있다.

[0029] 이때, 누적된 Round off Error를 줄이기 위해, PID 제어 장치는 다음의 수학적 식 1에서 PID의 모든 연산 과정을 비트 진수로 연산할 수 있다.

수학적 식 1

$$Mv(k) = K_p e(k) + K_i T \sum_{j=0}^k e(j) + K_d \frac{e(k) - e(k-1)}{T}$$

[0030]

[0031] 이때, K_p, K_i, K_d, T 는 상수이므로, PID 제어 장치는 다음의 수학적 식 2와 같이 변형할 수 있다.

수학적 식 2

$$Mv_{bit}(k) = W1_{bit} e_{bit}(k) + W2_{bit} \sum_{j=0}^k e_{bit}(j) + W3_{bit} (e_{bit}(k) - e_{bit}(k-1))$$

[0032]

[0033] 여기서, $W1_{dec}, W2_{dec}, W3_{dec}$ 은 가중치 Weight이며 비트이고, $e_{bit} = y_{bit} - r_{bit}$ 로 나타낸다.

[0034] $W1_{dec} = K_p$ 이고, $W2_{dec} = K_i T$ 이며, $W3_{dec} = \frac{K_d}{T}$ 일 수 있다.

[0035] 그리고, $W1_{dec}, W2_{dec}, W3_{dec}$ 은 $W1_{bit}, W2_{bit}, W3_{bit}$ 으로 전환할 수 있다.

[0036] PID 제어 장치는 오차편차를 기반으로 선형 가중치 합을 연산할 수 있다.

[0037] PID 제어 장치는 선형 가중치 합 결과값으로 Plant 입력의 수치값으로 변환할 수 있다.

[0038] PID 제어 장치는 Plant 입력의 수치값을 기초로 디지털 PWM 신호로 변환할 수 있다.

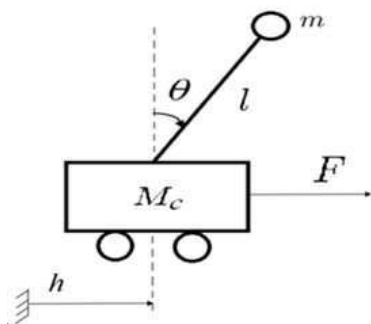
[0039] 즉, PID 제어 장치는 비트 진수로 연산함으로써 Round off Error를 줄일 수 있다.

[0041] 이상에서 설명한 바와 같이, 본 발명에 따르면, 비트 진수로 연산하기 때문에 Round off error 를 줄일 수 있고, FPGA 프로그램(VHDL or Verilog) 구현을 단순화시킬 수 있다.

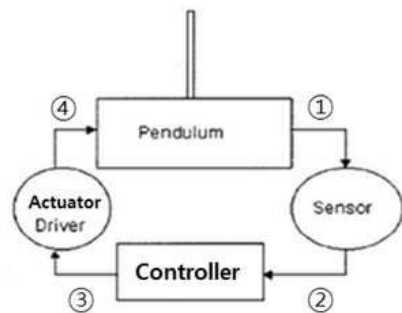
[0043] 본원 발명의 실시예들과 관련된 기술 분야에서 통상의 지식을 가진 자는 상기 기재의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로, 개시된 방법들은 한정적인 관점이 아닌 설명적 관점에서 고려되어야 한다. 본 발명의 범위는 발명의 상세한 설명이 아닌 특허청구 범위 에 나타나며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

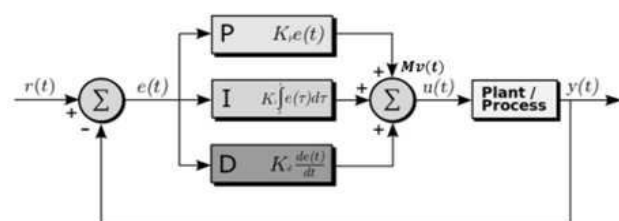
도면1



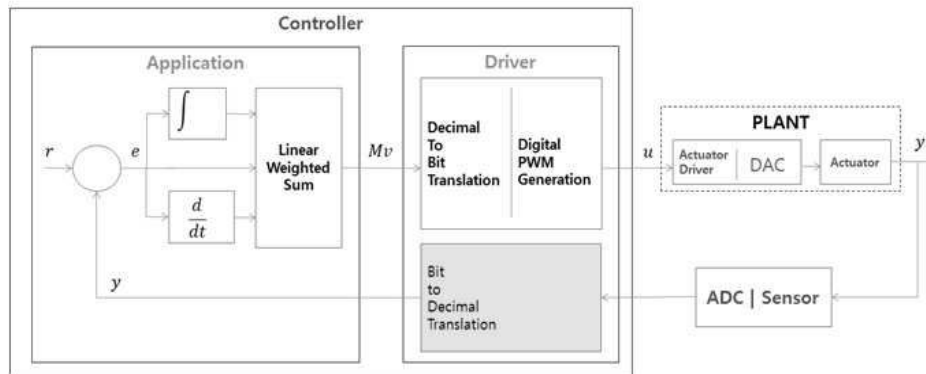
도면2



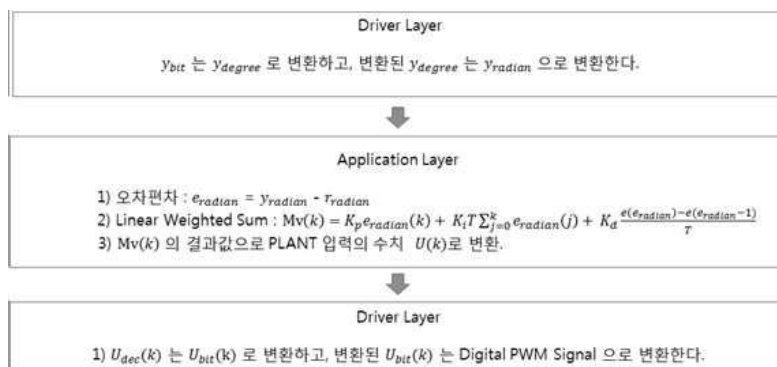
도면3



도면4



도면5



도면6

