



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I622050 B

(45) 公告日：中華民國 107 (2018) 年 04 月 21 日

(21) 申請案號：106113080 (22) 申請日：中華民國 106 (2017) 年 04 月 19 日

(51) Int. Cl. : **G11C11/22 (2006.01)** **G11C11/40 (2006.01)**
G11C8/14 (2006.01)

(30) 優先權：2016/04/28 美國 15/141,491

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
 美國

(72) 發明人：卡曼 埃里克 S CARMAN, ERIC S. (US)

(74) 代理人：陳長文

(56) 參考文獻：

US	5959878	US	6147895
US	6256220B1	US	6856573B2

審查人員：蔡明宏

申請專利範圍項數：20 項 圖式數：10 共 71 頁

(54) 名稱

記憶體單元板之間的電荷共享

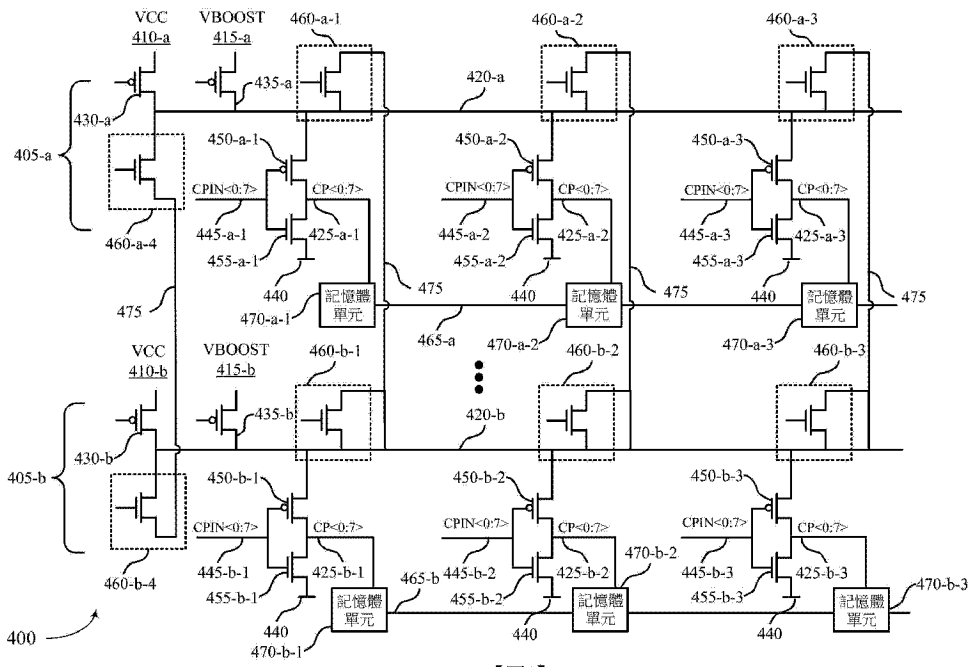
CHARGE SHARING BETWEEN MEMORY CELL PLATES

(57) 摘要

描述用於操作一或若干鐵電記憶體單元之方法、系統、技術及裝置。一第一鐵電記憶體單元可被用以藉由將電荷自第一鐵電記憶體單元之一板轉移至一第二鐵電記憶體單元之一板而給該第二鐵電記憶體單元充電。在一些實例中，於電荷之該轉移之前，可選擇該第一鐵電記憶體單元用於一第一操作，其中該第一鐵電記憶體單元自一充電狀態轉變至一放電狀態，且可選擇該第二鐵電記憶體單元用於一第二操作，在此期間，該第二鐵電記憶體單元自一放電狀態轉變至一充電狀態。該第一鐵電記憶體單元之該放電可被用以幫助給該第二鐵電記憶體單元充電。

Methods, systems, techniques, and devices for operating a ferroelectric memory cell or cells are described. A first ferroelectric memory cell may be used to charge a second ferroelectric memory cell by transferring charge from a plate of first ferroelectric memory cell to a plate of the second ferroelectric memory cell. In some examples, prior to the transfer of charge, the first ferroelectric memory cell may be selected for a first operation in which the first ferroelectric memory cell transitions from a charged state to a discharged state and the second ferroelectric memory cell may be selected for a second operation during which the second ferroelectric memory cell transitions from a discharged state to a charged state. The discharging of the first ferroelectric memory cell may be used to assist in charging the second ferroelectric memory cell.

指定代表圖：



【圖4】

符號簡單說明：

- 400 . . . 電路
- 405-a . . . 區段
- 405-b . . . 區段
- 410-a . . . VCC
- 410-b . . . VCC
- 415-a . . . VBOOST
- 415-b . . . VBOOST
- 420-a . . . 電源供應線
- 420-b . . . 電源供應線
- 425-a-1 . . . 板線
- 425-a-2 . . . 板線
- 425-a-3 . . . 板線
- 425-b-1 . . . 板線
- 425-b-2 . . . 板線
- 425-b-3 . . . 板線
- 430-a . . . 切換組件
- 430-b . . . 切換組件
- 435-a . . . 切換組件
- 435-b . . . 切換組件
- 440 . . . 接地
- 445-a-1 . . . 驅動器 CPIN
- 445-a-2 . . . 驅動器 CPIN
- 445-a-3 . . . 驅動器 CPIN
- 445-b-1 . . . 驅動器 CPIN
- 445-b-2 . . . 驅動器 CPIN
- 445-b-3 . . . 驅動器 CPIN
- 450-a-1 . . . 切換組件
- 450-a-2 . . . 切換組件

450-a-3 . . . 切換組
件

450-b-1 . . . 切換組
件

450-b-2 . . . 切換組
件

450-b-3 . . . 切換組
件

455-a-1 . . . 切換組
件

455-a-2 . . . 切換組
件

455-a-3 . . . 切換組
件

455-b-1 . . . 切換組
件

455-b-2 . . . 切換組
件

455-b-3 . . . 切換組
件

460-a-1 . . . 切換組
件

460-a-2 . . . 切換組
件

460-a-3 . . . 切換組
件

460-a-4 . . . 切換組
件

460-b-1 . . . 切換組
件

460-b-2 . . . 切換組
件

460-b-3 . . . 切換組
件

460-b-4 . . . 切換組
件

465-a . . . 字線

465-b . . . 字線

470-a-1 . . . 記憶體
單元

- 470-a-2 . . . 記憶體
單元
- 470-a-3 . . . 記憶體
單元
- 470-b-1 . . . 記憶體
單元
- 470-b-2 . . . 記憶體
單元
- 470-b-3 . . . 記憶體
單元
- 475 . . . 等化線



申請日: 106/04/19

IPC分類: **G11C 11/22** (2006.01)
G11C 11/40 (2006.01)
G11C 8/14 (2006.01)

【發明摘要】

【中文發明名稱】

記憶體單元板之間的電荷共享

公告本

【英文發明名稱】

CHARGE SHARING BETWEEN MEMORY CELL PLATES

【中文】

描述用於操作一或若干鐵電記憶體單元之方法、系統、技術及裝置。一第一鐵電記憶體單元可被用以藉由將電荷自第一鐵電記憶體單元之一板轉移至一第二鐵電記憶體單元之一板而給該第二鐵電記憶體單元充電。在一些實例中，於電荷之該轉移之前，可選擇該第一鐵電記憶體單元用於一第一操作，其中該第一鐵電記憶體單元自一充電狀態轉變至一放電狀態，且可選擇該第二鐵電記憶體單元用於一第二操作，在此期間，該第二鐵電記憶體單元自一放電狀態轉變至一充電狀態。該第一鐵電記憶體單元之該放電可被用以幫助給該第二鐵電記憶體單元充電。

【英文】

Methods, systems, techniques, and devices for operating a ferroelectric memory cell or cells are described. A first ferroelectric memory cell may be used to charge a second ferroelectric memory cell by transferring charge from a plate of first ferroelectric memory cell to a plate of the second ferroelectric memory cell. In some examples, prior to the transfer of charge, the first ferroelectric memory cell may be selected for a first operation in which the first ferroelectric memory cell transitions from a charged state to a discharged state and the second

ferroelectric memory cell may be selected for a second operation during which the second ferroelectric memory cell transitions from a discharged state to a charged state. The discharging of the first ferroelectric memory cell may be used to assist in charging the second ferroelectric memory cell.

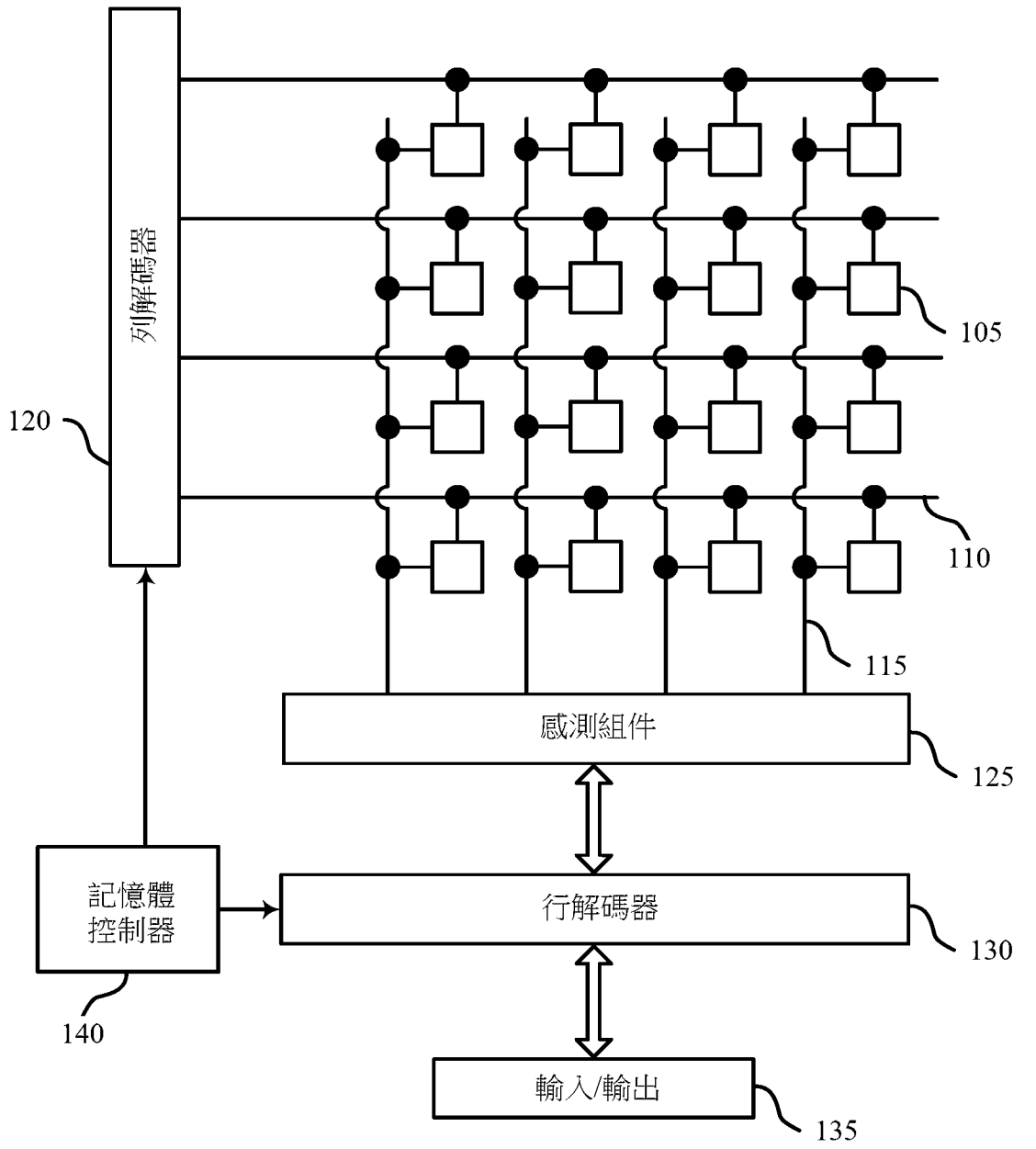
【指定代表圖】

圖4

【代表圖之符號簡單說明】

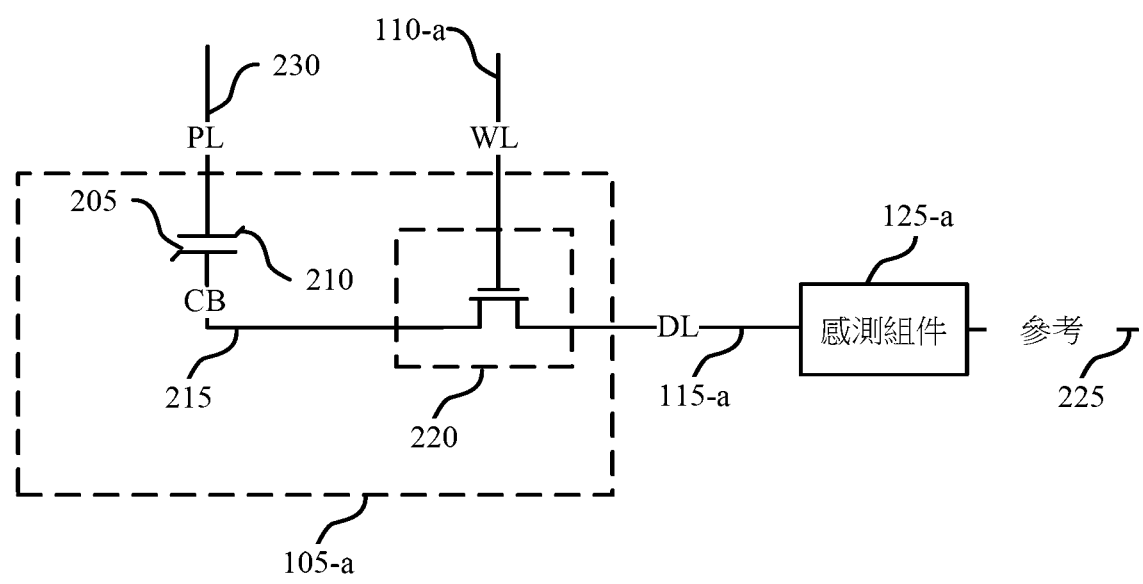
400	電路
405-a	區段
405-b	區段
410-a	VCC
410-b	VCC
415-a	VBOOST
415-b	VBOOST
420-a	電源供應線
420-b	電源供應線
425-a-1	板線
425-a-2	板線
425-a-3	板線
425-b-1	板線
425-b-2	板線
425-b-3	板線

【發明圖式】



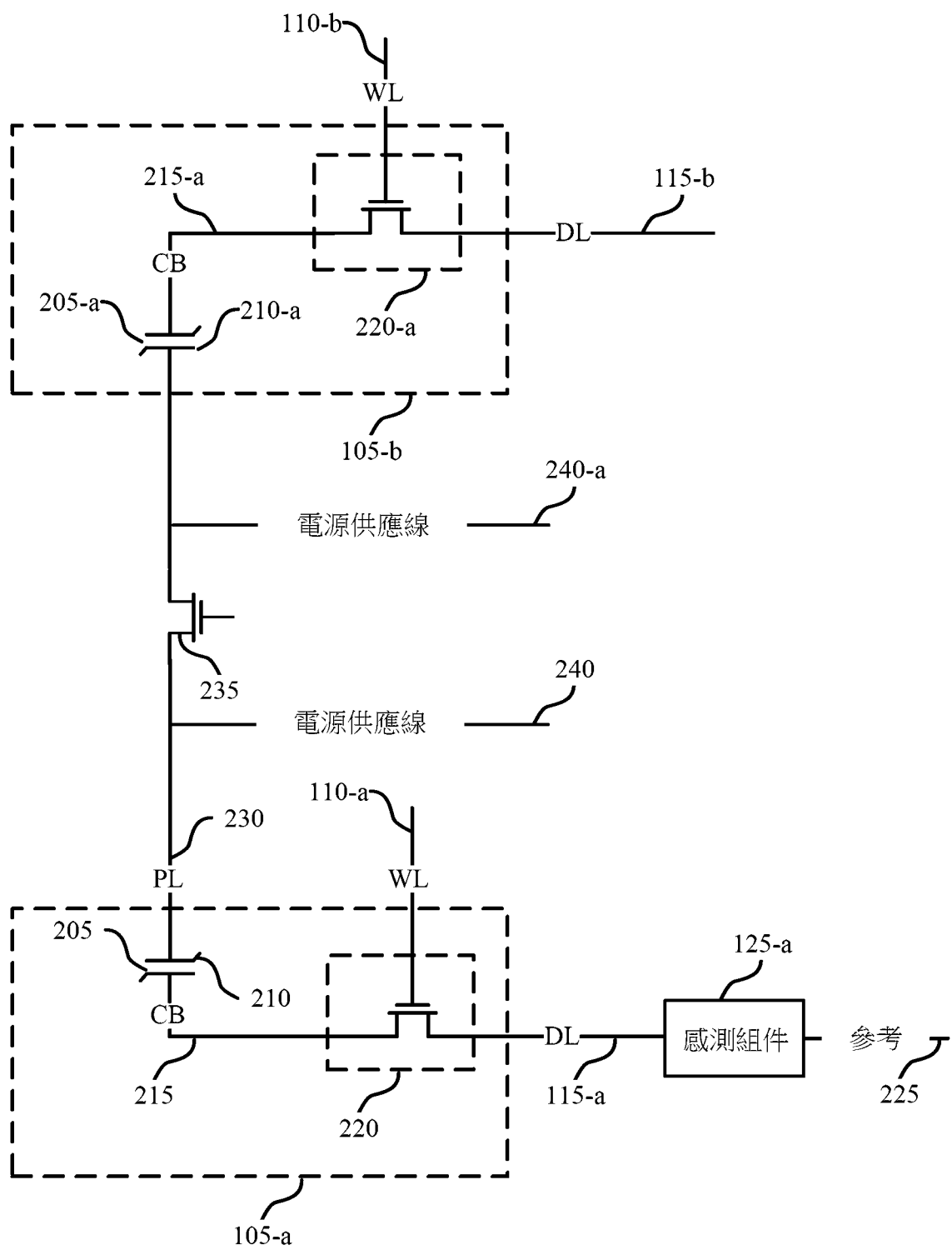
【圖1】

100

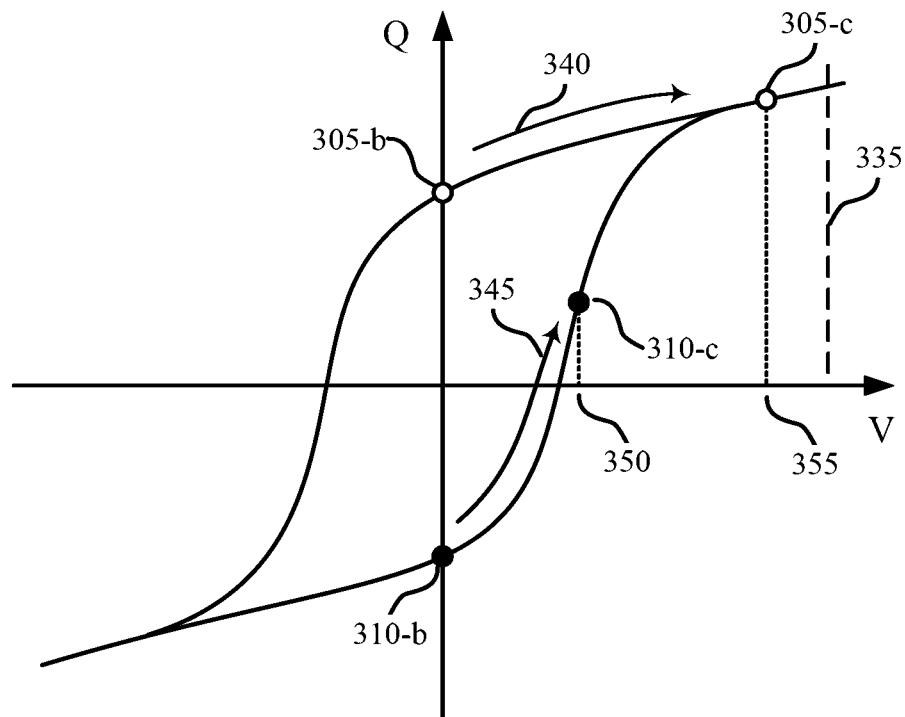
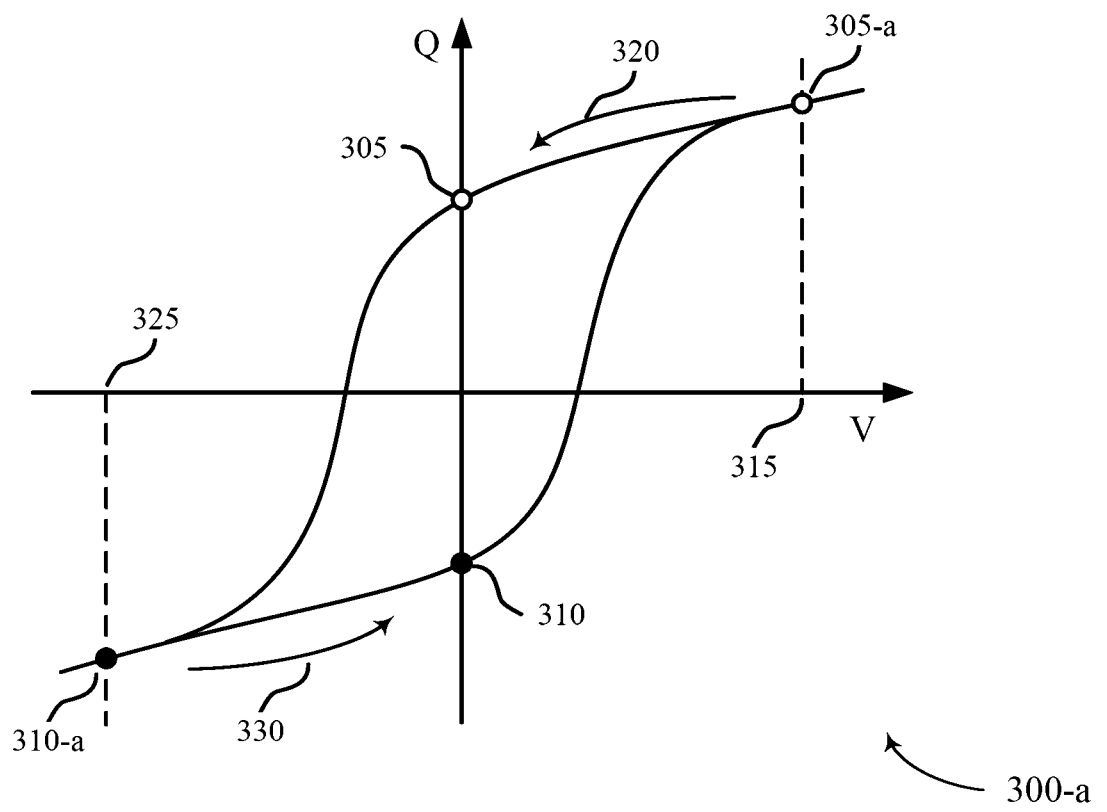


【圖2A】

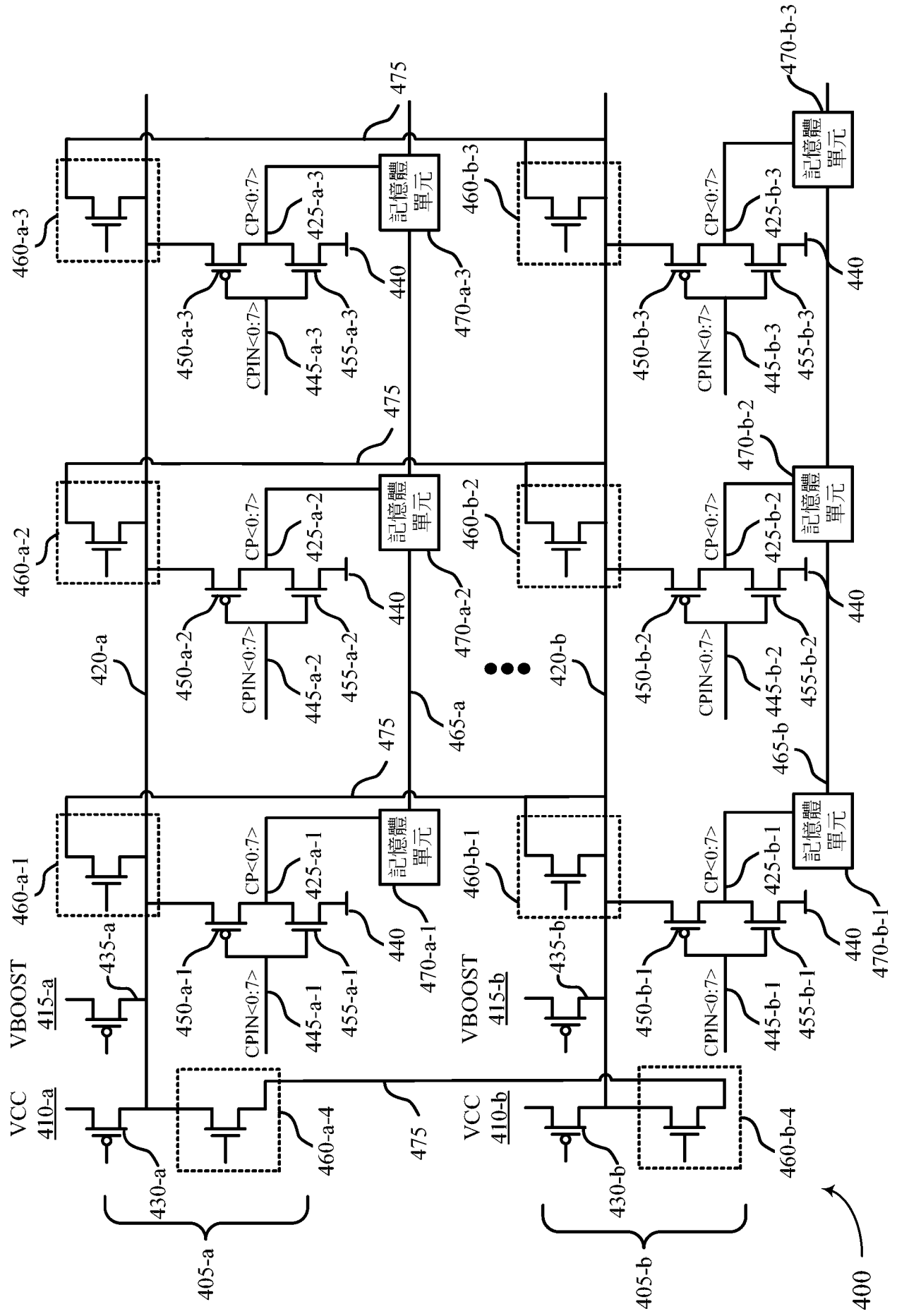
200-a



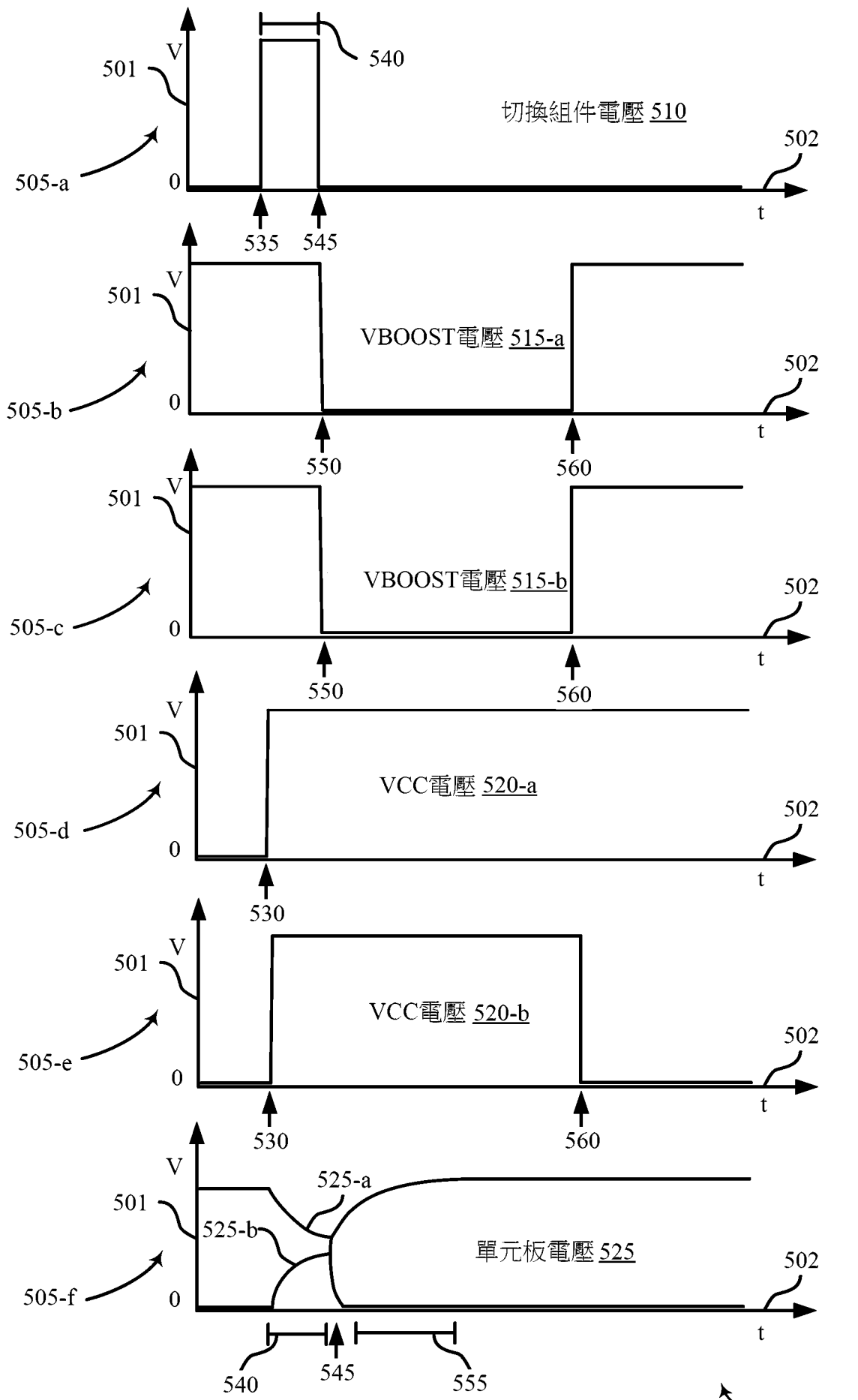
【圖2B】



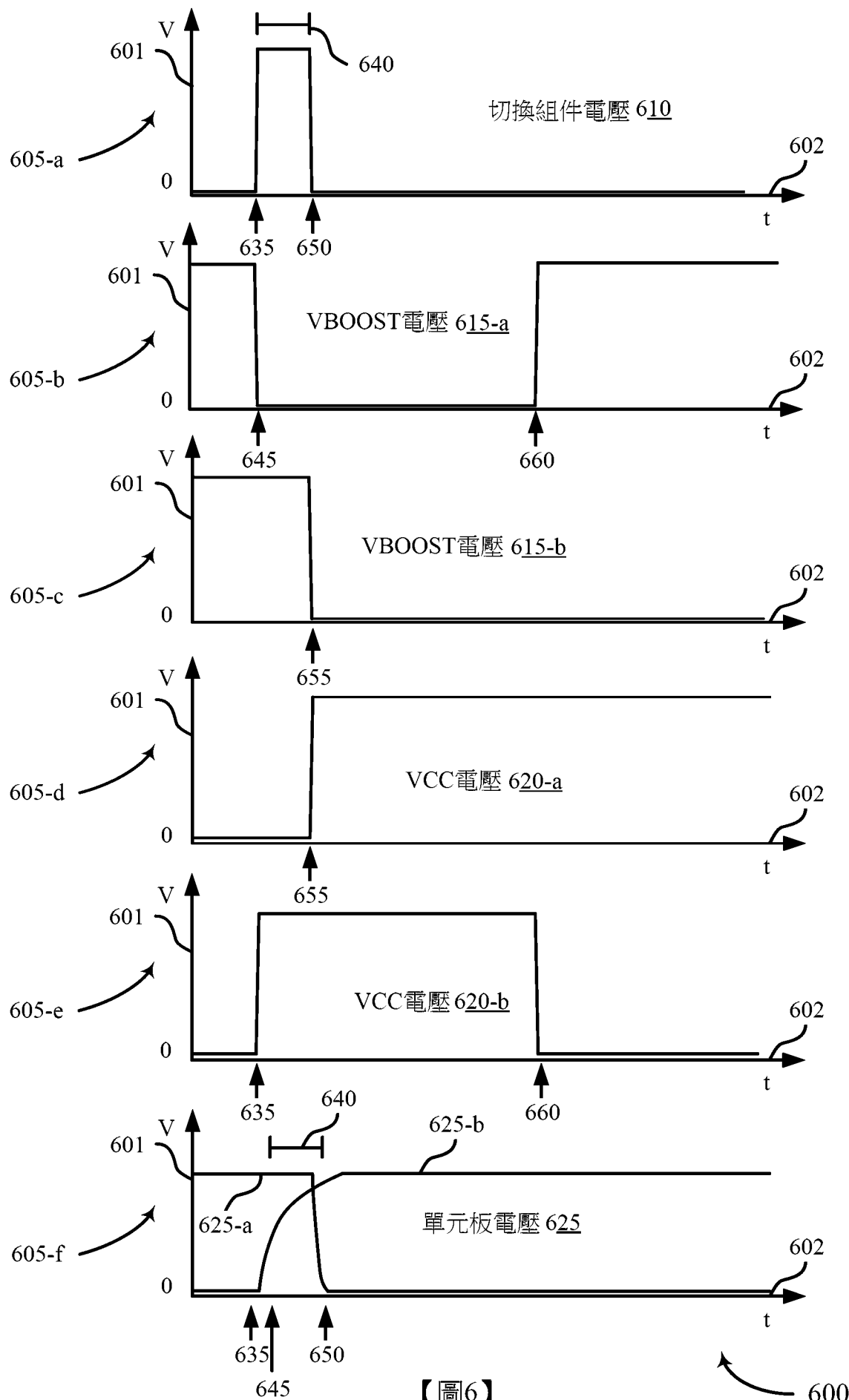
【圖3】



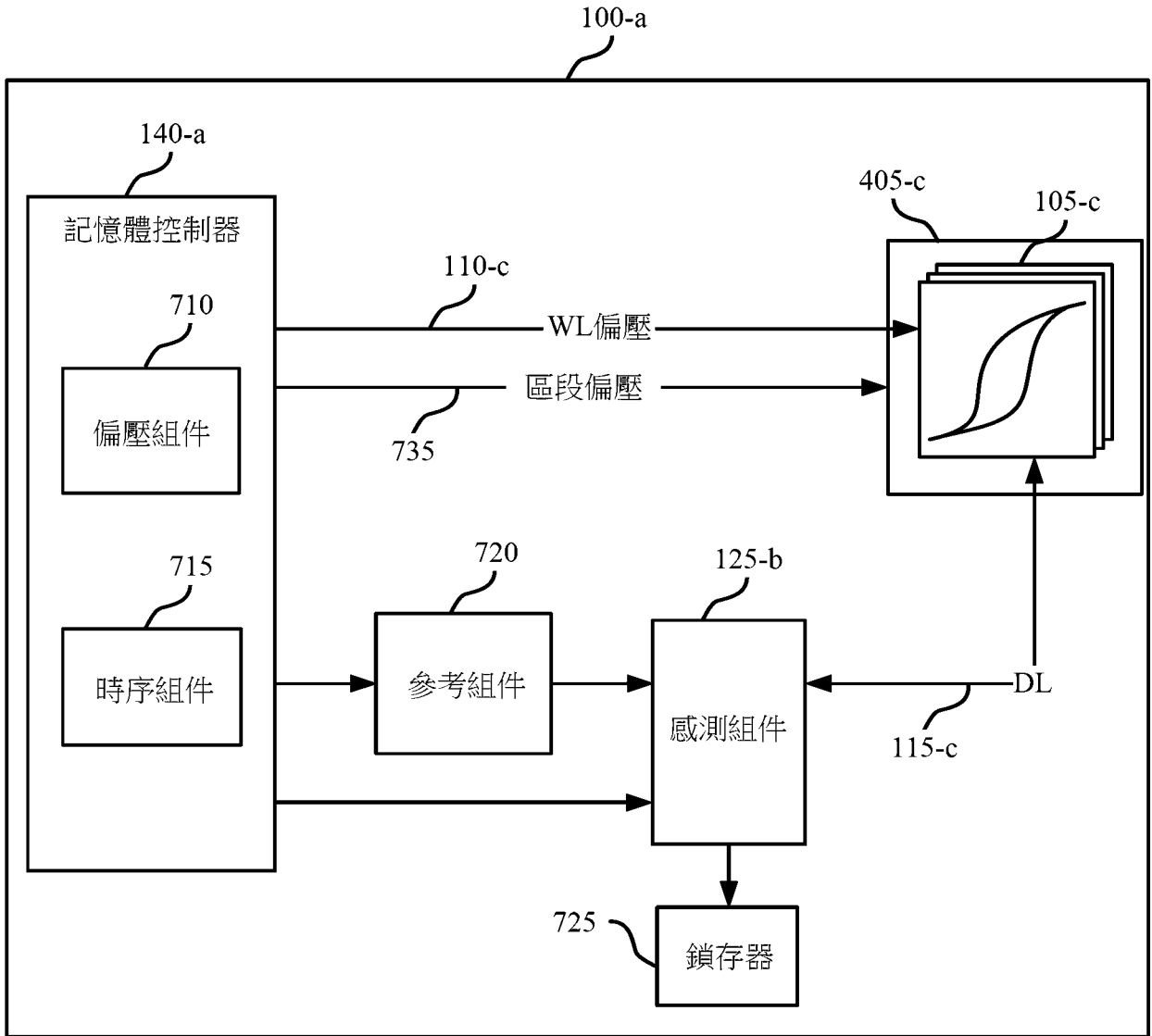
【圖4】



【圖5】

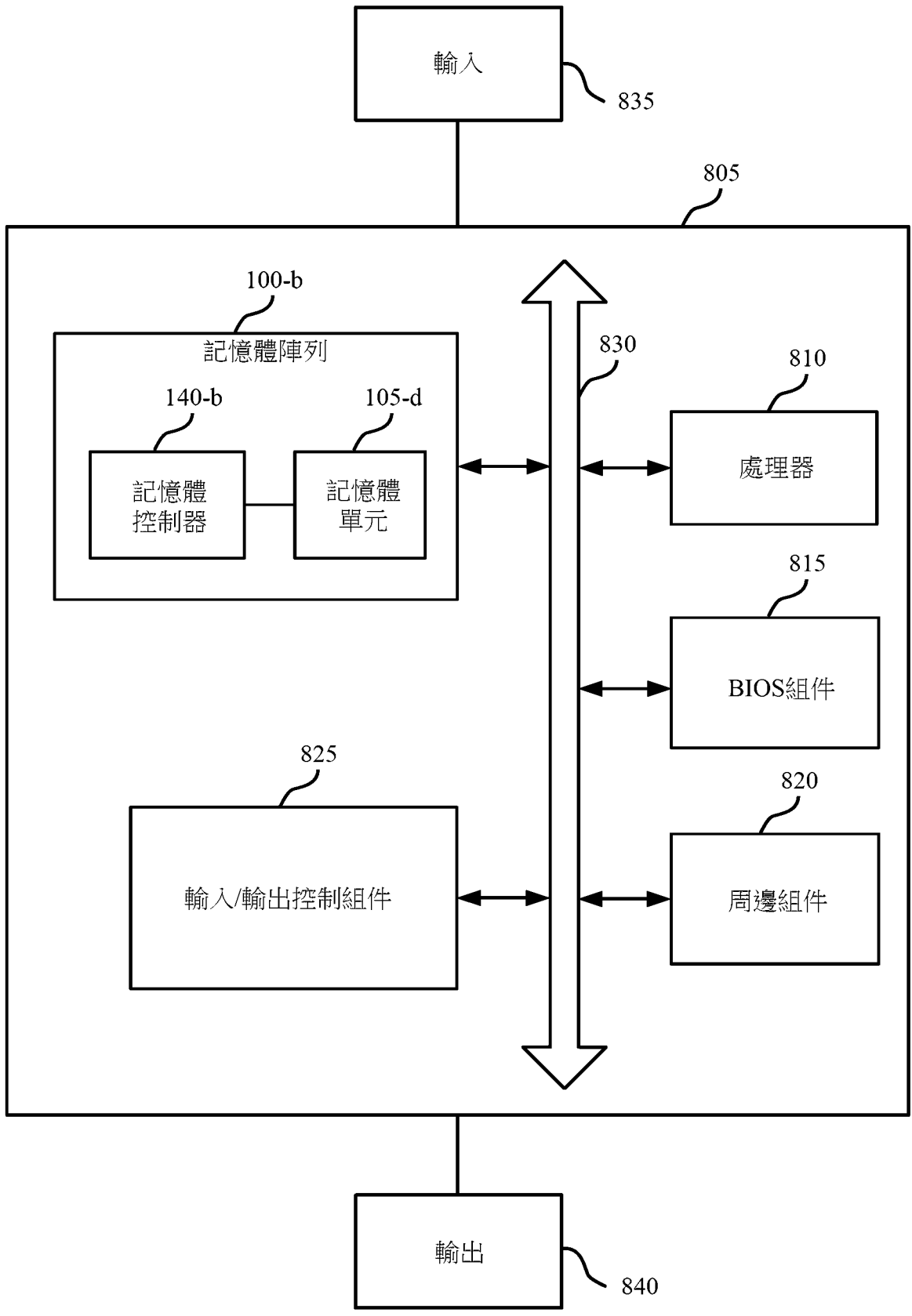


【圖6】



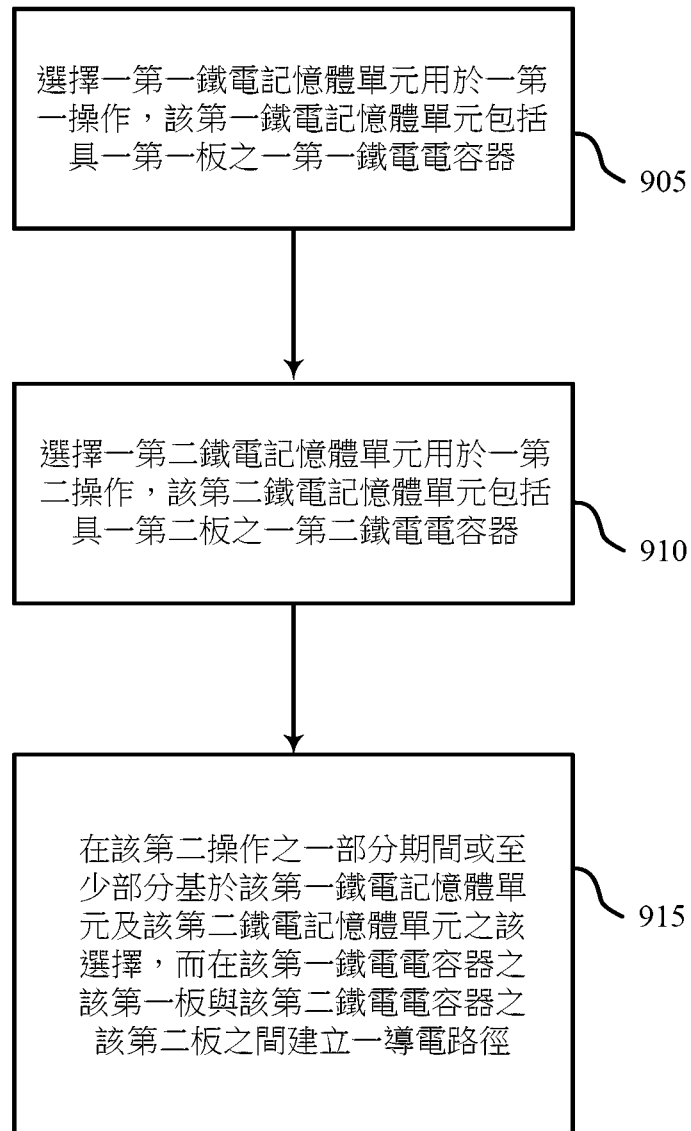
【圖7】

700



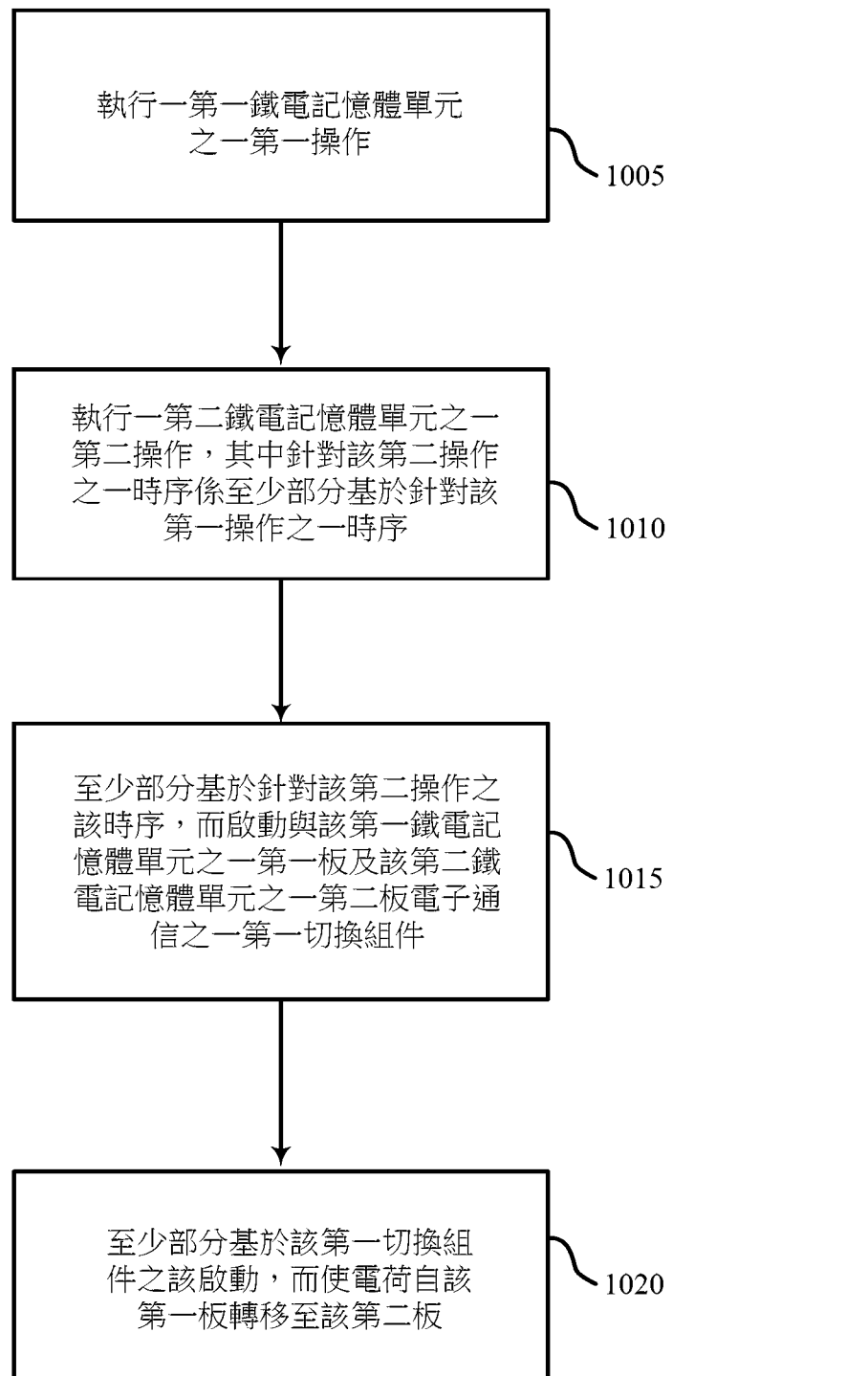
【圖8】

800



【圖9】

900



【圖10】

ferroelectric memory cell may be selected for a second operation during which the second ferroelectric memory cell transitions from a discharged state to a charged state. The discharging of the first ferroelectric memory cell may be used to assist in charging the second ferroelectric memory cell.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

400	電路
405-a	區段
405-b	區段
410-a	VCC
410-b	VCC
415-a	VBOOST
415-b	VBOOST
420-a	電源供應線
420-b	電源供應線
425-a-1	板線
425-a-2	板線
425-a-3	板線
425-b-1	板線
425-b-2	板線
425-b-3	板線

430-a	切換組件
430-b	切換組件
435-a	切換組件
435-b	切換組件
440	接地
445-a-1	驅動器CPIN
445-a-2	驅動器CPIN
445-a-3	驅動器CPIN
445-b-1	驅動器CPIN
445-b-2	驅動器CPIN
445-b-3	驅動器CPIN
450-a-1	切換組件
450-a-2	切換組件
450-a-3	切換組件
450-b-1	切換組件
450-b-2	切換組件
450-b-3	切換組件
455-a-1	切換組件
455-a-2	切換組件
455-a-3	切換組件
455-b-1	切換組件
455-b-2	切換組件
455-b-3	切換組件

460-a-1	切換組件
460-a-2	切換組件
460-a-3	切換組件
460-a-4	切換組件
460-b-1	切換組件
460-b-2	切換組件
460-b-3	切換組件
460-b-4	切換組件
465-a	字線
465-b	字線
470-a-1	記憶體單元
470-a-2	記憶體單元
470-a-3	記憶體單元
470-b-1	記憶體單元
470-b-2	記憶體單元
470-b-3	記憶體單元
475	等化線

【發明說明書】

【中文發明名稱】

記憶體單元板之間的電荷共享

【英文發明名稱】

CHARGE SHARING BETWEEN MEMORY CELL PLATES

【技術領域】

本發明大體上係關於記憶體裝置且更明確言之係關於在與不同記憶體單元相關聯之板之間的電荷共享。

【先前技術】

記憶體裝置廣泛用以儲存資訊於各種電子裝置(諸如電腦、無線通信裝置、相機、數位顯示器及類似者)中。藉由程式化一記憶體裝置之不同狀態而儲存資訊。例如，二進位裝置具有兩個狀態，通常藉由一邏輯「1」或一邏輯「0」指示。在其他系統中，可儲存兩個以上狀態。為存取所儲存資訊，電子裝置可讀取或感測記憶體裝置中之所儲存狀態。為儲存資訊，電子裝置可寫入或程式化記憶體裝置中之狀態。

存在各種類型之記憶體裝置，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體及其他者。記憶體裝置可為揮發性的或非揮發性的。非揮發性記憶體(例如快閃記憶體)甚至在缺乏一外部電源的情況下亦可儲存資料達持續延伸時間段。揮發性記憶體裝置(例如DRAM)可隨著時間丟失其等所儲存狀態，除非其等由一外部電源週期性地刷新。一二進位記憶體裝置可(例如)包含一充電或放電電容器。一充電電容器可隨著時間通過洩漏電流變成放電，

導致所儲存資訊之丟失。揮發性記憶體之某些態樣可提供效能優點，諸如更快讀取或寫入速度，而非揮發性之態樣(諸如在無週期刷新的情況下儲存資料的能力)可為有利的。

FeRAM可使用類似於揮發性記憶體之裝置架構，但歸因於一鐵電電容器作為一儲存裝置之使用而可具有非揮發性性質。FeRAM裝置可因此相較於其他非揮發性及揮發性記憶體裝置具有經改良效能。當執行存取操作(諸如讀取及寫入等)時，FeRAM中之記憶體單元可經充電至某些電壓。給一記憶體單元充電所花費之時間可使記憶體操作減速且減小一或多個效能參數。同樣地，藉由給一記憶體單元充電而消耗之功率可減小電池壽命且增加功率及其他操作要求。

【發明內容】

【圖式簡單說明】

本文中揭示內容係指以下圖且包含以下圖：

圖1繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一實例記憶體陣列；

圖2A繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一記憶體單元之一實例電路；

圖2B繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一記憶體單元之一實例電路；

圖3繪示根據本發明之各種實施例之用於操作在記憶體單元板之間支持電荷共享的一鐵電記憶體單元之實例遲滯曲線圖；

圖4繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一實例電路；

圖5繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一時序圖系統之一實例；

圖6繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一時序圖系統之一實例；

圖7繪示根據本發明之各種實施例之在記憶體單元板之間支撐電荷共享的一實例鐵電記憶體陣列之一方塊圖；

圖8繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的包含一記憶體陣列之一裝置之一方塊圖；及

圖9及圖10係繪示根據本發明之各種實施例之操作在記憶體單元板之間支持電荷共享的一記憶體陣列之一或若干方法的流程圖。

【實施方式】

交叉參考案

本專利申請案主張2016年4月28日申請之題為「Charge Sharing Between Memory Cell Plates」之由Carman申請之美國專利申請案第15/141,491號之優先權，該案讓渡給本案受讓人。

減少資源消耗(例如時間或功率消耗)之一記憶體單元充電方案可藉由在記憶體單元之間的電荷共享實施。例如，在一個記憶體單元之板上或關於一個記憶體單元之板之電荷可用以給另一記憶體單元之板充電。此電荷共享可發生於正轉變至相反電荷狀態之單元之間。例如，正放電(例如，準備一寫入操作或在一讀取操作結束時)之一記憶體單元可用以給正充電(例如，準備一讀取操作或準備一不同寫入操作)之一記憶體單元充電。此電荷共享亦可發生於除轉變至相反電荷狀態之單元外的單元之間。當在板之間建立一導電路徑時(例如，藉由啟動與該等板電子通信之一或多個切

換組件)，電荷共享可發生於該等板之間。

如下文進一步詳細描述，在一記憶體陣列內之包含鐵電記憶體單元之記憶體單元可由一字線及一數位線存取。存取包含寫入至一單元(例如儲存一邏輯狀態)或讀取一單元(例如感測一所儲存邏輯狀態)。各單元可具有一鐵電電容器或其他儲存組件，其用以儲存該單元之一邏輯值。例如，各單元可儲存一邏輯0或一邏輯1。各所儲存邏輯值可對應於該單元之一各自狀態且可在該單元之一數位線上產生一信號。例如，一所儲存邏輯1可對應於一第一數位線電壓且一所儲存邏輯0可對應於一第二數位線電壓。該數位線可連接多個記憶體單元且可經連接至一感測放大器，其當在一讀取操作期間經啟動時用以判定一記憶體單元之該所儲存邏輯狀態。例如，一經啟動感測放大器可比較自該單元提取之該信號(例如電壓)與一參考信號。

可藉由跨該記憶體單元之一電容器引入電壓而寫入或讀取一鐵電記憶體單元。例如，可藉由跨該電容器引入一正電壓而將一邏輯0寫入至一記憶體單元，且可藉由跨該電容器引入一負電壓而寫入一邏輯1。可無關所儲存之該邏輯狀態如何而將一記憶體單元之該板充電至一高電壓以執行一讀取操作，且可在該讀取操作結束時將該記憶體單元之該板減小至一低電壓。因此，鐵電記憶體單元之該等操作可涉及該等記憶體單元之重複充電及放電且在任一情況中可涉及施加一電壓至該單元。

在一些記憶體陣列中，可藉由使用一電源(例如一電壓供應)而唯一地給一鐵電記憶體單元充電。如本文中所描述，在其他記憶體陣列中，可使用獨自一放電記憶體單元或除來自一電源之電荷外的電荷而給一記憶體單元充電。可使該放電記憶體單元連接至該充電記憶體單元，使得使電荷自

該放電記憶體單元之該板轉移至該充電記憶體單元之該板。該連接可為一導電路徑，其藉由啟動該電荷共享中所涉及之與該等記憶體單元電子通信之一或多個切換組件(例如電晶體)而建立。

在一些情況下，該放電記憶體單元可正準備執行一寫入操作(例如一寫入邏輯1)且該充電記憶體單元可正準備執行一讀取操作。在另一實例中，該放電記憶體單元可正結束一讀取操作且該充電記憶體單元可正準備寫入一邏輯0。一般而言，板之間的電荷共享可使用(除其他操作外)讀取/寫入操作之任何組合發生，其中該等板自一第一電荷狀態轉變至一第二電荷狀態(例如自一初始電荷狀態至一相反電荷狀態)。可由任何數目個記憶體單元實施本文中所描述之該板電荷共享方案及技術。在一些情況下，該板電荷共享方案用以給一記憶體陣列之兩個不同區段中的記憶體單元充電或使其等放電。在其他情況下，該板電荷共享方案用以給一記憶體陣列之一個區段中的記憶體單元充電或使其放電。

如本文中所描述，使用來自一第一記憶體單元板之電荷來給一第二記憶體單元板充電可減小用以給該第二記憶體單元充電(例如部分充電、完全充電)之自一電壓供應汲取之功率量。例如，可在啟動該電壓供應之前由該第一板給該第二板部分充電，其減小用以完成給該第二記憶體單元充電之自該電壓供應消耗之功率。在一些情況下，板電荷共享可減小該第二記憶體單元之充電時間。例如，可同時或依一重疊方式使用該第一板及該電壓供應給該第二記憶體單元充電。同時使用來自兩個源之電荷可減小給該第二記憶體單元完全充電所花費之時間。

下文在一記憶體陣列之背景中進一步描述上文所引入之本發明之實施例。接著針對記憶體單元板之間的電荷共享描述特定實例。進一步藉由

關於板電荷共享之設備圖、系統圖及流程圖繪示及參考關於板電荷共享之設備圖、系統圖及流程圖描述本發明之此等及其他實施例。

圖1繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一實例記憶體陣列100。記憶體陣列100亦可指稱一電子記憶體設備。記憶體陣列100包含記憶體單元105，其等係可程式化以儲存不同狀態。各記憶體單元105可為可程式化以儲存兩個狀態，指示為一邏輯0及一邏輯1。在一些情況下，一記憶體單元105經組態以儲存兩個以上邏輯狀態。一記憶體單元105可包含用以儲存代表該等可程式化狀態之一電荷的一電容器；例如，一帶電電容器及一不帶電電容器可表示兩個邏輯狀態。DRAM架構可通常使用此一設計，且所採用之電容器可包含具線性電極化性質之一介電材料。藉由對比，一鐵電記憶體單元可包含具有一鐵電物質作為該介電材料之一電容器。一鐵電電容器之不同電荷位準可表示不同邏輯狀態。鐵電材料具有非線性極化性質，且下文論述一鐵電記憶體單元105之一些細節及優點。

可藉由啟動或選擇適當字線110及數位線115而對記憶體單元105執行諸如讀取及寫入之操作。一字線110亦可指稱一存取線。啟動或選擇一字線110或一數位線115可包含施加一電壓(例如，一正電壓、一負電壓)至該各自線。在一些情況下，一數位線115可指稱一位元線。字線110及數位線115可由導電材料製成。在一些實例中，字線110及數位線115由金屬(例如，銅、鋁、金、鎢等)製成。根據圖1之實例，使記憶體單元105之各列連接至一單一字線110，且使記憶體單元105之各行連接至一單一數位線115。藉由啟動一個字線110及一個數位線115，可使一單一記憶體單元105存取於其等交叉處。一字線110及數位線115之交叉可指稱一記憶體單

元之一位址。

在一些架構中，可由一選擇裝置而使一單元之邏輯儲存裝置(例如一電容器)與該數位線電隔離。可使字線110連接至該選擇裝置且可控制該選擇裝置。例如，該選擇裝置可為一電晶體且可使字線110連接至該電晶體之閘極。啟動字線110導致一記憶體單元105之該電容器與其對應數位線115之間的一電連接。可接著存取該數位線以讀取或寫入記憶體單元105。

存取記憶體單元105可通過一系列解碼器120及一行解碼器130控制。例如，一系列解碼器120可接收來自記憶體控制器140之一列位址且至少部分基於該所接收列位址而啟動適當字線110。類似地，一行解碼器130接收來自記憶體控制器140之一行位址且啟動適當數位線115。因此，藉由啟動一字線110及一數位線115，可存取一記憶體單元105。

一經存取，可由感測組件125讀取或感測一記憶體單元105。例如，感測組件125可比較有關數位線115之一信號(例如一電壓)與一參考信號(未展示)以判定記憶體單元105之所儲存狀態。若數位線115具有高於該參考電壓之一電壓，則感測組件125可判定記憶體單元105中之該所儲存狀態係一邏輯1且反之亦然。感測組件125可包含各種電晶體及放大器以偵測或放大該等信號中之一差，其可指稱閃鎖。可接著通過行解碼器130而輸出記憶體單元105之該經偵測邏輯狀態為輸出135。為讀取一記憶體單元105，可將記憶體單元105之一板充電至某一電壓。該電壓可至少部分為一電荷自另一記憶體單元105之一板轉移至該板的結果。

可藉由啟動有關字線110及數位線115而設定或寫入一記憶體單元105。如上文所論述，啟動一字線110使記憶體單元105之該對應列電連接

至其等各自數位線115。藉由在啟動字線110時控制有關數位線115，可寫入一記憶體單元105-即，一邏輯值可經儲存於記憶體單元105中。行解碼器130可接受待寫入至記憶體單元105之資料(例如輸入135)。在一鐵電電容器之情況下，藉由跨該鐵電電容器施加一電壓而寫入一記憶體單元105。跨該電容器施加一電壓可涉及將該電容器之一板充電或放電至某一電壓。在一些情況下，一電容器之該板可藉由將電荷轉移至另一電容器板(例如一充電記憶體單元105之電容器)而放電。因此，一放電電容器板可用以給另一電容器板充電。貫穿本發明更加詳細論述此程序。

在一些記憶體架構中，存取記憶體單元105可降級或破壞該所儲存邏輯狀態且可執行重新寫入或刷新操作以返回該原始邏輯狀態至記憶體單元105。在DRAM中，例如，可在一感測操作期間使該電容器部分或完全放電，訛誤該所儲存邏輯狀態。所以可在一感測操作之後重新寫入該邏輯狀態。額外地，啟動一單一字線110可導致該列中之所有記憶體單元之放電；因此，可需要重新寫入該列中之若干或所有記憶體單元105。

一些記憶體架構(包含DRAM)可隨著時間丟失其等所儲存狀態，除非其等由一外部電源週期地刷新。例如，一帶電電容器可隨著時間通過洩漏電流而變得不帶電，導致該所儲存資訊之丟失。此等所謂揮發性記憶體裝置之刷新速率可為相對較高的-例如，針對DRAM可採用每秒數十個刷新操作-其可導致顯著功率消耗。隨著越來越大的記憶體陣列，所增加功率消耗可禁止記憶體陣列之部署或操作(例如，功率供應、熱產生、材料限制等)，尤其針對依賴於一有限電源(諸如一電池)之行動裝置。

然而，鐵電記憶體單元可具有有益性質，其等可導致相對於其他記憶體架構的經改良效能。例如，因為鐵電記憶體單元趨向於更不易所儲存

電荷之降級，所以採用鐵電記憶體單元105之一記憶體陣列100可需要較少或不需刷新操作，且可因此需要更少功率用以操作。另外，如本文中所述，鐵電記憶體單元可在板之間實施電荷共享，其可減少資源消耗。例如，該電荷共享方案可減少用以針對一存取操作(例如一讀取操作或一寫入操作)或一或多個其他操作給一記憶體單元充電所需之時間及功率。

記憶體控制器140可通過各種組件(例如，列解碼器120、行解碼器130及感測組件125)來控制記憶體單元105之操作(例如，讀取、寫入、重新寫入、刷新等)。記憶體控制器140可產生列位址信號及行位址信號以啟動所要字線110及數位線115。記憶體控制器140亦可產生並控制在記憶體陣列100之操作期間所使用之各種電壓電位。例如，記憶體控制器140可促進偏壓電壓至一或多個各種組件之施加，使得單元板之間的電荷共享發生。一般而言，本文中所論述之一所施加電壓之振幅、形狀或持續時間可經調整或改變且可針對用於操作記憶體陣列100之各種操作而不同。此外，可同時存取記憶體陣列100內之一個、多個或所有記憶體單元105；例如，可在其中所有記憶體單元105或一群組之記憶體單元105經設定為一單一邏輯狀態之一重設操作期間同時存取記憶體陣列100之多個或所有單元。

圖2A繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一實例電路200-a。電路200-a包含一鐵電記憶體單元105-a、字線(WL)(或存取線)110-a、數位線115-a及感測組件125-a，其等可各分別為如參考圖1所描述之一記憶體單元105、字線110、數位線115或感測組件125之實例。記憶體單元105-a可包含一邏輯儲存組件(諸如電容器205)，其具有一第一板及一第二板，其等係電容性地耦合或通信。該第一板可指

稱單元板210，且該第二板可指稱單元底部(CB) 215。一單元板210亦可指稱一板210。可經由板線(PL) 230存取單元板210且可經由數位線(DL) 115-a存取單元底部215。在圖2之實例中，電容器205之端子可由一絕緣鐵電材料分離。如上文所描述，藉由給電容器205充電或放電(即，使電容器205之該鐵電材料極化)而儲存各種狀態。

如上文所描述，藉由給電容器205充電或放電(即，使電容器205之該鐵電材料極化)而儲存(及讀取)各種狀態。用以極化電容器205所需之總電荷可指稱剩餘極化(PR)值，且電容器205之一半總電荷在其處達到之電容器205之一電壓可指稱強制電壓(VC)。在一些情況下(例如，當電容器205正準備一讀取或其他操作時)，可使用來自另一電容器205之電荷或來自一電壓供應之電荷而給電容器205充電。在其他情況下(例如，當電容器205正準備一寫入操作或其他操作時)，可藉由轉移電荷至另一電容器205而使電容器205放電。

可藉由操作經表示於電路200-a中之各種元件而讀取或感測電容器205之該所儲存狀態。電容器205可係與數位線115-a電通信。電容器205可因此當撤銷啟動選擇組件220時與數位線115-a隔離，且電容器205可當啟動選擇組件220以選擇鐵電記憶體單元105-a時經由選擇組件220而連接至數位線115-a。換言之，可使用與鐵電電容器205電子通信之選擇組件220來選擇鐵電記憶體單元105-a，其中鐵電記憶體單元105-a包含選擇組件220及鐵電電容器205。在一些情況下，選擇組件220可為一電晶體且其操作可藉由施加一電壓至該電晶體閘極而控制，其中該電壓量值使得超出該電晶體之臨限電壓量值。

字線110-a可啟動選擇組件220；例如，經施加至字線110-a之一電壓

可經施加至該電晶體閘極，使電容器205與數位線115-a連接。在一替代實施例中，選擇組件220及電容器205(除其他組件外)之該等位置可經切換使得(除其他各種組態及位置外)選擇組件220係在板線230與單元板210之間且使得電容器205係在數位線115-a與選擇組件220之另一端子之間。在此實施例中，選擇組件220可通過電容器205而與數位線115-a保持電子通信。此組態可與交替時序相關聯。

在圖2A中所描繪之實施例中，電容器205係一鐵電電容器。歸因於電容器205之該等板之間的該鐵電材料，且如下文更加詳細論述，電容器205可不在連接至數位線115-a之後放電。在一個實施例中，為在一讀取操作期間感測由鐵電電容器205儲存之狀態，板210或字線110-a可由一外部電壓偏壓。選擇鐵電記憶體單元105-a可導致跨電容器205之一電壓差(例如板210電壓減去數位線115-a電壓)。該所施加電壓差可產生電容器205上之所儲存電荷之一改變，其可取決於電容器205之初始狀態-例如，該初始狀態儲存一邏輯「1」還是一邏輯「0」-且可基於經儲存於電容器205上之所得電荷而在數位線115-a上引發一電壓。可接著由感測組件125-a而使數位線115-a上之該所引發電壓與一參考(例如參考線225之一電壓)比較以判定記憶體單元105-a中之該所儲存邏輯狀態。

為偏壓電容器205，可施加來自一電源或電壓供應之一電壓至板210(例如，(除其他想到方法外)藉由啟動板210與該電壓供應之間的一切換組件)。在一些情況下，板210上之該所得電荷可用以給另一記憶體單元之該板充電。在其他情況下，來自該電壓供應之該電荷可由自另一電容器之該板轉移之電荷補充。例如，可在板210與另一記憶體單元(除其他組件外)之該板之間產生一導電路徑，使得電荷在該等板之間轉移。在一些實施例

中，可藉由啟動與板210電子通信之一或多個切換組件而動態地建立該導電路徑。如本文中所描述，板210之間的電荷共享可減少給一板210充電所花費之時間及/或功率。

特定感測技術或程序可呈許多形式。在一個實例中，數位線115-a可具有一固有電容且當電容器205回應於經施加至板210之該電壓而充電或放電時產生一非零電壓。該固有電容可取決於(除其他特性外)實體特性，包含數位線115-a之尺寸。在一些實施例中，數位線115-a可連接多個記憶體單元105，所以數位線115-a可具有一長度，其導致一不可忽略電容(例如約pF)。數位線115-a之隨後電壓可取決於電容器205之初始邏輯狀態，且感測組件125-a可比較此電壓與由一參考組件提供之參考線225上之一電壓。例如，可施加一電壓至板210且電容器底部215處之一電壓可關於該所儲存電荷而改變。電容器底部215處之該電壓可與感測組件125-a處之一參考電壓比較，且與該參考電壓之一比較可指示由該所施加電壓所致之電容器205之該電荷的一改變且因此指示經儲存於記憶體單元105-a中之一邏輯狀態。進一步詳細參考圖3描述電容器205中之電荷與電壓之間的關係。

為寫入記憶體單元105-a，可跨電容器205施加一電壓。可使用各種方法。在一個實例中，可通過字線110-a來啟動選擇組件220，以使電容器205電連接至數位線115-a。可(除其他方法外)藉由使用板線230控制板210之電壓或使用數位線115-a控制單元底部215之電壓來跨電容器205施加一電壓。為寫入一邏輯0，可使板210呈高的，即可施加一正電壓，且可使單元底部215呈低的，即經連接至接地(幾乎接地)，或可施加一負電壓至板210。執行相反程序以寫入一邏輯1，即可使板210之電壓呈低的，且可

使單元底部215之電壓呈高的。如本文中所描述，可將用以施加一電壓至板210之電荷的一些或全部轉移至另一單元之板，或自另一單元之板轉移。

圖2B繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享之一實例電路200-b。電路200-b可為(除其他者外)如參考圖2A所描述之電路200-a之一實例，且可促進單元板210之間的電荷共享。電路200-b可包含一第二記憶體單元105-b。記憶體單元105-b可包含選擇組件220-a及電容器205-a。可通過字線110-b來啟動選擇組件220-a。當啟動字線110-b時，數位線115-b上之電壓可為單元底部215-a上之電壓。在一些情況下，記憶體單元105-a及記憶體單元105-b可被包含於由相同字線110存取之一組單元中。在其他情況下，記憶體單元105-a及記憶體單元105-b可係由兩個不同字線(例如，分別字線110-a及字線110-b)存取。

電路200-b亦可包含用以施加偏壓電壓至板210之一電源供應線240，或用以施加電壓至板210-a之電源供應線240-a。各電源供應線240可能夠施加具不同值之偏壓電壓(例如1.6伏特及1.8伏特)。電源供應線240可經組態使得可獨立地施加電壓至其等各自板210。可(除其他技術外)藉由啟動切換組件235來連接(例如短接)板210及板210-a。即，切換組件235之啟動可在板210與板210-a之間提供一導電路徑，其促進電荷自一個板210流動至另一者。

電源供應線240可施加電壓至板210，使得讀取操作及寫入操作可發生。因此，可在電路200-a之操作期間，於各個時間處，給板210充電。在一些情況下，板210上之電荷的至少部分可被用以給板210-a至少部分充電。例如，切換組件235可經啟動，使得電荷共享可發生於板210與板

210-a之間。即，電荷可經由藉由啟動切換組件235而建立之導電路徑或一或多個其他替代路徑而自板210轉移至板210-a。可在記憶體單元105-a或記憶體單元105-b自各自充電狀態轉變之前，啟動切換組件235。例如，可選擇記憶體單元105-a (例如經由選擇組件220之啟動)用於一操作，其要求記憶體單元105-a自一第一狀態(例如一充電狀態)改變至一第二狀態(例如一放電狀態)。例如，記憶體單元105-a可係在一讀取操作結束處，或正準備一寫入邏輯1操作。且可選擇記憶體單元105-b (例如經由選擇組件220-a之啟動)用於一操作，其要求記憶體單元105-b自一放電狀態改變至一充電狀態(例如記憶體單元105-b可正準備一讀取操作或寫入一邏輯0)。

因此，板210或板210-a或兩者可相反地各自一電荷狀態轉變至一新的電荷狀態 (例如，板210可自一充電狀態轉變至一放電狀態，且板210-a可自一放電狀態轉變至一充電狀態)。在一些實施例中，板210及板210-a可彼此切換電荷狀態。在圖2A中所描繪之實例中，自板210-a轉移之該電荷可由來自另一源(例如電源供應線240-a)之電荷補償，以使板210-a完全充電至一預定臨限電荷量，用於一隨後操作。在一個實例中，可使來自板210之電荷及來自電源供應線240-a之電荷同時轉移至板210-a，其可減少給板210-a完全充電所需之時間。在另一實例中，可在一重疊週期期間，使來自板210之電荷及來自電源供應線240-a之電荷轉移至板210-a，其亦可減少給板210-a完全充電所需之時間。在另一實例中，已使用來自板210之電荷給板210-a部分充電之後，可使來自電源供應線240-a之電荷轉移至板210-a。此實施方案可減少給板210-a完全充電所需之功率。

電容器205之讀取操作及寫入操作可解釋與一鐵電裝置相關聯之非線性性質。圖3繪示根據本發明之各種實施例之針對在記憶體單元板之間支

持電荷共享之一鐵電記憶體單元之具滯後曲線300之此等非線性性質的實例。滯後曲線300-a及300-b分別繪示一實例鐵電記憶體單元寫入及讀取程序。滯後曲線300描繪經儲存於一鐵電電容器(例如圖2A之電容器205)上之電荷 Q 為一電壓 V 之一函數。

一鐵電材料係由一自發性電極化所表徵，即，其在缺乏一電場的情況下維持一非零電極化。實例鐵電材料包含鈦酸鋇(BaTiO_3)、鈦酸鉛(PbTiO_3)、鋇鈦酸鉛(PZT)，及鋇鉍鉭酸鹽(SBT)。本文中所描述之鐵電電容器可包含此等或其他鐵電材料。一鐵電電容器內之電極化導致在該鐵電材料之表面處之一淨電荷，且通過該等電容器端子吸收相反電荷。因此，電荷係儲存於該鐵電材料及該等電容器端子之介面處。因為該電極化可在缺乏一外部施加電場的情況下維持相對較長時間(甚至無期限地)，所以相較於(例如) DRAM陣列中所採用之電容器可顯著地減少電荷洩漏。此可減少用以執行如上文所描述之針對一些DRAM架構之刷新操作的需要。

可自一電容器之一單一端子之視角理解滯後曲線300。藉由實例，若該鐵電材料具有一負極化，則正電荷將在該端子處累積。同樣地，若該鐵電材料具有一正極化，則負電荷將在該端子處累積。另外，將理解，滯後曲線300中之電壓表示跨該電容器之一電壓差且係方向性的。例如，藉由施加一正電壓至討論中之該端子並維持該第二端子於接地處而施加一正電壓。可藉由維持討論中之該端子於接地處並施加一正電壓至該第二端子而施加一負電壓，即，正電壓可經施加以負面地極化討論中之該端子。類似地，兩個正電壓、兩個負電壓或正電壓及負電壓之任何組合可經施加至該等適當電容器端子以產生滯後曲線300中所展示之電壓差。如本文中所描述，可藉由轉移來自一第一電容器之電荷而施加一電壓至一第二電容器。

此電荷可補充由一電壓供應而經供應至該第二電容器之電荷(例如來自一電壓供應之經由一電源供應線轉移的電荷)。

如滯後曲線300-a中所描繪，該鐵電材料可使用一零電壓差維持一正極化或負極化，導致兩個可行充電狀態：電荷狀態305及電荷狀態310。根據圖3之實例，電荷狀態305表示一邏輯0且電荷狀態310表示一邏輯1。在一些實例中，該等各自電荷狀態之該等邏輯值可經顛倒以容納其他方案用於操作一記憶體單元。

可藉由控制該鐵電材料之電極化及因此藉由施加電壓之該等電容器端子上之電荷而寫入一邏輯0或1至該記憶體單元。例如，跨該電容器施加一淨正電壓315導致電荷累積，直至達到電荷狀態305-a為止。一旦移除正電壓315，電荷狀態305-a跟隨路徑320，直至其在零電壓電位處達到電荷狀態305為止。類似地，藉由施加一淨負電壓325而寫入電荷狀態310，其導致電荷狀態310-a。在移除負電壓325之後，電荷狀態310-a跟隨路徑330，直至其在零電壓處達到電荷狀態310為止。

為讀取或感測該鐵電電容器之該所儲存狀態，可跨該電容器施加一電壓(例如，藉由轉移來自另一電容器之板的電荷)。作為回應，該所儲存電荷改變，且該改變之程度取決於初始電荷狀態-即，該電容器之該所儲存電荷改變之程度取決於最初儲存電荷狀態305-b還是310-b而改變。例如，滯後曲線300-b繪示兩個可行所儲存電荷狀態305-b及310-b。可施加淨電壓335至該電容器之板(例如參考圖2之板210)。儘管作為一正電壓而描繪，然電壓335可為負的。回應於電壓335，電荷狀態305-b可跟隨路徑340。同樣地，若電荷狀態310-b經最初儲存，則其跟隨路徑345。電荷狀態305-c及電荷狀態310-c之最終位置取決於數種因素，包含特定感測操作

及電路。

在一些情況下，該最終電荷可取決於一記憶體單元之該數位線之固有電容。例如，若該電容器經電連接至該數位線且電壓335經施加，則該數位線之該電壓可歸因於其固有電容而上升且一感測組件處量測之電壓可取決於該數位線之所得電壓。滯後曲線300-b上之最終電荷狀態305-c及310-c之位置可因此取決於該數位線之電容且可通過一負載線分析而判定，即，電荷狀態305-c及310-c可相對於該數位線電容而界定。因此，該電容器之電壓，電壓350或電壓355可為不同的且可取決於該電容器之初始狀態。

藉由比較經施加至該單元板之電壓(例如電壓335)及跨該電容器之電壓(例如電壓350或電壓355)之差與一參考電壓(除其他值外)，可判定該電容器之初始狀態。如可藉由參考圖2A理解，該數位線之電壓可表示為經施加至板210之電壓與跨電容器205之所得電壓之差。如上文所論述，該數位線之電壓可基於經儲存於該電容器處之電荷之改變，且電荷之改變可與跨該電容器而施加之該電壓之量值相關聯。在一些實例中，該參考電壓可為由電壓350及355所致之該等數位線電壓之一平均，且基於比較，該經感測數位線電壓可經判定為比該參考電壓更高或更低。可接著基於該比較而判定該鐵電單元之一值(即一邏輯「0」或「1」)。

如上文所論述，讀取不使用一鐵電電容器之一記憶體單元可降級或破壞該所儲存邏輯狀態。然而，一鐵電記憶體單元可在一讀取操作之後維持該初始邏輯狀態。例如，若電荷狀態305-b經儲存且該讀取操作經執行，則該電荷狀態可跟隨路徑340至電荷狀態305-c，且在移除電壓335之後，該電荷狀態可(例如)藉由在相對方向上跟隨路徑340而返回至初始電

荷狀態305-b。

圖4繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一實例電路400。電路400可包含 N 個區段，(除其他者外)包含區段405-a及區段405-b。各區段405可由兩個或兩個以上獨立受控電壓供應VCC 410及VBOOST 415供電。例如，區段405-a可由VCC 410-a及VBOOST 415-a供電且區段405-b可由VCC 410-b及VBOOST 415-b供電。各VCC 410可供應一第一電壓(例如1.6伏特)至一對應電源供應線420且各VBOOST 415可供應一第二電壓(例如1.8伏特)至一對應電源供應線420。在一些實施例中，VCC 410-a及VBOOST 415-a可用以施加電壓至電源供應線420-a且VCC 410-b及VBOOST 415-b可用以施加電壓至電源供應線420-b。在一些實施例中，VBOOST 415可供應大於VCC 410之一電壓額定值。在一些實施例中，VBOOST 415可供應小於VCC 410之一電壓額定值。電源供應線420可為(除其他者外)參考圖2B所描述之一電源供應線240之實例。可獨立地存取電路400之區段405；例如可在相同於或不同於區段405-b之時間處操作區段405-a。

各區段405可包含數個板線425，其中各板線對應於一子陣列之記憶體單元470，該等單元可為(除其他者外)參考圖1至圖3所描述之一記憶體單元105之實例。一板線425可為一板線230之一實例且可用以施加電壓至多個板(例如一組記憶體單元之該等板)。一子陣列之記憶體單元可包含8組單元板(CP 0至CP7或CP 0:7)。一組單元板可包含多個記憶體單元之單元板。一組單元板之(例如一單一板線425)之該等記憶體單元可包含多列記憶體單元。經包含於一板線425中之各列記憶體單元可由一或多個各自字線465-a存取。用以存取一列記憶體單元之一字線可基於一相對間隔或

其他隔離技術而與其他字線隔離。為方便圖解說明，一單一板線425及字線465經顯示；然而，任何數目個板線及字線可與本文中所描述之技術一起使用。可使用一區段405指定之字線465而存取該區段405之記憶體單元470。例如，區段405-a中之記憶體單元470-a可使用一或多個字線465-a存取且區段405-b中之記憶體單元470-b可使用一或多個字線465-b存取。

兩個不同區段之板線425可經由一或多個切換組件460或經由一或多個等化線475而彼此電子通信。不同區段之板線425可指稱一第一板線及一第二板線。一等化線可在不同電源供應線420之間且因此在不同區段405中之記憶體單元之板之間提供一導電路徑。當啟動切換組件460時，等化線475可用作單元板之間的一導電路徑之部分。一區段405中之各板線425 (及對應記憶體單元470)可由相同電源供應線420供電。一電源供應線420可藉由啟動切換組件430及切換組件435而供電。例如，電源供應線420-a可由VCC 410-a (例如，藉由啟動切換組件430-a)供電或由VBOOST 415-a (例如，藉由啟動切換組件435-a)供電。各電壓供應(VCC 410)及(VBOOST 415)可與各區段405之板線425電子通信。

可藉由施加一電壓至驅動器CPIN 445而使記憶體單元470之該等單元板連接至一電源供應線420或接地440。例如，減小經施加至一驅動器CPIN 445 (例如CPIN 0)之電壓可啟動一對應切換組件450或撤銷啟動一對應切換組件455 (或一些組合)，其可允許電荷流動於電源供應線420與(除其他組件外)記憶體單元470之對應組板(例如CP 0)之間。施加一正電壓至驅動器CPIN 445 (例如CPIN 0)可啟動一對應切換組件455或撤銷啟動一對應切換組件450 (或一些組合)，其可使記憶體單元470之對應組單元板(例如CP 0)連接至接地440。

各區段405可具有一對應組切換組件460，其等當經啟動時在區段405之間(例如在電源供應線420之間)建立一導電路徑。例如，啟動切換組件460-a及切換組件460-b可在板線425-a與板線425-b之間建立一導電路徑(例如，若切換組件450-a及切換組件450-b經啟動)。因此，在一第一區段405中之單元板上之電荷可自不同區段中之單元板流動且用以給不同區段中之單元板充電。例如，來自記憶體單元470-a之單元板之電荷可用以給記憶體單元470-b之單元板充電。單元板之間的電荷共享可發生在不同間隔尺寸位準處，包含兩個或兩個以上個別單元之間、一或多組單元之間、子陣列之單元之間及/或單元之區段之間的電荷共享。如本文中所描述，單元板之間的電荷轉移可發生於由不同或相同電源供應線420供電之單元板之間。在一些情況下，單元板之間的電荷轉移可發生於由一單一電源供應線420供電之單元之間。

切換組件460可為(除其他者外)參考圖2A所描述之一切換組件235之實例。儘管圖4中之該等切換組件經描述為一特定類型(例如p型或n型)，然本文中所描述之技術可使用一或多個不同類型之切換組件實施。例如，圖4中之至少一些或全部p型切換組件(例如切換組件430、435及450)可經修改為n型且至少一些或全部n型切換組件(例如切換組件460及455)可經修改為p型。切換組件類型中之改變可與替代啟動電壓及時序相關聯。例如，可使用具相對於本文中所描述之一極性的電壓來啟動組件。

區段405之間的電荷共享可在兩個不同區段405經初始化為相反狀態且接著經選擇用於要求在針對各區段405之電荷狀態中之一轉變的一操作時發生。例如，記憶體單元470-a之單元板可經選擇(例如經由字線465-a)以自一充電狀態轉變至一放電狀態且記憶體單元470-b之單元板可經選擇

(例如經由字線465-b)以自一放電狀態轉變至一充電狀態。一記憶體單元可自一放電狀態轉變至一充電狀態以執行一或多個讀取操作或執行一或多個寫入邏輯1操作。在一些實施例中，一記憶體單元可在一讀取操作結束時或執行一寫入邏輯0操作時自一充電狀態轉變至一放電狀態。因此，一記憶體單元之充電狀態中之一改變可藉由準備執行讀取操作及寫入操作或(除其他者外)執行讀取操作及寫入操作而啟始。

圖5繪示根據本發明之各種實施例之用於操作在記憶體單元板之間支持電荷共享之一鐵電記憶體單元陣列之一時序圖系統500之一實例。時序圖系統500可包含時序圖505 (例如505-a至505-f)，其等之各者包含在一軸501上之電壓及在一軸502上之時間。在一些實施例中，時序圖505可具有一共同時間軸502 (即，該等時序圖可覆蓋相同時間週期且可經重疊)且可表示圖4之電路400之組件之操作。該等操作可促進如參考電路400所描述之不同區段405之單元板之間的電荷共享。例如，在時序圖505之操作之前，區段405-a中之單元板可經完全充電且區段405-b中之單元板可經放電。區段405-a中之單元板之電荷可用以促進區段405-b中之單元板之充電。

時序圖505中所描繪之操作所致之電荷共享可(除其他要求外)減少自電壓供應(VCC 410)及(VBOOST 415)給區段405-b中之單元板充電所需之功率。在圖5中所描繪之實例中，區段405-a中之單元板可正執行一寫入操作(例如藉由減小如圖3中所描述之單元板電壓而寫入一邏輯1)且區段405-b中之單元板可正執行一讀取操作(例如藉由增加該等單元板電壓而讀取該等單元之一所儲存狀態)。因此，區段405-a中之單元(例如記憶體單元470-a)可經選擇(例如使用一第一組字線465-a)用於一寫入操作且區段405-

b中之單元(例如記憶體單元470-b)可經選擇(例如使用一第二組字線465-b)用於一讀取操作。然而，本文中所描述之該等技術可在區段405-a中之單元板經選擇以執行其他操作(包含，但不限於，要求自一充電狀態至一放電狀態之一轉變的操作)時實施。

電路400之各種組件之電壓亦經表示為時序圖505上之時間之一函數。例如，時序圖505-a包含切換組件電壓510，其表示經施加至區段405-a及區段405-b中之各切換組件460之閘極的電壓。經施加至區段405-a及區段405-b中之切換組件460的電壓可不經施加至電路400之其他區段之切換組件。藉由獨立地控制經施加至各區段405之切換組件460的電壓，特定區段405可為目標用於板電荷共享或與板電荷共享隔離。

時序圖505-b可包含VBOOST電壓515-a，其可表示經施加至切換組件435-a之該閘極的電壓(其當經啟動時使VBOOST 415-a連接至電源供應線420-a)。時序圖505-c可包含VBOOST電壓515-b，其可表示經施加至切換組件435-b之該閘極的電壓，其當經啟動時使VBOOST 415-b連接至電源供應線420-b。時序圖505-d可包含VCC電壓520-a，其可表示經施加至切換組件430-a之該閘極的電壓，其當經啟動時使VCC 410-a連接至電源供應線420-a。時序圖505-e可包含VCC電壓520-b，其可表示經施加至切換組件430-b之該閘極的電壓，其當經啟動時使VCC 410-b連接至電源供應線420-b。時序圖505-f可包含單元板電壓525。單元板電壓525-a可表示在區段405-a中之記憶體單元470-a之該等單元板處的電壓且單元板電壓525-b可表示在區段405-b中之記憶體單元470-b之該等單元板處的電壓。

在一些實施例中，在時序圖505之該等操作之前，可使區段405-a中之記憶體單元470-a之該等單元板連接至VCC 410-a (例如，可啟動切換組

件430-a及切換組件450-a-1)。同樣地，可撤銷啟動切換組件460 (例如，可使記憶體單元470-a之單元板與470-b之單元板隔離)。根據時序圖505-d，在530處，可藉由撤銷啟動切換組件430-a (例如藉由施加一高VCC電壓520-a至切換組件430-a之該閘極)而使記憶體單元470-a之該等單元板與VCC 410-a斷開連接。同樣地在530處，可增加VCC電壓520-b (經描繪於時序圖505-e中)，其可撤銷啟動切換組件430-b。亦可撤銷啟動切換組件435 (例如，因此使VBOOST 415與電源供應線420斷開連接)。因此，可在535之前使電壓供應VCC 410及VBOOST415與電源供應線420隔離。在535處，根據時序圖505-a，可藉由啟動切換組件460(例如，藉由施加一高切換組件電壓510至各切換組件460之該閘極，如時序圖505-a中所描繪)而使記憶體單元470-a之該等單元板連接至記憶體單元470-b之該等單元板。因此，可在兩個不同區段405之該等單元板之間建立一導電路徑。該導電路徑可促進區段405-a及區段405-b中之該等單元板之間的電荷的轉移。

可維持該導電路徑一時間週期(例如持續時間540)。在此時間期間，區段405-a中之單元板上之電荷可用以給區段405-b中之該等單元板充電。即，區段405-a中之單元板可放電至區段405-b中之該等單元板上，如時序圖505-f中所見。根據時序圖505-f，在持續時間540期間，對應於記憶體單元470-a之單元板的單元板電壓525-a減小，而對應於記憶體單元470-b之單元板的單元板電壓525-b增加。因此，區段405-a中之單元板可給區段405-b中之單元板至少部分充電。此至少部分充電可減少給區段405-b中之單元板完全充電至一預定臨限電壓所需的功率(例如，來自電壓供應VCC 410-b或VBOOST 415-b或兩者之電壓)。

在持續時間540屆滿時且在時序圖505-a及505-f之545處，可藉由撤

銷啟動切換組件460 (例如可使切換組件電壓510減小至一低值)而使區段405-a中之該等單元板與區段405-b中之該等單元板斷開連接(例如隔離、停止通信或電荷流動)。在一些實施例中，持續時間540可為一預定時間週期(例如5奈秒)，其可關於一或多個因數或與一或多個因數有關，諸如電荷速率、運行時間、電荷位準、一些組合或其他因數。因此，該等單元板之隔離可基於自該導電路徑之建立起一臨限時間量已經過去的判定。替代地，持續時間540可為針對區段405-b中之單元板充電至一臨限電壓值所花費之時間。因此，區段405-a中之單元板與區段405-b中之單元板之隔離可基於區段405-b中之該等單元板之電壓(例如單元板電壓525-b)。在持續時間540期間，區段405-b中之單元板可在不使用來自電壓供應VCC 410-b及VBOOST 415-b的電流的情況下充電，因此保存功率。

在持續時間540屆滿之後(例如在兩個區段405之該等單元板已在545處彼此隔離之後)且在550之前，可(除其他方法外)藉由撤銷啟動切換組件450-a且啟動切換組件455-a而使區段405-a中之單元板連接至接地440 (或另一電壓參考)。因此，根據時序圖505-f，可使單元板電壓525-a減小至一臨限值(例如，在隨後持續時間555期間，可使單元板電壓525-a減小至0伏特或幾乎0伏特)。在550處，可通過一或多個方法(諸如，藉由啟動切換組件435-b (例如藉由減小VBOOST電壓515-b至一臨限值，如時序圖505-c中所描繪))而使區段405-b中之單元板連接至VBOOST 415-b。因此，根據時序圖505-f，區段405-b中之單元板可在隨後持續時間555期間結束使用來自VBOOST 415-b之電荷充電至一臨限值(例如1.6伏特或1.8伏特)。即，單元板電壓525-b可增加至一臨限值(例如一讀取電壓值)。同樣地在550處，可使VBOOST電壓515-a減小，其可啟動切換組件435-a。

在560處，根據時序圖505-e，可使VCC電壓520-b減小，其可啟動切換組件430-b且使VCC 410-b連接至電源供應線420-b。同樣地在560處，根據時序圖505-c，可使VBOOST電壓515-b增加，其可撤銷啟動切換組件435-b且使VBOOST 415-b與電源供應線420-b斷開連接。在560處，根據時序圖505-b，可使VBOOST電壓515-a增加，其可撤銷啟動切換組件435-a且使VBOOST 415-a與電源供應線420-a斷開連接。560處之該等操作可將電路400放置於一準備狀態中用於一隨後存取操作(例如一讀取或寫入操作)或一隨後電荷共享操作。

因此，時序圖505之操作可導致來自區段405-a之單元板完全或幾乎完全放電且來自區段405-b之單元板完全或幾乎完全充電。歸因於不同區段405之板之間的電荷共享，可相較於其他操作方案而減小用以給來自405-b之單元板充電之功率。時序圖505之該等操作僅僅係例示性的且可基於本發明而改變或依其他方式修改。

圖6繪示根據本發明之各種實施例之用於操作在記憶體單元板之間支持電荷共享的一鐵電記憶體單元陣列之一時序圖系統600之一實例。時序圖系統600可包含時序圖605 (例如605-a至605-f)，其等之各者包含在一軸601上之電壓及在一軸602上之時間。在一些實施例中，時序圖605可具有一共同時間軸602 (即，該等時序圖覆蓋相同時間週期且可經重疊)且可表示圖4之電路400之組件之操作。該等操作可促進(除其他者外)如參考電路400所描述之不同區段405之該等單元板之間的電荷共享。例如，在時序圖605之操作之前，可使區段405-a之該等單元板完全充電且可使區段405-b之該等單元板放電。區段405-a中之單元板之電荷可用以促進區段405-b中之單元板之充電。

時序圖605中所描繪之操作所致之電荷共享可減少給區段405-b中之單元板充電所需之時間。在圖6中所描繪之實例中，除其他操作外，區段405-a中之記憶體單元470-a之單元板可正執行一寫入操作且區段405-b中之記憶體單元470-b之單元板可正執行一讀取操作。因此，區段405-a中之單元可經選擇(例如使用一第一字線)用於一寫入操作且區段405-b中之單元可經選擇(例如使用一第二字線)用於一讀取操作。

電路400之各種組件之電壓亦經表示為時序圖605上之時間之一函數。例如，時序圖605-a包含切換組件電壓610，其可表示經施加至區段405-a及區段405-b中之各切換組件460之閘極的電壓。經施加至區段405-a及區段405-b中之切換組件460的電壓可不經施加至電路400之其他區段之切換組件。藉由獨立地控制經施加至各區段405之切換組件460的電壓，特定區段405可為目標用於板電荷共享或與板電荷共享隔離。

時序圖605-b可包含VBOOST電壓615-a，其可表示經施加至切換組件435-a之該閘極的電壓，其使VBOOST 415-a連接至電源供應線420-a。時序圖605-c可包含VBOOST電壓615-b，其可表示經施加至切換組件435-b之該閘極的電壓，其當經啟動時使VBOOST 415-b連接至電源供應線420-b。時序圖605-d可包含VCC電壓620-a，其可表示經施加至切換組件430-a之該閘極的電壓，其當經啟動時使VCC 410-a連接至電源供應線420-a。時序圖605-e可包含VCC電壓620-b，其可表示經施加至切換組件430-b之該閘極的電壓，其當經啟動時使VCC 410-b連接至電源供應線420-b。時序圖605-f可包含單元板電壓625。單元板電壓625-a可表示在區段405-a中之記憶體單元470-a之該等單元板處的電壓且單元板電壓625-b可表示在區段405-b中之記憶體單元470-b之該等單元板處的電壓。

在一些實施例中，在635之前，可使VBOOST 415-a與電源供應線420-a斷開連接(例如VBOOST電壓615-a可為高的，使得切換組件435-a經撤銷啟動，如時序圖605-b中所描繪)且可使VBOOST 415-b與電源供應線420-b斷開連接(例如VBOOST電壓615-b可為高的，使得切換組件435-b經撤銷啟動，如時序圖605-c中所描繪)。同樣地在635之前，可使VCC 410-a連接至電源供應線420-a (例如VCC電壓620-a可為低的，使得切換組件430-a經啟動，如時序圖605-d中所描繪)且可使VCC 410-b自電源供應線420-b連接(例如VCC電壓620-b可為低的，使得切換組件430-b經啟動，如時序圖605-e中所描繪)。因此，可使電源供應線420與其等各自VBOOST 415斷開連接且連接至其等各自VCC 410。

在635處，根據時序圖605-a，可藉由啟動切換組件460 (例如藉由施加一增加切換組件電壓610至切換組件460之該等閘極)來使區段405-a中之單元板連接至區段405-a中之記憶體單元的單元板。在一些實施例中，切換組件460之啟動可在區段405-a中之該等單元板與區段405-b中之該等單元板之間建立一導電路徑。該導電路徑可促進(除其他單元板或組件外)區段405-a中之記憶體單元470-a之該等單元板與區段405-b中之記憶體單元470-b之該等單元板之間之電荷的轉移。當該導電路徑係可用時，兩個區段405之該等單元板可電荷共享；例如，當切換組件460在持續時間640期間被啟動時，電荷共享可發生。持續時間640之該長度可為一預定時間週期，或基於區段405-b中之單元板之電壓(例如單元板電壓625-b)。同樣地，在635處，可使區段405-b中之單元板與VCC 410-b斷開連接(例如藉由增加經施加至切換組件430-b之該閘極的VCC電壓620-b)。儘管未展示，但在435處，可藉由啟動切換組件450-b-1來使區段405-b中之單元板

連接至電源供應線420-b。

在645處，可藉由啟動切換組件435-b (例如藉由減小經施加至切換組件435-b之該閘極的VBOOST電壓615-a，如時序圖605-b中所描繪)來使區段405-b中的單元板連接至VBOOST 415-b。因此，可自兩個源-區段405-a中的單元板及VBOOST 415-b-同時給區段405-b中的單元板充電。此充電方案可減少區段405-b中之單元板充電至一臨限值(例如一讀取電壓值)所花費的時間量。在650處，可藉由撤銷啟動切換組件460 (例如藉由減少經施加至切換組件460之該等閘極的切換組件電壓610，如時序圖605-a中所描繪)來使區段405-a中之單元板與區段405-b中的單元板隔離。因此，在650之後，區段405-b中之記憶體單元470-b的單元板可繼續使用VBOOST 415-b來充電。

在655處，可使區段405-a中之該等單元板與VCC 410-a斷開連接(例如藉由增加經施加至切換組件430-a之該閘極的VCC電壓620-a，如時序圖605-d中所描繪)，且可使區段405-a中之該等單元板連接至VBOOST 415-a (例如藉由減小經施加至切換組件435-a之該閘極的VBOOST電壓615-b，如時序圖605-c中所描繪)。在區段405-b中之單元板已被充電至一臨限值(例如一讀取值)之後且在660處，可使區段405-b中之單元板與VBOOST 415-a斷開連接(例如藉由增加經施加至切換組件430-a之該閘極的VBOOST電壓615-a，如時序圖605-b中所描繪)，且可使區段405-b中之單元板連接至VCC 410-b (例如藉由減小經施加至切換組件430-b之該閘極的VCC電壓620-b，如時序圖605-e中所描繪)。在一些實施例中，於兩個不同區段405中之該等單元板已經彼此隔離之後(例如在650之後)，可使區段405-a中之單元板與電源供應線420-a斷開連接，且連接至接地440 (或其

他電壓參考)(例如藉由施加一高電壓至切換組件455-a及切換組件450-a)。660處之該等操作可將電路400放置於一準備狀態中，用於一或多個隨後存取操作(例如一讀取或一寫入操作)或一隨後電荷共享操作。

如本文中所描述，板之間的電荷共享可減少針對一操作(例如一讀取操作、一寫入操作、另一操作)給一單元板充電所需的功率或時間。例如，參考圖5所描述之方法可用以減少當給一單元板充電時自電源供應線420汲取的功率。參考圖6所描述之方法及技術可用以減少給一單元板充電所需之時間。包含電路400之一裝置可選擇在一第一時間處(例如通電)使用哪一方法。例如，該方法可為該裝置之一預定組態。在一些情況下，該裝置可動態地改變方法。例如，該裝置可在不關閉的情況下，自一個方法切換至另一者。該切換可基於一觸發器(例如一使用者輸入、一經偵測或一經判定值或條件)及/或週期地(例如基於一運行時間、基於一或多個操作之效能或發生)而發生。在一些情況下，該裝置可基於電源供應(例如電池)參數或操作特性而動態地選擇待使用之一方法。例如，該裝置可在該裝置之該電池係低的(例如低於一指定電池比例或額度)或在該電池不充電時，選擇圖5之功率節約方法。該裝置可在該電池壽命係高的(例如高於一指定電池比例或額度)或在該電池正充電時，選擇圖6之時間節約方法。額外地或替代地，該裝置可基於該裝置之速度要求而動態地選擇待使用之一方法。例如，該裝置可在該裝置對快速資料擷取感興趣時，選擇圖6之時間節約方法。一裝置可在某些應用或操作正運行或在由一使用者指定(例如經由一使用者輸入)時，對快速資料擷取感興趣。

圖7展示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一記憶體陣列100-a之一方塊圖700。記憶體陣列100-a可含有記憶體

控制器140-a，其可為記憶體控制器140之一實例，及區段405-c，其可為參考圖4所描述之區段405之實例。區段405-c可包含記憶體單元105-c，其可為參考圖1至圖4所描述之記憶體單元105及470之實例。

記憶體控制器140-a可包含偏壓組件710及時序組件715，且可如圖1至圖6中所描述來操作記憶體陣列100-a。記憶體控制器140-a可與字線110-c、數位線115-c、感測組件125-b及區段405-c電子通信，其等可為(除其他者外)參考圖1至圖4所描述之一字線110或465、數位線115及感測組件125之實例。記憶體陣列100-a亦可包含參考組件720及鎖存器725。記憶體陣列100-a之該等組件可彼此電子通信，且可執行參考圖1至圖6所描述之該等功能。在一些情況下，參考組件720、感測組件125-b及鎖存器725可為記憶體控制器140-a之組件。

記憶體控制器140-a可經組態以藉由施加電壓(例如正電壓或負電壓)至彼等各種組件來啟動記憶體陣列100-a之各種組件。例如，偏壓組件710可經組態以施加一電壓以操作區段405-c，以讀取或寫入記憶體單元105-c，如上文所描述。在一些情況下，記憶體控制器140-a可包含一列解碼器、行解碼器或兩者，如參考圖1所描述。此可使得記憶體控制器140-a能夠存取一或多個記憶體單元105。偏壓組件710亦可供應電壓至參考組件720，以產生一參考信號用於感測組件125-b。另外，偏壓組件710可供應電壓，用於感測組件125-b之操作。

在一些情況下，記憶體控制器140-a可使用時序組件715執行其操作。例如，時序組件715可控制電壓施加至記憶體陣列100-a之各種組件的時序以執行記憶體功能，諸如本文中所論述之讀取及寫入。在一些情況下，時序組件715可控制偏壓組件710之操作。

在一些情況下，記憶體控制器140-a可促進(例如經由偏壓組件710及時序組件715)區段405-c中之記憶體單元105-c之單元板之間的電荷共享。記憶體控制器140-a可經由偏壓組件710與時序組件715之間的通信或關於偏壓組件710與時序組件715而控制記憶體陣列100-a中之各種組件(包含區段405-c之組件)之偏壓。例如，記憶體控制器140-a可控制電壓至區段405-c中之切換組件的施加(例如經由區段偏壓線735)以執行參考圖2A至圖6所描述之該等操作。

記憶體控制器140-a可促進記憶體單元105-c之一第一鐵電記憶體單元(例如相對於圖4之記憶體單元470-a之一記憶體單元)之選擇用於一第一操作(例如一讀取操作或一寫入操作)。在一些實施例中，可使用一第一字線(例如相對於圖4之字線465-a)來選擇該第一鐵電記憶體單元。記憶體控制器140-a亦可促進記憶體單元105-c之第二鐵電記憶體單元(例如相對於圖4之記憶體單元470-b之一記憶體單元)之選擇用於一第二操作(例如一讀取操作或一寫入操作)。在一些實施例中，可使用一第一字線(例如相對於圖4之字線465-b)來選擇該第二鐵電記憶體單元。因此，在一些實施例中，該第一鐵電記憶體單元可執行該第一操作且該第二鐵電記憶體單元可執行該第二操作。在一些實施例中，可由該第二鐵電記憶體單元基於該第一操作之時序執行該第二操作。

記憶體控制器140-a亦可促進(除其他組件外)該第一鐵電記憶體單元之一第一板與一第二鐵電記憶體單元之一第二板之間的一導電路徑之建立。可藉由啟動與該第一板及該第二板電子通信之一或多個切換組件(例如相對於圖4之切換組件460)建立該導電路徑。可由時序組件715判定該建立之時序。電荷可基於該第一切換組件之啟動而自該第一板轉移至該第二

板。在一些情況下，該導電路徑之建立係在該第二操作之一部分期間且基於該第一鐵電記憶體單元及該第二鐵電記憶體單元之選擇。時序組件715亦可判定用以啟始該第二鐵電記憶體單元之該第二操作之一時間。該判定可基於該第一鐵電記憶體單元之該第一操作之時序。該導電路徑之建立可基於用以啟始該第二操作的時間。

在一些情況下，記憶體控制器140-a可啟始該第一板與一電壓供應之隔離。例如，可藉由撤銷啟動使一電壓供應(例如圖4之VCC 410-a)連接至一各自電源供應線(例如圖4之電源供應線420-a)之一切換組件(例如圖4之切換組件430-a)而使該第一板與該電壓供應斷開連接。在此等情況下，可在該隔離之後建立該導電路徑(如由時序組件715判定)。在其他情況下，可在該隔離之前或期間建立該導電路徑(如由時序組件715判定)。在一些情況下，記憶體控制器140-a可促進該第一板與該第二板之隔離。可藉由撤銷啟動與該第一板及該第二板電子通信之切換組件(例如圖4之切換組件460)而實施該隔離。偏壓組件710可藉由施加一適當偏壓電壓至該等切換組件之該等閘極而撤銷啟動該等切換組件。時序組件715可基於自該導電路徑之建立起一臨限時間量已經過去的一判定而判定用於該隔離之時序。時序組件715可基於自該導電路徑之建立起一臨限電荷量已經轉移的一判定而判定用於該隔離之時序。

在該等單元板之隔離之後，時序組件715可與偏壓組件710通信以在該第一板與一電壓參考(例如圖4之接地440)之間建立一導電路徑，其可包含建立一短接。該短接可基於該等單元板之隔離。在一些情況下，可藉由啟動使該第一板連接至該電壓參考的一切換組件(例如圖4之切換組件455-a)而使該第一板短接至該電壓參考。在該第一板已經短接至該電壓參考之

後，時序組件715可與偏壓組件710通信以施加一供應電壓(例如圖4之VBOOST 415-b)至該第二板。可在該等板之隔離之後施加該供應電壓。

在一些情況下，時序組件715可與偏壓組件710通信以在該導電路徑之建立之後施加一供應電壓(例如圖4之VBOOST 415-b)至該第二板。例如，可基於該第一板與該第二板之間的該導電路徑之建立而在該第二板與該電壓供應之間建立一導電路徑。可在電荷自該第一板轉移至該第二板時建立該導電路徑。可藉由啟動使該供應電壓連接至與該第二板電子通信之一電源線(例如圖4之電源供應線420-b)之一切換組件(例如圖4之切換組件435-b)而施加該供應電壓。當將該供應電壓施加至該第二板時，時序組件715可與偏壓組件710通信以使該第一板與該第二板隔離。

參考組件720可包含各種組件以產生一參考信號用於感測組件125-b。參考組件720可包含經特定地組態以產生一參考信號之電路。在一些情況下，參考組件720可為其他鐵電記憶體單元105。在一些實例中，參考組件720可經組態以輸出具一值之在該兩個感測電壓之間的一電壓，如參考圖3所描述。或參考組件720可經設計以輸出一虛擬接地電壓(即近似0伏特)。

感測組件125-b可比較來自記憶體單元105-c (通過數位線115-c)之一信號與來自參考組件720之一參考信號。一旦判定該邏輯狀態，該感測組件可接著儲存該輸出於鎖存器725中，其中其可根據使用記憶體陣列100-a係其之一部分之該記憶體裝置的一電子裝置之操作而使用。

圖8繪示根據本發明之各種實施例之在記憶體單元板之間支持電荷共享的一系統800。系統800包含一裝置805，其可為一印刷電路板或包含一印刷電路板以連接或實體地支撐各種組件。裝置805包含一記憶體陣列

100-b，其可為(除其他者外)參考圖1及圖7所描述之記憶體陣列100之一實例。記憶體陣列100-b可含有記憶體控制器140-b及一或多個記憶體單元105-d，其等可為(除其他者外)參考圖1及圖7所描述之記憶體控制器140及參考圖1至圖7所描述之記憶體單元105或470之實例。裝置805亦可包含一處理器810、BIOS組件815、一或多個周邊組件820及輸入/輸出控制組件825。裝置805之該等組件可通過匯流排830而彼此電子通信。

處理器810可經組態以通過記憶體控制器140-b而操作記憶體陣列100-b。在一些情況下，處理器810可執行參考圖1及圖7所描述之記憶體控制器140之該等功能。在其他情況下，記憶體控制器140-b可整合至處理器810中。處理器810可為一通用處理器、一數位信號處理器(DSP)、一專用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件或其可為此等類型之組件之一組合，且處理器810可執行本文中所描述之各種功能，包含促進單元板之間的電荷之轉移。處理器810可(例如)經組態以執行經儲存於記憶體陣列100-a中之電腦可讀指令以致使裝置805執行各種功能或任務。

BIOS組件815可為一軟體組件，其包含經操作為韌體之一基本輸入/輸出系統(BIOS)，其可初始化且運行系統800之各種硬體組件。BIOS組件815亦可管理處理器810與該等各種組件(例如，周邊組件820、輸入/輸出控制組件825等)之間的資料流動。BIOS組件815可包含經儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

一或多個周邊組件820之各者可為任何輸入或輸出裝置或用於此等裝置之整合至裝置805中的一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、USB控制器、一串列或並列埠或

周邊卡槽，諸如周邊組件互連件(PCI)或圖形加速埠(AGP)槽。

輸入/輸出控制組件825可管理處理器810與周邊組件820、輸入裝置835或輸出裝置840之間的資料通信。輸入/輸出控制組件825亦可管理未整合至裝置805中之周邊裝置。在一些情況下，輸入/輸出控制組件825可表示至該外部周邊裝置之一實體連接或埠。

輸入835可表示一裝置805外部之一裝置或信號，其提供輸入至裝置805或其組件。此可包含一使用者介面或具其他裝置或在其他裝置之間的介面。在一些情況下，輸入835可為一周邊裝置，其與裝置805經由周邊組件820介接或可由輸入/輸出控制組件825管理。

輸出裝置840可表示裝置805外部之經組態以接收來自裝置805或其組件之任何者的輸出的一裝置或信號。輸出裝置840之實例可包含一顯示器、揚聲器、一列印裝置、另一處理器或印刷電路板等。在一些情況下，輸出裝置840可為與裝置805經由周邊組件820介接或可由輸入/輸出控制組件825管理之一周邊裝置。

記憶體控制器140-b、裝置805及記憶體陣列100-b之該等組件可由經設計以執行其等功能之電路組成。此可包含經組態以執行本文中所描述之該等功能之各種電路元件，例如導電線、電晶體、電容器、電感器、電阻器、放大器或其他作用或非作用元件。

圖9展示繪示根據本發明之各種實施例之用於在記憶體單元板之間的電荷共享之一方法900的一流程圖。方法900之該等操作可由(除其他者外)如參考圖1、圖7及圖8所描述之一記憶體陣列100實施。例如，方法900之該等操作可由(除其他者外)如參考圖1、圖7及圖8所描述之一記憶體控制器140執行。在一些實例中，一記憶體控制器140可執行一組編碼以控制

記憶體陣列100之功能元件以執行下文所描述之功能。另外或替代地，記憶體控制器140可執行使用專用硬體之下文所描述之功能之態樣。

在方塊905處，該方法可包含選擇一第一鐵電記憶體單元用於一第一操作(例如一讀取操作或一寫入操作)。該第一鐵電記憶體單元可包含具一第一板之一第一鐵電電容器且可使用一第一字線選擇。在一些實例中，方塊905之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

在方塊910處，該方法可包含選擇一第二鐵電記憶體單元用於一第二操作(例如一讀取操作或一寫入操作)。該第二鐵電記憶體單元可包含具一第二板之一第二鐵電電容器且可使用一第二字線選擇。在一些實例中，該方法可包含至少部分基於該第一鐵電記憶體單元之該第一操作之一時序而判定用以啟始該第二鐵電記憶體單元之該第二操作的一時間。因此，該導電路徑之建立可至少部分基於用以啟始該第二操作之該時間。在一些實例中，方塊910之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

在方塊915處，該方法可包含在該第二操作之一部分期間或至少部分基於該第一鐵電記憶體單元及該第二鐵電記憶體單元之選擇而在該第一鐵電電容器之該第一板與該第二鐵電電容器之該第二板之間建立一導電路徑。在一些情況下，該方法可包含使該第一板與一電壓供應隔離。因此，該導電路徑之該建立可在該隔離之後。在替代情況下，該導電路徑之該建立可在該隔離之前或在該隔離期間。在一些實例中，該方法可包含使該第一板與該第二板隔離及至少部分基於該隔離而使該第一板短接至一電壓參考。在此等實例中，該方法亦可包含在該隔離之後施加一供應電壓至該第

二板。

在一些情況下，該方法包含在該導電路徑之建立之後施加一供應電壓至該第二板。在此等情況下，當施加該供應電壓至該第二板時，可使該第一板與該第二板隔離。在一些實例中，該方法包含判定自該導電路徑之該建立起一臨限時間量已經過去。因此，該第一板與該第二板之該隔離可至少部分基於該臨限時間量已經過去的該判定。在其他實例中，該方法包含判定自該導電路徑之該建立起一臨限電荷量已經轉移。因此，該第一板與該第二板之隔離可至少部分基於該臨限電荷量已經轉移的該判定。在一些實例中，方塊915之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

圖10展示繪示根據本發明之各種實施例之用於使用數位線隔離之記憶體單元感測的一方法1000之一流程圖。方法1000之該等操作可由(除其他者外)如參考圖1、圖7及圖8所描述之一記憶體陣列100實施。例如，方法1000之該等操作可由如參考圖1、圖7及圖8所描述之一記憶體控制器140執行。在一些實例中，一記憶體控制器140可執行一組編碼以控制記憶體陣列100之該等功能元件以執行下文所描述之該等功能。另外或替代地，記憶體控制器140可執行使用專用硬體之下文所描述之功能之態樣。

在方塊1005處，該方法可包含執行一第一鐵電記憶體單元之一第一操作。可使用一第一字線來選擇該第一鐵電記憶體單元。在一些實例中，方塊1005之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

在方塊1010處，該方法可包含執行一第二鐵電記憶體單元之一第二操作。針對該第二操作之該時序可至少部分基於針對該第一操作之該時

序。可使用一第二字線來選擇該第二鐵電單元。在一些實例中，方塊1010之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

在方塊1015處，該方法可包含至少部分基於針對該第二操作之該時序而啟動與該第一鐵電記憶體單元之一第一板及該第二鐵電記憶體單元之一第二板電子通信的一第一切換組件。在一些實例中，方塊1015之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

在方塊1020處，該方法可包含至少部分基於該第一切換組件之該啟動而使電荷自該第一板轉移至該第二板。在一些情況下，該方法可包含啟動與一第一鐵電單元之該第一板及一第二鐵電單元之該第二板電子通信的一第二切換組件。轉移該電荷可至少部分基於該第二切換組件之該啟動。在一些實例中，該方法可包含使該第一板與該第二板隔離及至少部分基於該隔離而在該第一板與一電壓參考之間建立一導電路徑。該隔離可至少部分基於該第二板上之一電壓已達到一臨限值(例如用以執行一讀取操作之一值(一讀取值)或用以執行一寫入操作之一值(一寫入值))的該判定。該方法亦可包含至少部分基於該第一板與該電壓參考之間的該導電路徑之該建立而在該第二板與一電壓供應之間建立一導電路徑。在一些情況下，該方法包含當轉移該電荷時在該第二板與一電壓供應之間建立一導電路徑。在一些實例中，方塊1020之該等操作可由如參考圖7所描述之偏壓組件710或時序組件715執行或促進。

因此，方法900及1000及通過本發明所描述之彼等可提供操作一鐵電記憶體陣列用於在記憶體單元板之間的電荷共享之一方法或若干方法。應注意，方法900及1000及通過本發明所描述之彼等描述可行實施方案，且

該等操作及步驟可經重新配置或依其他方式修改，使得其他實施方案係可行的且預期。在一些實例中，可組合來自方法900及1000及通過本發明所描述之彼等之兩個或多個之態樣。

本文中之描述提供實例，且並非係申請專利範圍中所闡述之範疇、適用性或實例之限制。可在不背離本發明之範疇的情況下在所論述之元件之功能及配置中做改變。各種實例可根據需要省略、替換或添加各種程序或組件。同樣地，可在其他實例中組合相對於一些實例所描述之特徵。

本文中所闡述之結合隨附圖式之描述描述實例組態且不表示可經實施或在申請專利範圍之範疇內之所有實例。如本文中所使用之術語「實施例」、「實例」及「例示性」意謂「用作一實例、例項或圖解說明」，且非「較佳」或「優於其他實例」。詳細描述包含為提供所描述技術之一理解之目的的特定細節。然而，可在無此等特定細節的情況下實踐此等技術。在一些例項中，熟知結構及裝置以方塊圖形式展示以避免混淆所描述實例之概念。

在附圖中，類似組件或特徵可具有相同參考標記。進一步言之，相同類型之各種組件可藉由跟隨由一破折號之參考標記及在類似組件當中區分之一第二標記區分。當在該說明書中使用第一參考標記時，該描述適用於具有相同第一參考標記而不管第二參考標記之類似組件的任何者。

本文中所描述之資訊及信號可使用各種不同技術及技巧之任何者表示。例如，可貫穿上文描述參考之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或顆粒、光場或顆粒或其等之任何組合表示。一些圖可繪示信號為一單一信號；然而，一般技術者將理解，該信號可表示信號之一匯流排，其中該匯流排可具有各種位元寬

度。

如本文中所使用，術語「虛擬接地」係指經保持於近似零伏特(0伏特)之一電壓處但不與地面直接連接的一電路之一節點。據此，一虛擬接地之電壓可暫時波動且在穩定狀態處返回至近似0伏特。可使用各種電子電路元件(諸如由操作放大器及電阻器組成之一分壓器)實施一虛擬接地。其他實施方案亦係可行的。

術語「電子通信」係指在組件之間支持電子流動之在該等組件之間的一關係。此可包含在組件之間的一直接連接或可包含中間組件。電子通信中之組件可主動地交換電子或信號(例如在一通電電路中)或可不主動地交換電子或信號(例如在一斷電電路中)，但可經組態且可操作以在一電路經通電之後交換電子或信號。藉由實例，經由一開關(例如一電晶體)實體地連接之兩個組件係電子通信而無關該開關之狀態(即打開或關閉)如何。

術語「隔離」係指其中電子目前不流動之組件之間的一關係。例如，由一開關實體地連接之兩個組件可在該開關打開時彼此隔離。

本文中所論述之包含記憶體陣列100之裝置可經形成於一半導體基板上，諸如矽、鍺、矽鍺合金、砷化鎵、氮化鎵等。在一些情況下，該基板係一半導體晶圓。在其他情況下，該基板可為一絕緣體上覆矽(SOI)基板，諸如玻璃上覆矽(SOG)或藍寶石上覆矽(SOP)或半導體材料在另一基板上之磊晶層。可通過使用各種化學物種(包含，但不限於，磷、硼或砷)之摻雜而控制該基板或該基板之子區域之導電性。可在該基板之初始形成或生長期間藉由離子植入或藉由任何其他摻雜方式執行摻雜。

本文中所論述之一電晶體或若干電晶體可表示一場效電晶體(FET)且包括一三個端子裝置，包含一源極、汲極及閘極。可通過導電材料(例如

金屬)而使該等端子連接至其他電子元件。該源極及汲極可為導電的且可包括一重摻雜(例如退化)半導體區域。該源極及汲極可由一輕摻雜半導體區域或通道分離。若該通道係n型(即,大多數載流子係電子),則該FET可指稱一n型FET。若該通道係p型(即,大多數載流子係電洞),則該FET可指稱p型FET。該通道可由一絕緣閘極氧化物封端。可藉由施加一電壓至該閘極而控制該通道導電性。例如,分別施加一正電壓或負電壓至一n型FET或一p型FET可導致通道變成導電。一電晶體可在施加大於或等於該電晶體之臨限電壓之一電壓至該電晶體閘極時「接通」或「啟動」。該電晶體可在施加小於該電晶體之臨限電壓之一電壓至該電晶體閘極時「關閉」或「撤銷啟動」。

可用經設計以執行本文中所描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件或其等之任何組合來實施或執行結合本文中所揭示而描述之各種闡釋性區塊、組件及模組。一通用處理器可為一微處理器,但作為替代,該處理器可為任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如,一DSP與一微處理器之一組合、多個微處理器、結合一DSP核心之一或多個微處理器或任何其他此組態)。

可在由一處理器、韌體或其等之任何組合執行之硬體、軟體中實施本文中所描述之該等功能。若經實施於由一處理器執行之軟體中,則該等功能可作為一或多個指令或編碼而經儲存於或傳輸於一電腦可讀媒體上。其他實例及實施方案係在本揭示內容及隨附申請專利範圍之範疇內。例如,歸因於軟體之性質,可使用由一處理器、硬體、韌體、硬接線或此等

之任何者之組合執行之軟體來實施上文所描述之功能。實施功能之構件亦可經實體地定位於各個位置處，包含經分佈使得在不同實體位置處實施功能之部分。同樣地，如本文中所使用，包含在申請專利範圍中，如一項目清單(例如由諸如「至少一個」或「一或多者」之一片語開始之一項目清單)中所使用之「或」指示一包含性清單，使得(例如) A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即A及B及C)。

電腦可讀媒體包含非暫時性電腦儲存媒體及通信媒體兩者，包含促進一電腦程式自一位置至另一位置之傳送之任何媒體。一非暫時性儲存媒體可為可藉由一通用電腦或專用電腦存取之任何可用媒體。藉由實例(且非限制)，非暫時性電腦可讀媒體可包括RAM、ROM、電可擦除可程式化唯讀記憶體(EEPROM)、光碟(CD) ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置或可用於載送或儲存呈指令或資料結構之形式之所要程式碼構件且可藉由一通用電腦或專用電腦或一通用或專用處理器存取之任何其他非暫時性媒體。

再者，任何連接可被適當地稱為一電腦可讀媒體。例如，若使用一同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)自一網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)包含於媒體之定義中。如本文中使用，磁碟及光碟包含CD、雷射光碟、光碟、數位多功能光碟(DVD)、軟碟及藍光光碟，其中磁碟通常磁性地重現資料而光碟用雷射光學地重現資料。上述元件之組合亦經包含於電腦可讀媒體之範疇內。

提供本文中之描述以使熟習技術者能夠製造或使用本發明。熟習此

項技術者在不脫離本發明之範疇之情況下將容易明白對本發明之各種修改，且本文中定義之一般原理可適用於其他變體。因此，本發明不意欲受限於本文中所描述之實例及設計，而是應被給予與本文中所揭示之原理及新穎特徵一致之最廣範疇。

【符號說明】

100	記憶體陣列
100-a	記憶體陣列
100-b	記憶體陣列
105	記憶體單元
105-a	鐵電記憶體單元
105-b	記憶體單元
105-c	記憶體單元
105-d	記憶體單元
110	字線
110-a	字線
110-b	字線
110-c	字線
115	數位線
115-a	數位線
115-b	數位線
115-c	數位線
120	列解碼器
125	感測組件

125-a	感測組件
125-b	感測組件
130	行解碼器
135	輸出
140	記憶體控制器
140-a	記憶體控制器
140-b	記憶體控制器
200-a	電路
200-b	電路
205	鐵電電容器
205-a	電容器
210	單元板
210-a	板
215	單元底部(CB)
215-a	單元底部
220	選擇組件
220-a	選擇組件
225	參考線
230	板線(PL)
235	切換組件
240	電源供應線
240-a	電源供應線
300-a	滯後曲線

300-b	滯後曲線
305	電荷狀態
305-a	電荷狀態
305-b	電荷狀態
305-c	電荷狀態
310	電荷狀態
310-a	電荷狀態
310-b	電荷狀態
310-c	電荷狀態
315	淨正電壓
320	路徑
325	淨負電壓
330	路徑
335	電壓
340	路徑
345	路徑
350	電壓
355	電壓
400	電路
405-a	區段
405-b	區段
405-c	區段
410-a	VCC

410-b	VCC
415-a	VBOOST
415-b	VBOOST
420-a	電源供應線
420-b	電源供應線
425-a-1	板線
425-a-2	板線
425-a-3	板線
425-b-1	板線
425-b-2	板線
425-b-3	板線
430-a	切換組件
430-b	切換組件
435-a	切換組件
435-b	切換組件
440	接地
445-a-1	驅動器CPIN
445-a-2	驅動器CPIN
445-a-3	驅動器CPIN
445-b-1	驅動器CPIN
445-b-2	驅動器CPIN
445-b-3	驅動器CPIN
450-a-1	切換組件

450-a-2	切換組件
450-a-3	切換組件
450-b-1	切換組件
450-b-2	切換組件
450-b-3	切換組件
455-a-1	切換組件
455-a-2	切換組件
455-a-3	切換組件
455-b-1	切換組件
455-b-2	切換組件
455-b-3	切換組件
460-a-1	切換組件
460-a-2	切換組件
460-a-3	切換組件
460-a-4	切換組件
460-b-1	切換組件
460-b-2	切換組件
460-b-3	切換組件
460-b-4	切換組件
465-a	字線
465-b	字線
470-a-1	記憶體單元
470-a-2	記憶體單元

470-a-3	記憶體單元
470-b-1	記憶體單元
470-b-2	記憶體單元
470-b-3	記憶體單元
475	等化線
500	時序圖系統
501	軸/時間軸
502	軸
505-a	時序圖
505-b	時序圖
505-c	時序圖
505-d	時序圖
505-e	時序圖
505-f	時序圖
510	切換組件電壓
515-a	VBOOST電壓
515-b	VBOOST電壓
520-a	VCC電壓
520-b	VCC電壓
525	單元板電壓
525-a	單元板電壓
525-b	單元板電壓
540	持續時間

555	持續時間
600	時序圖系統
601	軸
602	軸/時間軸
605-a	時序圖
605-b	時序圖
605-c	時序圖
605-d	時序圖
605-e	時序圖
605-f	時序圖
610	切換組件電壓
615-a	VBOOST電壓
615-b	VBOOST電壓
620-a	VCC電壓
620-b	VCC電壓
625	單元板電壓
625-a	單元板電壓
625-b	單元板電壓
640	持續時間
700	方塊圖
710	偏壓組件
715	時序組件
720	參考組件

725	鎖存器
735	區段偏壓線
800	系統
805	裝置
810	處理器
815	BIOS組件
820	周邊組件
825	輸入/輸出控制組件
830	匯流排
835	輸入
840	輸出裝置
900	方法
905	方塊
910	方塊
915	方塊
1000	方法
1005	方塊
1010	方塊
1015	方塊
1020	方塊

【發明申請專利範圍】

【第1項】

一種操作一鐵電記憶體陣列之方法，其包括：

選擇一第一鐵電記憶體單元用於一第一操作，該第一鐵電記憶體單元包括具一第一板之一第一鐵電電容器；

選擇一第二鐵電記憶體單元用於一第二操作，該第二鐵電記憶體單元包括具一第二板之一第二鐵電電容器；及

在該第二操作之一部分期間且至少部分基於該第一鐵電記憶體單元及該第二鐵電記憶體單元之該選擇，而在該第一鐵電電容器之該第一板與該第二鐵電電容器之該第二板之間建立一導電路徑。

【第2項】

如請求項1之方法，其中該第一操作及該第二操作各包括一寫入操作或一讀取操作。

【第3項】

如請求項1之方法，進一步包括：

至少部分基於該第一鐵電記憶體單元之該第一操作之一時序來判定用以啟始該第二鐵電記憶體單元之該第二操作之一時間，其中該導電路徑之建立係至少部分基於用以啟始該第二操作之該時間。

【第4項】

如請求項1之方法，進一步包括：

使該第一板與一電壓供應隔離，其中該導電路徑之建立係在該隔離之後。

【第5項】

如請求項1之方法，進一步包括：

使該第一板與該第二板隔離；及

至少部分基於該隔離而使該第一板短接至一電壓參考。

【第6項】

如請求項5之方法，進一步包括：

在該隔離之後，施加一供應電壓至該第二板。

【第7項】

如請求項1之方法，進一步包括：

在該導電路徑之建立之後，施加一供應電壓至該第二板。

【第8項】

如請求項7之方法，進一步包括：

當施加該供應電壓至該第二板時，使該第一板與該第二板隔離。

【第9項】

如請求項1之方法，進一步包括：

判定自該導電路徑之該建立起，一臨限時間量已經過去；及

至少部分基於該臨限時間量已經過去之該判定，而使該第一板與該第二板隔離。

【第10項】

如請求項1之方法，進一步包括：

判定自該導電路徑之該建立起，一臨限電荷量已經轉移；及

至少部分基於該臨限電荷量已經轉移之該判定，而使該第一板與該第二板隔離。

【第11項】

一種操作一鐵電記憶體陣列之方法，其包括：

執行一第一鐵電記憶體單元之一第一操作；

執行一第二鐵電記憶體單元之一第二操作，其中針對該第二操作之一時序係至少部分基於針對該第一操作之一時序；

至少部分基於針對該第二操作之該時序，而啟動與該第一鐵電記憶體單元之一第一板及該第二鐵電記憶體單元之一第二板電子通信之一第一切換組件；及

至少部分基於該第一切換組件之該啟動，而將電荷自該第一板轉移至該第二板。

【第12項】

如請求項11之方法，進一步包括：

判定轉移該電荷所致之該第二板上之一電壓已達到一臨限值；及

至少部分基於該判定，而使該第一板與該第二板隔離。

【第13項】

如請求項11之方法，進一步包括：

啟動與一第一鐵電單元之該第一板及一第二鐵電單元之該第二板電子通信之一第二切換組件，其中轉移該電荷係至少部分基於該第二切換組件之該啟動。

【第14項】

如請求項11之方法，進一步包括：

使用一第一字線來選擇該第一鐵電記憶體單元；及

使用一第二字線來選擇該第二鐵電記憶體單元。

【第15項】

如請求項11之方法，進一步包括：

使該第一板與該第二板隔離；及

至少部分基於該隔離，而在該第一板與一電壓參考之間建立一導電路徑。

【第16項】

如請求項15之方法，進一步包括：

至少部分基於該第一板與該電壓參考之間之該導電路徑之該建立，而在該第二板與一電壓供應之間建立一導電路徑。

【第17項】

如請求項11之方法，進一步包括：

當轉移該電荷時，在該第二板與一電壓供應之間建立一導電路徑。

【第18項】

一種電子記憶體設備，其包括：

一第一組記憶體單元之一第一板線；

一第一對切換組件，其包括一第一切換組件及一第二切換組件，該第一對切換組件經由一導電路徑與該第一板線耦合，且該第一對切換組件與一第一驅動器耦合；

一第二對切換組件，其包括一第三切換組件及一第四切換組件，該第二對切換組件與不同於該第一驅動器之一第二驅動器耦合；

一第二組記憶體單元之一第二板線，該第二板線經由一等化線及該第一切換組件及該第三切換組件來與該第一板線電子通信；及

至少一個電壓供應，其與該第一板線及該第二板線電子通信。

【第19項】

如請求項18之電子記憶體設備，其中該第一組記憶體單元係與一第一字線電子通信，且其中該第二組記憶體單元係與與該第一字線隔離之一第二字線電子通信。

【第20項】

如請求項18之電子記憶體設備，其中該第一板線及該第二板線係各與一第一電壓供應及具有大於該第一電壓供應之一電壓額定值的第二電壓供應電子通信。