(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3783786号

(P3783786)

(45)発行日　平成18年6月7日(2006.6.7)　(24)登録日　平成18年3月24日(2006.3.24)

(51)Int.Cl.			F I		
G02F	1/1368	(2006.01)	G02F	1/1368	
G02F	1/133	(2006.01)	G02F	1/133	５５０
H01L	29/786	(2006.01)	H01L	29/78	６１２Ｚ
H01L	21/336	(2006.01)			

請求項の数 3　(全 20 頁)

(21)出願番号　特願平7-30115
(22)出願日　平成7年1月26日(1995.1.26)
(65)公開番号　特開平8-201852
(43)公開日　平成8年8月9日(1996.8.9)
審査請求日　平成14年1月22日(2002.1.22)
審判番号　不服2003-17053(P2003-17053/J1)
審判請求日　平成15年9月4日(2003.9.4)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(74)代理人　100108741
弁理士　渡邊　順之
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　竹村　保彦
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】アクティブマトリクス表示装置

(57)【特許請求の範囲】

【請求項１】

画像信号線と、該画像信号線と交差するゲート信号線と、該ゲート信号線と平行に配置された容量線と、画素電極と、該画素電極と前記画像信号線の間に直列に接続された３個の薄膜トランジスタとを有し、

前記３個の薄膜トランジスタのチャネル、ソース及びドレインは、同一の島状半導体膜に形成され、

前記３個の薄膜トランジスタのうち前記画像信号線に接続された薄膜トランジスタ及び前記画素電極に接続された薄膜トランジスタそれぞれは、前記ゲート信号線の一部をゲート電極とし、

前記３個の薄膜トランジスタのうち前記画像信号線に接続された薄膜トランジスタ及び前記画素電極に接続された薄膜トランジスタを除く薄膜トランジスタは、前記容量線の一部をゲート電極とし、

前記容量線には、当該薄膜トランジスタを常時ＯＮとする信号が入力されていることを特徴とするアクティブマトリクス表示装置。

【請求項２】

前記容量線は、１行上の画素電極と重なる請求項１に記載のアクティブマトリクス表示装置。

【請求項３】

前記島状半導体膜は、Ｕ字型、コの字型又は馬蹄型である請求項１又は２に記載のアク

ティブマトリクス表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、アクティブマトリクス表示装置の表示画面の画質向上をはかる回路および素子に関する。
【０００２】
【従来の技術】
図２（Ａ）にアクティブマトリクス表示装置の従来例の概略図を示す。図中の破線で囲まれた領域（２０４）が表示領域であり、その中に薄膜トランジスタ（２０１）がマトリクス状に配置されている。前記薄膜トランジスタ（２０１）のソース電極に接続している配線が画像（データ）信号線（２０６）であり、前記薄膜トランジスタ（２０１）のゲート電極に接続している配線がゲート（選択）信号線（２０５）である。
【０００３】
ここで、駆動素子について着目すると、前記薄膜トランジスタ（２０１）はデータのスイッチングを行い、液晶セル（２０３）を駆動する。補助容量（２０２）は、液晶セルの容量を補強するためのコンデンサで画像データの保持用として用いられる。前記薄膜トランジスタ（２０１）は液晶に印加する電圧の画像データをスイッチングするのに用いられる。薄膜トランジスタのゲート電圧をV_{GS}、ドレイン電流をI_Dとすると、図３に示すような$V_{GS}-I_D$の関係になる。即ちゲート電圧V_{GS}が前記薄膜トランジスタのＯＦＦの領域で、I_Dが大きくなる。これをＯＦＦ電流という。
【０００４】
Ｎチャネル形薄膜トランジスタの場合、V_{GS}を負にバイアスした時のＯＦＦ電流は、半導体薄膜の表面に誘起されるＰ型層と、ソース領域及びドレイン領域のＮ型層との間に形成されるＰＮ接合を流れる電流により規定される。そして、半導体薄膜中には多くのトラップが存在するため、このＰＮ接合は不完全であり接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどＯＦＦ電流が増加するのは半導体薄膜の表面に形成されるＰ型層のキャリア濃度が増加してＰＮ接合のエネルギー障壁の幅が狭くなるため、電界の集中が起こり、接合リーク電流が増加することによるものである。
【０００５】
このようにして生じるＯＦＦ電流は、ソース／ドレイン電圧に大きく依存する。例えば、薄膜トランジスタのソース／ドレイン間に印加される電圧が大きくなるにしたがって、ＯＦＦ電流が飛躍的に増大することが知られている。すなわち、ソース／ドレイン間に５Ｖの電圧を加えた場合と１０Ｖの電圧を加えた場合とでは、後者のＯＦＦ電流は前者の２倍ではなく、１０倍にも１００倍にもなる場合がある。また、このような非線型性はゲート電圧にも依存する。一般にゲート電極の逆バイアスの値が大きい場合（Ｎチャネル型では、大きなマイナス電圧）には、両者の差が著しい。
【０００６】
この問題を解決するためには、例えば、特公平５－４４１９５と特公平５－４４１９６に記述されているように、薄膜トランジスタを直列に接続する方法（マルチゲート法）が提案されている。これは、個々の薄膜トランジスタのソース／ドレインに印加される電圧を減少させることによって、個々の薄膜トランジスタのＯＦＦ電流を低減せしめることを意図している。例えば、図２（Ｂ）のように２個の薄膜トランジスタを直列に接続した場合、個々の薄膜トランジスタのソース／ドレインに印加される電圧は半分になる。ソース／ドレインに印加される電圧が半分になれば、前述の議論からＯＦＦ電流は１／１０にも１／１００にもなる。
【０００７】
【発明が解決しようとする課題】
しかしながら、液晶ディスプレーの画像表示に要求される特性が厳しくなると、上記のマルチゲート法でも必要なだけＯＦＦ電流を下げることが難しくなった。すなわち、ゲート

電極の数（薄膜トランジスタの数）を３個、４個、５個と増やしたとしても、各薄膜トランジスタのソース／ドレインに印加される電圧は１／３、１／４、１／５というようにわずかづつしか減らないからである。ソース／ドレインに印加される電圧が１／１００になるには、ゲートが１００個必要であった。すなわち、この方式では、ゲート数を２個にした場合においてが最も効果が顕著であったものの、それ以上のゲートを設けてもあまり大きな効果は期待できないことであった。

【０００８】

本発明は、上記のような問題を鑑みてなされたものであり、画素電極に接続する薄膜トランジスタのソース／ドレインに印加される電圧を、通常の場合の１／１０以下、好ましくは１／１００以下とすることによって、ＯＦＦ電流を低減させる構造を有する画素回路を提供することである。この際に特徴的なことは、上記目的のための薄膜トランジスタ数は十分に小さくすることである。好ましくは５個以下、より好ましくは３個の薄膜トランジスタによって、上記目標を達成する。

【０００９】

【課題を解決するための手段】

本発明の基本的な思想は、図２（Ｃ）に示すように、直列に接続された薄膜トランジスタ（２２１）、（２２２）の間に容量（２２３）を設けることによって、特に画素電極側の薄膜トランジスタ（２２２）のソース／ドレイン間に現れる電圧を低下せしめ、よって、薄膜トランジスタ（２２２）のＯＦＦ電流を低減させることである。図では容量（２２４）を示したが、これは必ずしも必要ではない。むしろ、書き込みの際の負担を増大させるものであるので、画素セル（２２５）の容量と容量（２２３）の比率が最適なものであれば無いほうが好ましい場合もある。

【００１０】

具体的な動作について述べると、ゲート信号線（２２６）に選択信号が送られたときに、薄膜トランジスタ（２２１）、（２２２）がどちらもＯＮとなり、画像信号線（２２７）の信号に応じて、容量（２２３）、（２２４）、画素セル（２２５）が充電される。十分に充電がなされた（平衡）段階では、薄膜トランジスタ（２２２）のソース／ドレイン間の電圧はほぼ等しい状態となる。

【００１１】

この状態で選択信号が切られると、薄膜トランジスタ（２２１）、（２２２）はいずれもＯＦＦとなる。その後、画像信号線（２２７）には他の画素の信号が印加されており、薄膜トランジスタ（２２１）は有限のＯＦＦ電流があるので、容量（２２３）に充電された電荷が放出され、電圧が低下することとなる。しかし、この速度は、図２（Ａ）で示した通常のアクティブマトリクス回路の容量（２０２）の電圧降下と同じ程度の速度で進行する。

【００１２】

一方、薄膜トランジスタ（２２２）に関しては、当初、ソース／ドレイン間の電圧がほぼ０であったために、ＯＦＦ電流は極めて僅かであったが、その後、容量（２２３）の電圧が降下するため、徐々にソース／ドレイン間の電圧が増加し、したがって、ＯＦＦ電流も増加することとなる。しかしながら、このＯＦＦ電流の増加による画素セル（２２５）の電圧降下が図２（Ａ）に示す通常のアクティブマトリクス回路におけるものよりも十分に緩やかであることは言うまでもない。

【００１３】

例えば、薄膜トランジスタ（２０１）と（２２１）が同じ程度の特性であったとし、容量（２０２）は１フレームの間に電圧が当初の１０Ｖから９０％の９Ｖになるものとする。図２（Ａ）の場合は、１フレームの間に画素セル（２０３）の電圧が９Ｖにまで降下してしまう。しかし、図２（Ｃ）の場合には、容量（２２３）の電圧が９Ｖに降下しても、薄膜トランジスタ（２２２）のソース／ドレイン間の電圧は１Ｖであるので、ＯＦＦ電流は極めて小さく、しかも、それは１フレームの終了時点での話であるから、画素セル（２２５）や容量（２２４）から放出された累積の電荷量は極めて少なく、したがって、画素セ

ル（２２５）の電圧は１０Ｖとほとんど変わらない。
【００１４】
図２（Ｂ）の場合との比較は簡単ではないが、図２（Ｂ）においては、薄膜トランジスタ１個のソース／ドレインに印加される電圧は，図２（Ａ）の場合の１０Ｖの半分の５Ｖであり、図２（Ｃ）の薄膜トランジスタ（２２２）の場合のように、ソース／ドレイン間の電圧が１Ｖということは起こりえない。したがって、この面からも本発明の優位性が示される。
【００１５】
なお、薄膜トランジスタ（２２１）、（２２２）のチャネルにＬＤＤ領域またはオフセット領域を入れると、それらの領域はドレイン抵抗・ソース抵抗となるため、ドレイン接合の電界強度を緩和させ、さらにＯＦＦ電流を減少させることができることは言うまでもない。
また、図２（Ｄ）に示すように、薄膜トランジスタと容量の組み合わせをさらに追加すれば、より大きな効果が得られるが、図２（Ａ）を図２（Ｃ）に置き換えた場合に比較すれば、効果の増大する比率は低下する。
【００１６】
上記において、容量（２２３）、（２２４）は通常のコンデンサであってもよいが、そのうちの１つもしくは両方をＭＯＳ型のキャパシタ（ＭＯＳキャパシタ）で構成すると、集積化の面で効果的である。なお、容量（２２４）が必ずしも必要なものではないということは先に述べた通りである。また、薄膜トランジスタ（２２１）と（２２２）の間に、低濃度不純物領域等を形成することにより直列に抵抗を挿入した回路構成とすると、よりＯＦＦ電流を低減できる。
【００１７】
なお、容量としては、金属電極の対向によって得られる固定的なもの以外に、ＭＯＳ容量を用いてもよい。ＭＯＳ容量とは、実質的に真性な半導体被膜上にゲート絶縁膜とゲート電極を重ねた構造を有するものである。ゲート電極の電位によって容量値が変動するという特徴を有する。
例えば、１個の画素電極に対して３個以上の薄膜トランジスタを直列に接続し、前記直列接続した薄膜トランジスタの両端を除く少なくとも１個の薄膜トランジスタを常時ＯＮ状態として容量として使用するか、または前記直列接続した薄膜トランジスタの一方の薄膜トランジスタのドレインと他方の薄膜トランジスタのソースの接続点にＭＯＳ容量を接続すればよい。ＭＯＳ容量のゲート電極は適当な電位に維持することによって、安定した静電容量が得られる。
【００１８】
【実施例】
〔実施例１〕　図１（ａ）は１個の画素セル（１０５）の一方の電極に薄膜トランジスタを３個接続したアクティブマトリクス表示方式の例を示す。薄膜トランジスタはすべてＮチャネル型とするが、Ｐチャネル型でも同様である。むしろ、低温形成の結晶性シリコン半導体を用いた薄膜トランジスタにおいては、Ｐチャネル型の方が、ＯＦＦ電流が小さく、劣化しにくいという特徴がある。
【００１９】
２個の薄膜トランジスタ（１０１）、（１０２）はゲートの配線を共有し、ゲート信号線に接続される。また、薄膜トランジスタ（１０１）のソースは画像信号線に接続されている。前記２個の薄膜トランジスタの間に、常時ＯＮ状態の薄膜トランジスタ（１０３）を接続する。薄膜トランジスタ（１０３）を常時ＯＮとするためには、画像信号等によって影響がほとんどないような十分高い正の電位をゲートに与えることが望ましい。
【００２０】
例えば、画像信号が－１０Ｖ～＋１０Ｖで変動する場合には、薄膜トランジスタのゲートは＋１５Ｖ以上、好ましくは＋２０Ｖ以上の電位に常に保たれることが望ましい。例えば、薄膜トランジスタ（１０３）のゲートの電位が＋１１Ｖであれば、ゲート／ソース間の

電位差はしきい値電圧の近辺の＋１～＋１１Ｖの間で変動し、薄膜トランジスタ（１０３）において得られる容量も大きく変動する。これに対して、薄膜トランジスタ（１０３）のゲートの電位が＋２０Ｖであれば、ゲート／ソース間の電位差は＋１０～＋３０Ｖの間で変動するものの、しきい値電圧からは十分に離れているので、薄膜トランジスタ（１０３）において得られる容量の変動はほとんどない。

【００２１】

液晶セル（１０５）と補助容量（１０４）は薄膜トランジスタ（１０２）のドレインに接続する。そして、液晶セル（１０５）と補助容量（１０４）の他の電極は設置準位に接続すればよい。なお、液晶セル（１０５）の容量が十分であれば、補助容量（１０４）はなくてもよい。ＭＯＳ容量（１０３）の大きさは補助容量（１０４）と液晶セル（１０５）の容量の和との比率において最適なものを決定すればよい。

【００２２】

図１（ａ）の動作について説明する。まず２個の薄膜トランジスタ（１０１）、（１０２）のゲートに‘Ｈ’レベルの電圧が印加され、前記薄膜トランジスタがＯＮ状態になる。そして、前記薄膜トランジスタ（１０１）のソースには画像信号に応じた電流が流れ、前記薄膜トランジスタ（１０１）のドレインに接続している常時ＯＮ状態の薄膜トランジスタ（１０３）は容量として機能し、充電を開始する。前記薄膜トランジスタ（１０３）は常時ＯＮ状態であるため、薄膜トランジスタ（１０２）のソースからドレインに電流が流れ、補助容量（１０４）および液晶セル（１０５）を充電する。

【００２３】

次に、薄膜トランジスタ（１０１）、（１０２）のゲートに‘Ｌ’レベルの電圧が印加されると、薄膜トランジスタがＯＦＦ状態になり薄膜トランジスタ（１０１）のソースの電圧が降下し、常時ＯＮ状態の薄膜トランジスタ（１０３）に蓄えられていた電荷に対してＯＦＦ電流が流れ、放電を開始する。しかし、常時ＯＮ状態の薄膜トランジスタ（１０３）の容量により、画素に接続されている薄膜トランジスタのドレイン／ソース間の電圧降下が遅れる。よって補助容量（１０４）および液晶セル（１０５）の放電量が減少し、次の画面で薄膜トランジスタがＯＮ状態になるまで、液晶セル（１０５）の放電量が抑制される。以上を示したものが図６のドレイン電圧（ａ）である。

【００２４】

図１（ａ）において、常時ＯＮのＮチャネル形薄膜トランジスタ（１０３）を削除した回路を考えてみる。２個のＮチャネル形薄膜トランジスタ（１０１、１０２）はゲートの配線を共有し、液晶セル（１０５）と補助容量（１０４）は薄膜トランジスタ（１０２）のドレインに接続する。これは図２（Ｂ）に示した、いわゆるマルチゲート型の回路である。

【００２５】

まず２個の薄膜トランジスタ（１０１）、（１０２）のゲート電極に‘Ｈ’レベルの電圧が印加され、薄膜トランジスタがＯＮ状態になる。そして、薄膜トランジスタのソースに電流が流れ、補助容量（１０４）および液晶セル（１０５）を充電する。

【００２６】

次に、薄膜トランジスタ（１０１）、（１０２）のゲートに‘Ｌ’レベルの電圧が印加され、薄膜トランジスタがＯＦＦ状態になり薄膜トランジスタ（１０１）のソースの電圧が降下し、このことにより薄膜トランジスタ（１０２）のドレインの電圧も降下する。よって補助容量（１０４）と液晶セル（１０５）は放電を開始する。以上を示したものが図６のドレイン電圧（ｂ）である。（ａ）の場合と比較して放電量が多く、電圧降下も大きいことが分かる。

【００２７】

このように、本実施例によって本発明の効果が立証された。なお、図２（Ｄ）と同様に、薄膜トランジスタ（１０２）、（１０３）と同様な薄膜トランジスタが、薄膜トランジスタ（１９２）と（１０４）の間に挿入されればさらに大きな効果が得られることは明らかであろう。

【００２８】
〔実施例２〕　図１（ｂ）には、１個の画素電極に薄膜トランジスタを２個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてＮチャネル形とするが、Ｐチャネル型であっても同様な効果が得られる。
２個の薄膜トランジスタ（１１１）、（１１２）はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース／ドレイン間に、ＭＯＳ容量（１１３）を接続する。
【００２９】
ＭＯＳ容量（１１３）は通常の薄膜トランジスタのソースとドレインを短絡して形成すればよい。このＭＯＳ容量はＮチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例１の薄膜トランジスタ（１０３）のゲートと同様に、十分に高い正の電位に保たれることが望ましい。
【００３０】
また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、ＭＯＳ容量（１１３）のゲートは上記のような電位に保持されていることが必要である。また、当該画素が選択されている時間（当該画素が画像信号線の信号によって書き込みされている時間）においても、ＭＯＳ容量（１０３）のゲートは上記の電位に保たれていることが望ましい。容量（１１４）およびＭＯＳ容量（１１３）のゲート電極はゲート信号線と平行に配置された容量線に接続され、上記の目的のための電位に保持される。
【００３１】
液晶セル（１１５）と補助容量（１１４）は薄膜トランジスタ（１１２）のドレインに接続し、薄膜トランジスタ（１１１）のソースは画像信号線に接続する。なお、補助容量（１１４）は液晶セル（１１５）の容量が十分であれば必要ではない。
【００３２】
図１（ｂ）の動作について説明する。簡単のため、ＭＯＳ容量（１１３）のゲートは常時、十分に高い正の電位に保たれているものとする。まず２個の薄膜トランジスタ（１１１）、（１１２）のゲートに‘Ｈ’レベルの電圧が印加され、薄膜トランジスタがＯＮ状態になる。
その結果、薄膜トランジスタ（１１１）のソースに電流が流れ薄膜トランジスタ（１１１）のドレインに接続しているＭＯＳ容量（１１３）を充電し始める。また薄膜トランジスタ（１１２）のソース電極からドレイン電極に電流が流れ、補助容量（１１４）および液晶セル（１１５）を充電する。
【００３３】
次に、薄膜トランジスタ（１１１）、（１１２）のゲート電極に‘Ｌ’レベルの電圧が印加され、薄膜トランジスタがＯＦＦ状態になり薄膜トランジスタ（１１１）のソース電極の電圧が降下し、ＭＯＳ容量（１１３）は薄膜トランジスタのＯＦＦ電流により、放電を開始する。しかし、ＭＯＳ容量（１１３）により、画素に接続されている薄膜トランジスタのドレイン／ソース間の電圧降下が遅れる。よって、補助容量および液晶セル（１１５）の放電量が減少し、次の画面で薄膜トランジスタがＯＮ状態になるまで、液晶セル（１１５）の放電量が抑制される。その動作波形は実施例１と同様である。
【００３４】
〔実施例３〕　図１（ｃ）には、１個の画素電極に薄膜トランジスタを２個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてＮチャネル形とするが、Ｐチャネル型であっても同様な効果が得られる。
２個の薄膜トランジスタ（１２１）、（１２２）はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース／ドレイン間に容量（１２３）を接続する。
【００３５】
補助容量（１２４）はＭＯＳ容量を用いて形成する。これは、実施例２のＭＯＳ容量（１１３）と同様に、通常の薄膜トランジスタのソースとドレインを短絡して形成すればよい

。このＭＯＳ容量はＮチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例２のＭＯＳ容量（１１３）のゲートと同様に、十分に高い正の電位に保たれることが望ましい。

【００３６】

また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、補助容量（１２４）のゲートは上記のような電位に保持されていることが必要である。また、当該画素が選択されている時間（当該画素が画像信号線の信号によって書き込みされている時間）においても、補助容量（１２４）のゲートは上記の電位に保たれていることが望ましい。容量（１２３）およびＭＯＳ容量（１２４）のゲート電極はゲート信号線と平行に配置された容量線に接続され、上記の目的のための電位に保持される。

【００３７】

液晶セル（１２５）と補助容量（１２４）は薄膜トランジスタ（１２２）のドレインに接続し、薄膜トランジスタ（１２１）のソースは画像信号線に接続する。このような回路素子の動作については実施例１、２と同様である。

【００３８】

〔実施例４〕　図１（ｄ）には、１個の画素電極に薄膜トランジスタを２個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてＮチャネル形とするが、Ｐチャネル型であっても同様な効果が得られる。

２個の薄膜トランジスタ（１３１）、（１３２）はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース／ドレイン間にＭＯＳ容量（１３３）を接続する。これは、実施例２のＭＯＳ容量（１１３）と同様に、通常の薄膜トランジスタのソースとドレインを短絡して形成すればよい。

【００３９】

本実施例では補助容量（１３４）もＭＯＳ容量を用いて形成する。これらのＭＯＳ容量はＮチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例２の薄膜トランジスタ（１１３）のゲートと同様に、十分に高い正の電位に保たれることが望ましい。また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、これらＭＯＳ容量のゲートは上記のような電位に保持されていることが必要である。

【００４０】

また、当該画素が選択されている時間（当該画素が画像信号線の信号によって書き込みされている時間）においても、ＭＯＳ容量のゲートは上記の電位に保たれていることが望ましい。両ＭＯＳ容量（１３３）、（１３４）のゲート電極はゲート信号線と平行に配置された容量線に接続され、上記の目的のための電位に保持される。

液晶セル（１３５）と補助容量（１３４）は薄膜トランジスタ（１３２）のドレインに接続し、薄膜トランジスタ（１３１）のソースは画像信号線に接続する。このような回路素子の動作については実施例１～３と同様である。

【００４１】

〔実施例５〕　図１（ｅ）には、１個の画素電極に薄膜トランジスタを２個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてＮチャネル形とするが、Ｐチャネル型であっても同様な効果が得られる。

２個の薄膜トランジスタ（１４１）、（１４２）はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース／ドレイン間に容量（１４３）を接続する。また、よりＯＦＦ電流を低減するために、薄膜トランジスタ（１４１）、（１４２）の間に直接に抵抗（１４６）を挿入する。このような抵抗としては、薄膜トランジスタ（１４１）、（１４２）を構成する半導体被膜の一部に、低濃度の不純物領域を形成したものを用いればよい。

【００４２】

補助容量（１４４）は、実施例３と同様にＭＯＳ容量を用いて形成する。実施例３と同様

にＭＯＳ容量はＮチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例３のＭＯＳ容量（１２３）のゲートと同様に、十分に高い正の電位に保たれることが望ましい。また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、補助容量（１４４）のゲートは上記のような電位に保持されていることが必要である。

【００４３】

また、当該画素が選択されている時間（当該画素が画像信号線の信号によって書き込みされている時間）においても、補助容量（１４４）のゲートは上記の電位に保たれていることが望ましい。容量（１４３）およびＭＯＳ容量（１４４）のゲート電極はゲート信号線と平行に配置された容量線に接続され、上記の目的のための電位に保持される。

液晶セル（１４５）と補助容量（１４４）は薄膜トランジスタ（１４２）のドレインに接続し、薄膜トランジスタ（１４１）のソースは画像信号線に接続する。このような回路素子の動作については実施例１～４と同様である。

【００４４】

〔実施例６〕

本実施例は実施例１～４で示した回路の作製工程に関するものである。本実施例では、ゲート電極を陽極酸化することにより、オフセットゲートを構成し、ＯＦＦ電流を低減することを特色とする。なお、ゲート電極を陽極酸化する技術は特開平５－２６７６６７に開示されている。

図４の（Ａ）～（Ｄ）に本実施例の工程を示す。まず、基板（４０１）（コーニング７０５９、１００ｍｍ×１００ｍｍ）上に、下地膜として酸化珪素膜（４０２）を１０００～５０００Å、例えば、３０００Åに成膜した。この酸化珪素膜の成膜には、ＴＥＯＳをプラズマＣＶＤ法によって分解・堆積して成膜した。この工程はスパッタ法によっておこなってもよい。

【００４５】

その後、プラズマＣＶＤ法やＬＰＣＶＤ法によってアモルファスシリコン膜を３００～１５００Å、例えば、５００Å堆積し、これを５５０～６００℃の雰囲気に８～２４時間放置して、結晶化せしめた。その際には、ニッケルを微量添加して結晶化を促進せしめてもよい。ニッケル等を添加することによって結晶化を促進せしめ、結晶化温度・結晶化時間を低下・短縮する技術は特開平６－２４４１０４に示されている。

【００４６】

この工程は、レーザー照射等の光アニールによっておこなってもよい。また、熱アニールと光アニールを組み合わせてもよい。

そして、このように結晶化させたシリコン膜をエッチングして、島状領域（４０３）を形成した。さらに、この上にゲート絶縁膜（４０４）を形成した。ここでは、プラズマＣＶＤ法によって厚さ７００～１５００Å、例えば、１２００Åの酸化珪素膜を形成した。この工程はスパッタ法によっておこなってもよい。

【００４７】

その後、厚さ１０００Å～３μｍ、例えば、５０００Åのアルミニウム（１ｗｔ％のＳｉ、もしくは０．１～０．３ｗｔ％のＳｃを含む）膜をスパッタ法によって形成して、これをエッチングしてゲート電極（４０５）、（４０６）、（４０７）を形成した。（図４（Ａ））

【００４８】

そして、ゲート電極に電解溶液中で電流を通じて陽極酸化し、厚さ５００～２５００Å、例えば、２０００Åの陽極酸化物を形成した。用いた電解溶液は、Ｌ－酒石酸をエチレングリコールに５％の濃度に希釈し、アンモニアを用いてｐＨを７．０±０．２に調整したものである。その溶液中に基板を浸し、定電流源の＋側を基板上のゲイト電極に接続し、－側には白金の電極を接続して２０ｍＡの定電流状態で電圧を印加し、１５０Ｖに達するまで酸化を継続した。さらに、１５０Ｖの定電圧状態で、電流が０．１ｍＡ以下になるま

で酸化を継続した。この結果、厚さ２０００Åの酸化アルミニウム被膜（４０８）、（４０９）、（４１０）が得られた。

【００４９】

その後、イオンドーピング法によって、島状領域（４０３）に、ゲート電極部（すなわち、ゲート電極とその周囲の陽極酸化物被膜）をマスクとして自己整合的に不純物（ここでは燐）を注入し、Ｎ型不純物領域を形成した。ここで、ドーピングガスとしてはフォスフィン（PH_3）を用いた。この場合のドーズ量は1×10^{14}～5×10^{15}原子／cm^2、加速電圧は６０～９０ｋＶ、例えば、ドーズ量を1×10^{15}原子／cm^2、加速電圧は８０ｋＶとした。この結果、Ｎ型不純物領域（４１１）～（４１４）が形成された。（図４（Ｂ））

【００５０】

さらに、ＫｒＦエキシマーレーザー（波長２４８ｎｍ、パルス幅２０ｎｓｅｃ）を照射して、ドーピングされた不純物領域（４１１）～（４１４）の活性化をおこなった。レーザーのエネルギー密度は２００～４００ｍＪ／cm^2、好ましくは２５０～３００ｍＪ／cm^2が適当であった。この工程は熱アニールによっておこなってもよい。特に触媒元素（ニッケル）を含有しており、通常の場合に比較して低温の熱アニールで活性化できる（特開平６－２６７９８９）。

このようにしてＮ型不純物領域が形成されたのであるが、本実施例では、陽極酸化物の厚さ分だけ不純物領域がゲート電極から遠い、いわゆるオフセットゲートとなっていることがわかる。

【００５１】

次に、層間絶縁膜として、プラズマＣＶＤ法によって酸化珪素膜（４１５）を厚さ５０００Åに成膜した。このとき、原料ガスにＴＥＯＳと酸素を用いた。そして、層間絶縁膜（４１５）、ゲート絶縁膜（４０４）のエッチングをおこない、Ｎ型不純物領域（４１１）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングしてソース電極・配線（４１６）を形成した。これは画像信号線の延長である。（図４（Ｃ））

【００５２】

その後、パッシベーション膜（４１７）を形成した。ここでは、NH_3／SiH_4／H_2混合ガスを用いたプラズマＣＶＤ法によって窒化珪素膜を２０００～８０００Å、例えば、４０００Åの膜厚に成膜して、パッシベーション膜とした。そして、パッシベーション膜（４１７）、層間絶縁膜（４１５）、ゲート絶縁膜（４０４）のエッチングをおこない、陽極酸化物被膜（４０９）上に開孔部を、また、Ｎ型不純物領域（４１４）に画素電極のコンタクトホールを形成した。そして、インディウム錫酸化物（ＩＴＯ）被膜をスパッタ法によって成膜し、これをエッチングして画素電極（４１８）を形成した。

【００５３】

画素電極（４１８）は陽極酸化物被膜（４０９）を挟んで、ゲート電極（４０６）と対向し、容量（４１９）を形成した。また、Ｎ型不純物領域（４１２）と（４１３）を同電位に保てば、ゲート電極（４０６）とその下のシリコン半導体との間にゲート絶縁膜（４０４）を誘電体としたＭＯＳ容量が形成される。（図４（Ｄ））

以上のような工程により、Ｎチャネル型薄膜トランジスタ（４２１）、（４２２）と容量（４１９）、（４２０）を有するアクティブマトリクス回路素子が形成された。本実施例では、画素電極はＭＯＳ容量のゲートと容量を形成するので、図１（ａ）もしくは（ｂ）に示される回路と同じである。

【００５４】

図４は断面図であるが、これを上面より見た例は図３に示される。本実施例において、ゲート電極が図３（Ａ）のように島状領域（４０３）を横断した場合には、ゲート（４０６）によって薄膜トランジスタが形成される。一方、図３（Ｂ）～（Ｄ）のように、ゲート（４０６）が島状領域（４０３）を横断しない場合は、ＭＯＳ容量となる。

いずれの場合も、ゲート電極（４０６）を適切な電位とすることにより、ゲート電極の下

の実質真性の半導体領域にチャネルを誘起せしめることができ、容量が形成される。また、図３（Ａ）の場合には、チャネル部分の抵抗成分が、左右の２つのＴＦＴの間に直列に挿入された回路となる。

【００５５】

なお、より積極的に抵抗を導入するには、不純物ドーピングを高濃度（本実施例図４（Ｂ）の工程）と低濃度の２段階おこない、特に、ゲート電極（４０６）の近傍にのみ低濃度不純物領域（４８０）を形成せしめるとよい。低濃度不純物領域は他の不純物領域（４１１）～（４１４）に比較して、シート抵抗が高いため、２つの薄膜トランジスタ間に直列にもう１つの薄膜トランジスタの挿入された図３（Ａ）に相当する回路の場合（図７（Ａ））では、図７（Ｂ）に示すような回路が得られる。（図７（Ａ）、（Ｂ））

【００５６】

２つの薄膜トランジスタ間にＭＯＳ容量が接続された図３（Ｂ）に相当する回路の場合（図７（Ｃ））でも、同様に、図７（Ｄ）に示すような回路が得られる。（図７（Ｃ）、（Ｄ））

いずれの場合にも抵抗（４８０）はＯＦＦ電流を低減する効果を有する。

本実施例では、ゲートが３本も存在するが、コンタクトは２か所で済み、かつ、容量は多層配線を利用して構成されているので専有面積は小さい。

【００５７】

図３（Ａ）は標準的な薄膜トランジスタ、同図（Ｂ）は標準的なＭＯＳ容量であるが、アクティブマトリクス回路素子に用いられる薄膜トランジスタのチャネル幅は一般に小さいものであるから、ゲート（４０６）の幅を十分に大きくしなければ、十分な容量を確保することが難しい。そのような場合には、図３（Ｃ）のように、ＭＯＳ容量の部分だけ島状領域（４０３）の幅を広くするとよい。また、図３（Ｄ）のようにゲート（４０６）を変形してもよい。

【００５８】

しかしながら、いずれの方法も十分な容量を確保するには不十分である場合には、図８（Ａ）～（Ｃ）のように島状領域を変形して、概略コの字型（もしくはU字型、もしくは馬蹄型）とすればよい。そして、これにゲート信号線と容量線を重ねる。すなわち、半導体被膜はゲート信号線（すなわち、ゲート電極（４０５）と（４０７））と２か所の重なる部分と、容量線（すなわち、ゲート電極（４０６））と１か所の重なる部分を有する。そして、ゲート信号線は容量線と平行に形成される。この場合は、ゲート（４０５）と（４０７）を同一直線上に形成できるため、レイアウトの面で有利である。

【００５９】

図８（Ａ）においては、ゲート電極（４０６）が半導体領域を分断するため図３（Ａ）と同様な回路となる。図８（Ａ）の構造の特徴を述べれば、半導体領域には、画像信号線とコンタクトを有する領域（４１１）と、画素電極とコンタクトを有する領域（４１４）と、容量線とゲート信号線とによって分離された２つのＮ型（もしくはＰ型）導電型を示す領域（４１２）、（４１３）とが形成される。

【００６０】

なお、図８（Ｂ）に示すように容量線と半導体被膜とが完全に重ならず、一部半導体被膜のはみだした領域（４８１）が形成されても何ら問題はない。必要なことは領域（４１２）と（４１３）がゲート信号線、すなわち、ゲート電極（４０５）と（４０７）と容量線、すなわち、ゲート電極（４０６）によって完全に分離されていることである。

【００６１】

一方、図８（Ｃ）においては、ゲート電極（４０６）によって半導体領域（４１２）と（４１３）を分断されないので、図３（Ｂ）と同様な回路となる。

以上のように主として半導体被膜（活性層）の形状を工夫することにより、回路の集積度を向上させることができる。もし、図２（Ｄ）に示すような５つのＴＦＴを有するスイッチング素子を形成するならば、半導体被膜を概略Ｎ字型もしくはＳ字型として、これに行選択信号線やゲート信号線を重ねればよい。

【００６２】
〔実施例７〕
図４（Ｅ）に本実施例の断面を示す。本実施例では、Ｎチャネル型薄膜トランジスタ（４５２）、（４５３）とその間にゲート（４５４）を形成し、その下のシリコン半導体との間にゲート絶縁膜を誘電体としてＭＯＳ容量（４５０）が形成される。また、薄膜トランジスタ（４５３）と画素電極（４５７）のコンタクトの間にもゲート（４５５）‘を形成し、同様にＭＯＳ容量（４５１）が形成される。一方、金属配線（４５６）は画像信号線の延長である。
【００６３】
本実施例では薄膜トランジスタ（４５２）、（４５３）の間に第１のＭＯＳ容量（４５０）が形成され、画素電極（４５７）と薄膜トランジスタ（４５３）の間に第２のＭＯＳ容量（４５１）が形成されているので、図１（ｄ）に相当する。本実施例ではゲートが４本も存在するが、コンタクトは２つで済むので専有面積は比較的小さい。
【００６４】
〔実施例８〕
図４（Ｆ）に本実施例の断面を示す。本実施例では、Ｎチャネル型薄膜トランジスタ（４７２）、（４７３）とその間から金属配線（４７４）を引き出し、これを薄膜トランジスタ（４７３）と画素電極（４７６）との間に設けたゲート（４７７）の上面に延長し、陽極酸化物を誘電体として容量（４７０）を構成している。一方、ゲート（４７７）においてはその下のシリコン半導体との間にゲート絶縁膜を誘電体としてＭＯＳ容量（４７１）が形成される。一方、金属配線（４７５）は画像信号線の延長である。
【００６５】
本実施例ではＭＯＳ容量のゲート（４７１）と薄膜トランジスタ（４７２）、（４７３）から延在した配線（４７４）の間に容量が形成され、ＭＯＳ容量は画素電極（４７６）と並列に存在するので、図１（ｃ）に相当する。
【００６６】
〔実施例９〕
図５に本実施例の工程を示す。まず、基板（５０１）上に、下地酸化珪素膜（５０２）（厚さ２０００Å）を堆積し、結晶性シリコン膜によって島状領域（５０３）を形成した。さらに、この上にゲート絶縁膜（５０４）を形成した。
その後、厚さ、５０００Åのアルミニウム膜をスパッタ法によって形成した。後の多孔質陽極酸化物被膜形成工程におけるフォトレジストとの密着性の改善のために、アルミニウム膜表面に厚さ１００～４００Åの薄い陽極酸化膜を形成してもよい。
【００６７】
その後、スピンコーティング法によって厚さ１μｍ程度のフォトレジストを形成した。そして、公知のフォトリソグラフィー法によって、ゲート電極（５０５）、（５０６）、（５０７）をエッチングにより形成した。ゲート電極上には、フォトレジストのマスク（５０８）、（５０９）、（５１０）を残存させた。（図５（Ａ））
【００６８】
次に、基板を１０％シュウ酸水溶液に浸し、定電流源の＋側を基板上のゲイト電極（５０５）、（５０７）に接続し、－側には白金の電極を接続して陽極酸化をおこなった。この技術は特開平６－３３８６１２に開示されている。このとき、５～５０Ｖ、例えば、８Ｖの定電圧で、１０～５００分、例えば、２００分陽極酸化をおこなうことによって、厚さ５０００Åの多孔質の陽極酸化物（５１１）、（５１２）をゲート電極（５０５）、（５０７）の側面に形成した。得られた陽極酸化物は多孔質であった。ゲート電極の上面には、マスク材（５０８）、（５１０）が存在するために陽極酸化はほとんど進行しなかった。また、ゲート電極（５０６）には電流を通じなかったので、陽極酸化物は形成されなかった。（図５（Ｂ））
【００６９】
その後、マスク材を除去してゲイト電極上面を露出させた。そして、実施例６と同様にＬ

－酒石酸をエチレングリコールに５％の濃度に希釈し、アンモニアを用いてｐＨを７．０±０．２に調整した電解溶液中でゲート電極（５０５）、（５０６）、（５０７）に電流を通じて陽極酸化し、厚さ５００～２５００Å、例えば、２０００Åの陽極酸化物を形成した。この結果、厚さ２０００Åの緻密な酸化アルミニウム被膜（５１３）、（５１４）、（５１５）が得られた。

【００７０】

その後、イオンドーピング法によって、島状シリコン領域（５０３）に、ゲイト電極部をマスクとして自己整合的に不純物（ここでは硼素）を注入し、Ｐ型不純物領域を形成した。ここで、ドーピングガスとしてはジボラン（B_2H_6）を用いた。この場合のドーズ量は1×10^{14}～5×10^{15}原子／cm^2、加速電圧は４０～９０ｋＶ、例えば、ドーズ量を$1\times10^{15}cm^{-2}$、加速電圧は６５ｋＶとした。この結果、Ｐ型不純物領域（５１６）～（５１９）が形成された。（図５（Ｃ））

【００７１】

さらに、ＫｒＦエキシマーレーザー（波長２４８ｎｍ、パルス幅２０ｎｓｅｃ）を照射して、ドーピングされた不純物領域（５１６）～（５１９）の活性化をおこなった。

次に、層間絶縁膜として、プラズマＣＶＤ法によって酸化珪素膜（５２０）を厚さ３０００Åに成膜した。さらに、層間絶縁膜（５２０）、ゲイト絶縁膜（５０４）のエッチングをおこない、Ｐ型不純物領域（５１６）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングして画像信号線（５２１）を形成した。（図５（Ｄ））

【００７２】

その後、パッシベーション膜（５２２）を形成し、パッシベーション膜（５２２）、層間絶縁膜（５２０）、ゲイト絶縁膜（５０４）のエッチングをおこない、陽極酸化物被膜（５１４）上に開孔部を、また、Ｐ型不純物領域（５１９）に画素電極のコンタクトホールを形成した。そして、ＩＴＯを成膜、エッチングして画素電極（５２３）を形成した。画素電極（５２３）は陽極酸化物被膜（５１４）を誘電体としてゲート電極（５０６）と対向し、容量を形成している。また、Ｐ型不純物領域（５１７）と（５１８）を同電位に保てば、ゲート電極（５０６）とその下のシリコン半導体との間にゲート絶縁膜（５０４）を誘電体としたＭＯＳ容量が形成される。（図５（Ｅ））

【００７３】

以上のような工程により、Ｐチャネル型薄膜トランジスタ（５２６）、（５２７）と容量（５２４）、ＭＯＳ容量（５２５）を有するアクティブマトリクス回路素子が形成された。本実施例では、画素電極はＭＯＳ容量のゲートと容量を形成するので、トランジスタの導電型は逆であるが、図１（ａ）もしくは（ｂ）に示される回路と同じである。

本実施例ではＯＦＦ電流を抑制する必要のある薄膜トランジスタ（５２６）、（５２７）に関しては、実施例６の場合によりもオフセット幅を広くした。一方、ＭＯＳ容量ではオフセットの存在は不要であるので、オフセットを小さくした。

【００７４】

〔実施例１０〕　図９には、本発明を用いて回路を形成する様子を示した。具体的なプロセスについては、公知技術（もしくは実施例６、９に示される技術）を用いればよいので、ここでは詳述しない。

まず、概略Ｕ字型（もしくはコの字型あるいは馬蹄型）の半導体領域（活性層）（６０１）～（６０４）を形成した。ここで、活性層（６０１）を基準とした場合、活性層（６０２）は当列次行、活性層（６０３）は次列当行、活性層（６０４）は次列次行を意味する。（図９（Ａ））

【００７５】

その後、ゲート絶縁膜（図示せず）を形成し、さらに、同一被膜により、ゲート信号線（６０５）、（６０６）および、容量線（６０７）、（６０８）を形成した。ここで、ゲート信号線および容量線と活性層の位置関係については図８と同様とした。（図９（Ｂ））

そして、活性層にドーピングをおこなった後、各活性層の左端にコンタクトホール（例え

ば、（６１１）に示される）を形成し、さらに、画像信号線（６０９）、（６１０）を形成した。（図９（Ｃ））

【００７６】

その後、ゲート信号線と画像択信号線によって囲まれた領域に画素電極（６１２）、（６１３）を形成した。このようにして、容量線（６０７）と活性層（６０１）において薄膜トランジスタ（６１４）が形成されたのであるが、このとき、容量線（６０７）は当該行の画素電極（６１３）とは重ならず、１行上の画素電極（６１２）と重なるように配置した。すなわち、画素電極（６１３）にしてみれば、１行下の容量線（６０８）が画素電極（６１３）と重なって、容量（６１５）を形成した。容量線（６０７）、（６０８）には、他の実施例を同様に、薄膜トランジスタ（６１４）他がＭＯＳ容量として機能するに十分な一定電圧が供給される。（図９（Ｄ））

【００７７】

このように、ゲート信号線を当該行の１行上（もしくは下）の画素電極と重ねる配置を取ることによって、図９（Ｅ）に示すような回路が構成されたが、容量（６１５）は図１（Ａ）の容量（１０４）に相当するものであり、実質的に開口率を低下させずに、容量を付加することができ、回路の集積度を向上させる上で有効であった。

【００７８】

参考のために、図９（Ｆ）には、同じ間隔で行選択信号線、画像信号線で囲まれた領域に形成された従来の単位画素（図２（Ａ）参照）を示したが、補助容量（２０２）によって遮られる領域は本実施例（図９（Ｄ））と同じであり、本実施例では、半導体領域（６０１）が、ほとんどゲート信号線（６０５）、（６０７）で覆われた構造となっているため、開口率を減少させることはない。逆に従来のもの（図９（Ｆ））では、行選択信号線から分かれたゲート電極によって、開口率の低下が認められる。

【００７９】

本実施例に示した回路配置のその他の特徴をまとめると、以下のようになる。▲１▼ゲート信号線（６０５）に対して、半導体領域（６０１）の画像信号線と接続する部分と画素電極の接続する部分が同じ側にあること。

▲２▼一方、ゲート信号線（６０５）に対して、容量線（６０７）は、その逆側にあること。

▲３▼隣接する画素電極（６１２）は当該行の容量線（６０７）とは重なるが、画像信号線（６０９）、（６１０）とは重ならない。

【００８０】

アクティブマトリクス回路のスイッチング素子と画素電極との関係においては、画素電極はいかなる画像信号の入っている領域とは重ならないようにしなければならない。本実施例では、上記の特徴を有することにより、この条件が満たされ、かつ、開口率を向上させることができる。

【００８１】

〔実施例１１〕

図１０に本実施例の工程を示す。まず、基板（７０１）上に、下地酸化珪素膜（７０２）（厚さ２０００Å）を堆積し、結晶性シリコン膜によって島状領域（７０３）を形成した。さらに、この上にゲート絶縁膜（７０４）を形成した。

その後、実施例９と同様な技術を用いて、バリヤ型陽極酸化物で被覆されたアルミニウムを主成分とするゲート電極（７０５）～（７０７）を形成した。本実施例では中央のゲート電極のみが側面に多孔質の陽極酸化物（７０８）を有する構成とした。（図１０（Ａ））

【００８２】

次に、ドライエッチング法によって、ゲート絶縁膜（７０４）をエッチングした。この結果、ゲート電極（７０５）～（７０７）およびその陽極酸化物の下の部分にのみ、ゲート絶縁膜（７０９）～（７１１）が残存した。（図１０（Ｂ））

その後、多孔質陽極酸化物（７０８）を選択的に除去した。この工程に関しては、特開平

６－３３８６１２に開示されている。（図１０（Ｃ））
【００８３】
その後、イオンドーピング法によって、島状シリコン領域（７０３）に、ゲイト電極部およびゲート絶縁膜（７１０）をマスクとして自己整合的に不純物（ここでは燐）を注入し、Ｎ型不純物領域を形成した。本実施例では、ドーピングを実質的に２段階おこなった。すなわち、高加速電圧・低ドーズと低加速電圧・高ドーズである。
前者の例としては、例えば、加速電圧８０ｋＶ、ドーズ量１×１０^{13}原子／ｃｍ^{2} 、後者の例としては加速電圧２０ｋＶ、ドーズ量を５×１０^{14}原子／ｃｍ^{2} とした。
【００８４】
前者のドーピングでは、イオンに高い加速エネルギーを付与することができるのでゲート絶縁膜（７１０）を通してドーピングをおこなうことができるが、そのときに形成される不純物領域の不純物濃度は低い。一方、後者のドーピングでは高濃度の不純物領域を形成できるが、ゲート絶縁膜（７１０）を通してドーピングをおこなうことができない。その結果、高濃度Ｎ型領域（７１２）～（７１５）と低濃度Ｎ型領域（７１６）、（７１７）を作りわけることができた。（図１０（Ｄ））
【００８５】
以上のようにして形成した不純物領域（７１２）～（７１７）の活性化をおこなった後、層間絶縁膜として、プラズマＣＶＤ法によって酸化珪素膜（７１８）を厚さ３０００Åに成膜した。さらに、層間絶縁膜（７１８）のエッチングをおこない、高濃度Ｎ型領域（７１２）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングして画像信号線（７１９）を形成した。
【００８６】
さらに、パッシベーション膜（７２０）を形成し、パッシベーション膜（７２０）、層間絶縁膜（７１８）をエッチングして、高濃度Ｎ型領域（７１５）に画素電極のコンタクトホールを形成した。そして、ＩＴＯを成膜、エッチングして画素電極（７２１）を形成した。（図１０（Ｅ））
【００８７】
以上のような工程により、図１０（Ｆ）に示すような回路を得ることができた。ここで、ゲート電極（７０６）を適切な電位に保つことにより、これを容量として用いることができる。また、低濃度Ｎ型領域（７１６）、（７１７）は、薄膜トランジスタ間に直列に挿入された抵抗として機能し、ＯＦＦ電流を低減するうえで効果がある。（図１０（Ｅ））
【００８８】
〔実施例１２〕　図１１には、本発明を用いて回路を形成する様子を示した。具体的なプロセスについては、公知技術（もしくは実施例６、９に示される技術）を用いればよいので、ここでは詳述しない。本実施例の回路配置の基本的な思想は実施例１０（図９）と同じである。ただし、本実施例では、容量線および画像信号線の遮光性を積極的に用いることにより、ＴＦＴを外光から保護する遮光膜、および、画素間の色の分離を明確におこなうためのブラックマトリクスとして構成させた。
【００８９】
プロセスの順序については実施例１０と同様である。まず、概略コの字型の活性層（８０１）の形成後、ゲート絶縁膜（図示せず）を堆積し、ゲート信号線（８０２）と容量線（８０３）を形成した。ここで、容量線は図に示すように、画素電極の形成される部分の周囲を取り囲むように配置した。（図１１（Ａ））
そして、活性層にドーピングをおこなった後、活性層の左端にコンタクトホールを形成し、さらに、画像信号線（８０４）を形成した。画像信号線も図に示すように、画素電極の周囲（特にＴＦＴ周辺）を覆うように配置した。（図１１（Ｂ））
【００９０】
図から明らかなように、この段階で、透明な部分は画素電極が形成される中央部と、ゲート信号線と容量線の隙間を画像信号線で埋められなかった点状の２か所（各画素の右上端にある）だけである。その他の部分はゲート信号線や容量線、画像信号線によって遮光さ

れる構造となる。特に、本実施例ではＴＦＴの上にも画像信号線を配置したが、これは外光がＴＦＴに進入することを防止し、ＴＦＴの特性を安定化する上で効果的であった。

【００９１】

その後、上記の中央部に画素電極（８０５）を形成した。このとき、画素電極以外の部分で透明な領域は、画素電極（８０５）と画像信号線（８０４）の隙間の部分（８０７）とゲート信号線（８０２）、容量線（８０３）、画像信号線（８０４）の隙間の部分（８０６）のみである。前者は画像信号線と画素電極が重なることを避けねばならないため、また、後者は隣接する画像信号線を分離する必要があるため、それぞれ必然的に生じたものであるが、その面積は十分に小さい。

【００９２】

このように、特にブラックマトリクスを形成することなく、既存の配線を用いてブラックマトリクスと同等な構造を得ることができた。（図１１（Ｃ））

本実施例のＴＦＴ部分の断面の概念図を図１２に示す。図に示すように、画像信号線（８０４）側のＴＦＴの全部、および中央のＴＦＴの一部が画像信号線（８０４）によって覆われる。このように、本実施例においては、画素電極と容量線、あるいは画像信号線と容量線が重なる部分が多いため、配線間の絶縁には十分な注意が必要である。この目的には、容量線の少なくとも上面に陽極酸化物被膜を形成し、絶縁性を高めておくと有効である。（図１２）

【００９３】

【発明の効果】

以上、本発明に示したように、複数の薄膜トランジスタおよび／または適当な容量を接続することにより、液晶セルの電圧降下を抑制することができた。本発明においては、特に図２（Ｃ）の薄膜トランジスタ（２２２）のソース／ドレイン間の電圧は全ての駆動過程において低く保たれる。一般に薄膜トランジスタの劣化はソース／ドレイン間の電圧に依存するので、本発明を利用することにより、劣化を防止することもできる。

【００９４】

本発明は、より高度な画像表示が要求される用途において効果的である。すなわち、２５６階調以上の極めて微妙な濃淡を表現する場合には液晶セルの放電は１フレームの間に１％以下に抑えられることが必要である。従来の方式は図２（Ａ）、（Ｂ）のいずれもこの目的には適したものではなかった。

【００９５】

また、本発明は特に行数の多いマトリクスの表示等の目的に適した結晶性シリコン半導体の薄膜トランジスタを用いたアクティブマトリクス表示装置にも適している。一般に、行数の多いマトリクスでは、１行あたりの選択時間が短いのでアモルファスシリコン半導体の薄膜トランジスタは用いるのに適当でない。しかしながら、結晶性シリコン半導体を用いた薄膜トランジスタはＯＦＦ電流が多いことが問題となっている。このため、ＯＦＦ電流を低減できる本発明はこの分野でも大きな貢献が可能である。もちろん、アモルファスシリコン半導体を用いた薄膜トランジスタにおいても効果を有することは言うまでもない。

【００９６】

実施例においては、薄膜トランジスタ、ＭＯＳ容量の構造としてはトップゲート型のものを中心に説明したが、ボトムゲート型その他の構造のものであっても本発明の効果が不変であることは言うまでもない。また、同じスイッチング素子にトップゲート型とボトムゲート型を組み合わせてもよい。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図１】　本発明によるアクティブマトリクス回路素子例を示す。

【図２】　従来および本発明のアクティブマトリクス回路の概略を示す。

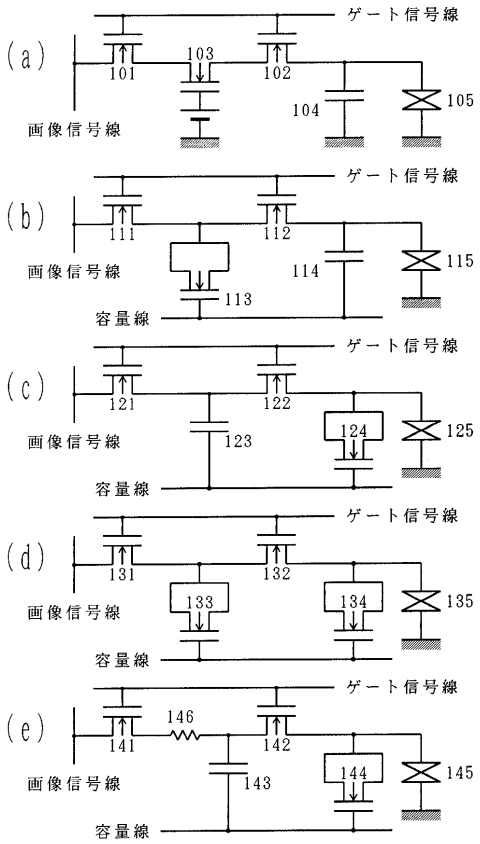
【図３】　本発明による半導体領域およびゲートの配置例を示す。

【図４】　実施例におけるアクティブマトリクス回路素子の製造工程を示す。

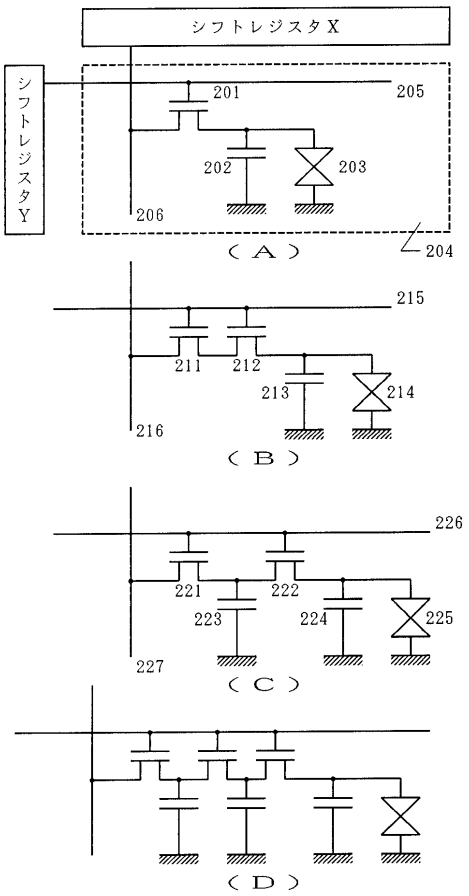
【図５】　実施例におけるアクティブマトリクス回路素子の製造工程を示す。

【図６】　本発明によるアクティブマトリクス回路素子の駆動概要を示す。
【図７】　本発明による半導体領域およびゲートの配置例・回路図を示す。
【図８】　本発明による半導体領域およびゲートの配置例を示す。
【図９】　実施例における画素電極等の配置例を示す。
【図１０】実施例におけるアクティブマトリクス回路素子の製造工程を示す。
【図１１】実施例における画素電極等の配置例を示す。
【図１２】実施例におけるアクティブマトリクス回路素子の断面を示す。
【符号の説明】
１０１、１０２・・・・薄膜トランジスタ
１０３　　・・・・薄膜トランジスタ（常時ＯＮ）
１０４　　・・・・補助容量
１０５　　・・・・画素セル
１１１、１１２・・・・薄膜トランジスタ
１１３　　・・・・ＭＯＳ容量
１１４　　・・・・補助容量
１１５　　・・・・画素セル
１２１、１２２・・・・薄膜トランジスタ
１２３　　・・・・容量
１２４　　・・・・補助容量（ＭＯＳ容量）
１２５　　・・・・画素セル
１３１、１３２・・・・薄膜トランジスタ
１３３　　・・・・ＭＯＳ容量
１３４　　・・・・補助容量（ＭＯＳ容量）
１３５　　・・・・画素セル

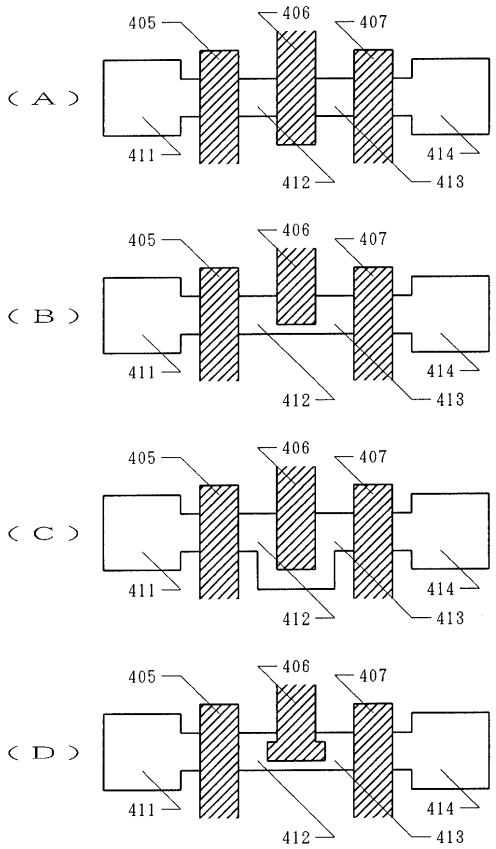
【図１】



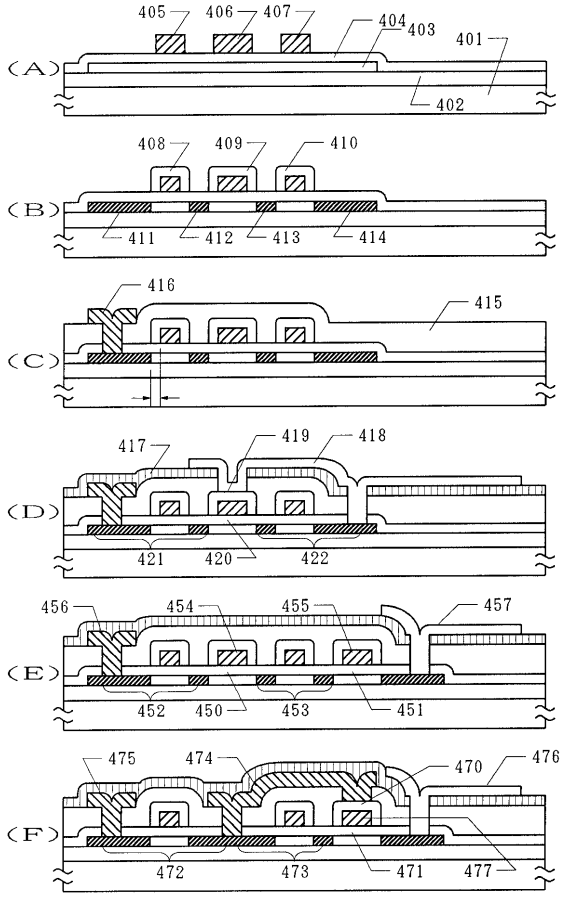
【図２】



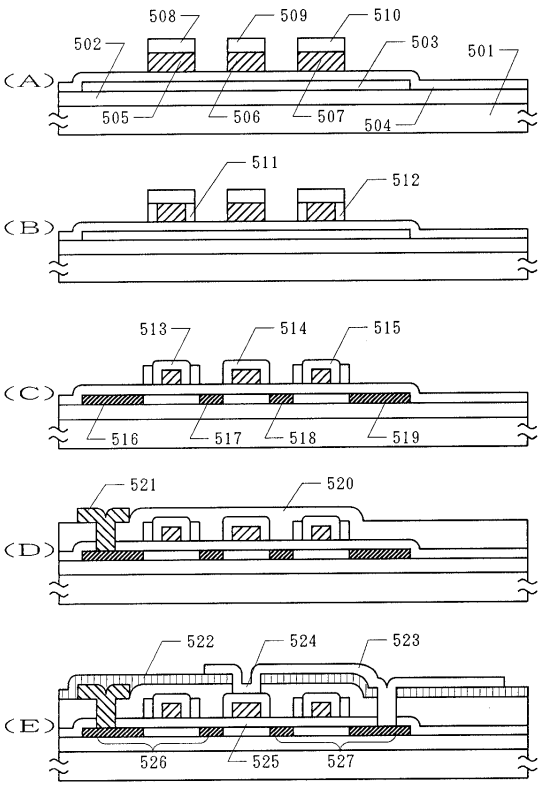
【図３】


(A)
405
406
407
411
412
413
414
(B)
405
406
407
411
412
413
414
(C)
405
406
407
411
412
413
414
(D)
405
406
407
411
412
413
414

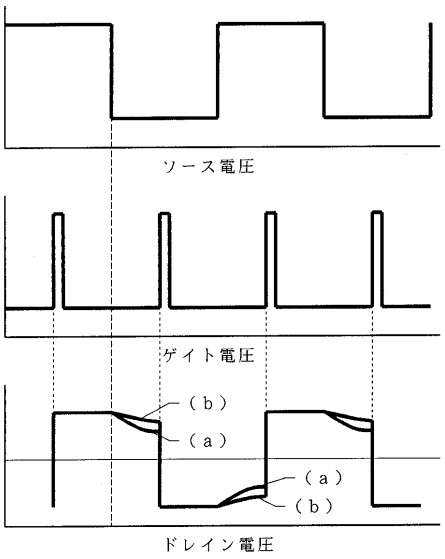
【図４】


(A)
405
406
407
404
403
401
402
(B)
408
409
410
411
412
413
414
(C)
416
415
(D)
417
419
418
421
420
422
(E)
456
454
455
457
452
450
453
451
(F)
475
474
470
476
472
473
471
477

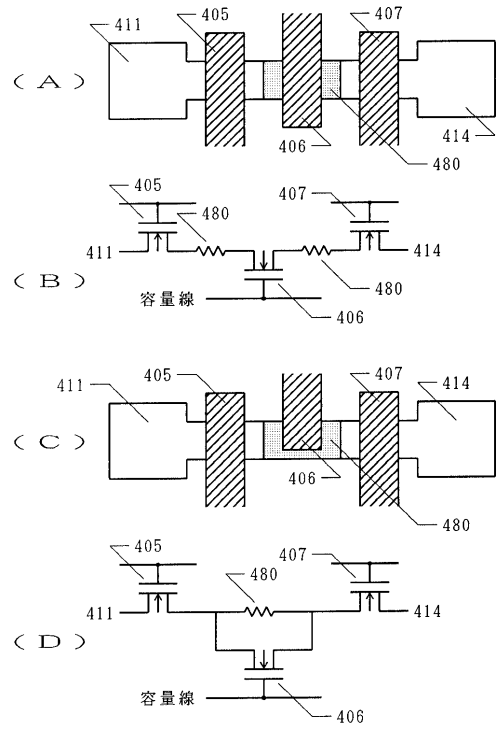
【図５】


(A)
508
509
510
502
503
501
505
506
507
504
(B)
511
512
(C)
513
514
515
516
517
518
519
(D)
521
520
(E)
522
524
523
526
525
527

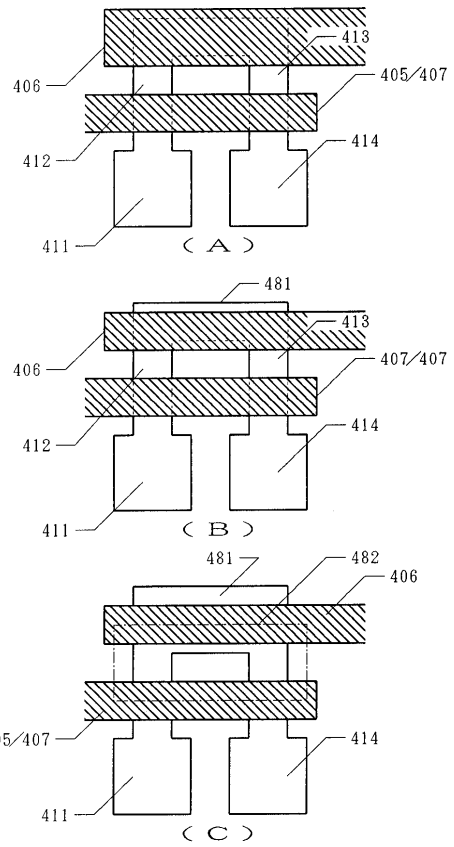
【図６】


ソース電圧
ゲイト電圧
(b)
(a)
(a)
(b)
ドレイン電圧

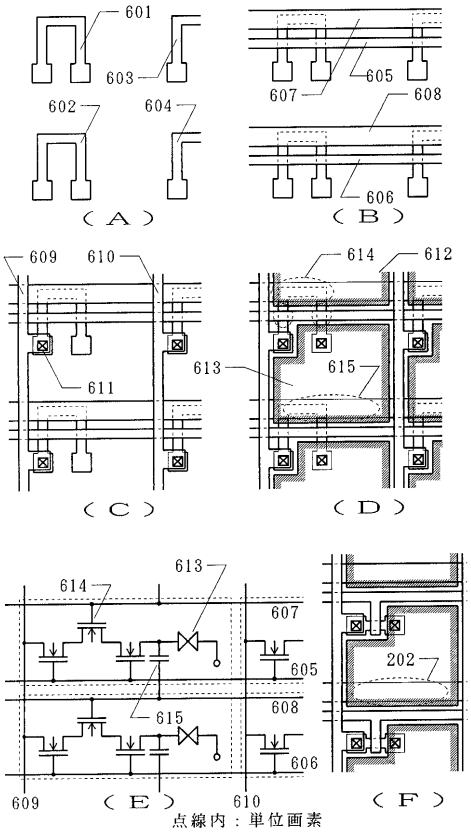
【図７】


（Ａ）
411
405
407
406
414
480
（Ｂ）
405
480
407
411
414
480
容量線
406
（Ｃ）
411
405
407
414
406
480
（Ｄ）
405
480
407
411
414
容量線
406

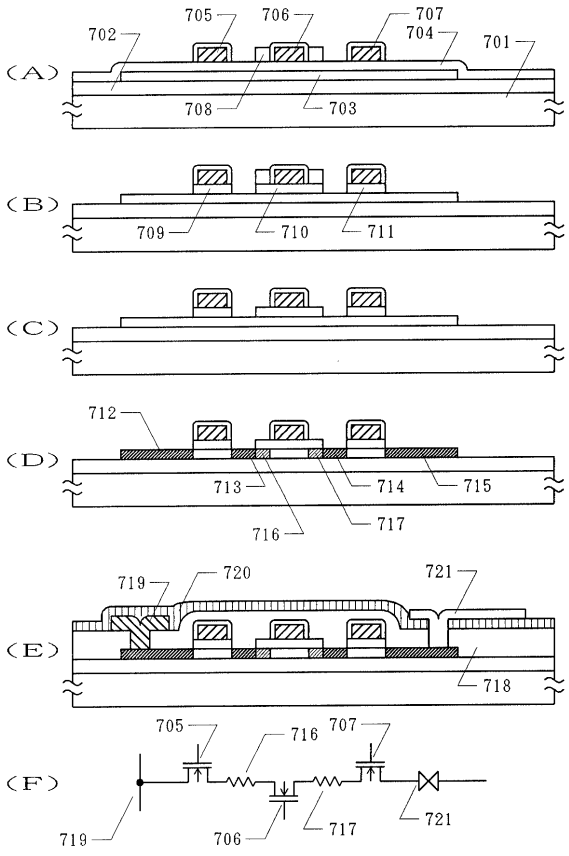
【図８】


406
413
405/407
412
414
411
（Ａ）
481
406
413
407/407
412
414
411
（Ｂ）
481
482
406
405/407
414
411
（Ｃ）

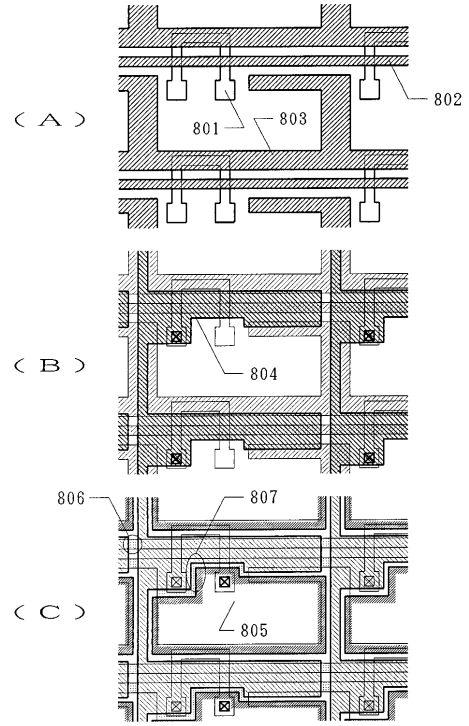
【図９】


601
603
602
604
（Ａ）
605
607
608
606
（Ｂ）
609
610
611
（Ｃ）
614
612
613
615
（Ｄ）
613
614
607
605
608
606
615
202
609
（Ｅ）
610
（Ｆ）
点線内：単位画素

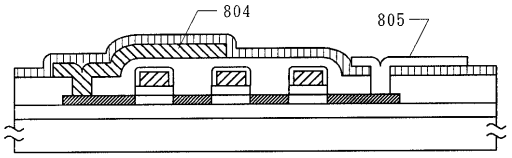
【図１０】


（Ａ）
705
706
707
704
702
701
708
703
（Ｂ）
709
710
711
（Ｃ）
712
（Ｄ）
713
714
715
716
717
719
720
721
（Ｅ）
718
705
716
707
（Ｆ）
719
706
717
721

【図１１】



【図１２】



フロントページの続き

合議体
審判長　平井　良憲
審判官　向後　晋一
審判官　鈴木　俊光

(56)参考文献　特開平４－２５１８１８（ＪＰ，Ａ）
特開平５－１４２５７３（ＪＰ，Ａ）
特開平６－３１７８１２（ＪＰ，Ａ）
特開平７－２２６２７（ＪＰ，Ａ）
特開昭６３－１５１０８３（ＪＰ，Ａ）
特開平５－２７２６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F1/13-1/141