

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5735981号
(P5735981)

(45) 発行日 平成27年6月17日(2015.6.17)

(24) 登録日 平成27年4月24日(2015.4.24)

(51) Int.Cl.	F 1
HO3M 3/02	(2006.01)
HO3M 7/32	(2006.01)
HO3M 1/78	(2006.01)
HO3M	3/02
HO3M	7/32
HO3M	1/78

請求項の数 28 (全 35 頁)

(21) 出願番号	特願2012-544832 (P2012-544832)
(86) (22) 出願日	平成22年12月16日 (2010.12.16)
(65) 公表番号	特表2013-515394 (P2013-515394A)
(43) 公表日	平成25年5月2日 (2013.5.2)
(86) 國際出願番号	PCT/US2010/060789
(87) 國際公開番号	W02011/084609
(87) 國際公開日	平成23年7月14日 (2011.7.14)
審査請求日	平成25年11月11日 (2013.11.11)
(31) 優先権主張番号	61/287,079
(32) 優先日	平成21年12月16日 (2009.12.16)
(33) 優先権主張国	米国(US)

(73) 特許権者	511312654 シントロピー システムズ Syntropy Systems アメリカ合衆国 カリフォルニア州 92 626, Costa Mesa, キャデラック アヴェニュー 3505, ビルティン グ F-9 3505 Cadillac Avenue, Bldg. F-9, Costa Mesa, CA 92626, U.S.A.
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100112508 弁理士 高柳 司郎

最終頁に続く

(54) 【発明の名称】離散時間量子化信号の連続時間連続可変信号への変換

(57) 【特許請求の範囲】

【請求項 1】

離散時間量子化信号を連続時間連続可変信号に変換する装置であって、
時間及び値に関して離散的な入力信号を受け入れる入力線と、

前記入力線に結合された複数の処理ブランチであって、各処理ブランチが、(a)離散時間ノイズシェーピング／量子化回路、(b)前記離散時間ノイズシェーピング／量子化回路の出力に結合されたマルチビット-可変レベル信号変換器、(c)前記マルチビット-可変レベル信号変換器の出力に結合されたアナログ・バンドパスフィルタを含む、複数の処理ブランチと、

前記複数の処理ブランチの各々における前記アナログ・バンドパスフィルタの出力に結合された加算器と、

を備え、

前記複数の処理ブランチのうちの異なる処理ブランチにおける前記離散時間ノイズシェーピング／量子化回路は、異なる周波数で変換雑音周波数応答最小値を有し、

前記離散時間ノイズシェーピング／量子化回路の各々は、同一の処理ブランチにおける前記アナログ・バンドパスフィルタにより選択された周波数帯域に対応する変換雑音周波数応答最小値を有する

ことを特徴とする装置。

【請求項 2】

前記複数の処理ブランチの各々における前記離散時間ノイズシェーピング／量子化回路

10

20

は、

入力と、

前記離散時間ノイズシェーピング／量子化回路の前記入力に結合された第1の入力、第2の入力及び出力を有する第2の加算器と、

信号のビット幅分解能を低下し、前記第2の加算器の前記出力に結合された入力を有し、且つ前記離散時間ノイズシェーピング／量子化回路の前記出力に結合された出力を有する量子化回路と、

前記量子化回路の前記出力に結合された入力及び前記第2の加算器の前記第2の入力に結合された出力を有するフィードバックループフィルタと、

を備えることを特徴とする請求項1に記載の装置。

10

【請求項3】

前記量子化回路の前記入力は、前記量子化回路の前記入力及び前記出力の双方が前記フィードバックループフィルタを介して前記加算器の前記第2の入力に結合されるように前記フィードバックループフィルタの前記入力に結合されることを特徴とする請求項2に記載の装置。

【請求項4】

前記量子化回路の前記出力は少なくとも4ビットを含むことを特徴とする請求項2記載の装置。

【請求項5】

前記複数の処理ブランチのうちの少なくとも1つに対して、請求項2に記載の構成全体が複数の並列バスにわたり複製され、前記複数の並列バスにより出力されるサンプルは、共同で、前記離散時間ノイズシェーピング／量子化回路により出力される完全な信号を構成し、前記複数の並列バスにおける各バスのサンプルは、前記完全な信号の異なるサブサンプリング位相を表すことを特徴とする請求項2に記載の装置。

20

【請求項6】

前記複数の処理ブランチの各々における前記フィードバックループフィルタは、複数の零点を含む変換雑音伝達関数を有し、前記零点のいずれも他の零点と等しくないことを特徴とする請求項2に記載の装置。

【請求項7】

前記零点の各々は、6ビット以下で表される前記フィードバックループフィルタの設定可能なパラメータにより生成されることを特徴とする請求項6に記載の装置。

30

【請求項8】

前記フィードバックループフィルタは、前記複数の処理ブランチにわたり同一の構造を有するが、少なくとも1つの設定可能なパラメータに対して異なる値を有することを特徴とする請求項2に記載の装置。

【請求項9】

前記複数の処理ブランチのうちの少なくとも1つは、前記複数の処理ブランチのうちの当該少なくとも1つにおける前記マルチビット・可変レベル信号変換器の倍率パラメータの不完全性を補償するために非線形ビットマッピングを含むことを特徴とする請求項2に記載の装置。

40

【請求項10】

前記非線形ビットマッピングは、出力変換雑音を最小限にする誤差計測値に基づいて動的に調整されることを特徴とする請求項9に記載の装置。

【請求項11】

前記複数の処理ブランチの各々における前記マルチビット・可変レベル信号変換器は、重み付き抵抗器の回路網、重み付き電圧源の回路網又は重み付き電流源の回路網のうちの少なくとも1つを含むことを特徴とする請求項1に記載の装置。

【請求項12】

前記入力線に結合された入力と前記処理ブランチに結合された出力とを有するデジタル・プリディストーション線形フィルタを更に備え、前記デジタル・プリディストーション

50

線形フィルタは、前記処理プランチにおける前記アナログ・バンドパスフィルタの組み合わせ伝達関数を表す合成伝達関数と畳み込まれる場合に少なくともほぼオールパス応答を生成する伝達関数を有することを特徴とする請求項1に記載の装置。

【請求項13】

前記デジタル・プリディストーション線形フィルタは、ポリフェーズ構造として実現され、サブサンプリング位相毎に、前記デジタル・プリディストーション線形フィルタ全体のクロックレートの約数であるクロックレートで動作する部分構造を含むことを特徴とする請求項12に記載の装置。

【請求項14】

前記デジタル・プリディストーション線形フィルタは、フィードフォワード成分及びフィードバック成分の双方を含むことを特徴とする請求項12に記載の装置。 10

【請求項15】

前記アナログ・バンドパスフィルタは、バターワース、ベッセル及び橢円フィルタ構造のうちの少なくとも1つを含むことを特徴とする請求項1に記載の装置。

【請求項16】

前記複数の処理プランチの各々における前記離散時間ノイズシェーピング／量子化回路は、ポリフェーズ構造として実現され、別個の複数の並列な部分構造を含み、前記複数の並列な部分構造の出力が、共同で、前記離散時間ノイズシェーピング／量子化回路全体により出力される完全な信号を構成し、前記複数の並列な部分構造はそれぞれ、前記完全な信号の対応する異なるサブサンプリング位相を生成することを特徴とする請求項1に記載の装置。 20

【請求項17】

前記部分構造の出力は、少なくとも1つのマルチプレクサを使用して单一の合成出力に組み合わされることを特徴とする請求項16に記載の装置。

【請求項18】

前記部分構造の出力は、少なくとも1つの加算演算と少なくとも1つの遅延演算とを含む手段を使用して、連続時間信号として单一の合成出力に組み合わされることを特徴とする請求項16に記載の装置。

【請求項19】

前記部分構造の出力は、加算演算を含む手段と共に逆移動平均フィルタを使用して单一の合成出力に組み合わされることを特徴とする請求項16に記載の装置。 30

【請求項20】

離散時間量子化信号を連続時間連続可変信号に変換する装置であって、
時間及び値に関して離散的な入力信号を受け入れる入力線と、
前記入力線に結合された入力を有し、複数の並列バスを有する離散時間ノイズシェーピング／量子化回路であって、前記複数の並列バスの出力が、共同で、前記離散時間ノイズシェーピング／量子化回路全体により生成される完全な信号を構成し、前記複数の並列バスにおける各バスは、前記完全な信号の異なるサブサンプリング位相を生成する、離散時間ノイズシェーピング／量子化回路と、

前記離散時間ノイズシェーピング／量子化回路の出力に結合されたマルチビット・可変レベル信号変換器と、 40

前記マルチビット・可変レベル信号変換器の出力に結合されたアナログ・バンドパスフィルタと、
を備え、

前記複数の並列バスのうちの所与の1つの現在の出力は、前記入力線から結合された信号サンプルと、前記所与の並列バスにおいて生成された信号サンプルと、他の並列バスからの過去の出力サンプルとの関数であり、

前記離散時間ノイズシェーピング／量子化回路は、前記アナログ・バンドパスフィルタにより選択された周波数帯域に対応する変換雑音周波数応答最小値を有することを特徴とする装置。 50

【請求項 2 1】

前記複数の並列バスの各々は、

入力と、

前記離散時間ノイズシェーピング／量子化回路の入力に結合された第1の入力、第2の入力及び出力を有する加算器と、

信号のビット幅分解能を低下し、前記加算器の前記出力に結合された入力及び出力を有する量子化回路と、

前記量子化回路の前記出力に結合された入力及び前記加算器の前記第2の入力に結合された出力を有するフィードバックループフィルタと、

を備えることを特徴とする請求項20に記載の装置。

10

【請求項 2 2】

前記複数の並列バスの各々における前記フィードバックループフィルタは、複数の零点を含む変換雑音伝達関数を有し、前記零点のいずれも他の零点と等しくないことを特徴とする請求項21に記載の装置。

【請求項 2 3】

前記複数の並列バスの各々は、前記マルチビット・可変レベル信号変換器の倍率パラメータの不完全性を補償するために非線形ビットマッピングを含むことを特徴とする請求項20に記載の装置。

【請求項 2 4】

前記非線形ビットマッピング機能は、出力変換雑音を最小限にする誤差計測値に基づいて動的に調整されることを特徴とする請求項23に記載の装置。

20

【請求項 2 5】

前記複数の並列バスの出力は、少なくとも1つのマルチプレクサを使用して单一の出力に組み合わされることを特徴とする請求項20に記載の装置。

【請求項 2 6】

前記複数の並列バスの出力は、少なくとも1つの加算演算と少なくとも1つの遅延演算とを含む手段を使用して、連続時間信号として单一の出力に組み合わされることを特徴とする請求項20に記載の装置。

【請求項 2 7】

前記複数の並列バスの出力は、加算演算を含む手段と共に逆移動平均フィルタを使用して单一の合成出力に組み合わされることを特徴とする請求項20に記載の装置。

30

【請求項 2 8】

前記複数の並列バスの各々の出力は、前記複数の並列バスのうちの他の並列バスにおいて生成されたいずれの現在の信号にも依存しないことを特徴とする請求項20に記載の装置。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、サンプリング及び量子化された（離散時間）信号を連続時間連続可変（線形）信号に変換するシステム、方法及び技術に関し、特に、高瞬時帯域幅を有する超高速サンプリングレート変換器に適用可能である。

40

【背景技術】**【0 0 0 2】**

現代の電子工学における多くのアプリケーションにおいては、コンピュータやデジタル・シグナル・プロセッサを使用して生成された離散時間信号を、例えば電磁信号として送信するために、線形（アナログ）信号に変換することが必要である。一般に、この変換は従来のデジタル・アナログ変換器（D A C）を使用して行われる。しかし、本発明者は、既存の変換器では超高速サンプリングレートでの全体性能が制限されるという欠点を示すを見出した。

【0 0 0 3】

50

並列処理及び他の革新により、コンピュータやシグナル・プロセッサのデジタル情報処理帯域幅は、最新のD A Cの性能を超えて進歩している。従って、高い瞬時帯域幅を有する変換器が望ましい。既存の解決策は、瞬時帯域幅（サンプリングレート）、有効変換分解能（精度）、又はその双方により制限される。

【0004】

D A Cの分解能は、量子化信号が連続時間連続可変信号に変換される際の精度の尺度であり、一般にD A Cの出力における全体の雑音・歪み電力に対する全体の信号電力の比率として指定される。D A Cの信号対雑音・歪み比（signal-to-noise-and-distortion ratio）（S N D R）は、一般にデシベル（d B）単位の対数目盛で表される。離散時間離散可変（デジタル）信号が連続時間連続可変（アナログ）信号に変換される場合、アナログ信号の品質は、変換処理中に発生する種々の制限及び誤差により低下する。例としては、（1）量子化雑音を生成するD A Cデジタル入力の細精度（ビット幅）、（2）丸め誤差（エラー）の形態の歪みを発生する対応する離散出力電圧又は電流レベルへのデジタル入力の不正確な（例えば、非線形）マッピング、（3）サンプリングジッタの形態の雑音を引き起こすデジタル入力の遷移に対する出力電圧又は電流の遷移の間の不完全なタイミング、（4）D A Cの出力に結合するアクティブ素子（例えば、スイッチ及び増幅器）と関連付けられた熱雑音が含まれる。高分解能変換器は、より細かい精度と出力電圧及び電流へのデジタル入力のより線形なマッピングとを有する丸め演算を使用して離散信号を連続可変信号に変換する。瞬時変換帯域幅は、ナイキスト基準により、変換器のサンプリングレートの半分という理論上の最大値に制限される（ナイキスト限界）。しかし、従来、高分解能変換（10ビット）は、約数ギガヘルツ（G H z）以下の瞬時帯域幅に制限されていた。10

【0005】

数ビット以上の分解能を有する信号帯域幅（ f_B ）の2倍に等しい周波数又はそれを僅かに上回る周波数におけるサンプリングレート（ f_s ）で信号を量子化する変換器は、従来、ナイキストレートコンバータとして知られている。従来のナイキストレートコンバータのアーキテクチャは、抵抗ラダー型回路網（例えば、R - 2 R回路網）を使用して実現されるアーキテクチャ、あるいはユニタリー（すなわち、均等）重み付け又は2進重み付けを有するスイッチ電流／電圧源を採用するアーキテクチャを含む。図1Aに示すような従来の抵抗ラダー型D A Cは、複数の2レベル（すなわち、デジタル）入力の2進重み付き和に等しい可変出力電圧を生成する。電圧加算演算は、適切に重み付けされた抵抗（すなわち、2進重み付き抵抗ラダー）を有する抵抗器の回路網を使用して実行される。抵抗回路網の出力における電圧は、バッファリングされ且つ／又は場合によってはアナログ・ローパスフィルタを使用して平滑化され、連続可変信号を生成する。別のD A C構造を図1Bに示す。これは、抵抗ラダー型回路網の代わりに電流源のスイッチバンクを使用してデジタル入力の2進重み付き和に等しい可変出力電流を生成する。図1Bに示すように、出力電流は、トランスインピーダンス増幅器（すなわち、電流 - 電圧変換器）を使用して比例出力電圧に変換される。30

【0006】

従来のナイキスト変換器は、潜在的に非常に高い瞬時帯域幅を達成できるが、以下に更に詳細に説明するように、本発明者は、抵抗ラダー型回路網又はスイッチ電流源における構成要素の不整合により、取得可能な分解能を大きく制限する丸め誤差が発生する可能性があることを見出した。更に従来のナイキスト変換器の分解能は、サンプリングジッタ及び熱雑音等の他の実際の実現例の欠陥により制限される。ナイキスト変換器は、理論的に10 G H zを上回る瞬時帯域幅で高い分解能を潜在的に実現できるが、上述の問題により、この潜在性は従来のナイキスト変換器において実現されていない。40

【0007】

量子化雑音及び誤差を低減しようとする別の従来の方法は、オーバサンプリング技術を使用する。従来のナイキスト変換器は、各デジタル入力を单一の比例出力サンプル（すなわち、電圧又は電流）に変換する。従来のオーバサンプリング変換器は、疑似ランダム250

値サンプル（すなわち、正数又は負数）のシーケンスの平均がデジタル入力に比例するよう、まず各デジタル入力をこの2値疑似ランダムシーケンスに変換する。従って、オーバサンプリング変換器は、入力信号帯域幅の2倍より非常に高いレート（すなわち、 f_s ）で（すなわち、 $f_s >> f_B$ ）粗なアナログ電圧又は電流出力を生成する。ここで、従来、 $N = 1 / 2 \cdot f_s / f_B$ は変換器のオーバサンプリング比と呼ばれる。デジタル入力に比例する連続可変出力は、出力サンプルを効果的に平均するローパスフィルタリング演算を使用して2値疑似ランダム出力シーケンスから生成される。この平均化処理においては、オーバサンプリング変換器の帯域幅が減少するが、量子化雑音（すなわち、連続可変信号を表すために2つの値のみを使用することにより発生する雑音）と、構成要素の不整合、サンプリングジッタ及び熱雑音の結果として得られる誤差とが軽減することにより変換器の分解能が向上するという利点を有する。この利点の範囲は、出力サンプリングレート f_s に直接関連し（すなわち、利点はサンプリングレートの上昇と共に増加する）、従来、信号自身を減衰させずに信号帯域幅における誤差及び量子化雑音を理想的に減衰させるノイズシェーピング処理と共にオーバサンプリングを使用して拡げられる。量子化ノイズシェーピング処理及びそれに続くローパスフィルタリング（すなわち、出力平均化）により、オーバサンプリング変換器は、低分解能を有する高レート中間信号を改善された分解能を有する相対的に狭い帯域幅の出力信号に変換する。10

【0008】

図2A及び図2Bは、従来のローパス・オーバサンプリング変換器5A及び5Bをそれぞれ示すブロック図である。典型的な従来のオーバサンプリング変換器は、一般に変換器オーバサンプリング比Nによるアップサンプリング6Aとその後のインターポレーション（ローパス）フィルタリング6Bとからなるアップサンプリング演算6を採用し、量子化雑音を整形又は有色化するためにデルタ-シグマ（ΔΣ）変調器7A及び7Bを使用する。名前が示すように、デルタ-シグマ変調器7A及び7Bは、差分演算8（すなわち、デルタ）及び積分演算13A及び13B（すなわち、シグマ）を実行することにより2レベル量子化器10により発生される雑音を整形する。例えば、以下の式を実行する。20

【0009】

【数1】

$$I(z) = \frac{1}{1-z^{-1}}.$$
30

【0010】

図2Aに示す変換器5Aは、インターポレーション・変調器7Aと従来呼ばれるものを使用する。図2Bに示す誤差フィードバック構造を有する別の変調器7Bは、変換器5Bにおいて使用される。D. Anastassiouの「Error Diffusion Coding In A/D Conversions」IEEE Transactions on Circuits and Systems, Vol. 36, 1989年を参照。一般にデルタ-シグマ変調器は、1つの伝達関数(STF)を有する信号及び異なる伝達関数(NTF)を有する量子化雑音を処理する。従来の伝達関数（すなわち、2レベル量子化器10の默示的な遅延を考慮した後）は、 $STF(z) = z^{-1}$ 及び $NTF(z) = (1 - z^{-1})^P$ の形式である。ただし、 z^{-1} は $T_{CLK} = 1/f_{CLK}$ に等しい単位遅延を表し、Pは変調器の次数又はノイズシェーピング応答と呼ばれる。 $P = 1$ を有するデルタシグマ変調器に対するSTF周波数応答30及びNTF周波数応答32を図2Cに示す。双方の回路5A及び5Bに対して、出力サンプリングレート f_s 、従って変換器のオーバサンプリング比Nは、デルタ-シグマ変調器7A及び7Bのクロック周波数 f_{CLK} （すなわち、図2A及び図2Bにおいて2レベル量子化器10に対する入力クロックとして示される）により判定される。40

【0011】

図2A及び図2Bに示すデルタ-シグマ変換器5A及び5Bは、従来、ローパス・デルタ-シグマ変換器として公知のものである。従来のローパス変換器に対する変形例は、バ50

ンドパス・デルタ・シグマ変調器を採用し、零を上回る周波数を中心とする狭帯域信号の変換を可能にする。図3Aに示す例示的なバンドパス・オーバサンプリング変換器40Aは、差分演算8(すなわち、デルタ)及び積分演算13C(すなわち、シグマ)をそれぞれ実行することにより2レベル量子化器10からの雑音を整形するバンドパス・デルタ・シグマ変調器42を含む。ここで、以下の式が成り立つ。

【0012】

【数2】

$$H(z) = -\frac{z^{-1}}{1+z^{-2}}.$$

10

【0013】

図3Aに示す従来のバンドパス変調器は、2次(すなわち、P=2)と考えられ、2レベル量子化器10の默示的な遅延を考慮した後、STF(z)=z⁻¹及びNTF(z)=1+z⁻²を有する。ただし、z⁻¹はT_{CLK}に等しい単位遅延を表す。実際のバンドパス・デルタ・シグマ変調器の雑音伝達関数(NTF)は、少なくとも2次応答である。ローパスの場合と同様に、バンドパス変調器は量子化雑音応答71とは異なる図3Bに示す信号応答70を有する。図3Bに示すように、図3Aのバンドパス変調器は、変換器のナイキスト帯域幅(すなわち、1/4·f_s)の中心で最小値72を有するNTFを有する。2レベル量子化10の後、標準的な従来のローパス・オーバサンプリング変換器(例えば、変換器5A及び5Bのいずれか)で実行されるフィルタリングと同様の量子化雑音のフィルタリング43が実行される。図3Aにおいて、入力データ(すなわち、デジタル入力)レートは変換器の出力サンプリングレートf_{CLK}に等しいため、アップサンプリング演算は含まれない。しかし、入力データレートが変換器の出力サンプリングレートf_{CLK}より低い場合、アップサンプリング演算は含まれる。

20

【0014】

本発明者は、図2A及び図2Bに示すような従来のローパス変換器及び図3Aに示すような従来のバンドパス変換器が非常に高い瞬時帯域幅及び高分解能を必要とするアプリケーションにおいてそれらの有用性を制限するいくつかの欠点を有することを見出した。発明を実施するための形態の節で更に詳細に説明するこれらの欠点は、(1)整形量子化雑音及び誤差を減衰させるために使用される狭域ローパス又は狭域バンドパスフィルタリング演算により制限される変換帯域幅、(2)デルタ・シグマ変調器のクロック周波数f_{CLK}(すなわち、2レベル量子化器のクロック周波数)により制限される分解能(SNDR)、(3)2レベル量子化器による安定した演算に必要な低次ノイズシェーピング応答(すなわち、一般にバンドパス変調器の場合は2次)により制限される分解能を含む。これらの欠点のために、(1)出力(平滑化)フィルタの量子化雑音減衰を向上するために帯域幅を減少せずに、あるいは(2)高次変調器が2レベル量子化により不安定であるためより高速な回路を使用して変換器のサンプリングレートを増加せずに、従来のオーバサンプリング変換器の分解能を増加することはできない。更に従来のオーバサンプリング変換器は、量子化雑音周波数応答が最小値である時の周波数(f_{no_tch})を動的に変動、すなわち再プログラミングする手段を提供しないデルタ・シグマ変調器構造を採用する。しかし、本発明者は、プログラミングに依存して単一の変換器が異なる(複数の)周波数帯域で動作できるマルチモードの応用例(例えば、周波数合成器及び調整可能無線機)において、そのような特徴が有利であることを見出した。

30

【発明の概要】

【0015】

本発明は、特にナイキスト限界に接近する瞬時帯域幅及び非常に高いサンプリングレートで使用する改善されたDACを提供する。改善されたDACは、従来のナイキスト変換器の分解能制限と従来のオーバサンプリング変換器の帯域幅制限とを克服する。

40

【0016】

従って、本発明の特定の一実施形態は、離散時間量子化信号を連続時間連続可変信号に

50

変換する装置であって、時間及び値に関して離散的な入力信号を受け入れる入力線と、入力線に結合された複数の処理プランチと、加算器とを含む装置に関する。各処理プランチは、(a)離散時間ノイズシェーピング／量子化回路、(b)離散時間ノイズシェーピング／量子化回路の出力に結合されたマルチビット-可変レベル信号変換器、(c)マルチビット-連続可変信号変換器の出力に結合されたアナログ・バンドパスフィルタを含む。加算器は、各処理プランチにおけるアナログ・バンドパスフィルタの出力に結合される。処理プランチのうちの異なる処理プランチにおける離散時間ノイズシェーピング／量子化回路は、異なる周波数で変換雑音周波数応答最小値を有し、離散時間ノイズシェーピング／量子化回路の各々は、同一の処理プランチにおけるアナログ・バンドパスフィルタにより選択された周波数帯域に対応する変換雑音周波数応答最小値を有する。なお、零周波数での変換(すなわち、DC)が望ましい応用例において、処理プランチのうちの1つは、ローパス応答を生成するために零周波数を中心とするアナログ・バンドパスフィルタを含むのが好ましい。

【0017】

一般にそのような装置は、従来の変換器により可能である分解能及び帯域幅より高い分解能及び高い帯域幅のより適切な組み合わせを提供でき、例えば種々の直接変換送信機、ソフトウェア無線又はコグニティブ無線、マルチチャネル通信送信機、全デジタルR A D A Rシステム及び任意の高速波形発生器において種々の商業的、工業的及び軍事的応用例に使用される。

【0018】

本発明の別の特定の一実施形態は、離散時間量子化信号を連続時間連続可変信号に変換する装置であって、時間及び値に関して離散的な入力信号を受け入れる入力線と、入力線に結合された入力を有し且つ複数の並列バスを有する離散時間ノイズシェーピング／量子化回路であり、そのような各並列バスが離散時間ノイズシェーピング／量子化回路により出力される完全な信号の異なるサブサンプリング位相を生成する離散時間ノイズシェーピング／量子化回路と、離散時間ノイズシェーピング／量子化回路の出力に結合されたマルチビット-可変レベル信号変換器と、マルチビット-連続可変信号変換器の出力に結合されたアナログ・バンドパスフィルタとを含む装置に関する。離散時間ノイズシェーピング／量子化回路は、アナログ・バンドパスフィルタにより選択された周波数帯域に対応する変換雑音周波数応答最小値を有する。

【0019】

本発明の別の特定の実施形態は、離散時間量子化信号を連続時間連続可変信号に変換する装置であって、時間及び値に関して離散的な入力信号を受け入れる入力線と、入力線に結合された第1の入力、第2の入力及び出力を有する加算器と、加算器の出力に結合されたマルチビット-可変レベル信号変換器と、マルチビット-連続可変レベル信号変換器の出力に結合されたアナログ・バンドパスフィルタと、加算器の出力に結合された入力を有し、出力を更に有し、且つ入力においてマルチビット信号の種々のビットを種々のマルチビットファクタで倍率変更する非線形ビットマッピング部と、非線形ビットマッピング部の出力に結合された入力及び加算器の第2の入力に結合された出力を有するフィードバックループフィルタとを含む装置に関する。

【0020】

上述の概要は、単に本発明の特定の態様を簡単に説明することを意図する。添付の図面と共に特許請求の範囲及び以下の好適な実施形態の詳細な説明を参照することにより、本発明を更に包括的に理解できる。

【図面の簡単な説明】

【0021】

以下の開示において、添付の図面を参照して本発明を説明する。ただし、図面は、本発明の特定の代表的で且つ/又は例示的な実施形態と特徴とを単に示すものであり、いかなる方法でも本発明の範囲を限定することを意図しないことが理解されるべきである。以下は、添付の各図面の簡単な説明である。

10

20

30

40

50

【0022】

【図1A】抵抗ラダー型回路網と、バッファ増幅器と、アナログ平滑化(ローパス)フィルタとを使用して2進重み付きデジタル入力を2進重み付き電圧出力に変換する従来のDACを示すブロック図。

【図1B】スイッチ電流源とトランスインピーダンス増幅器とを使用して2進重み付きデジタル入力を2進重み付き電圧出力に変換する従来のDACを示すブロック図。

【図2A】1次応答と2レベル量子化とを含むインターポーレーション・デルタ・シグマ変調器を有する従来のローパス・オーバサンプリング変換器を示すブロック図。

【図2B】1次応答と2レベル量子化とを含む誤差フィードバック・デルタ・シグマ変調器を有する従来のローパス・オーバサンプリング変換器を示すブロック図。 10

【図2C】従来の1次ローパス・デルタ・シグマ変調器に対する入力信号伝達関数(STF)と量子化雑音伝達関数(NTF)とを示す図。

【図3A】2次応答と2レベル量子化とを含む離散時間インターポーレーション・デルタ・シグマ変調器を有するシングルバンド・バンドパス・オーバサンプリング変換器を示すブロック図。

【図3B】図3Aに示すシングルバンド・バンドパス変換器のデルタ・シグマ変調器に対する入力信号伝達関数(STF)と量子化雑音伝達関数(NTF)とを示す図。

【図4】本発明の代表的な一実施形態に従って、複数の処理プランチを使用するマルチチャネル・バンドパス・オーバサンプリング(MBO)変換器を示す概略ブロック図。

【図5】本発明の代表的な一実施形態に従って、任意の周波数で変換雑音応答最小値を生成するプログラマブル・フィードバックループ・フィルタを含み、デルタ・シグマ()変調器を採用するMBO変換器の単一のプランチの一部分を示すブロック図。 20

【図6】本発明の代表的な一実施形態に従って、ポリフェーズ分解ファクタ $m = 2$ を有するマルチレート・デルタ・シグマ(μ)変調器のフィードバックループフィルタを示すブロック図。

【図7】本発明の代表的な一実施形態に従って、従来のシングルバンド・バンドパス・デルタ・シグマ変調器の雑音伝達関数(NTF)と、ビット幅が最適化された零点を有するマルチレート・デルタ・シグマ変調器の雑音伝達関数とを示す図。

【図8A】本発明の代表的な実施形態に係るMBO変換器で使用される種々のアナログ信号再構成(ASR)フィルタバンクに対する全体の周波数応答を示す図。 30

【図8B】本発明の代表的な一実施形態に係る3次ベッセルフィルタバンクを構成する個々のフィルタに対する周波数応答のマグニチュードを示す図。

【図9】本発明の代表的な一実施形態に従って、3つの係数とポリフェーズ分解ファクタ $m = 2$ を有するマルチレート・デジタル・プリディストーション・リニアライザ(DPL)を示すブロック図。

【図10】マルチビットデジタル入力を单一の比例マルチレ벨出力電圧に変換する本発明の代表的な一実施形態に係るMBO変換器において使用されるR-2R抵抗ラダー型回路網を示すブロック図。

【図11】R-2R抵抗ラダー型回路網等のマルチビット・可変レベル信号変換器における不整合を補償するために適応非線形ビットマッピング部を含むマルチレート・デルタ・シグマ(μ)変調器を示すブロック図。 40

【図12】本発明の代表的な一実施形態に従って、抵抗ラダー型回路網及びアナログ信号再構成(ASR)フィルタバンクと共に複数のバンドパス・デルタ・シグマ変調器ノイズシェーピング回路を含む完全なMBO変換器を示すブロック図。

【図13A】本発明の代表的な一実施形態に従って、抵抗ラダー型回路網及びアナログ信号再構成(ASR)フィルタバンクと共に複数のマルチレート・デルタ・シグマ(μ)変調器ノイズシェーピング回路を含み、各 μ 変調器の2つのマルチレート出力を組み合わせるために出力多重化を使用する完全なMBO変換器を示すブロック図。

【図13B】本発明の別の第1の実施形態に従って、抵抗ラダー型回路網及びアナログ信号再構成(ASR)フィルタバンクと共に複数のマルチレート・デルタ・シグマ(μ) 50

) 变调器ノイズシェーピング回路を含み、各 μ 变调器の 2 つのマルチレート出力を組み合わせるために入力逆移動平均 (IMA) フィルタリング及び出力加算を使用する完全な MBO 变换器を示すブロック図。

【図 13C】本発明の別の第 2 の実施形態に従って、抵抗ラダー型回路網及びアナログ信号再構成 (ASR) フィルタバンクと共に複数のマルチレート・デルタ - シグマ (μ)

) 变调器ノイズシェーピング回路を含み、各 μ 变调器の 2 つのマルチレート出力を組み合わせるために追加の抵抗ラダー型回路網を含む入力 IMA フィルタリングを使用する完全な MBO 变换器を示すブロック図。

【図 14】移動平均ファクタ 4 に基づく IMA フィルタ伝達関数を示す図。

【図 15】本発明の別の第 4 の実施形態に従って、抵抗ラダー型回路網及びアナログ信号再構成 (ASR) フィルタバンクと共に複数のマルチレート・デルタ - シグマ (μ)
变调器ノイズシェーピング回路を含み、各 μ 变调器の 4 つのマルチレート出力を組み合わせるために入力 IMA フィルタリングと出力多重化と出力加算との組み合わせを使用する完全な MBO 变换器を示すブロック図。 10

【発明を実施するための形態】

【0023】

本発明に係る好適な变換器は、本明細書においてマルチチャネルバンドパスオーバサンプリング (MBO) と呼ばれることがある技術を使用する。従来のオーバサンプリングデジタル - アナログ变換器にある程度類似する方法において、MBO 变换器は、量子化誤差、サンプリングジッタ及び熱雑音の分解能低下作用を緩和するノイズシェーピングと共に「オーバサンプリング」(この用語は本明細書において広範に使用される) の形態を採用する。本発明の好適な実施形態に係る MBO 变换器は、以下の技術的革新のうちの 1 つ以上を取り入れて、瞬時帯域幅及び分解能を向上する。すなわち、(1) 複数のオーバサンプリング变換器 (例えば、各々が異なる周波数帯域を処理する) が並列に動作して、従来のオーバサンプリング变換器の帯域幅制限を克服する。(2) 变调器の有効オーバサンプリング比が量子化器のクロック周波数 f_{CLK} に厳密に依存しないように、マルチレート (すなわち、ポリフェーズ) デルタ - シグマ变調器 (好ましくは 2 次以上) が従来のデルタ - シグマ变調器の代わりに使用される。(3) 2 次より高い次数のノイズシェーピング応答による安定した動作を可能にするために、マルチビット量子化器が抵抗ラダー型回路網又は電流源回路網等のマルチビット - 可変レベル信号变換器と共に使用される。(4) マルチビット - 可変レベル信号变換器における不整合を補償するために (例えば、そのような不整合を模倣し、結果として得られる雑音が対応するバンドパス (再構成) フィルタにより除去される周波数範囲にその雑音を整形することにより) 適応非線形ビットマッピングが使用される。(5) 単一の变调器回路が任意の周波数帯域で動作するように構成されるのを可能にするために、マルチバンド (例えば、プログラマブル NTF 応答) デルタ - シグマ变調器がシングルバンド (すなわち、固定 NTF 応答) デルタ - シグマ变調器の代わりに使用される。(6) 標準的なアナログフィルタ構造に基づくアナログ信号再構成フィルタバンクが多くの振幅及び位相歪みを発生せずに变換雑音及び誤差を効果的に減衰させられるように、アナログ信号バンドパス (再構成) フィルタバンクにより発生する雑音及び歪みを解消するデジタル・プリディストーション・リニアライザ (DPL) が使用される。そのような技術の特定の組み合わせは、いくつかの点において、2 つの別個の従来の技术、すなわち連続時間バンドパス・オーバサンプリングとマルチチャネル周波数インタリーピングとを組み合わせる固有の新しい方法と考えられる。以下に更に詳細に説明するように、そのような技术を使用することにより、非常に高い瞬時帯域幅における制限された变換分解能及び精度の問題を克服できる。 20 30 40

【0024】

本発明の好適な実施形態に係る 1 つの变換器 100 の概略ブロック図を図 4 に示す。变換器 100 は、一般に周波数インタリーピングの原理で動作し、離散時間入力信号 102 の全体の帯域幅が複数の小さいサブバンドに概念的に分離され (すなわち、細分され)、これらのサブバンドは (別個の処理プランチにおいて) 連続時間信号に個別に变換され、 50

そしてこれらの信号が再度合成されて、入力信号と同一帯域幅の出力信号を生成する。前の文で「概念的」との用語を用いたのは、変換器 100において、周波数帯域の分離が行われた後でのみ、連続時間信号への変換が行われるからである。しかし、その時点の前に、そのような最終的な周波数帯域の分離を予期して処理が実行される。

【0025】

従来のインタリープ変換器において、インタリープアレイにおける各サブ変換器は、細分された各帯域における信号帯域幅が減少しているため全体のサンプリングレートの約数で動作する。これに対して、本発明に係る変換器 100は、各々が全体のサンプリングレートの約数ではなく全体のフルサンプリングレートで動作するのが好適であるM個の異なる周波数帯域を別個に処理する。この方法の結果、本明細書において「インタリープ・オーバサンプリング比」又は「インタリープファクタ」と呼ばれることもある有効オーバサンプリング比Mが得られる。なお、インタリープファクタMは、従来のオーバサンプリング変換器の超過レートオーバサンプリング比Nとは異なるが、一般に変換雑音及び誤差に対して同一又は同様の効果を有する。10

【0026】

なお、特に指定のない限り、本明細書において「オーバサンプリング」という用語は広範な意味で使用され、信号又は信号のある部分が最終的に出力される信号又はその一部分より高いサンプリングレート（しかし、一般により低い分解能）での中間段階中にデジタル表現される処理技術を示す。本発明の好適な実施形態において、入力デジタル信号 102は、異なるチャネル又はプランチ（例えば、プランチ 110 及び 120）で処理され、各々の目的は異なる周波数帯域を再生成することである。その後、そのようなチャネル又はプランチ 110 及び 120 の全ての出力は組み合わされ、最終的な出力信号 135 を提供する。以下に更に詳細に説明するように、各チャネル又はプランチ内の処理レートは、最終的にそのようなチャネル又はプランチから出力される対応する周波数帯域の帯域幅より高く、結果として有効オーバサンプリングを与える。20

【0027】

図4を参照すると、変換器 100は、M個の異なる周波数帯域の各々を処理するために別個のプランチ（例えば、プランチ 110 又は 120）を使用してデジタル（離散時間）入力信号 102をM個の異なる周波数帯域として処理し、出力アナログ信号 135 を提供するために全てのプランチ出力を加算器 131において合計する。本発明の一実施形態において、M個の異なる周波数帯域は、変換器 100 全体の出力データレートに対して直交するか又は少なくとも略直交する。より詳細には、信号 102（一般に、マルチビット）は、例えば同一のデバイス内の別の回路からマルチビット信号を受信する内部ワイヤ、導電トレース又は同様の導電路として、あるいはマルチビット外部信号を受け入れる物理ポートとして実現される信号線 103 に入力される。30

【0028】

本実施形態において、デジタル入力信号 102 のサンプルは、まずデジタル・プリディストーション・リニアライザ（DPL）104 に直接結合される。本明細書で使用されるように、「結合される」という用語又は他の形式の単語は、例えば前処理のために直接接続されること又は1つ以上の他の処理ブロックを介して接続されることを意味することを意図する。DPL 104 の1つの機能は、入力信号 102 を更なる処理のために十分な長さのワード長（例えば、最大 16 ビット）に変換することであるのが好ましい。DPL 104 の出力は、処理するためにM個の異なるプランチ（例えば、プランチ 110 及び 120）に分配される。各プランチは、異なる周波数帯域に対応し、以下を含むのが好ましい。すなわち、（1）離散時間ノイズシェーピング / 量子化回路（例えば、ノイズシェーパ及び量子化器 112 及び 122）、抵抗ラダー型回路網 113 等のマルチビット - 可変レベル信号変換器、並びにバンドパス（信号再構成）フィルタ（例えば、フィルタ 115 及び 125）。最後に、加算器 131 は、それら M 個のプランチの出力（より詳細には、信号再構成フィルタの出力）を合成し、最終的な出力信号 135 を生成する。説明を容易にするために、以下ではプランチ 110 の構成要素のみを参照して説明することが多いが、4050

他のプランチ（例えば、プランチ 120）の各々においても同様の処理が行われることが好ましい。

【0029】

本明細書で使用されるような「加算器」という用語は、例えば算術加算により及び／又は（単純にインバータを含むことで）算術減算により2つ以上の信号を組み合わせる1つ以上の回路を示すことを意図している。本明細書で使用されるような「加法により組み合わせる（additively combine）」という用語又はその変形表現は、算術加算又は減算を意味することを意図しており、一般に加算及び減算は信号の反転を使用することにより交換可能である。本明細書で使用されるような「バンドパス」という用語は、入力信号内で他の周波数と比較して所望の周波数帯域に対してより高い利得を提供するフィルタ又は他の回路を示す。ここで、所望の帯域は、零（この場合、ローパスフィルタと呼ばれる）又は他のあらゆる周波数を中心とすることができます。10

【0030】

DPL104の主な目的は、振幅及び位相歪み（すなわち、不完全な再構成）と、遅延スキュート、アナログ信号再構成フィルタバンク（バンドパスフィルタ115及び125と他の各プランチにあるバンドパスフィルタとから構成される）により発生された位相歪みとを補償することである。図4に示す実施形態において、各離散時間ノイズシェーピング／量子化回路112はマルチビット出力（例えば、6～8ビット）を有するが、单一ビットの出力を有する離散時間ノイズシェーピング／量子化回路112を使用することも本発明の範囲内である。いずれの場合においても、そのような各ノイズシェーピング／量子化回路112は、より複雑でない抵抗ラダー型回路網113（又は単一のマルチレベル連続時間信号への変換を行う他の構造）が使用されるように入力信号のワード長（及びそれに対応して分解能）を減少するのが好ましい。20

【0031】

本実施形態において、各ノイズシェーピング／量子化回路112の一般的なマルチビット出力は、対応するノイズシェーピング／量子化回路112の出力が抵抗ラダー型回路網113（すなわち、R-2R）を介して変更された時に固定数の別個のレベル間で切り換わる単一の可変レベル信号に変換される。しかし、2進重み付き又はユニタリー重み付き電流源等の従来技術において公知の他のマルチビット-可変レベル信号変換器113が代わりに使用されてもよい。最後に、M個のチャネルが加算抵抗器を使用して加算器131において組み合わされるのが好ましいが、別の実施形態において、パッシブ及び／又はアクティブ信号の組み合わせ構造を含む種々の他の（例えば、他の従来の）アナログ加算器131のいずれかが代わりに使用されてもよい。30

【0032】

実質的に、好適な実施形態において、本発明は、2つの確立された技術、すなわちバンドパス・オーバサンプリング及び周波数インタリーピングの変形例を組み合わせる新しい方法を介して高い瞬時帯域幅における制限された変換分解能及び精度の問題を克服する。各ノイズシェーピング回路が変換器のナイキスト帯域幅の特定の領域における変換雑音を最小限にするように複数のバンドパスノイズシェーピングチャネルを並列に組み合わせることにより、本発明は、高分解能及び高い瞬時帯域幅を同時に有する周波数インタリーブ変換器を提供できる。40

【0033】

ノイズシェーピング及び量子化の検討事項

上述した実施形態において、ノイズシェーピング／量子化回路（例えば、112及び122）の各々は、図2A、図2B及び図3に示すものとは異なるように構築されるのが好ましい。好適な実施形態において、各処理プランチ110又は120内の回路112又は122が効果、構築の容易さ及び構成の容易さの最適な組み合わせを達成することが分かれているため、本明細書においてマルチレート・デルタ-シグマ（ μ -）変調器と呼ばれる変更された誤差フィードバック構造は、そのような回路の変換ノイズシェーピング部分に使用される。なお、本発明の別の実施形態において、従来のデルタ-シグマ（ Δ -）50

変調器を含む他の種類のノイズシェーピング回路を使用できる。いずれの場合においても、使用されるノイズシェーピング回路に対する主な検討事項は、非常に高いサンプリングレートにおいて安定した正確な動作を得られることが好ましいということである。従って、好適な実施形態に係る各ノイズシェーピング回路は少なくとも以下の3つの特性を有する。すなわち、(1)量子化／丸め誤差、サンプリング不確実性／ジッタ及び熱雑音に関連する性能低下等のノイズシェーピング回路の主な性能低下は、ノイズシェーピング応答の影響を受ける。(2)ノイズシェーピング回路は、4次以上のノイズシェーピング次数を有する安定した応答を生成する。(3)ノイズシェーピング回路の有効オーバサンプリング比は、構成要素の最大クロック周波数により制限されない。(4)NTFのヌルがプログラム可能パラメータ(例えば、ノイズシェーパ・フィードバックループフィルタ係数)の値により判定されるように、ノイズシェーピング回路はオールパス(又は少なくともほぼオールパス)信号伝達関数(STF)と帯域消去雑音伝達関数(NTF)とを有する。以下に更に詳細に説明するように、整形される雑音は、使用されるあらゆる量子化回路(例えば、回路112の内部にあり且つ図5に示す量子化回路114)により発生される雑音を含むが、マルチビット-可変レベル信号変換器113等の他の構成要素により発生される雑音を更に(又は代わりに)含む可能性がある。これらの特性を達成することは、一般にノイズシェーピング機能に対して従来のデルタ-シグマ変調器を使用することを含まない。

【0034】

$m = 1$ のポリフェーズ分解ファクタの場合のマルチビット量子化回路114と組み合わせてプログラムブル・フィードバックループフィルタ150を採用する例示的なノイズシェーピング／量子化回路112の概略ブロック図を図5に示す。 $m = 2$ のポリフェーズ分解ファクタの場合の例示的な μ の概略ブロック図を図6に示す。一般に、本明細書で説明する実施形態は、組み合わせノイズシェーピング／量子化回路112を参照する。これを利用する理由は、特に $m = 2$ の場合に量子化部をノイズシェーピング部から適切に分離するのが困難である可能性があるためである。しかし、実際には機能性は別個であり、特に $m = 1$ の時、例えば図5に示すようにそのような構成要素を別個に概念化するのが望ましい場合がある。

【0035】

従来のデルタ-シグマ()変調器がオーバサンプリング比 $N = 1 / 2 \cdot f_s / f_B$ を有する一方で、図5及び図6に示したマルチレート・デルタ-シグマ(μ)変調器は超過レートオーバサンプリング比 $N' = 1 / 2 \cdot m \cdot f_s / f_B$ を有する。ただし、 m は μ 変調器のポリフェーズ分解ファクタである。一般に μ 変調器の回路計算量(量子化器114の数)は m^2 に比例して増加する。なお、 μ 変調器は、並列処理構造であるが、従来「並列」変調器と呼ばれることがある従来のMASH(すなわち、Multi-stage Shaping)変調器とは異なる。MASH構造において、従来の変調器は並列構成にグループ化され、NTFノイズシェーピング応答の次数Pを増加する。これに対して、 μ 変調器アーキテクチャは、ノイズシェーピング応答次数Pに関わらず有効オーバサンプリング比 N' を増加する。

【0036】

μ 変調器において、図5において最も明確に示すように、信号141(加算器116から出力されて量子化器114に入力される)は遅延(111B)(例えば、 $1 f_{c_L K}$ 周期だけ)、減算器117において信号146から減算される。結果として得られる組み合わせ信号145はフィルタ伝達関数H(z)を使用してフィルタリングされ(150)、その結果、信号147が得られる。最後に、信号147は加算器116において入力信号102と組み合わされる。同様の処理を図6に示すが、その実施形態において、 μ 変調器を構成する構成要素が $m = 2$ のポリフェーズ分解ファクタを実現するために複製されている。従って、図6の μ 変調器212は同一のオーバサンプリング比Nの場合に $f_{c_L K}$ レートの1/2で動作できるか、あるいは同一の $f_{c_L K}$ レートの場合に2倍のオーバサンプリング比(すなわち、 $2 \cdot N$)を達成できる。クロックレートを低減す

10

20

30

40

50

るために(すなわち、 f_{CLK} を低下するために)又は処理速度を増加するために(すなわち、Nを増加するために)ハードウェアを複製する処理は、従来技術においてポリフェーズ分解又はマルチレート処理と呼ばれることがある。

【0037】

一般に、補正信号147を入力信号103に加算することにより、将来の量子化出力サンプル142は平均して前の量子化誤差を補償することが保証されるが、その一方で、そのような加算の前の量子化誤差の前処理は、量子化器114により発生された量子化雑音が現在の処理プランチ(例えば、プランチ110又は120)により処理されている入力信号の周波数帯域(すなわち、再構成フィルタにより処理された後に残る周波数帯域)から離れる方向にシフトされることを保証する。フィードバックループフィルタパラメータ

の値に依存して、フィルタ150は、 $1/2 \cdot m \cdot f_{CLK}$ に等しい変換器のナイキスト帯域幅全体の選択された(例えば、所定の)周波数から離れる方向に変換雑音をシフトさせられる。

【0038】

μ 变調器フィードバックループフィルタ150は、 μ 变調器雑音伝達関数(NTF)が所定の周波数(すなわち、フィードバックループフィルタパラメータ)により判定される周波数)でヌルを有する帯域消去応答を有するように、周波数に依存する遅延及び周波数に依存する振幅変動をフィードバック信号145に導入する。本実施形態において、フィードバックループフィルタ150は、乗算器118と、加算器119と、遅延レジスタ111Aとを使用して、周波数依存振幅変動及び周波数依存遅延の補正量を含む周波数応答を生成する。容易に理解されるように、乗算器118は、特にフィードバックループフィルタパラメータが少ないデジタルビット数で表される(すなわち、の2進表現が殆ど項を含まない)場合、フィードバックループフィルタの計算量を潜在的に低減するために、シフト部及び加算部の組み合わせで置換される。本明細書で使用されるような「加算器」という用語は、例えば算術加算により及び/又は(単にインバータを含むことで)減算により2つ以上の信号を組み合わせる1つ以上の回路を示すことを意図する。本明細書で使用されるような「加法により組み合わせる」という用語又はその変形例は、算術加算又は減算を意味することを意図し、一般に加算及び減算は信号の反転を使用することにより交換可能であることが理解される。

【0039】

図5及び図6に示すように、 μ 变調器は、量子化器出力142に対する量子化器入力141の丸め精度(すなわち、精度又はビット幅)を低減する(図5を参照すると)マルチビット量子化回路114(又は図6における量子化回路214A~214D)と共に実現されるのが好ましい。マルチビット量子化器114、更に好ましくは4ビット以上の精度を有するマルチビット量子化器114は、P>2の整形応答次数(すなわち、整形ファクタ)を有する μ 变調器に対して安定した動作を保証することが分かっている。P

2の整形ファクタの場合、变調器の安定性はマルチビット量子化器の使用に左右されないため、そのような実施形態において、図5及び図6に示したマルチビット量子化器は、特にm>1のポリフェーズ分解ファクタの場合に回路計算量を低減するために单一ビット(すなわち、2レベル)量子化器により置換されるのが好ましい。

【0040】

従来の 变調器のように、 μ 变調器は、1つの伝達関数(STF)を有する入力信号102と、異なる伝達関数(NTF)を有する変換雑音(例えば、図5を参照すると量子化器114からの)とを処理する。図5に示す回路を参照すると、量子化回路114の入力103と出力との間の線形信号伝達関数(STF)及び雑音伝達関数(NTF)は以下の通りである。

【0041】

10

20

30

40

【数3】

$$STF(z) = z^{-1},$$

$$NTF(z) = 1 + H(z)$$

【0042】

従って、信号応答はオールパスであり、雑音応答は μ フィードバックループフィルタ関数 $H(z)$ に依存する。変換器のナイキスト帯域幅にわたり所定の周波数で雑音ヌルを生成するために、フィードバックループフィルタ 150 は以下の形式の 2 次伝達関数を有するのが好ましい。

10

【0043】

【数4】

$$H(z) = \rho \cdot z^{-1} + z^{-2},$$

【0044】

ただし、 ρ はプログラム可能な値である。従って、雑音伝達関数は以下により与えられる。

【0045】

【数5】

$$NTF(z) = 1 + H(z)$$

20

$$= 1 + \rho \cdot z^{-1} + z^{-2}$$

【0046】

雑音最小値の場所は、係数 ρ により判定される。変換器の帯域全体にわたり雑音最小値を生成するために、 ρ は -2 ~ +2 の範囲にわたり変動可能であるのが好ましい。特に以下の式に等しい ρ は、 f に等しい周波数（すなわち、所定の処理ブランチのバンドパス周波数）で雑音最小値又はヌルを生成する。

【0047】

【数6】

$$\rho = -2 \cdot \cos(2 \cdot \pi \cdot f / (m \cdot f_{CLK})),$$

30

【0048】

ただし、 f_{CLK} は量子化器のクロック周波数である。

【0049】

本発明の好適な実施形態に係るMBO変換器の有効オーバサンプリング比は、並列処理ブランチの数に等しいインタリーブ・オーバサンプリング比 M と $1/2 \cdot m \cdot f_{CLK} / f_B$ に等しい超過レートオーバサンプリング比 N' との積に等しい。従って、MBO変換器の分解能性能は、並列処理ブランチ 110 の数 M を増加することにより（すなわち、ノイズシェーピング / 量子化回路 112 の数を増加することにより） N' に関係なく増加される。しかし、処理ブランチは、出力信号再構成フィルタバンクにおけるアナログ・バンドパスフィルタ（例えば、フィルタ 115 及び 125）の数を増加し且つそのような各フィルタ 115 の最低品質ファクタ ($Q = f_c / \text{BW}_{3dB}$) を同時に増加することで追加される。一般に、複数の高 Q アナログフィルタを構築することに関連する設計計算量と結び付けられるフィルタバンクエイリアシング（又は他の歪み）の制御に関する問題により、変換器の有効オーバサンプリング比を増加するためにインタリーブファクタ M を増加することは超過レートオーバサンプリング比 N' を増加することより望ましくない。従って、MBO変換器は、超過レートオーバサンプリング比 $N' > 1$ を有するのが好ましい。

40

【0050】

従来、オーバサンプリング比 N を増加することは、ノイズシェーピング変調器の f_{CLK} レートを増加することにより実現される。しかし、上述したように、 μ 変調器の有

50

効超過レートオーバサンプリング比 N' は μ 变調器のマルチレート（すなわち、ポリフェーズ）動作のために f_{CLK} により制限されない。並列バスへの μ 变調器のポリフェーズ分解により、变換器の有効サンプリングレート (f_s) は变調器 f_{CLK} レートを増加せずに増加できる。例示する目的で、以下を有する図 5 に示すようなノイズシェーピング / 量子化回路 112 を考察する。

【0051】

【数7】

$$H(z) = \rho \cdot z^{-1} + z^{-2} \text{ 及び } NTF(z) = 1 + \rho \cdot z^{-1} + z^{-2}.$$

【0052】

ノイズシェーピング / 量子化回路 112 の量子化出力 142 $Q(y)$ は、以下の差分方程式により表される。

【0053】

【数8】

$$Q(y_n) = Q[x_n + \rho \cdot Q(y_{n-1}) - \rho \cdot y_{n-1} + Q(y_{n-2}) - y_{n-2}],$$

【0054】

従って、最初の 2 つの出力サンプル（すなわち、 $n = 0, 1$ ）に対する差分方程式は以下の通りである。

【0055】

【数9】

$$Q(y_0) = Q[x_0 + \rho \cdot Q(y_{-1}) - \rho \cdot y_{-1} + Q(y_{-2}) - y_{-2}] \text{ 及び}$$

$$Q(y_1) = Q[x_1 + \rho \cdot Q(y_0) - \rho \cdot y_0 + Q(y_{-1}) - y_{-1}].$$

【0056】

y_1 に y_0 を代入することにより、以下が得られる。

【0057】

【数10】

$$Q(y_1) = Q[x_1 + \rho \cdot Q(x_0 + \rho \cdot Q(y_{-1}) - \rho \cdot y_{-1} + Q(y_{-2}) - y_{-2})$$

$$- \rho \cdot (x_0 + \rho \cdot Q(y_{-1}) - \rho \cdot y_{-1} + Q(y_{-2}) - y_{-2}) + Q(y_{-1}) - y_{-1}]$$

30

【0058】

これは以下の式に一般化される。

【0059】

【数11】

$$Q(y_n) = Q[x_n + \rho \cdot Q(x_{n-1} + \rho \cdot Q(y_{n-2}) - \rho \cdot y_{n-2} + Q(y_{n-3}) - y_{n-3})$$

$$- \rho \cdot (x_{n-1} + \rho \cdot Q(y_{n-2}) - \rho \cdot y_{n-2} + Q(y_{n-3}) - y_{n-3}) + Q(y_{n-2}) - y_{n-2}]$$

40

【0060】

従って、 $Q(y_n)$ は、上記例に対する入力及び他の全ての出力のみを使用して算出され、 μ 变调器が上記で示したポリフェーズ分解技術を使用する並列処理アーキテクチャ（すなわち、2 つの並列バス）により具体化されることを実証する。すなわち、各並列バスの現在の出力は、ノイズシェーピング / 量子化回路 112 全体に入力される信号、そのようなバス内で生成された信号及び / 又は種々の他の並列バスからの先行する出力にのみ依存するが、他のあらゆる並列バスからの現在の出力には依存しない。上記例において、並列処理は、 μ 变调器が同一のオーバサンプリング比 N の場合に f_{CLK} レートの 1 / 2 又は同一の f_{CLK} レートの場合に 2 倍のオーバサンプリング比で実行することを

50

可能にする。 $m = 2$ のポリフェーズ分解ファクタの場合に上述したこのポリフェーズ分解方法は、より大きいポリフェーズ分解ファクタ及び任意のフィードバックループフィルタ関数 ($H(z)$) に拡張される。これは、特に高サンプリングレート変換器に対して重要な考慮事項である。図 6 は、上記の例毎に $m = 2$ のポリフェーズ分解ファクタを有する μ 变調器を示す。上記で示したように、 $m = 2$ の時、各並列パスはブランチ 110 の離散時間ノイズシェーピング / 量子化回路 112 により出力される完全な信号の異なるサブサンプリング位相を生成する。本明細書で使用されるように、「サブサンプリング位相」は、ファクタ k によるサブサンプリングが行われる k 個の可能な位相又は時間オフセットのうちの 1 つを示す。

【0061】

10

図 5 及び図 6 に示す各 μ 变調器は 2 次ノイズシェーピング応答を有する。しかし、高次ノイズシェーピング応答は、低次ノイズシェーピング応答より入力信号の所望の周波数帯域（すなわち、対応するバンドパスフィルタ 115 又は 125 によりそれぞれ選択される現在の処理ブランチ 110 又は 120 に対する周波数帯域）から離れるように雑音をシフトし、それによりブランチのバンドパス（信号再構成）フィルタにより減衰される雑音量を増加するため、高次ノイズシェーピング応答は結果として改善された変換器の分解能性能を与える。例えば 6 次ノイズシェーピング応答の場合、図 5 に示すフィードバックループフィルタ $H(z)$ は以下の一般的な伝達関数を有する。

【0062】

【数 12】

20

$$\begin{aligned} H(z) &= NTF(z)-1 \\ &= (1-\rho_0 z^{-1} + z^{-2}) \cdot (1-\rho_1 z^{-1} + z^{-2}) \cdot (1-\rho_2 z^{-1} + z^{-2}) - 1 \\ &= -(\rho_0 + \rho_1 + \rho_2) \cdot z^{-1} + (3 + \rho_0 \rho_1 + \rho_0 \rho_2 + \rho_1 \rho_2) \cdot z^{-2} - (2\rho_0 + 2\rho_1 + 2\rho_2 + \rho_0 \rho_1 \rho_2) \cdot z^{-3} \\ &\quad + (3 + \rho_0 \rho_1 + \rho_0 \rho_2 + \rho_1 \rho_2) \cdot z^{-4} - (\rho_0 + \rho_1 + \rho_2) \cdot z^{-5} + z^{-6} \end{aligned}$$

【0063】

従来、ノイズシェーピング回路係数（又はパラメータ） ρ_0 、 ρ_1 及び ρ_2 は等しい。すなわち、雑音伝達関数の零点が共通の周波数で発生する。根が等しい大きさを有する場合、結果として得られる雑音伝達関数は以下の式に簡略化される。

30

【0064】

【数 13】

$$\begin{aligned} H_1(z) &= H_{NOISE}(z)-1 \\ &= (1-\rho \cdot z^{-1} + z^{-2})^3 - 1 \\ &= -3 \cdot \rho \cdot z^{-1} + 6 \cdot \rho^2 \cdot z^{-2} - 7 \cdot \rho^3 \cdot z^{-3} + 6 \cdot \rho^2 \cdot z^{-4} - 3 \cdot \rho \cdot z^{-5} + z^{-6} \end{aligned}$$

【0065】

しかし、この簡略化された条件は、特に対応して少ない数のアナログ出力フィルタが存在する小さいインタリーブファクタ (M) の場合に出力雑音を最小限にすることに関して必ずしも最適である必要はない。雑音を最小限にする目的で等しくない NTF 零点を有する高次变調器は、従来、「零点最適化」NTF を有するものとして示される。零点最適化 NTF により、NTF 帯域消去応答の帯域幅は雑音ヌルの深度を減少することで増加される。インタリーブファクタ M が小さい場合、この雑音応答における差分は、改善された変換器の分解能を与えられる。

40

【0066】

しかし、 μ 变調器の場合、等しくない零点を有する NTF は、マルチレートアーキテクチャと関連する回路計算量を軽減できる。 μ 变調器等のフィードバック構造がポリフェーズ分解等の高周波数並列処理方法を使用して実現される場合、係数の動的な範囲の拡張は、NTF 応答が好適な NTF 応答から外れる原因となる。これは、ポリフェーズ

50

フィードバック構造において、入力値及び出力値が同一の係数（すなわち、 μ ）と複数回乗算されて必要な算術精度を指数関数的に上昇させるために起こる。高精度な値を表すために多くのバイト数（すなわち、広いビット幅）が必要とされる。この結果として起こる計算量の増加は、無理係数すなわち単なる小数により表せない係数から等しい零点を有するNTFを近似するために単なる小数、好ましくは2進小数（すなわち、2の累乗である分母を有する小数）により表される有理係数から等しくない零点を有するNTFを使用することにより相殺される。単なる2進小数（例えば、3～8ビット以下で表される値）により表される係数を使用することにより、 μ フィードバックループフィルタ乗算器は、加算器及び/又はビットシフト演算から成るより計算量の少ない回路により置換される。この計算量を軽減する技術は、本明細書において「ビット最適化」と呼ばれることがある本発明の新しい一態様である。従って、本発明の好適な実施形態において、ビット最適化NTFを有する μ 変調器が採用される。なお、複雑さを軽減する目的の零点最適化（すなわち、ビット最適化）は、雑音除去のための従来の零点最適化とは異なる。しかし、ビット最適化の結果、NTFは等しい零点を有するNTFと比較して有益な応答を有する場合がある。10

【0067】

図7は、2つの例(1) $\mu_0 = \mu_1 = \mu_2 = 0.618034\dots$ となるような等しい零点を有する従来の6次ノイズシェーピング応答及び(2) $\mu_0 = 1/2, \mu_1 = 5/8$ 及び $\mu_2 = 3/4$ を有するビット最適化された6次ノイズシェーピング応答に対する雑音伝達関数の比較を示す。図7に示すように、等しい零点を有する例示的なNTF80は、正規化周波数0.2Hzで90dBより大きい深度に到達する雑音ヌルを有し、その一方で、ビット最適化NTF81の深度は60dBをちょうど上回る深度に到達する。しかし、等しい零点を有するNTF80と比較すると、ビット最適化NTF81は、約5.5%広い(.025Hz対.016Hz)60dBの帯域幅を有する。少ない数Mの並列処理プランチ（例えば、110及び120）を含むMBO変換器の場合、より小さい最大減衰量を有する広帯域NTFは、信号再構成フィルタ115の出力において、より大きい最大減衰量を有する狭帯域NTFより小さい雑音を与える。20

【0068】

帯域外領域における量子化雑音のより大きい振幅により起こる量子化誤差がより速く蓄積されるため、高次ノイズシェーピング回路112を使用する場合、ノイズシェーパの出力が制限されたままであることを保証するために单一ビットより多いビットの量子化を使用するのが好ましい。その結果、図5及び図6に示す量子化器114はマルチビット量子化器であるのが好ましく、ノイズシェーピング応答は本発明の好適な実施形態において6次である。しかし、单一ビット量子化器（すなわち、比較器）及び低次ノイズシェーピング応答が代わりに使用でき、本発明の範囲内であると考えられるべきである。30

【0069】

バンドパス（信号再構成）フィルタの検討事項

本発明の好適な実施形態に係るMBO信号再構成において使用されるバンドパスフィルタ（例えば、フィルタ115及び125）に対する主な検討事項は、(1)設計計算量（フィルタ品質ファクタ及び次数に関して表されるのが好ましい）、(2)周波数応答（特に、ストップバンド減衰量）及び(3)振幅及び位相歪みである。最適な変換器の分解能性能は、一般にフィルタ次数の増加と共に増加する大きいストップバンド減衰量を示す周波数応答を有する変換雑音除去フィルタ（すなわち、バンドパス又は信号再構成フィルタ115）に対して取得される。更に、フィルタ応答は、デジタル・プリディストーション・リニアライザ(DPL)104の計算量を最小限にするために可能な限り少ない振幅及び位相歪みを発生させるのが好ましい。変換器インタリーブファクタ(M)を増加することにより実現される性能向上は、フィルタの3dBの帯域に対するフィルタ中心周波数の比（すなわち、 f_C/f_{3dB} ）として定義される再構成フィルタの品質ファクタの比例した増加に左右される。本発明の好適な実施形態に係るMBO変換器の場合、品質ファクタは再構成フィルタバンクにおける最大周波数フィルタに対して算出される（すなわち、4050

$f_c = 1 / 2 f_s$ ）。従って、アナログフィルタ（例えば、フィルタ 115 及び 125）に対する好適な品質ファクタは、変換器のインタリーブファクタに直接関連し、より好適には M と等しい。現在、標準的な集中定数素子又は分布定数素子アナログフィルタに対する品質ファクタは約 30 に制限される。その結果、MBO 変換器に対するインタリーブファクタに対する一般的な実際の制限は M=32 である。しかし、32 個のフィルタから成るアナログ再構成フィルタバンクと関連する計算量のために、本発明の好適な実施形態は、インタリーブファクタを M=16 以下（すなわち、16 個以下のアナログフィルタ 115 のバンク）に制限する。

【0070】

M=16 のインタリーブファクタの場合、5 次～7 次バターワースフィルタ応答は、変換雑音の十分なトップバンド減衰量を提供する。しかし、それらフィルタのバンクの全体の応答 F(jω) は、周波数インタリーブアプリケーションにおける完全な信号再構成、すなわち小さい振幅及び位相歪みに必要な特性を示さない。しかし、本発明の好適な実施形態に係るシステムを使用すると、従来技術において一般に受け入れられている認識であるように、略完全な信号再構成はオールパス応答（すなわち、 $F(j\omega) = e^{-j\omega n}$ ）を有するアナログフィルタバンクに厳密には依存しない。その代わり、フィルタバンク応答は、以下が成り立つようにデジタル・プリディストーション・リニアライザ（DPL）104（図 4 に示す）により実現される第 2 のフィルタ伝達関数 L(z) との畠み込みにおいてオールパスであるのが望ましい。

【0071】

【数 14】

$$F(j\omega) \cdot L(z) = F(j\omega) \cdot \frac{\sum_{i=0}^{K_1} \beta_i \cdot z^{-i}}{1 + \sum_{i=1}^{K_2} \alpha_i \cdot z^{-i}} = z^{-n} \Big|_{z=e^{-j\omega}}$$

【0072】

ただし、L(z) は物理的に実現可能な伝達関数（例えば、安定且つ因果的である）である。この伝達関数 L(z) を有する第 2 のフィルタは、追加された歪みがフィルタバンクの出力においてアナログ再構成フィルタバンク歪み（すなわち、バンドパスフィルタ 115、125 等の全てにわたる全体の歪み）を解消するように、追加された位相及び／又は振幅歪みにより入力信号 102 に対してプリディストーションを行う。上記式で表すように、フィルタ 104 は、上記式において係数 β_i 及び α_i によりそれぞれ表されるフィードフォワード成分及びフィードバック成分（好ましくは単純な重み付き遅延成分）の双方を採用するのが好ましい。特定のアナログフィルタバンクインパルス応答を最大に量子化するプリディストーション・リニアライザ 104 に対する係数 β_i 及び α_i は、連立 1 次方程式を解く従来の方法を使用して判定されるか、あるいは最小 2 乗平均（LMS）アルゴリズムを採用する技術等の従来の適応技術を使用して判定される。

【0073】

軽減されたアナログフィルタバンクの計算量は、本発明の好適な実施形態が 1 つ以上のプリディストーション線形フィルタ 104 を採用する 1 つの理由である。第 2 の理由は、変換器のブランチ又はチャネル（例えば、ブランチ 110 及び 120）間及びポリフェーズノイズシェーバ構成における並列パス間の伝播遅延差分に起因する信号スキーを補正するためにこの種のリニアライザ 104 が採用されるためである。

【0074】

デジタル・プリディストーション・リニアライザ 104 の計算量を低減するために、アナログフィルタバンクを構成するバンドパスフィルタ（例えば、フィルタ 115 及び 125）に対する応答は、バスバンドリップル及び位相分散をそれぞれ生成する振幅及び位相歪みを最小限にするために選択されるのが好ましい。好適な実施形態において、振幅及び位相歪みを最小限にするために、個々のアナログフィルタバンク応答は、(a) 周波数応

10

20

30

40

50

答、(b) フィルタ次数、(c) 中心周波数及び / 又は(d) 帯域幅に対して最適化されるのが好ましい。例えば均一に分布した中心周波数(すなわち、変換器のナイキスト帯域幅にわたり均一に分布した中心周波数)及び等しい帯域幅を有する5次バターワースフィルタから構成される従来のアナログフィルタバンクは、M = 10 のインタリーブファクタの場合に図 8 A に示すように周波数応答のマグニチュード 90 を有する。図 8 A に示すように、周波数応答のマグニチュード 90 は、負の方向に 15 dB を超え且つ正の方向に 3 dB を超えるパスバンドリップルを示す。あるいは、最適化された中心周波数、フィルタ次数及び帯域幅を有する3次ベッセル応答から成るアナログフィルタバンクは、図 8 A に示すように周波数応答のマグニチュード 91 を有し、変換器のナイキスト帯域幅(M = 10)にわたり ± 1 dB 未満のパスバンドリップルを示す。ベッセルフィルタバンクを構成する個々のフィルタ(例えば、フィルタ 115 及び 125)に対する周波数応答のマグニチュードを図 8 B に示す。

【0075】

ポリフェーズ分解技術は、デジタル・プリディストーション・リニアライザ(DPL)104にも適用可能であり、並列処理構造を形成し、DPL104を実現するために使用されるデジタル乗算器及び加算器のクロックレートを低下する。DPL104は、以下のデータ変換器入力シーケンス x(n) 及びフィルタ係数 l(n) の離散時間畳み込みを実行する伝達関数 L(z) を有する再帰(すなわち、無限インパルス応答又は IIR)構造であるのが好ましい。

【0076】

【数 15】

$$y(n) = x(n) * l(n) \leftrightarrow Y(z) = X(z) \cdot L(z) = X \cdot L.$$

【0077】

一般性を失わず、3つの係数(すなわち、 β_0 、 β_1 及び α_1)と以下の伝達関数とを有するプリディストーション・リニアライザ 104 を仮定する。

【0078】

【数 16】

$$L(z) = \frac{\beta_0 + \beta_1 z^{-1}}{1 + \alpha_1 z^{-1}},$$

【0079】

プリディストーション・リニアライザ 104 の動作は、以下の差分方程式により表される。

【0080】

【数 17】

$$y_n = \beta_0 x_n + \beta_1 x_{n-1} - \alpha_1 y_{n-1}.$$

【0081】

従って、最初の 2 つの出力サンプル(すなわち、n = 1, 2)に対する差分方程式は、以下の通りである。

【0082】

【数 18】

$$y_2 = \beta_0 x_2 + \beta_1 x_1 - \alpha_1 y_1 \text{ 及び } y_1 = \beta_0 x_1 + \beta_1 x_0 - \alpha_1 y_0,$$

【0083】

y_2 に y_1 を代入すると以下が得られる。

【0084】

10

20

30

40

【数19】

$$\begin{aligned}y_2 &= \beta_0 x_2 + \beta_1 x_1 - \alpha_1 (\beta_0 x_1 + \beta_1 x_0 - \alpha_1 y_0) \\&= \beta_0 x_2 + (\beta_1 - \alpha_1 \beta_0) x_1 - \alpha_1 \beta_1 x_0 - \alpha_1 y_0.\end{aligned}$$

【0085】

上記式は以下の式に一般化される。

【0086】

【数20】

$$y_n = \beta_0 x_n + (\beta_1 - \alpha_1 \beta_0) x_{n-1} - \alpha_1 \beta_1 x_{n-2} + \alpha_1 y_{n-2}.$$

10

【0087】

従って、 y_n は上記例に対する入力及び他の全ての出力のみを使用して算出され、μ 变調器のように、デジタル・プリディストーション・リニアライザ 104 が 2 つの並列バス（すなわち、 $m = 2$ のポリフェーズ分解ファクタ）を含む並列処理構造として実現されることを実証する。上記の例において、並列処理により、DPL 104 は変換器の入力データレートの 1 / 2 で実行することを可能にする。このポリフェーズ分解方法は、より大きいポリフェーズ分解ファクタ（すなわち、 $m > 2$ ）及び任意のプリディストーション・リニアライザ伝達関数 ($L(z)$) に拡張され、DPL が全体の変換器のサンプリングレートの約数で実行することを可能にする。並列バスへのポリフェーズ分解により、回路の複雑さが m 倍以下だけ増加することで処理クロックレートが 1 / m に低下する。この回路の複雑さにおける不利益は、一般に非常に高いサンプリングレートの変換器の場合に好適な代替例である。図 9 は、3 つの係数及び $m = 2$ のポリフェーズ分解ファクタを含む IIR 伝達関数を有する例示的なデジタル・プリディストーション・リニアライザ 104 を示すブロック図である。従って、図 9 に示す例示的な回路は、全体の変換器のサンプリングレートの 1 / 2 で動作する。

20

【0088】

マルチビット - 可変レベル信号変換器の検討事項

本発明の好適な実施形態において、図 4 及び図 5 に示すノイズシェーピング / 量子化回路 112 の 2 進重み付き出力は、変更された従来の抵抗ラダー型回路網を使用して单一の比例アナログ電圧レベルに変換される。しかし、電流源を含むマルチビット信号を单一の可変レベル出力に変換する他の従来の方法が代わりに使用されてもよく、本発明の範囲内であると考えられるべきである。本明細書において抵抗ラダー型回路網を参照するが、そのような参照は単なる例示であり、一般に他のあらゆるマルチビット - 可変レベル信号変換器に対する参照と置換できることが理解されるべきである。

30

【0089】

特に、本発明の好適な実施形態は、バイポーラ動作のために変更された R - 2R 抵抗回路網を使用する。ここで、R はアナログフィルタ 115 の特性インピーダンスに整合される。一般にこのインピーダンスは、50 オーム ~ 100 オームである。図 10 は、 V_{BI} A_S 入力の追加によりバイポーラ動作のために変更された 8 つの入力を有する従来の抵抗ラダーを示す例示的な図である。

40

【0090】

抵抗ラダー型回路網に対する重要な検討事項は、構成抵抗素子の相対的な整合である。従来、完全な抵抗ラダーは、2 進倍率に従って各デジタル入力を重み付けすることによりアナログ出力を生成することが理解される。ラダーの抵抗素子における不整合はこの 2 進倍率を歪ませ、非線形応答を生成する。この非線形応答は、出力波形を歪ませるため、変換されたアナログ信号の品質を低下する。抵抗ラダー型回路網を採用する従来の変換器において、抵抗素子に対する整合に関する要求（）は、以下の式に従って変換器の精度により判定される。

【0091】

【数21】

$$\varepsilon = \frac{1}{2^{B+1}} \cdot 100\%,$$

【0092】

ここで、上記式におけるBはビットでの変換器の有効分解能である。従って、8ビットの有効分解能の場合、要求される抵抗ラダーの整合性は~0.2%である。

【0093】

本発明の好適な実施形態に係るMBO変換器のオーバサンプル動作は、抵抗ラダー型回路網に基づく従来の変換器にわたり2つの利点を与える。1つの利点は、ノイズシェーピング及びフィルタリングのために、オーバサンプル変換器は非オーバサンプル変換器と同一の有効分解能を達成するためにより少ない入力を有する抵抗ラダーを必要とする。従って、オーバサンプリングは抵抗ラダー型回路網の全体の計算量を低減する。要求される抵抗ラダーの入力数の減少は、変換器の有効オーバサンプリング比($N' \times M$)と、ノイズシェーピング/量子化回路112内の μ 変調器のノイズシェーピング次数(P)と、信号再構成フィルタ115のストップバンド減衰量との関数である。抵抗回路網の複雑さを軽減し、必要とされるデジタル入力数を減少するために、本発明の好適な実施形態は8つ以下の入力(すなわち、各処理ブランチにおける抵抗ラダー型回路網に対する8つ以下のデジタル入力)を含む抵抗ラダー型回路網を使用する。10

【0094】

より重要な第2の利点は、オーバサンプリングにより、抵抗ラダー型回路網113における不整合により発生する歪みがノイズシェーピング/量子化回路112により整形され、例えば図11に示すように非線形ビットマッピングを含むことにより変換雑音フィルタ115により多くが除去されることである。オーバサンプリング変換器は、変換雑音及び歪みを整形するために誤差フィードバックを採用する。しかし、従来のオーバサンプリング方式において、抵抗ラダー型回路網の出力は、ノイズシェーピング回路フィードバックパスの一部ではない。従って、従来、抵抗ラダー型回路網113の不完全な2進倍率により起くる歪みは整形されない。本発明の好適な実施形態に係るMBO変換器は、図11に示すように μ 変調器フィードバックループに非線形ビットマッピング161を含む。20
非線形ビットマッピング161の目的は、抵抗ラダー型回路網113の非線形効果(すなわち、不整合)が効果的に μ 変調器フィードバックパスの一部になるように(すなわち、信号145Bが抵抗ラダー型回路網113の出力から実際に発生したかのように)それら不整合を模倣することである。これは、変調器フィードバックパスにおけるデジタル分解能のレベル(すなわち、ビット幅>nビット)がノイズシェーピング/量子化回路112の出力におけるデジタル分解能のレベルより大きい(すなわち、ビット幅=nビット)ため可能である。すなわち、量子化器114からの各ビット出力(すなわち、ビット $b_0 \sim b_{n-1}$ の各々)がマルチビットファクタ($C_0 \sim C_{n-1}$ のそれぞれ)と乗算され、分解能を1ビットから複数ビットに増加するのが好ましい。フィードバックループフィルタ150を介して信号145Bを加算器116に供給する前に量子化器114からのそのようなビット出力毎に相対的に高い分解能の重みファクタを使用することにより、抵抗ラダー型回路網(又は他のマルチビット-可変レベル信号変換器)の2進倍率不完全性をより正確に整合できる。3040

【0095】

より正確には、図11に示す非線形ビットマッピング係数 $C_0 \dots C_{n-1}$ は、抵抗ラダー型回路網113の抵抗素子における不整合により生成される2進倍率オフセットと一致するビットに依存する2進倍率オフセットを生成するように設定されるのが好ましい。ラダー型回路網113における抵抗器が完全に整合する場合、非線形ビットマッピング係数は、完全な2進重み付けを反映するのが好ましい(すなわち、 $C_2 = 2 \cdot C_1 = 4 \cdot C_0$)。反映しない場合、係数重み付けは近似的に2進であり、 μ 変調器の変換雑音が入力信号に対して付加的であるため、係数及び実際の抵抗回路網113の重み付けが完50

全に調整される場合、再構成フィルタ 115 の出力における変換雑音レベルは最小値である。従って、例えばアナログ 2 乗部 162 (図 11 に示すような)、あるいはアナログ絶対値部又はアナログ信号強度の他のセンサを低周波数アナログ - デジタル変換器 163 と共に使用して信号再構成フィルタ 115 の出力における信号レベル (又は強度) を検知することにより、処理ブロック 164 内の適応デジタル制御アルゴリズムを使用して最小変換雑音及び歪みに対する非線形ビットマッピング係数 $C_0 \dots C_{n-1}$ を調整できる。図 11 に示す回路 160 に対して、再構成フィルタ 115 の出力におけるレベル (ブロック 162 で判定されるような) に基づいて、処理ブロック 164 内のアルゴリズムは、非線形ビットマッピング係数 $C_0 \dots C_{n-1}$ と実際の抵抗ラダー 113 の重みファクタとの間の不整合を補正する制御信号 165 を生成するのが好ましい。最小 2 乗平均 (LM 10 S) 等の従来の技術は、上述したデジタル校正ループ内の非線形ビットマッピング係数 $C_0 \dots C_{n-1}$ を適応するために処理ブロック 164 内で使用されてもよい。

【0096】

実際には、非線形ビットマッピング係数 $C_0 \dots C_{n-1}$ は、開始時に一度校正され (例えば、既知の信号を使用して)、その後、抵抗値の変化 (例えば、熱変化による) を考慮するためにリアルタイムで動的に調整されるのが好ましい。好適な実施形態において、そのような動的な調整は、あらゆる変化の影響を評価するために十分な時間を与えるよう約 1 秒に 1 回行われる。

【0097】

図 11 には示さないが、特定の実施形態において、入力信号 102 の変更の結果起こる出力電力のあらゆる変化を考慮に入れるために、デジタル入力信号 102 は適応制御モジュール 164 に供給される。一方、入力信号 102 の電力の変動が評価期間にわたり且つ / あるいは 1 つの評価期間から次の評価期間までに零に平均されると予想される実施形態において、適応制御モジュール 164 における決定は、ブロック 162 (図 11 に示すような) において測定された平均変換器出力電力にのみ基づいて行われるか、あるいはバンドパスフィルタ 115 から出力される信号の強度の他の何らかの尺度に基づいて行われる。

【0098】

従来のラダー型変換器の場合、ラダー型回路網における抵抗器の整合精度は変換器の精度を判定する。これに対して、好適な MBO 変換器の精度は、変換器のオーバサンプリング比 ($N \times M$) と、 μ 变調器のノイズシェーピング応答次数 (P) と、再構成フィルタ 115 のストップバンド減衰量との関数である。従って、オーバサンプリングにより、高精度変換器は低精度抵抗ラダー型回路網 113 を使用して実現可能になる。本発明の好適な実施形態は、わずか 1 % 以上の精度の抵抗ラダー型回路網を使用して、非線形ビットマッピング部の必要とされる調整範囲を縮小する。

【0099】

変換器全体の検討事項

デジタル・プリディストーション・リニアライザ (DPL) 104 とノイズシェーピング / 量子化回路 112 内の μ 变調器とは、マルチレート (ポリフェーズ) 構造として実現可能であるため、図 4 に示す (マルチレート DPL 104 及びマルチレートノイズシェーピング / 量子化回路 112 を含むより具体的で詳細な実施形態を図 12 に示す) 変換器技術の瞬時帯域幅は、抵抗ラダー型回路網 113 を駆動するデジタル出力バッファの最大スイッチングレート及びアナログ再構成フィルタ (例えば、フィルタ 115 及び 125) によってのみ制限される。

【0100】

本発明の好適な実施形態に係る $m = 2$ のポリフェーズ分解ファクタを有する μ 变調器を含むノイズシェーピング / 量子化回路 112 を採用する MBO 変換器の例示的なブロック図を図 13A ~ 図 13C に示す。図 13A ~ 図 13C の各々において、各ノイズシェーピング / 量子化回路 112A ~ 112C の 2 つのマルチレート出力を組み合わせるために異なる構造が提供される。また、図 13A ~ 図 13C の各々において、抵抗回路網は、

10

20

30

40

50

代表的なMBO処理プランチの出力を組み合わせるためにアナログ加算器として使用される。しかし、リアクティブ回路（例えば、ウィルキンソン回路、ランゲ回路等）及び／又はアクティブ回路に基づくような他の種類のアナログコンバイナが本発明の範囲内で考えられるべきである。図13Aにおいて、各ノイズシェーピング／量子化回路112A～112Cは、ポリフェーズ分解ファクタ $m=2$ であるために2つのマルチレート出力を有する。各ノイズシェーピング／量子化回路112A～112Cの2つのマルチレート出力は、ノイズシェーピング／量子化回路112A～112Cのマルチレート出力を交互に順次選択する対応するマルチプレクサ172A～172Cを使用して組み合わされ、これにより単一のデータストリームを対応する抵抗ラダー型回路網113A～113Cに提供する。例えばマルチプレクサ172Aは、第1の周期でノイズシェーピング／量子化回路112Aの第1のマルチレート出力を抵抗ラダー型回路網113Aに結合し、第2の周期でノイズシェーピング／量子化回路112Aの第2のマルチレートパス出力を抵抗ラダー型回路網113Aに結合し、第3の周期でノイズシェーピング／量子化回路112Aの第1のマルチレートパス出力を抵抗ラダー型回路網113Aに結合する。以下に詳細に説明する別の方法と関連する欠点のために、各ノイズシェーピング／量子化回路112A～112Cのマルチレート出力を組み合わせるために多重化を使用することは好ましい。

【0101】

図13Bは、各ノイズシェーピング／量子化回路112A～112Cの2つのマルチレート出力を組み合わせるための別の構造を示す。図13Bにおいて、各ノイズシェーピング／量子化回路112A～112Cのマルチレート出力は、加算回路176A～176C（ノイズシェーピング／量子化回路112A～112Cの出力と抵抗ラダー113A～113Cへの入力との間）が後続する対応する逆移動平均（IMA）フィルタ174A～174C（DPL104とノイズシェーピング／量子化回路112A～112Cへの入力との間）を使用して組み合わされる。図示するように、各加算回路176A～176Cは、マルチレート出力毎のクロックラッチと、ラッチ出力を組み合わせる加算器とを含む。各加算回路176A～176Cのラッチは、ラッチ出力が定期的に順次更新されるようにクロック制御される。加算回路の各ラッチの出力は $1/m \cdot f_{CLK}$ レートで更新され、ラッチの出力は互いに対しても時間的に $1/m \cdot (1/f_{CLK})$ だけオフセットされるのが好ましい。ここで、mはμ変調器のポリフェーズ分解ファクタである（すなわち、図13Bにおいては $m=2$ ）。ポリフェーズ分解ファクタ $m=2$ に対する図13Bに示す例示的な実施形態の場合、各加算回路176A～176Cのラッチの出力は $1/2 \cdot f_{CLK}$ クロックの逆位相で更新される。従って、各加算回路176A～176Cの加算器の出力は f_{CLK} レートで更新される。従って、デジタル出力論理のスイッチング速度を減少するために、加算器は、例えば抵抗又はリアクティブコンバイナ回路網（例えば、y型スプリッタ、ウィルキンソンコンバイナ）を使用してアナログ（すなわち、連続時間）加算器として実現される。

【0102】

図13Bの構造に類似する構造を図13Cに示す。図13Cにおいて、IMAフィルタ174A～174Cは各プランチにおいて使用されるが、各ノイズシェーピング／量子化回路112A～112Cに対する各マルチレート出力は、抵抗ラダー型回路網を使用して单一の可変レベル信号に別個に変換され、所定のノイズシェーピング／量子化回路112A～112Cに対するそのようなマルチレート出力の全てがアナログ加算器を使用して組み合わされるか又は加算される。一般に以下の説明は図13Bに示す回路を参照するが、同一の考慮事項が図13Cに示す回路にも当てはまる。

【0103】

入力IMAフィルタ174A～174Cの目的は、アナログ加算部176A～176C（又は図13Cに示す対応する加算構造）により発生された $\sin(x)/x$ 応答を補償することである。それらアナログ加算部は、図示する目的で図13Bでは別個のエンティティとして示されるが、抵抗素子を使用して実現され、抵抗ラダー型回路網と一体化される。出力多重化方法と比較して、この出力加算方法は、デジタル出力バッファ（ラッチ）

のスイッチングレートが減少されるという利点を有する。しかし、出力加算方法は、大きいインタリーブファクタM及び大きいポリフェーズ分解ファクタmの場合に回路の複雑さを非常に増加する可能性のある複数のクロック位相（例えば、₀及び₁）を含むデジタルインターフェースと追加のフィルタ（すなわち、伝達関数D(z)）を有するIMAフィルタ174A～174C）とを使用する。また、更に詳細に以下に説明するように、有限ワード長の効果により、IMAフィルタリング174A～174C（すなわち、D(z)）がm>2のポリフェーズ分解ファクタに対する加算部のsin(x)/x応答を完全にオフセットするのを防止する。これらの理由のために、出力加算方法は、m=2のポリフェーズ分解ファクタの場合にのみ又は変換器出力スペクトルにおけるsin(x)/xヌルを許容できる応用例においてのみ使用されるのが好ましい。

10

【0104】

図13Bに示すようなノイズシェーピング／量子化回路112A～112Cのマルチレート出力を組み合わせるために加算を使用することは、MBO変換器出力サンプルに移動平均フィルタ（すなわち、sin(x)/x応答を含む）を適用することと同等である。この移動平均フィルタは以下の形式の伝達関数を有する。

【0105】

【数22】

$$TF(z) = \frac{1-z^{-m}}{1-z^{-1}},$$

20

【0106】

ただし、mはノイズシェーピング／量子化回路112A～112Cからのマルチレート出力数と等しいポリフェーズ分解ファクタである（すなわち、図13Bではm=2）。移動平均フィルタの周波数応答は、mに依存してMBO変換器の出力データレートの約数でスペクトルヌルを有する。従って、加算部176A～176Cの移動平均応答を取消すために、対応するIMAフィルタ174A～174C（図13Bにおいて各ノイズシェーピング／量子化回路112A～112Cの前に示す）は、以下により与えられる逆伝達関数を有するべきである。

【0107】

【数23】

$$D(z) = \frac{1-z^{-1}}{1-z^{-m}}.$$

30

【0108】

m=4のポリフェーズ分解ファクタの場合のIMAフィルタの周波数応答が図14に示され、1/m·f_sで無限のマグニチュードを有する。ここで、f_sは変換器の出力データレートである。その結果、有利利得（すなわち、デジタルフィルタに対する有限ワード長）を有するIMAフィルタ174A～174Cは、μ変調器の出力において加算（すなわち、移動平均）部176A～176Cにより生成されるヌルを完全に補償できない。一般に、移動平均応答は、1/m·f_sに等しい周波数でそのようなスペクトルヌルを生成する。これは、m=2のポリフェーズ分解ファクタの場合に移動平均応答におけるスペクトルヌルがナイキスト周波数で発生することを意味し、これは、全体の変換器の帯域幅に関して殆ど又は全く重要でないMBO変換器の出力から削除可能である。従って、加算部を使用してノイズシェーピング／量子化回路112A～112Cのマルチレート出力を組み合わせることは、最大2つのマルチレート出力（すなわち、m=2）を組み合わせる場合にのみ好ましい。

40

【0109】

図15に示すように、多重化及び加算はノイズシェーピング／量子化回路112A～112Cのマルチレート出力を組み合わせるハイブリッド構成において共に使用できる。m=4の例示的なポリフェーズ分解ファクタの場合の図15に示すこのハイブリッド方法は

50

、多重化 172 を使用して最後の 2つ以外の全てのマルチレート出力を組み合わせ、加算 176 A ~ 176 C を含むIMA フィルタ 174 A ~ 174 C を使用して（すなわち、この例においては追加の抵抗ラダー型回路網ではなくアナログ加算器を使用して）最後の 2つのマルチレート出力を組み合わせる。従って、各ノイズシェーピング / 量子化回路 112 A ~ 112 C に対する全体のポリフェーズ分解ファクタが $m = 4$ であっても、IMA フィルタ 174 A ~ 174 C 及び加算部 176 A ~ 176 C は $m = 2$ のポリフェーズ分解ファクタに基づいて動作する。このハイブリッド方法は、結果として、IMA フィルタ 174 A ~ 174 C の応答と加算部 176 A ~ 176 C の移動平均応答との間の不整合による性能の低下なしで MBO 変換器の出力データレートを 2 倍に増加させる。なお、ノイズシェーピング / 量子化回路 112 A ~ 112 C のマルチレート出力を組み合わせる上述した方法のいずれも高次マルチプレクサ又は高次微分器及び加算器を使用して多くのマルチレート出力（すなわち、大きいポリフェーズ分解ファクタ m ）に一般化される。10

【 0110 】

上述したいくつかの実施形態は、IMA フィルタ 174 A ~ 174 C とデジタル・プリディストーション・リニアライザ（DPL）104 とを含む。しかし、別の実施形態において、これらの異なるフィルタリング機能は単一の構造に含まれる。

【 0111 】

MBO 変換器技術（例えば、図 4 に示すような）の瞬時帯域幅は、抵抗ラダー型回路網 113 又は 2 進重み付きデジタル信号を比例アナログ電圧レベルに変換するのに使用される他の回路網に結合されるデジタル出力バッファ（又はラッチ）のスイッチングレートによってのみ制限される。デジタル出力バッファは、CMOS 集積回路処理技術において 10 GHz を超えるスイッチング速度で商業的に実証されている。マルチレート出力を組み合わせるための先行するハイブリッド方法を使用する場合、例えばこの容量は最大 20 GHz の全体の変換器のサンプリングレート f_s 及び 10 GHz を超える対応する瞬時帯域幅に変換される。20

【 0112 】

しかし、上述したように、MBO 変換器 100 の分解能性能は、サンプリングレート f_s により制限されず、インタリーブファクタ（すなわち、並列処理プランチの数 M ）と、 μ 变調器ノイズシェーピング次数と、バンドパス（再構成）フィルタ 115 の特性との関数である。更に、従来のオーバサンプリング変換器のように、MBO 変換器技術は、他の高速変換器アーキテクチャの性能を低下させるクロックジッタ及び熱雑音等の欠陥の影響を相対的に受けないように実現される。特に、クロックジッタ及び量子化器熱雑音等の欠陥は、量子化雑音と同様の方法でノイズシェーピング応答の影響を受けるようにされ、アナログ・バンドパス（再構成）フィルタ（例えば、フィルタ 115 及び 125）による大きな減衰を可能にする周波数応答を示す。30

【 0113 】

MBO 変換器 100 に対するシミュレートされた分解能性能結果は、6 次ノイズシェーピング応答、種々のインタリーブファクタ M 及び種々のアナログ再構成フィルタ 115 の次数に対する表 1 に示される。

【 0114 】

40

【表1】

表1: OBO変換器のシミュレート2トーン信号性能結果

インターブ・ファクタ	アナログフィルタ次数	SNDR(有効ビット)
9	5	64 dB (10.9 bits)
6	5	60 dB (10.2 bits)
3	5	46 dB (7.8 bits)
6	7	68 dB (11.5 bits)
3	7	49 dB (8.4 bits)

【0115】

システム環境

一般に、明示的に示さない限り、本明細書で説明するシステム、方法、機能性及び技術の全ては、1つ以上のプログラマブル汎用コンピューティングデバイスを使用して実現される。一般にそのようなデバイスは、例えば共通バスを介して相互接続される以下の構成要素、すなわち1つ以上の中央処理装置(CPU)と、読み出し専用メモリ(ROM)と、ランダムアクセスメモリ(RAM)と、他のデバイスとインターフェースする(例えば、シリアルポート、パラレルポート、USB接続又はFirewire接続等のハードウェア接続を使用するか又はBluetooth(登録商標)又は802.11プロトコル等の無線プロトコルを使用して)ための入出力ソフトウェア及び回路網と、符号分割多元接続(CDMA)、汎ヨーロッパデジタル移動通信システム(GSM(登録商標))、Bluetooth、802.11プロトコル又は他のあらゆるセルラシステム又は非セルラシステム等の無線プロトコル、あるいはEthernet(登録商標)カード等のハードウェア接続を使用して本発明の多くの実施形態においてインターネット又は他のあらゆるネットワークに接続する1つ以上のネットワークを接続するためのソフトウェア及び回路網と、ディスプレイ(ブラウン管ディスプレイ、液晶ディスプレイ、有機発光ディスプレイ、高分子発光ディスプレイ又は他のあらゆる薄膜ディスプレイ等)と、他の出力装置(1つ以上のスピーカ、ヘッドフォンセット及びプリンタ等)と、1つ以上の入力装置(マウス、タッチパッド、タブレット、タッチセンシティブディスプレイ又は他のポインティングデバイス、キーボード、キーパッド、マイク及びスキャナ等)と、大容量記憶装置(ハードディスクドライブ等)と、リアルタイムクロックと、取外し可能ストレージリード/ライトデバイス(例えばRAM、磁気ディスク、磁気テープ、光磁気ディスク又は光ディスク等からの読み出し及びそれへの書き込みのための)と、モ뎀(例えば、ダイヤルアップ接続を介してインターネット又は他のあらゆるコンピュータネットワークに接続するため又はファックスを送信するための)とのうちの少なくとも一部を含む。動作中、一般にそのような汎用コンピュータにより実行される範囲で上記方法及び機能性を実現する処理ステップは、最初に大容量記憶装置(例えば、ハードディスク)に格納され、RAMにダウンロードされ、RAMの外でCPUにより実行される。しかし、処理ステップは最初にRAM又はROMに格納される場合もある。

【0116】

本発明を実現する際に使用する適切な汎用プログラマブルデバイスは、種々のメーカーから入手されてもよい。種々の実施形態において、タスクのサイズ及び複雑さに依存して種々のデバイスが使用される。そのようなデバイスは、スタンドアロンであるか、ネットワークにハードウェア接続されるか又はネットワークに無線接続されるかに關係なく、例えばマインフレームコンピュータ、マルチプロセッサコンピュータ、ワークステーション、

10

20

30

40

50

パーソナルコンピュータ、並びに / あるいは P D A 、無線電話又は他のあらゆるプログラマブルアプリケーション又はデバイス等の小型コンピュータを含むことができる。

【 0 1 1 7 】

更に、汎用プログラマブルデバイスについて上述したが、多くの好適な実施形態において上記で示したように、1つ以上の専用プロセッサ又はコンピュータが代わりに（又は追加で）使用される。尚、一般に、特に明示的に示さない限り、上述した機能性のいずれも、ソフトウェア及び / 又はファームウェアを実行する汎用プロセッサ、専用（例えば、論理）ハードウェア又はそれらの組み合わせにより実現可能であり、特定の実施形態は既知の技術的トレードオフに基づいて選択される。特に、上述したあらゆる処理及び / 又は機能性が固定の方法、所定の方法及び / 又は論理的な方法で実現される場合、これは、当業者には容易に理解されるように、プログラミング（例えば、ソフトウェア又はファームウェア）を実行する汎用プロセッサ、論理構成要素（ハードウェア）の適切な構成又はそれら2つのあらゆる組み合わせにより達成される。換言すると、論理演算及び / 又は算術演算をプロセッサ内でそのような演算を実行する命令及び / 又はそのような演算を実行する論理ゲート構成に変換する方法がよく理解される。実際には、一般にコンパイラが双方の種類の変換に対して利用できる。

【 0 1 1 8 】

本発明は、本発明の方法及び機能性を実行するソフトウェア又はファームウェアプログラム命令（すなわち、コンピュータが実行可能な処理命令）が格納される有形の機械可読媒体に更に關することが理解されるべきである。そのような媒体は、例として、磁気ディスク、磁気テープ、C D R O M 及びD V D R O M 等の光学可読媒体、あるいはP C M C I A カード、種々のメモリカード、U S B メモリ装置等の半導体メモリを含む。各例において、媒体は、例えば小型ディスクドライブ又は小型ディスク、ディスクケット、カセット、カートリッジ、カード、スティック等のポータブル製品の形態をとってもよく、あるいはコンピュータ又は他のデバイスに提供されるハードディスクドライブ、R O M 又はR A M 等の相対的により大きな製品、すなわち固定の製品の形態をとってもよい。本明細書で使用されるように、特に指示のない限り、コンピュータ可読媒体又は機械可読媒体に格納されたコンピュータ実行可能処理ステップを参照することは、そのような処理ステップが単一の媒体に格納される状況及びそのような処理ステップが複数の媒体にわたり格納される状況を含むことを意図する。

【 0 1 1 9 】

上述の説明は、主に電子コンピュータ及び電子デバイスを強調する。しかし、基本的な論理演算及び / 又は算出演算を実行できる電子処理、光学処理、生物学処理及び化学処理のあらゆる組合せを利用するデバイス等の他のあらゆるコンピューティングデバイス又は他の種類のデバイスが代わりに使用されてもよいことが理解されるべきである。

【 0 1 2 0 】

また、特に指示のない限り、本発明がプロセッサ、コンピュータ、サーバデバイス、コンピュータ可読媒体又は他の記憶装置、クライアントデバイス、あるいは他のあらゆる種類のデバイスを参照する場合、そのような参照は、複数のそのようなプロセッサ、コンピュータ、サーバデバイス、コンピュータ可読媒体又は他の記憶装置、クライアントデバイス、あるいは他のあらゆるデバイスを使用することを含むものとして理解されるべきである。例えば、一般にサーバは、単一のデバイス又は例えば適切に負荷分散されたサーバデバイス（局所的に又は地理的に分散した）のクラスタを使用して実現される。

【 0 1 2 1 】

更なる検討事項

本発明のいくつかの異なる実施形態について、各々がある特定の特徴を含むものとして上述した。しかし、当業者には理解されるように、いずれかの単一の実施形態の説明と共に説明した特徴は、その実施形態に限定されず、他の実施形態のうちのいずれかの種々の組合せに含まれてもよく且つ / あるいは配置されてもよいことを意図する。

【 0 1 2 2 】

10

20

30

40

50

同様に、上記の説明において、機能性は、特定のモジュール又は構成要素のものであることもある。しかし、一般に機能性は、必要に応じて種々のあらゆるモジュール又は構成要素間に再分配されてもよく、それにより特定の構成要素又はモジュールの必要性を完全に不要にし且つ／あるいは新しい構成要素又はモジュールの追加を必要とする場合もある。当業者には理解されるように、機能性は、本発明の特定の実施形態を参照して既知の技術的トレードオフに従って正確に分配されるのが好ましい。

【0123】

従って、本発明の例示的な実施形態及び添付の図面に関して本発明を詳細に説明したが、本発明の趣旨の範囲から逸脱することなく本発明の種々の適応例及び変形例を達成可能であることは、当業者には明らかである。従って、本発明は、図示され且つ上述された実施形態そのままで限定されるものではない。本発明の主旨から逸脱しない全てのそのような変形例は、添付の特許請求の範囲によってのみ限定されるような本発明の範囲内にあるものとして考えられることを意図する。10

【0124】

本願は、米国仮特許出願第61/287097号（出願日：2009年12月16日、発明の名称：Method of Discrete to Linear Signal Transformation using Orthogonal Bandpass Oversampling (OBO)）の利益を主張する。この引用により、上記出願の開示内容は全て、本明細書に組み込まれる。

【図1A】

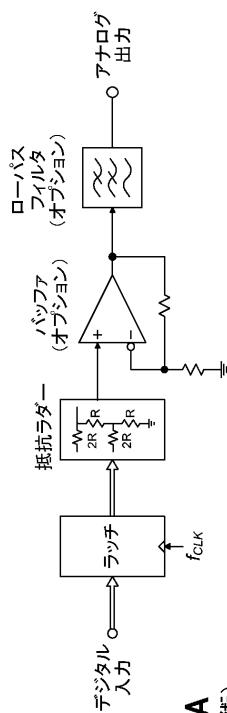


FIG. 1A
(従来技術)

【図1B】

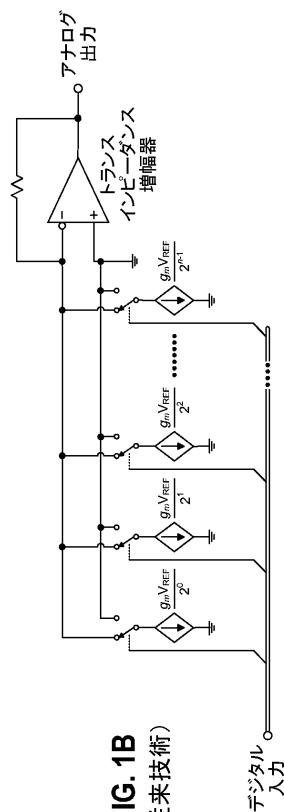
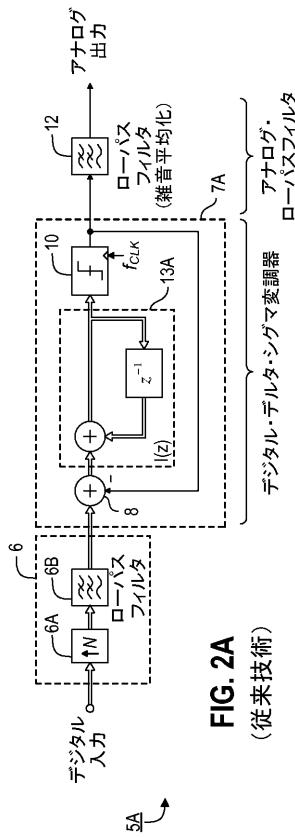
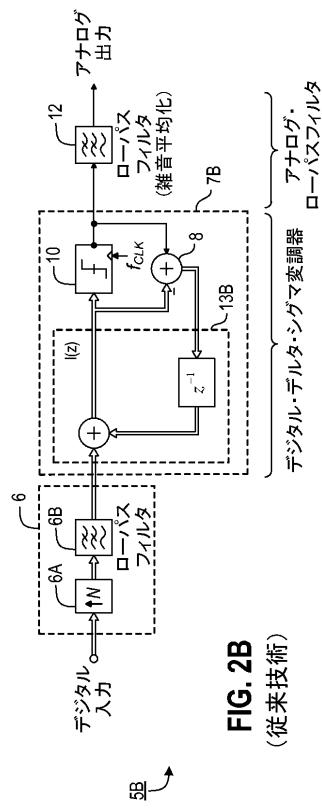


FIG. 1B
(従来技術)

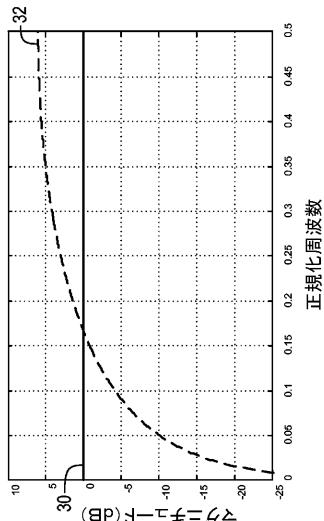
【図 2 A】



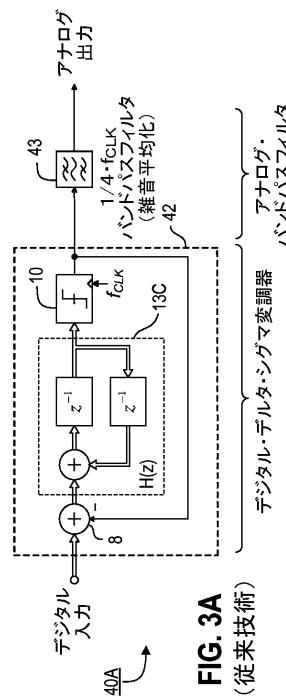
【図 2 B】



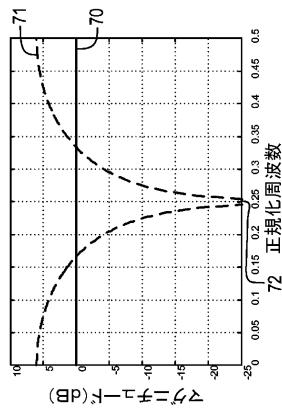
【図 2 C】

FIG. 2C
(従来技術)

【図 3 A】

FIG. 3A
(従来技術)

【図3B】

FIG. 3B
(従来技術)

【図4】

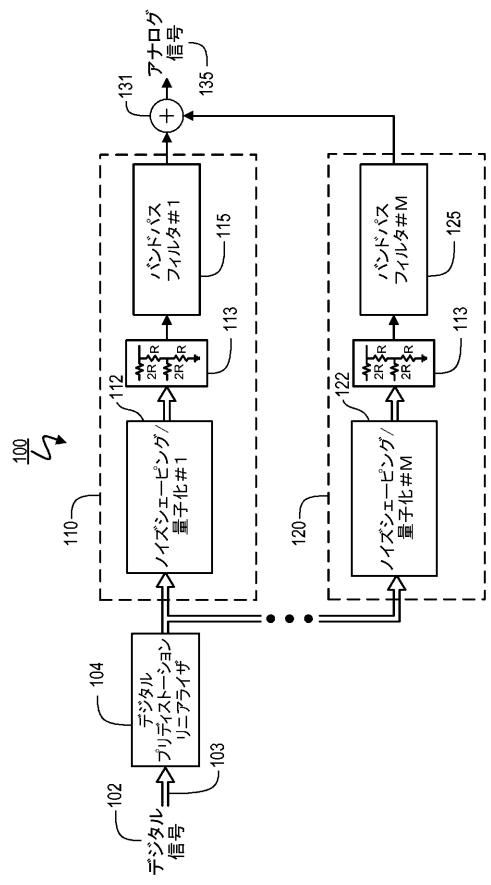


FIG. 4

【図5】

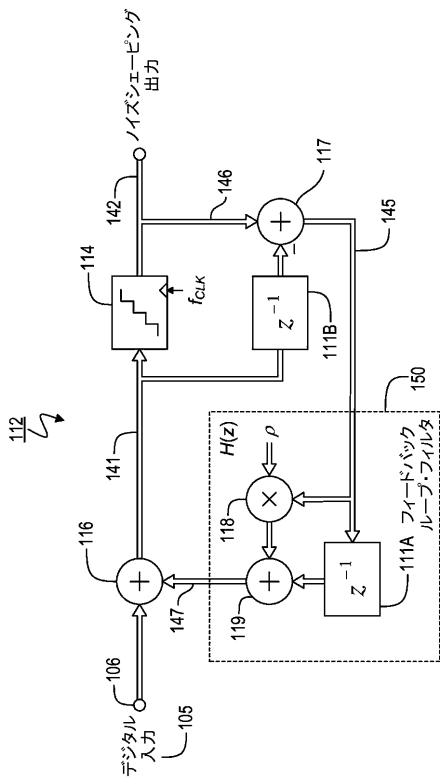


FIG. 5

【図6】

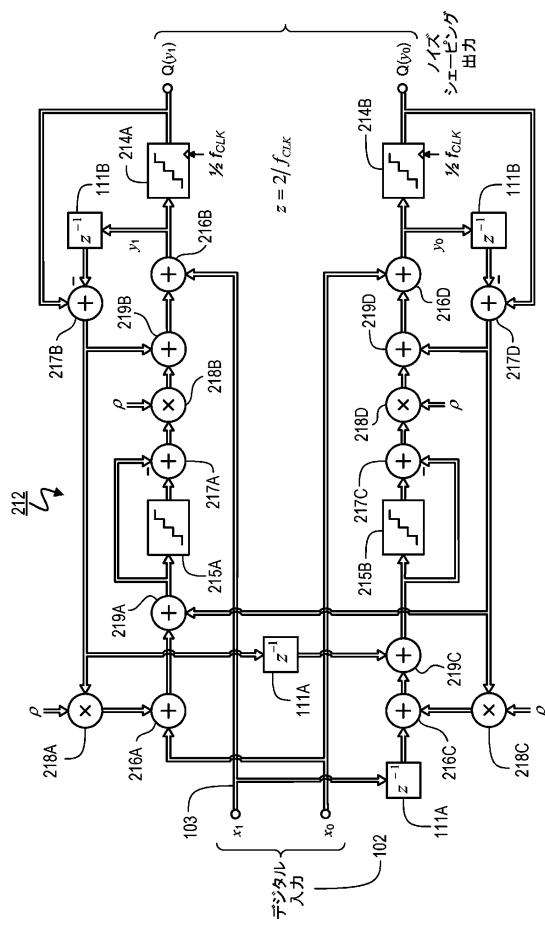


FIG. 6

【図 7】

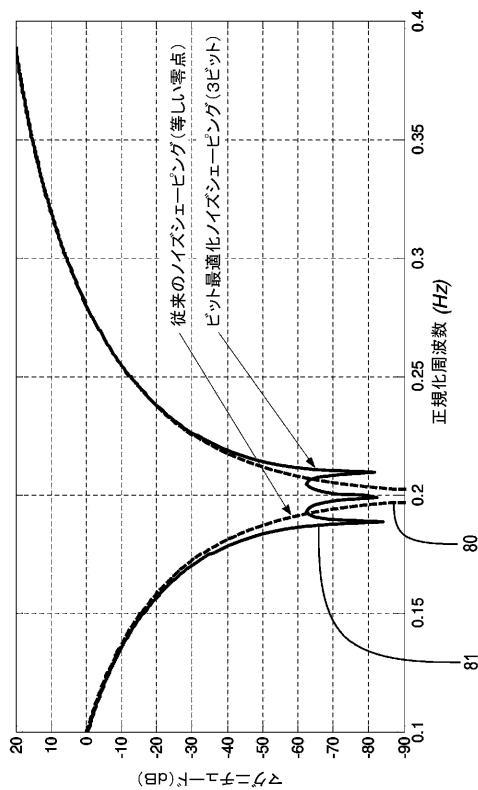


FIG. 7

【図 8 A】

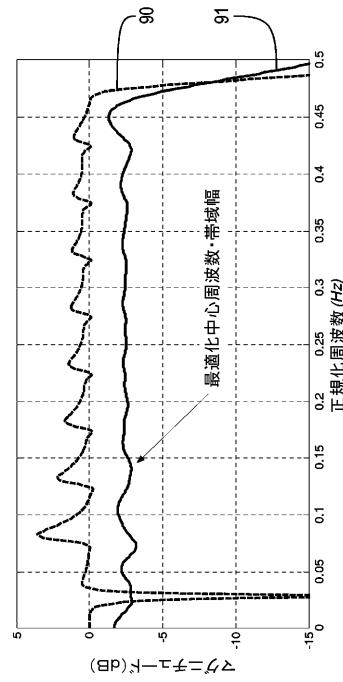


FIG. 8A

【図 8 B】

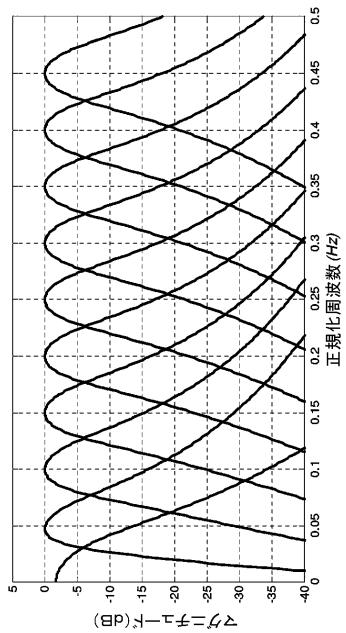


FIG. 8B

【図 9】

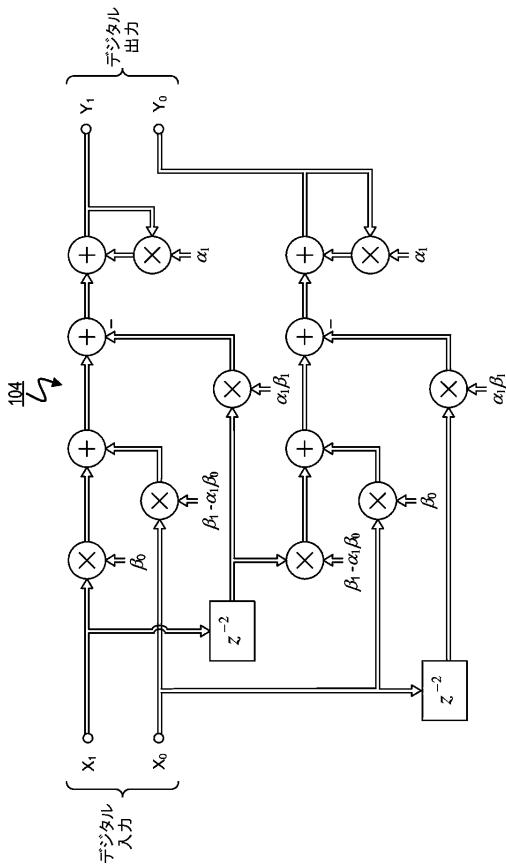


FIG. 9

【図 1 0】

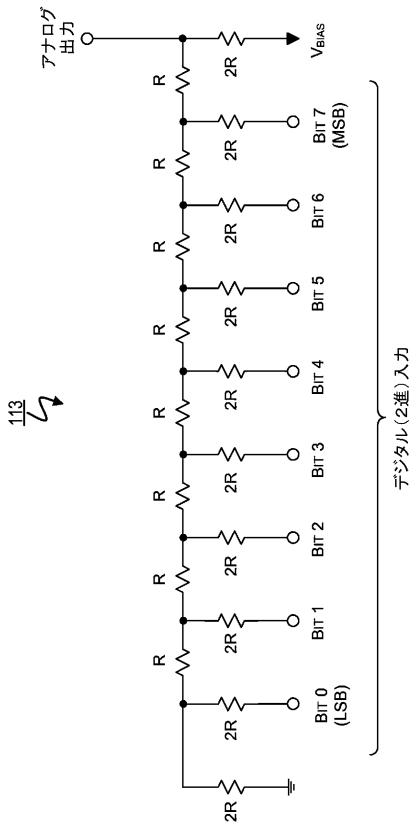


FIG. 10

【図 1 2】

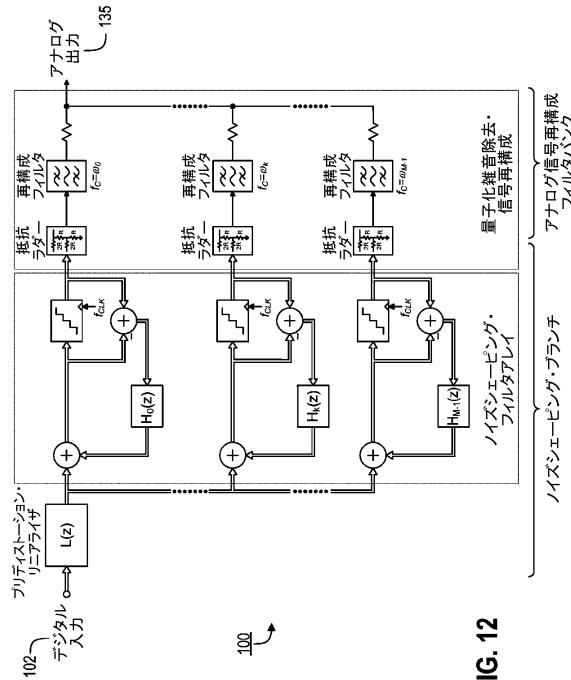


FIG. 12

【図 1 1】

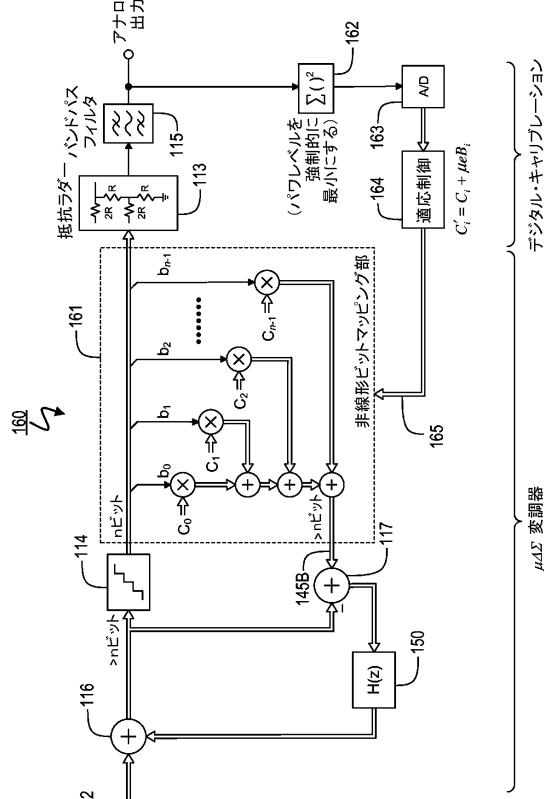


FIG. 11

【図 1 3 A】

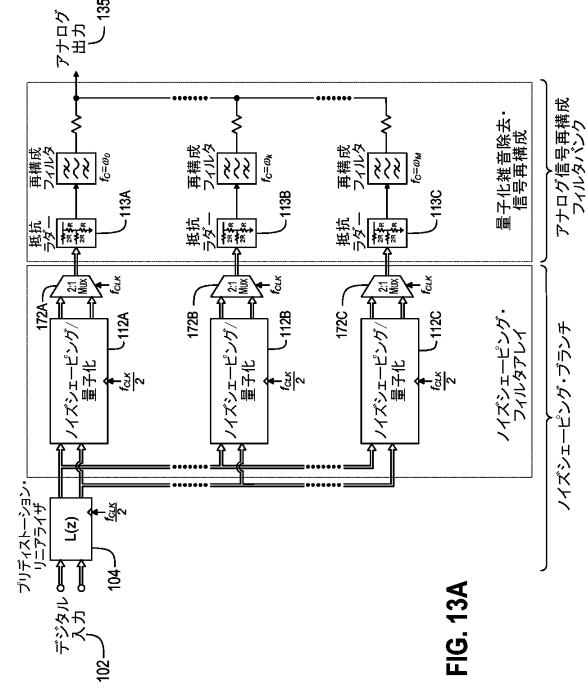


FIG. 13A

【図 13B】

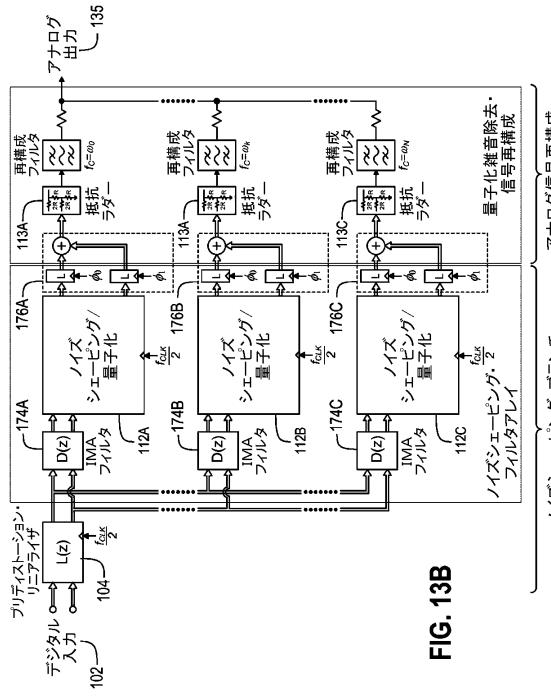


FIG. 13B

【図 13C】

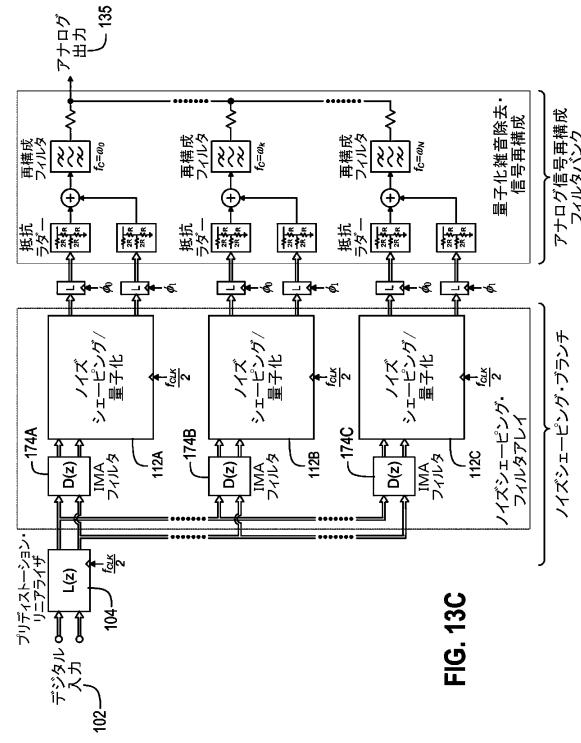


FIG. 13C

【図 14】

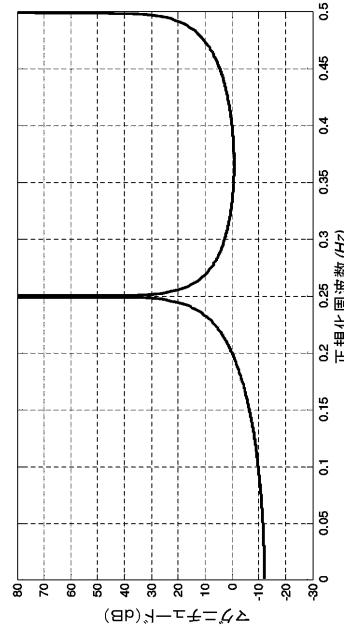


FIG. 14

【図 15】

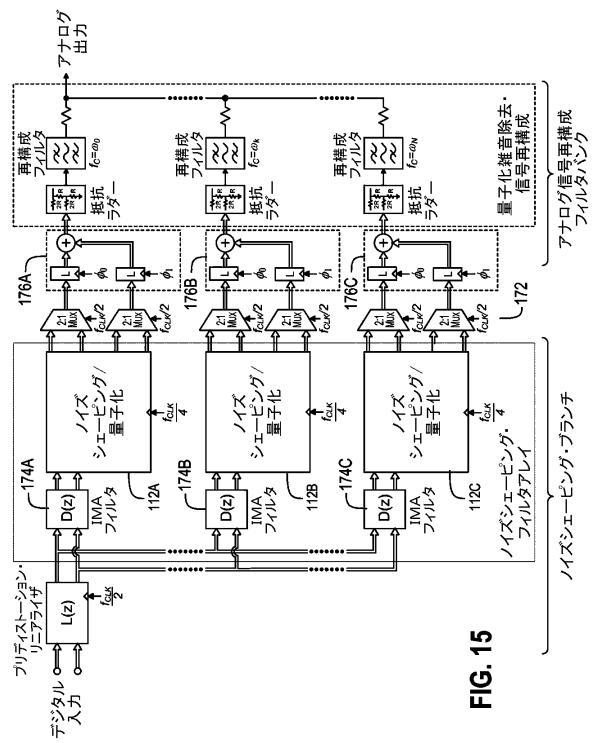


FIG. 15

フロントページの続き

(74)代理人 100115071
弁理士 大塚 康弘
(74)代理人 100116894
弁理士 木村 秀二
(74)代理人 100130409
弁理士 下山 治
(74)代理人 100134175
弁理士 永川 行光
(72)発明者 バグナネリ, クリストファー
アメリカ合衆国 カリフォルニア州 92626, コスタ メサ, キャデラック アヴェニュ
- 3505, ビルディング F-9

審査官 北村 智彦

(56)参考文献 米国特許第07633417(US, B1)
特開2004-350295(JP, A)
米国特許出願公開第2004/0208249(US, A1)
特表2009-524948(JP, A)
特開2008-136203(JP, A)
Aria Eshraghi, Terri S. Fiez, A COMPARATIVE ANALYSIS OF PARALLEL DELTA-SIGMA ADC ARCHITECTURES, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS PART I: REGULAR PAPERS, 米国, IEEE SERVICE CENTER, 2004年 3月 1日, Vol.51, No.3, pp.450-458
f. j. harris, W. H. McKnight, F. M. Tirpsk Jr., H. J. Whitehouse, IMPLEMENTATION CONSIDERATIONS AND LIMITATIONS FOR DYNAMIC RANGE ENHANCED ANALOG TO DIGITAL CONVERTERS, Acoustics, Speech, and Signal Proceeding, 1989. ICASSP-89., 1989 International Conference on, 1989年 5月, vol.2, pp.1286-1289

(58)調査した分野(Int.Cl., DB名)

H03M 3/00-11/00
H03M 1/78
H03M 7/32