



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201611684 A

(43)公開日：中華民國 105 (2016) 年 03 月 16 日

(21)申請案號：103131118

(22)申請日：中華民國 103 (2014) 年 09 月 10 日

(51)Int. Cl.：

H05K3/10 (2006.01)

H01L23/48 (2006.01)

(71)申請人：恆勁科技股份有限公司 (中華民國) PHOENIX PIONEER TECHNOLOGY CO., LTD.
(TW)

新竹縣湖口鄉蘭州街 180 號

(72)發明人：周保宏 CHOU, PAOHUNG (TW)；許詩濱 HSU, SHIH PING (TW)；許哲瑋 HSU, CHE WEI (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：34 項 圖式數：5 共 40 頁

(54)名稱

中介基板及其製法

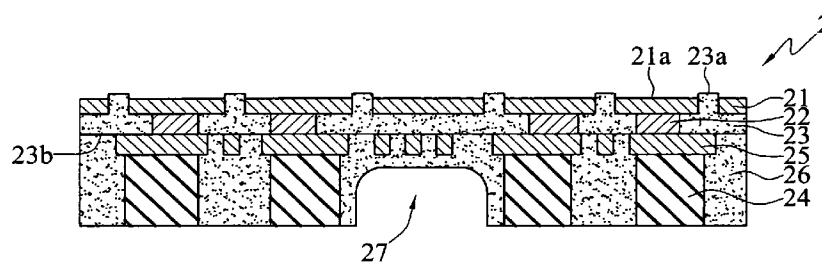
INTERPOSER SUBSTRATE AND METHOD OF FABRICATING THE SAME

(57)摘要

一種中介基板之製法，係先提供具有第一線路層之承載板，且該第一線路層上具有複數導電柱，再形成第一絕緣層於該承載板上並露出該導電柱，接著形成第二線路層於該第一絕緣層與該導電柱上，再形成複數外接柱於該第二線路層上，之後形成第二絕緣層於該第一絕緣層上且外露該外接柱，再形成凹槽於該第二絕緣層上，最後移除該承載板，藉由形成無核心層之中介基板於該承載板上，故可省略通孔製程，以降低整體製程之成本，且製程簡易。本發明復提供該中介基板。

A method of fabricating an interposer substrate includes providing a carrier having a first wiring layer and a plurality of conductive pillars disposed on the first wiring layer, forming on the carrier a first insulating layer that exposes the conductive pillars, forming a second wiring layer on the first insulating layer and the conductive pillars, disposing a plurality of external pillars on the second wiring layer, forming on the first insulating layer a second insulating layer that exposes the external pillars, forming a groove on the second insulating layer, and removing the carrier. Therefore, forming on the carrier the coreless interposer substrate so that a via forming process is omitted, so the cost of the interposer substrate is reduced, and the interposer substrate is easy to be fabricated. The present invention further provides the interposer substrate.

指定代表圖：



第2H圖

符號簡單說明：

2 . . . 中介基板

21 . . . 第一線路層

21a . . . 表面

22 . . . 導電柱

23 . . . 第一絕緣層

23a . . . 第一表面

23b . . . 第二表面

- 24 . . . 第二線路層
- 25 . . . 外接柱
- 26 . . . 第二絕緣層
- 27 . . . 凹槽

201611684

發明摘要

※申請案號：103131118

※申請日：103. 9. 10

※IPC分類：

【發明名稱】(中文/英文)

中介基板及其製法

INTERPOSER SUBSTRATE AND METHOD OF
FABRICATING THE SAME

H05K 31/10 (2006.01)

H01L 23/48 (2006.01)

【中文】

一種中介基板之製法，係先提供具有第一線路層之承載板，且該第一線路層上具有複數導電柱，再形成第一絕緣層於該承載板上並露出該導電柱，接著形成第二線路層於該第一絕緣層與該導電柱上，再形成複數外接柱於該第二線路層上，之後形成第二絕緣層於該第一絕緣層上且外露該外接柱，再形成凹槽於該第二絕緣層上，最後移除該承載板，藉由形成無核心層之中介基板於該承載板上，故可省略通孔製程，以降低整體製程之成本，且製程簡易。本發明復提供該中介基板。

【英文】

A method of fabricating an interposer substrate includes providing a carrier having a first wiring layer and a plurality of conductive pillars disposed on the first wiring layer, forming on the carrier a first insulating layer that exposes the conductive pillars, forming a second wiring layer on the first insulating layer and the conductive pillars, disposing a plurality of external pillars on the second wiring layer, forming on the first insulating layer a second insulating layer that exposes the external pillars, forming a groove on the second insulating layer, and removing the carrier. Therefore, forming on the carrier the coreless interposer substrate so that a via forming process is omitted, so the cost of the interposer substrate is reduced, and the interposer substrate is easy to be fabricated. The present invention further provides the interposer substrate.

【代表圖】

【本案指定代表圖】：第（ 2H ）圖。

【本代表圖之符號簡單說明】：

2	中介基板
21	第一線路層
21a	表面
22	導電柱
23	第一絕緣層
23a	第一表面
23b	第二表面
24	第二線路層
25	外接柱
26	第二絕緣層
27	凹槽

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

中介基板及其製法

INTERPOSER SUBSTRATE AND METHOD OF
FABRICATING THE SAME

【技術領域】

本發明係有關一種中介基板，尤指一種封裝堆疊結構用之中介基板及其製法。

【先前技術】

隨著半導體封裝技術的演進，半導體裝置 (Semiconductor device) 已開發出不同的封裝型態，而為提升電性功能及節省封裝空間，遂堆加複數封裝結構以形成封裝堆疊結構 (Package on Package, PoP)，此種封裝方式能發揮系統封裝 (System in Package, 簡稱 SiP) 異質整合特性，可將不同功用之電子元件，例如：記憶體、中央處理器、繪圖處理器、影像應用處理器等，藉由堆疊設計達到系統的整合，適合應用於輕薄型各種電子產品。

早期封裝堆疊結構係將記憶體封裝件 (俗稱記憶體 IC) 藉由複數焊球堆疊於邏輯封裝件 (俗稱邏輯 IC) 上，且隨著電子產品更趨於輕薄短小及功能不斷提昇之需求，記憶體封裝件之佈線密度愈來愈高，以奈米尺寸作單位，因而其接點之間的間距更小；然，邏輯封裝件的間距係以微米尺寸作單位，而無法有效縮小至對應記憶體封裝件的

間距，導致雖有高線路密度之記憶體封裝件，卻未有可配合之邏輯封裝件，以致於無法有效生產電子產品。

因此，為克服上述問題，遂於記憶體封裝件 11 與邏輯封裝件 12 之間增設一中介基板（interposer substrate）10，如第 1 圖所示，該中介基板 10 之底端電性結合間距較大之具邏輯晶片 120 之邏輯封裝件 12，而該中介基板 10 之上端電性結合間距較小之具記憶體晶片 110 之記憶體封裝件 11。

然而，習知封裝堆疊結構 1 中，係以複數焊球 13 作為支撐與電性連接之元件，而隨著電子產品的接點（即 I/O）數量愈來愈多，在封裝件的尺寸大小不變的情況下，各該焊球 13 間的間距需縮小，致使容易於回焊時發生橋接（bridge）的現象而發生短路（short circuit）問題，進而造成產品良率過低及可靠度不佳等問題。

因此，遂發展出以銅柱取代焊球 13，藉由該銅柱於回焊時不會變形之特性，使各該銅柱之高度能保持一致，因而能避免橋接之問題，以提高產品良率。

第 1A 至 1D 圖係為習知中介基板 10 之製法之剖面示意圖。

如第 1A 圖所示，貫穿一如銅箔基材之板體 10' 以形成複數通孔 100。

如第 1B 圖所示，於該板體 10' 之兩側藉由該銅箔 10a 分別形成一線路層 14，且形成複數導電通孔 15 於該通孔 100 中以電性連接各該線路層 14。

如第 1C 圖所示，形成一絕緣保護層 16 於該板體 10' 與各該線路層 14 上，且外露出部分線路層 14，俾供作為電性接觸墊 140。

如第 1D 圖所示，於該些電性接觸墊 140 上電鍍形成銅柱 17。

惟，習知中介基板 10 之製法中，其製程較複雜（如形成通孔 100），致使成本較高，且需額外形成導電層 170 以電鍍製作該些銅柱 17（依需求形成於一側或兩側），故於後續移除多餘之導電層 170 時，通常會殘留些許之導電層 170 材質，因而會影響該些銅柱 17 之導電性（如殘留之導電層 170 會導通相鄰之銅柱 17，導致短路），使該中介基板 10 之整體導電性變差。

再者，該中介基板 10 之厚度需考量該板體 10'（即核心層）而會受到限制（如難以薄化），故當其厚度越薄時（如 130um 以下），不僅不易生產，且易發生該板體 10' 破損等問題。

又，該線路層 14 之線寬/線距（Line Width / Line Space，簡稱 L/S）的設計較易受限制，一般基板製程最小之線寬/線距僅能製出 12/12um，但當 L/S 為 25/25um 以下時，良率即會受影響。

因此，如何克服習知技術中之種種問題，實已成目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之缺失，本發明提供一種中介基

板，係包括：一第一絕緣層，係具有相對之第一表面與第二表面；一第一線路層，係形成於該第一絕緣層之第一表面上；複數導電柱，係形成於該第一絕緣層中並電性連接該第一線路層；第二線路層，係形成於該第一絕緣層之第二表面上並電性連接該導電柱；複數外接柱，係設於該第二線路層上並電性連接該第二線路層；以及第二絕緣層，係形成於該第一絕緣層之第二表面與第二線路層上，且包圍各該外接柱之周圍並外露該些外接柱，又該第二絕緣層上形成有至少一用以容置電子元件之凹槽。

前述之中介基板中，該第二線路層未顯露於該第二絕緣層之表面。

本發明復提供一種中介基板之製法，係包括：提供具有一第一線路層之一承載板，且該第一線路層上具有複數導電柱；形成一第一絕緣層於該承載板上，其中，該第一絕緣層具有相對之第一表面與第二表面，使該第一絕緣層藉其第一表面結合至該承載板上，且該導電柱係外露於該第一絕緣層之第二表面；形成第二線路層於該第一絕緣層之第二表面與該些導電柱上；形成複數外接柱於該第二線路層上，並令該第二線路層電性連接該外接柱與該導電柱；形成第二絕緣層於該第一絕緣層之第二表面、外接柱與第二線路層上，且令該第二絕緣層外露該些外接柱；形成凹槽於該第二絕緣層上；以及移除該承載板，使該第一線路層外露於該第一絕緣層之第一表面。

前述之製法中，移除全部該承載板。

前述之中介基板及其製法中，該第一線路層之表面係低於該第一絕緣層之第一表面。

前述之中介基板及其製法中，該導電柱之端面係齊平該第一絕緣層之第二表面。

前述之中介基板及其製法中，該第二絕緣層係沿該外接柱之側面成型。

前述之中介基板及其製法中，移除部分該承載板，使保留之該承載板作為設於該第一絕緣層之第一表面上的支撐結構。

本發明復提供一種中介基板之製法，係包括：提供具有複數外接柱之一承載板，且各該外接柱之間具有第二絕緣層；形成第二線路層於該第二絕緣層與該些外接柱上，再於該第二線路層上形成複數導電柱；形成第一絕緣層於該第二絕緣層、外接柱、導電柱與第二線路層上，該第一絕緣層係具有相對之第一表面與第二表面，且該第一絕緣層藉其第二表面結合至該第二絕緣層上；形成第一線路層於該第一絕緣層之第一表面上，使該導電柱電性連接該第一線路層與第二線路層；移除該承載板，以外露出該外接柱後，形成凹槽於該第二絕緣層上。

前述之製法中，於提供該承載板時，各該外接柱之間復具有阻層，且該第二絕緣層係設於該阻層上。又於移除該承載板後，再移除該阻層，以形成該凹槽。另於移除該阻層後，形成凹部於各該外接柱之間。

前述之中介基板及其製法中，該導電柱之端面係齊平

該第一絕緣層之第一表面。

前述之中介基板及其製法中，該第二線路層係嵌埋於該第一絕緣層之第二表面上。

前述之中介基板及其製法中，復包括形成絕緣保護層於該第一線路層與該第一絕緣層之第一表面上，且該絕緣保護層外露該第一線路層之部分表面。

前述之中介基板及其兩種製法中，該第一絕緣層係以鑄模方式、塗佈方式或壓合方式形成者，故形成該第一絕緣層之材質係為鑄模化合物、底層塗料或介電材料。

前述之中介基板及其兩種製法中，該第二絕緣層係以鑄模方式、塗佈方式或壓合方式形成者，故形成該第二絕緣層之材質係為鑄模化合物、底層塗料或介電材料。

另外，前述之中介基板及其兩種製法中，復包括形成凹部於該第二絕緣層上，且該凹部係位於各該外接柱之間，又該凹部之深度係小於或等於該凹槽之深度。

由上可知，本發明中介基板及其製法，係藉由形成無核心層之中介基板於該承載板上，故於製程中可省略通孔製程，且藉由形成該第一絕緣層與第二絕緣層，即無需製作習知絕緣保護層，能降低整體製程之成本，且製程簡易。

再者，本發明因無習知板體之限制，故該中介基板不僅易於生產及無板體破損之問題，且能製作更細的線寬/線距之線路，以提高佈線密度。

【圖式簡單說明】

第 1 圖係為習知封裝堆疊結構之剖視示意圖；

第 1A 至 1D 圖係為習知中介基板之製法之剖視示意圖；

第 2A 至 2H 圖係為本發明之中介基板之製法之第一實施例之剖視示意圖；其中，第 2H' 圖係為第 2H 之另一態樣；

第 2I 圖係為第 2H 圖之後續製程之剖視示意圖；

第 3A 至 3B 圖係為本發明之中介基板之製法之第二實施例之剖視示意圖；其中，第 3B' 圖係為第 3B 圖之另一態樣；

第 4A 至 4B 圖係為本發明之中介基板之製法之第三實施例之剖視示意圖；其中，第 4B' 圖係為第 4B 圖之另一態樣；以及

第 5A 至 5F 圖係為本發明之中介基板之製法之第四實施例之剖視示意圖；其中，第 5D' 及 5D'' 圖係為第 5D 圖之其它態樣，第 5F' 及 5F'' 圖係為第 5F 圖之其它態樣。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術

內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“第一”、“第二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2F 圖係為本發明之第一實施例之無核心層式（coreless）中介基板 2 之製法之剖視示意圖。

如第 2A 圖所示，提供一承載板 20。於本實施例中，該承載板 20 係為基材，例如銅箔基板或含矽板體，但無特別限制，本實施例係以銅箔基板作說明，其兩側具有金屬材 20a。

如第 2B 圖所示，藉由圖案化製程，以形成一第一線路層 21 於該承載板 20 上。

於本實施例中，該第一線路層 21 係包含複數電性連接墊 210 與複數導電跡線 211。

如第 2C 圖所示，藉由圖案化製程，以電鍍形成複數導電柱 22 於該第一線路層 21 之電性連接墊 210 上。

如第 2D 圖所示，形成一第一絕緣層 23 於該承載板 20 上，該第一絕緣層 23 係具有相對之第一表面 23a 與第二表面 23b。在本發明中，該第一表面 23a 係指相對於第二表面 23b 者，而非限定其為平坦表面，且該第一絕緣層 23 藉其第一表面 23a 結合至該承載板 20 上，而該導電柱 22 係外露於該第一絕緣層 23 之第二表面 23b。

於本實施例中，該第一絕緣層 23 係以鑄模方式、塗佈

方式或壓合方式形成於該承載板 20 上，且形成該第一絕緣層 23 之材質係為鑄模化合物 (Molding Compound)、底層塗料(Primer)、或如環氧樹脂(Epoxy)之介電材料。

再者，藉由研磨製程，使該導電柱 22 之端面 22a 係齊平該第一絕緣層 23 之第二表面 23b。

如第 2E 圖所示，藉由圖案化製程，先形成一第二線路層 24 於該第一絕緣層 23 之第二表面 23b 與該些導電柱 22 上，再以電鍍方式形成複數外接柱 25 於該第二線路層 24 上，且該外接柱 25 電性連接該第二線路層 24。

於本實施例中，該第二線路層 24 係包含複數電性接觸墊 240 與複數導電跡線 241，且該外接柱 25 係設於各該電性接觸墊 240 上，且該第二線路層 24 電性連接該外接柱 25 與該導電柱 22。

再者，該些電性接觸墊 240 之位置係對應各該導電柱 22 之位置。於其它實施例中，該些電性接觸墊 240 之位置亦可不對應各該導電柱 22 之位置。

又，該外接柱 25 係為銅柱。

如第 2F 圖所示，形成第二絕緣層 26 於該第一絕緣層 23 之第二表面 23b、外接柱 25 與第二線路層 24 上，且令該第二絕緣層 26 外露該些外接柱 25，而該第二線路層 24 不會顯露於該第二絕緣層 26。

於本實施例中，藉由研磨製程，使該第二絕緣層 26 之表面 26a 與該些外接柱 25 之端面 25a 齊平。

再者，該第二絕緣層 26 係以鑄模方式、塗佈方式或壓

合方式形成者，且形成該第二絕緣層 26 之材質係為鑄模化合物 (Molding Compound)、底層塗料(Primer)、或如環氧樹脂(Epoxy)之介電材料。

如第 2G 圖所示，利用蝕刻方式移除該第二絕緣層 26 之方式，以形成用以容置電子元件之一凹槽 27 於該第二絕緣層 26 上，且該第二線路層 24 不會顯露於該第二絕緣層 26。

於本實施例中，利用一阻層 29 (可為光阻類材質或金屬材質) 開出預蝕刻位置 290，再以物理或化學方式蝕刻該第二絕緣層 26 之材料，以形成該凹槽 27，之後移除該阻層 29。因此，藉由更簡便之方式製作高且平整的外接柱 25，以於後續封裝製程時，利用該凹槽 27 之定位，使該外接柱 25 利於與其它元件之接點作連接。

再者，該第二絕緣層 26 係包圍各該外接柱 25 之周圍。

如第 2H 圖所示，移除全部該承載板 20，使該第一線路層 21 之表面 21a 外露於該第一絕緣層 23 之第一表面 23a，且該第一線路層 21 之表面 21a 係低於該第一絕緣層 23 之第一表面 23a。

於本實施例中，係以蝕刻方式移除該金屬材 20a，故會略蝕刻該線路層 21 之上表面 21a，使該線路層 21 之上表面 21a 係微凹於該絕緣層 23 之第一表面 23a。

如第 2H'圖所示，圖案化蝕刻移除部分該承載板 20，使保留之該承載板作為支撐結構 20'，且該第一線路層 21 之表面 21a 外露於該第一絕緣層 23 之第一表面 23a。

因此，於第一實施例之製法中，該中介基板 2,2'係為無核心層式之線路設計，因而於製程中可省略通孔製程，且藉由形成該第一絕緣層 23 與第二絕緣層 26，即無需製作習知絕緣保護層，故本實施例之整體製程之成本低，且製程簡易。

再者，因無習知板體之限制，故相較於習知中介基板，該中介基板 2,2'不僅易於生產及無板體破損之問題，且能製作更細的線寬/線距之線路，以提高佈線密度。

又，本實施例之承載板 20 若具有金屬材時，將利用該金屬材 20a 作為導電層，因而無需額外形成導電層，即可電鍍製作該些外接柱 25，故不會有殘留之導電層影響該些外接柱 25 之導電性之問題，致能提升該中介基板 2,2'之整體導電性。

另外，於後續製程中，如第 2I 圖所示，可將該中介基板 2 堆疊於一設有如晶片之電子元件 90 的封裝件 9 上，且令該電子元件 90 容置於該凹槽 27 中，而該外接柱 25 係連接該封裝件 9 之基板 91 之接點 910（如焊球），該基板 91 係用以承載該電子元件 90。有關該封裝件 9 之態樣並不限於圖式，特此述明。

第 3A 至 3B 圖係為本發明之第二實施例之中介基板 3 之製法之剖視示意圖。本實施例與第一實施例之差異在於第 2D 圖之後續製程之變化，其它相同處不再贅述。

如第 3A 圖所示，係於第 2G 圖之製程中，復形成複數凹部 37 於該第二絕緣層 26 上，且各該凹部 37 係位於各該

外接柱 25 之間，使該第二絕緣層 26 沿該外接柱 25 之側面成型。

於本實施例中，該凹部 37 之深度 d 係小於該凹槽 27 之深度 t 。具體地，該凹部 37 之深度 d 約該外接柱 25 之高度 h 之一半，但可依需求設計為該凹部 37 之深度 d 約該外接柱 25 之高度 h 之 $1/3$ 、 $1/4$ 或其它比例等。

再者，利用一阻層（可為光阻類材質，圖略）開出預蝕刻位置，再以物理或化學方式蝕刻該第二絕緣層 26 之材料，當於蝕刻時，會同時侵蝕光阻材與欲蝕刻位置之第二絕緣層 26（即凹槽 27），故當侵蝕完該阻層後，才會開始侵蝕該第二絕緣層 26 之整面（即凹槽 27 與凹部 37），以形成深度不等之凹槽 27 與凹部 37，使該第二絕緣層 26 呈現階梯狀。

如第 3B 圖所示，移除全部該承載板 20，使該第一線路層 21 外露於該第一絕緣層 23 之第一表面 23a。

如第 3B'圖所示，圖案化蝕刻移除部分該承載板 20，使保留之該承載板作為支撐結構 20'，且該第一線路層 21 外露於該第一絕緣層 23 之第一表面 23a。

因此，藉由該凹部 37 之設計，使各該外接柱 25 之外型更為明顯，以於後續封裝製程時，更有利於該外接柱 25 與其它元件之接點作連接。

第 4A 至 4B 圖係為本發明之第三實施例之中介基板 4 之製法之剖視示意圖。本實施例與第二實施例之差異在於該凹部之變化，其它相同處不再贅述。

如第 4A 圖所示，係於第 2G 圖之製程中，復形成複數凹部 47 於該第二絕緣層 26 上，使該第二絕緣層 26 沿該外接柱 25 之側面 25c 成型，即該外接柱 25 之側面 25c 未外露，且該凹部 47 之深度 d' 係等於該凹槽 27 之深度 t 。

於本實施例中，直接以物理或化學性方式蝕刻該第二絕緣層 26 之材料，以形成深度大致相同之凹槽 27 與凹部 47。

如第 4B 圖所示，移除全部該承載板 20，使該第一線路層 21 外露於該第一絕緣層 23 之第一表面 23a。

如第 4B' 圖所示，圖案化蝕刻移除部分該承載板 20，使保留之該承載板作為支撐結構 20'，且該第一線路層 21 外露於該第一絕緣層 23 之第一表面 23a。

第 5A 至 5F 圖係為本發明之第四實施例之中介基板 5 之製法之剖視示意圖。本實施例與第一實施例之差異在於製作導電結構之先後順序。

如第 5A 圖所示，藉由圖案化阻層 50，形成複數外接柱 55 於一承載板 20 上。

於本實施例中，該承載板 20 係為基材，例如銅箔基板或含矽板體，但無特別限制，本實施例係以銅箔基板作說明，其兩側具有金屬材 20a。

再者，該阻層 50 係以曝光顯影方式形成圖案化者，且該外接柱 55 係為電鍍銅柱。

又，該外接柱 55 凸出該阻層 50 之表面。具體地，先於該承載板 20 上圖案化阻層 50，再電鍍形成該外接柱 55，

之後移除該阻層 50 之部分材質，使該阻層 50 之表面低於該外接柱 55 之端面。

如第 5B 圖所示，形成第二絕緣層 56 於該阻層 50 上，使各該外接柱 55 之間形成有該第二絕緣層 56。

於本實施例中，該第二絕緣層 56 係以鑄模方式、塗佈方式或壓合方式形成者，且形成該第二絕緣層 56 之材質係為鑄模化合物 (Molding Compound)、底層塗料 (Primer)、或如環氧樹脂 (Epoxy) 之介電材料。

再者，藉由研磨製程，使該第二絕緣層 56 之表面 56a 與該些外接柱 55 之端面 55a 齊平。

如第 5C 圖所示，形成一第二線路層 54 於該第二絕緣層 56 與該些外接柱 55 上，且形成複數導電柱 52 於第二線路層 54 上，再形成第一絕緣層 53 於該第二絕緣層 56、外接柱 55 與第二線路層 54 上，該第一絕緣層 53 係具有相對之第一表面 53a 與第二表面 53b，且該第一絕緣層 53 藉其第二表面 53b 結合至該第二絕緣層 56 與該些外接柱 55 上。

於本實施例中，該第二線路層 54 係包含複數電性接觸墊 540 與複數導電跡線 541，該電性接觸墊 540 係設於該外接柱 55 上，且該第二線路層 54 電性連接該外接柱 55。

再者，該第一絕緣層 53 係以鑄模方式、塗佈方式或壓合方式形成者，且形成該第一絕緣層 53 之材質係為鑄模化合物 (Molding Compound)、底層塗料 (Primer)、或如環氧樹脂 (Epoxy) 之介電材料。

如第 5D 圖所示，形成第一線路層 51 於該第一絕緣層

53 之第一表面 53a 上，使該導電柱 52 電性連接該第一線路層 51 與第二線路層 54。

於本實施例中，該第一線路層 51 係由複數電性連接墊所構成，且相較於該外接柱 55，該第一線路層 51 係為較短之銅柱。

再者，該導電柱 52 之端面 52a 係齊平該第一絕緣層 53 之第一表面 53a。

又，如第 5D' 及 5D'' 圖所示，亦可形成一絕緣保護層 58, 58' 於該第一線路層 51 與該第一絕緣層 53 之第一表面 53a 上，且該絕緣保護層 58, 58' 具有複數開孔 580, 580'，以令該第一線路層 51 之部分表面對應外露於各該開孔 580, 580'。其中，第 5D' 圖所示之絕緣保護層 58 之材質係為如綠漆之防焊材，且第 5D'' 圖所示之絕緣保護層 58' 之材質係為鑄模化合物、底層塗料、或如環氧樹脂之介電材料。

如第 5E 圖所示，接續第 5D 圖之製程，移除全部該承載板 20，以外露出該外接柱 55。

如第 5F 圖所示，移除該阻層 50，以形成一凹槽 57 與複數凹部 57' 於該第二絕緣層 56 上，且該第二線路層 54 不會顯露於該第二絕緣層 56。

於本實施例中，該凹部 57' 係位於各該外接柱 55 之間，且該凹部 57' 之深度 d' 係等於該凹槽 57 之深度 t 。

再者，該第二絕緣層 56 並未沿該外接柱 55 之側面 55c 成型，即外露該外接柱 55 之部分側面 55c。

又，如第 5F' 圖所示，係接續第 5D' 圖之製程所得之

中介基板 5'。

另外，如第 5F"圖所示，係接續第 5D"圖之製程所得之中介基板 5"。

於本實施例中，先以阻層 50 製作外接柱 55，再模壓一次介電材（如第二絕緣層 56），之後進行增層製程（如第二線路層 54、第一絕緣層 53、導電柱 52 與第一線路層 51），最後移除該阻層 50。

本發明復提供一種中介基板 2,2',3,3',4,4',5,5',5"，係包括：一第一絕緣層 23,53、第一線路層 21,51、複數導電柱 22,52、第二線路層 24,54、複數外接柱 25,55、以及第二絕緣層 26,56。

所述之第一絕緣層 23,53 係具有相對之第一表面 23a,53a 與第二表面 23b,53b，且形成該第一絕緣層 23,53 係為鑄模化合物、底層塗料或介電材料。

所述之第一線路層 21,51 係形成於該第一絕緣層 23,53 之第一表面 23a,53a 中。於一實施例中，該第一線路層 21 係嵌埋於該第一絕緣層 23 之第一表面 23a 上，且該第一線路層 21 之表面 21a 係低於該第一絕緣層 23 之第一表面 23a。

所述之導電柱 22,52 係形成於該第一絕緣層 23,53 中並電性連接該第一線路層 21,51。

所述之第二線路層 24,54 係設於該第一絕緣層 23,53 之第二表面 23b,53b 上並電性連接該導電柱 22,52。於一實施例中，該第二線路層 54 係嵌埋於該第一絕緣層 53 之第

二表面 53b 上。

所述之外接柱 25,55 係設於該第二線路層 24,54 上並電性連接該第二線路層 24,54。

所述之第二絕緣層 26,56 係於該第一絕緣層 23,53 之第二表面 23b,53b 與第二線路層 24,54 上，且包圍各該外接柱 25,55 之周圍並外露該些外接柱 25,55，又該第二絕緣層 26,56 上形成有用以容置電子元件 90 之凹槽 27,57。

於一實施例中，該導電柱 22 之端面 22a 係齊平該第一絕緣層 23 之第二表面 23b；於另一實施例中，該導電柱 52 之端面 52a 係齊平該第一絕緣層 53 之第一表面 53a。

於一實施例中，該第二線路層 24,54 未顯露於該第二絕緣層 26,56 之表面。

於一實施例中，形成該第二絕緣層 26,56 之材質係為鑄模化合物、底層塗料或介電材料。

於一實施例中，該第二絕緣層 26,56 上復形成有複數凹部 37,47,57'，且各該凹部 37,47,57' 係位於各該外接柱 25,55 之間。又，該凹部 37 之深度 d 係小於該凹槽 27 之深度 t；或者，該凹部 47,57' 之深度 d' 係等於該凹槽 27,57 之深度 t。

於一實施例中，該第二絕緣層 26 係沿該外接柱 25 之側面 25c 成型。

於一實施例中，所述之中介基板 5',5'' 復包括一絕緣保護層 58,58'，係形成於該第一絕緣層 53 之第一表面 53a 與該第一線路層 51 上，且令該絕緣保護層 58,58' 外露該第一

線路層 51 之部分表面。

於一實施例中，所述之中介基板 2',3',4'復包括一支撐結構 20'，係設於該第一絕緣層 23 之第一表面 23a 上。

綜上所述，本發明中介基板及其製法，主要應用在細間距及高腳數之封裝堆疊結構之產品上，且在產品朝輕薄短小、功能越強、越快及儲存量愈高時，更需使用到本發明之中介基板。

再者，本發明之中介基板可藉由該外接柱結合邏輯封裝件或記憶體封裝件，且可藉由該第一線路層結合邏輯封裝件或記憶體封裝件。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1	封裝堆疊結構
10,2,2',3,3',4,4',5,5',5"	中介基板
10'	板體
10a	銅箔
100	通孔
11	記憶體封裝件
110	記憶體晶片
12	邏輯封裝件

120	邏輯晶片
13	焊球
14	線路層
140,240,540	電性接觸墊
15	導電通孔
16,58,58'	絕緣保護層
17	銅柱
170	導電層
20	承載板
20'	支撐結構
20a	金屬材
21,51	第一線路層
21a,26a,56a	表面
210	電性連接墊
211,241,541	導電跡線
22,52	導電柱
22a,25a,52a,55a	端面
23,53	第一絕緣層
23a,53a	第一表面
23b,53b	第二表面
24,54	第二線路層
25,55	外接柱
25c,55c	側面
26,56	第二絕緣層

27,57	凹 槽
29,50	阻 層
290	預 蝕 刻 位 置
37,47,57'	凹 部
580,580'	開 孔
9	封 裝 件
90	電 子 元 件
91	基 板
910	接 點
d,d',t	深 度
h	高 度

申請專利範圍

1. 一種中介基板，係包括：

一第一絕緣層，係具有相對之第一表面與第二表面；

一第一線路層，係形成於該第一絕緣層之第一表面上；

複數導電柱，係形成於該第一絕緣層中並電性連接該第一線路層；

第二線路層，係形成於該第一絕緣層之第二表面上並電性連接該導電柱；

複數外接柱，係設於該第二線路層上並電性連接該第二線路層；以及

第二絕緣層，係形成於該第一絕緣層之第二表面與第二線路層上，且包圍各該外接柱之周圍並外露該些外接柱，又該第二絕緣層上形成有至少一用以容置電子元件之凹槽。

2. 如申請專利範圍第 1 項所述之中介基板，其中，形成該第一絕緣層之材質係為鑄模化合物、底層塗料或介電材料。

3. 如申請專利範圍第 1 項所述之中介基板，其中，該第一線路層之表面係低於該第一絕緣層之第一表面。

4. 如申請專利範圍第 1 項所述之中介基板，其中，該導電柱之端面係齊平該第一絕緣層之第一表面。

5. 如申請專利範圍第 1 項所述之中介基板，其中，該導

電柱之端面係齊平該第一絕緣層之第二表面。

6. 如申請專利範圍第 1 項所述之中介基板，其中，該第二線路層係嵌埋於該第一絕緣層之第二表面上。
7. 如申請專利範圍第 1 項所述之中介基板，其中，該第二線路層未顯露於該第二絕緣層之表面。
8. 如申請專利範圍第 1 項所述之中介基板，其中，形成該第二絕緣層之材質係為鑄模化合物、底層塗料或介電材料。
9. 如申請專利範圍第 1 項所述之中介基板，其中，該第二絕緣層上復形成有複數凹部，且各該凹部係位於各該外接柱之間。
10. 如申請專利範圍第 9 項所述之中介基板，其中，該凹部之深度係小於或等於該凹槽之深度。
11. 如申請專利範圍第 1 項所述之中介基板，其中，該第二絕緣層係沿該外接柱之側面成型。
12. 如申請專利範圍第 1 項所述之中介基板，復包括絕緣保護層，係形成於該第一絕緣層之第一表面與該第一線路層上，且令該絕緣保護層外露該第一線路層之部分表面。
13. 如申請專利範圍第 1 項所述之中介基板，復包括支撐結構，係設於該第一絕緣層之第一表面上。
14. 一種中介基板之製法，係包括：
提供具有一第一線路層之一承載板，且該第一線路層上具有複數導電柱；

形成一第一絕緣層於該承載板上，其中，該第一絕緣層具有相對之第一表面與第二表面，使該第一絕緣層藉其第一表面結合至該承載板上，且該導電柱係外露於該第一絕緣層之第二表面；

形成第二線路層於該第一絕緣層之第二表面與該些導電柱上；

形成複數外接柱於該第二線路層上，並令該第二線路層電性連接該外接柱與該導電柱；

形成第二絕緣層於該第一絕緣層之第二表面、外接柱與第二線路層上，且令該第二絕緣層外露該些外接柱；

形成凹槽於該第二絕緣層上；以及

移除該承載板，使該第一線路層外露於該第一絕緣層之第一表面。

15. 如申請專利範圍第 14 項所述之中介基板之製法，其中，該第一絕緣層係以鑄模方式、塗佈方式或壓合方式形成於該承載板上。

16. 如申請專利範圍第 14 項所述之中介基板之製法，其中，該第一線路層之表面係低於該第一絕緣層之第一表面。

17. 如申請專利範圍第 14 項所述之中介基板之製法，其中，該導電柱之端面係齊平該第一絕緣層之第二表面。

18. 如申請專利範圍第 14 項所述之中介基板之製法，其中，該第二絕緣層係以鑄模方式、塗佈方式或壓

合方式形成於該承載板上。

19. 如申請專利範圍第 14 項所述之中介基板之製法，復包括形成凹部於該第二絕緣層上，且該凹部係位於各該外接柱之間。
20. 如申請專利範圍第 19 項所述之中介基板之製法，其中，該凹部之深度係小於或等於該凹槽之深度。
21. 如申請專利範圍第 14 項所述之中介基板之製法，其中，該第二絕緣層係沿該外接柱之側面成型。
22. 如申請專利範圍第 14 項所述之中介基板之製法，係移除全部該承載板。
23. 如申請專利範圍第 14 項所述之中介基板之製法，係移除部分該承載板，使保留之該承載板作為支撐結構。
24. 一種中介基板之製法，係包括：

提供具有複數外接柱之一承載板，且各該外接柱之間具有第二絕緣層；

形成第二線路層於該第二絕緣層與該些外接柱上，再於該第二線路層上形成複數導電柱；

形成第一絕緣層於該第二絕緣層、外接柱、導電柱與第二線路層上，其中，該第一絕緣層具有相對之第一表面與第二表面，供該第一絕緣層藉其第二表面結合至該第二絕緣層上；

形成第一線路層於該第一絕緣層之第一表面上，使該導電柱電性連接該第一線路層與第二線路層；

移除該承載板，以外露出該外接柱後，形成凹槽

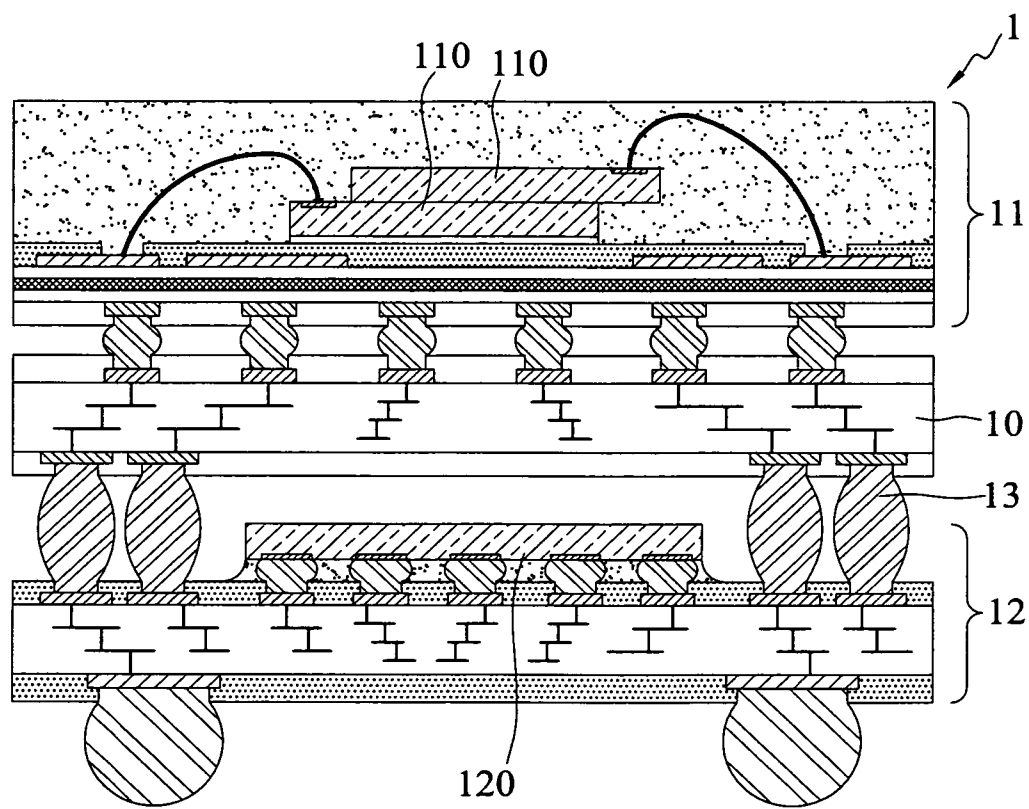
於該第二絕緣層上。

25. 如申請專利範圍第 24 項所述之中介基板之製法，其中，於提供該承載板時，各該外接柱之間復具有阻層，且該第二絕緣層係設於該阻層上。
26. 如申請專利範圍第 25 項所述之中介基板之製法，其中，於移除該承載板後，再移除該阻層，以形成該凹槽。
27. 如申請專利範圍第 26 項所述之中介基板之製法，復包括移除該阻層後，形成凹部於各該外接柱之間。
28. 如申請專利範圍第 24 項所述之中介基板之製法，其中，該第二線路層係嵌埋於該第一絕緣層之第二表面上。
29. 如申請專利範圍第 24 項所述之中介基板之製法，其中，該第一絕緣層係以係以鑄模方式、塗佈方式或壓合方式形成者。
30. 如申請專利範圍第 24 項所述之中介基板之製法，其中，該第二絕緣層係以係以鑄模方式、塗佈方式或壓合方式形成者。
31. 如申請專利範圍第 24 項所述之中介基板之製法，其中，該導電柱之端面係齊平該第一絕緣層之第一表面。
32. 如申請專利範圍第 24 項所述之中介基板之製法，復包括形成凹部於該第二絕緣層上，且該凹部係位於各該外接柱之間。
33. 如申請專利範圍第 27 或 32 項之其中一者所述之中介基

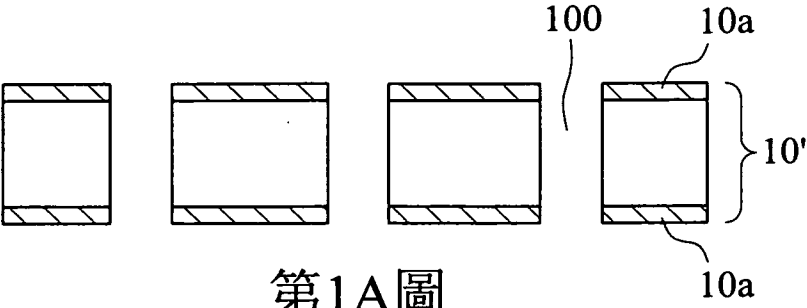
板之製法，其中，該凹部之深度係等於該凹槽之深度。

34. 如申請專利範圍第 24 項所述之中介基板之製法，復包括形成絕緣保護層於該第一線路層與該第一絕緣層之第一表面上，且該絕緣保護層外露該第一線路層之部分表面。

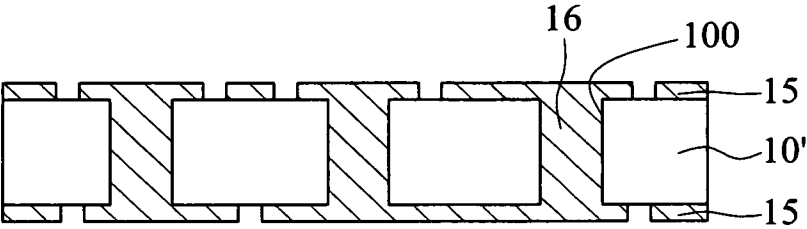
圖式



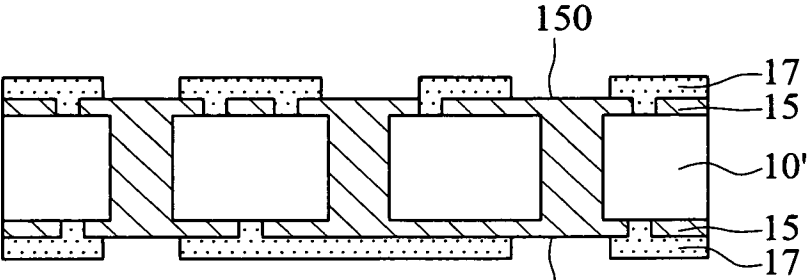
第1圖



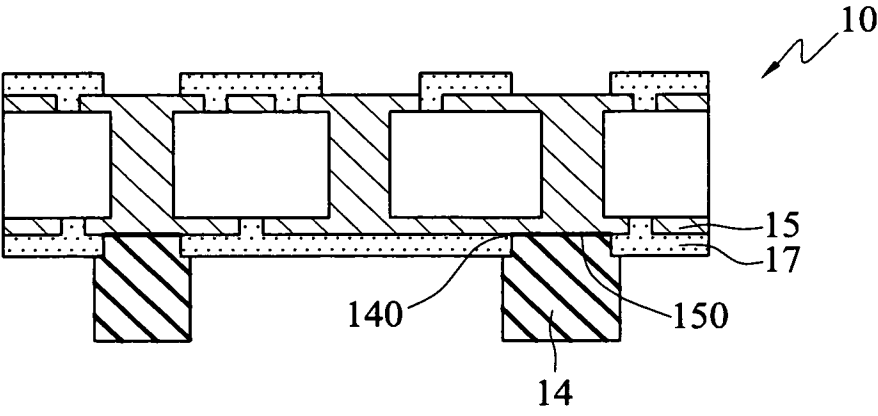
第1A圖



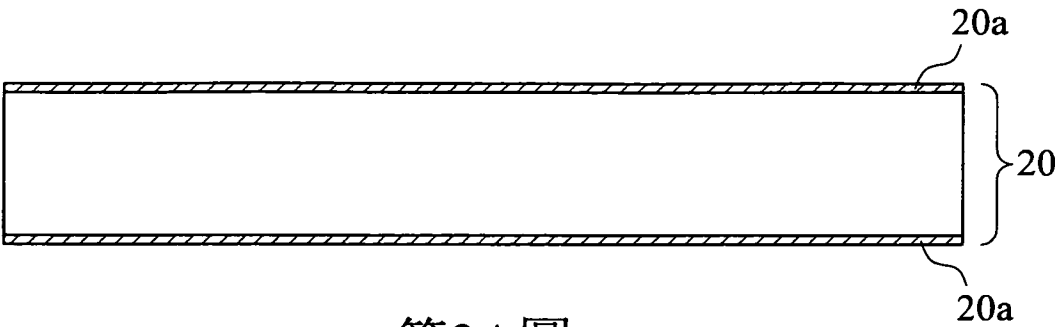
第1B圖



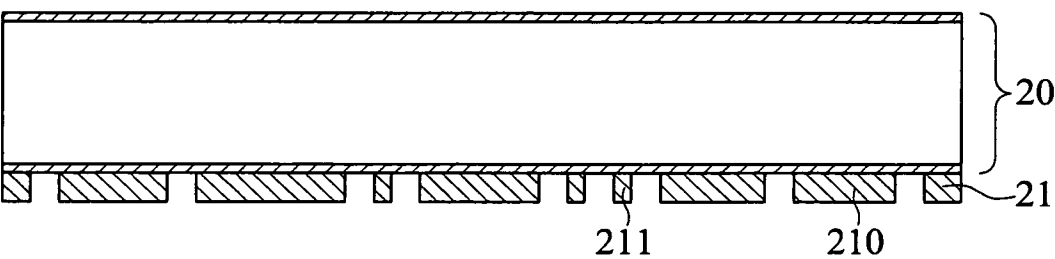
第1C圖



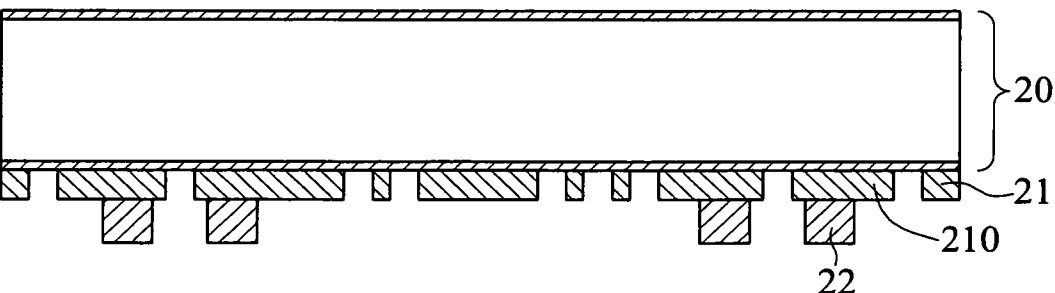
第1D圖



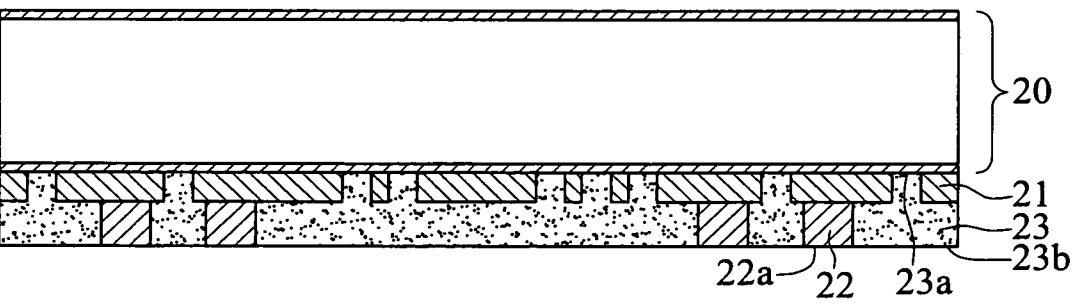
第2A圖



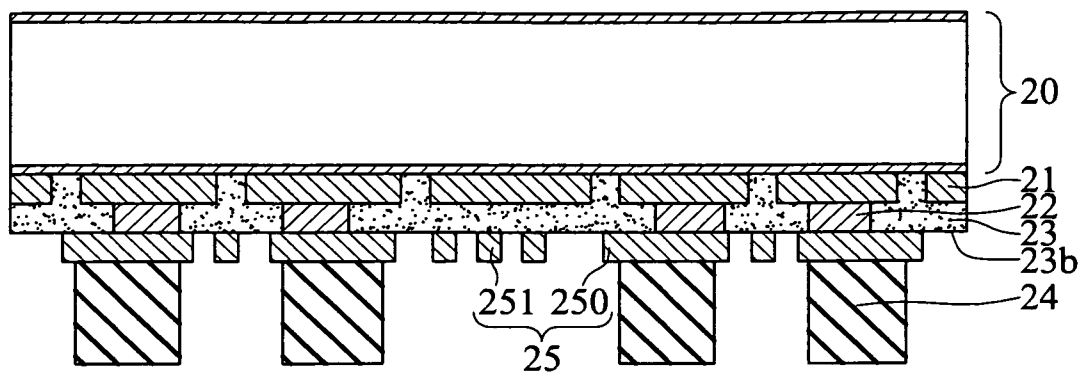
第2B圖



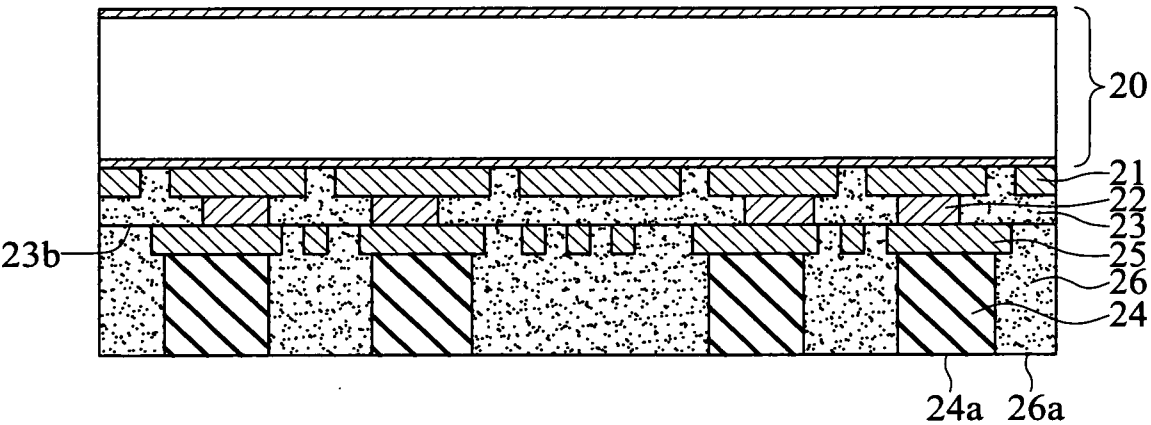
第2C圖



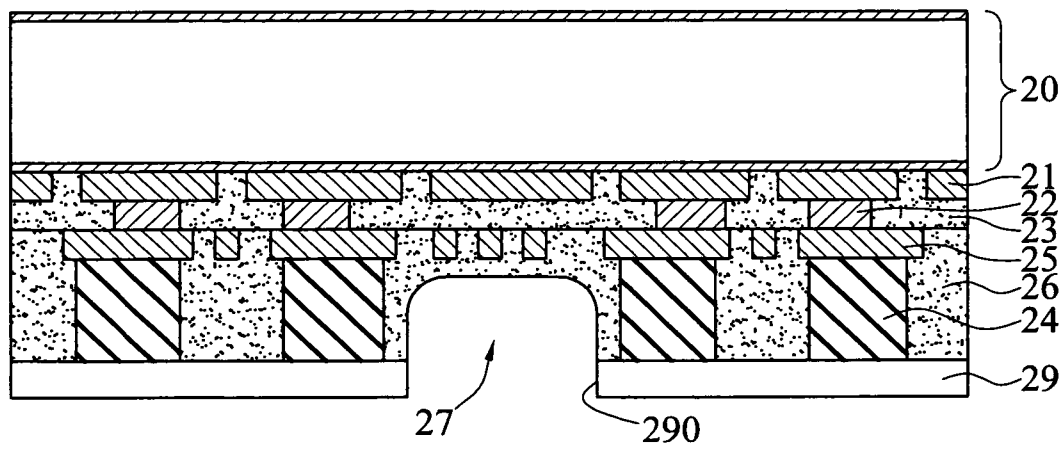
第2D圖



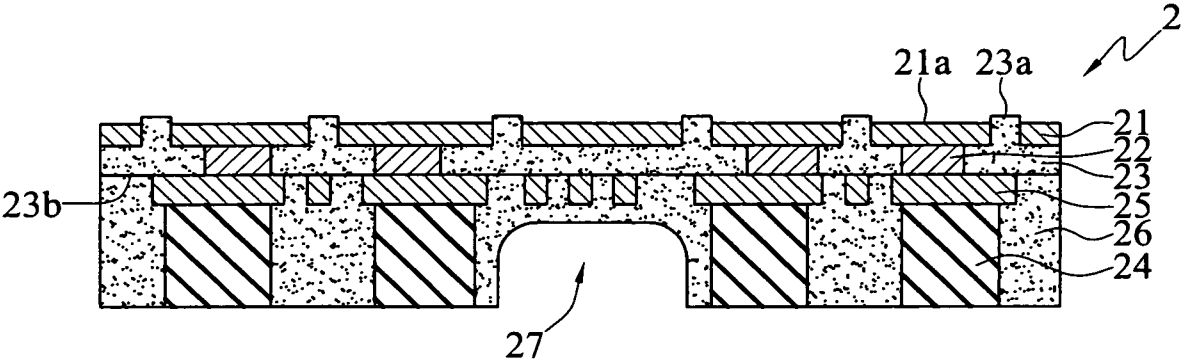
第2E圖



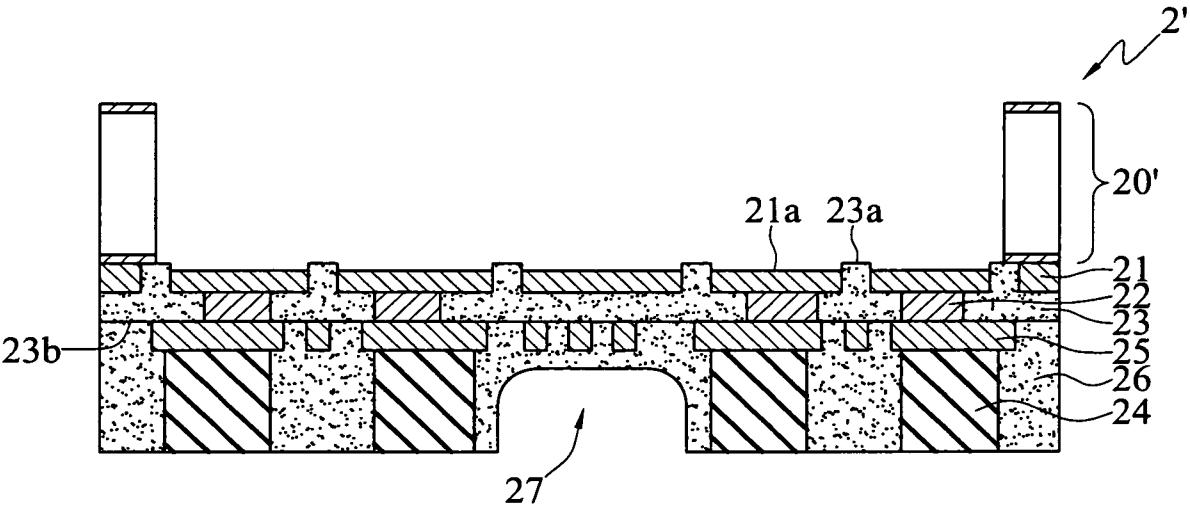
第2F圖



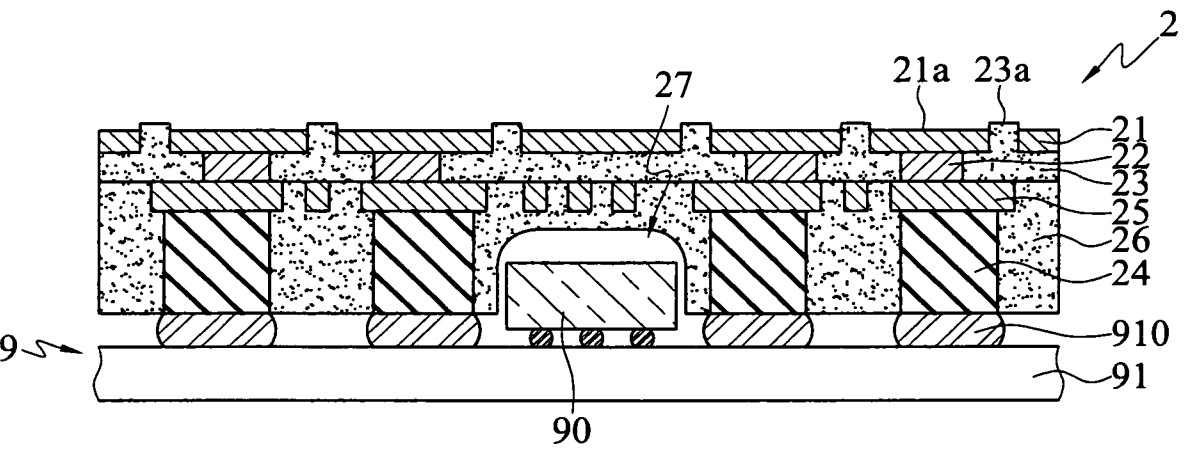
第2G圖



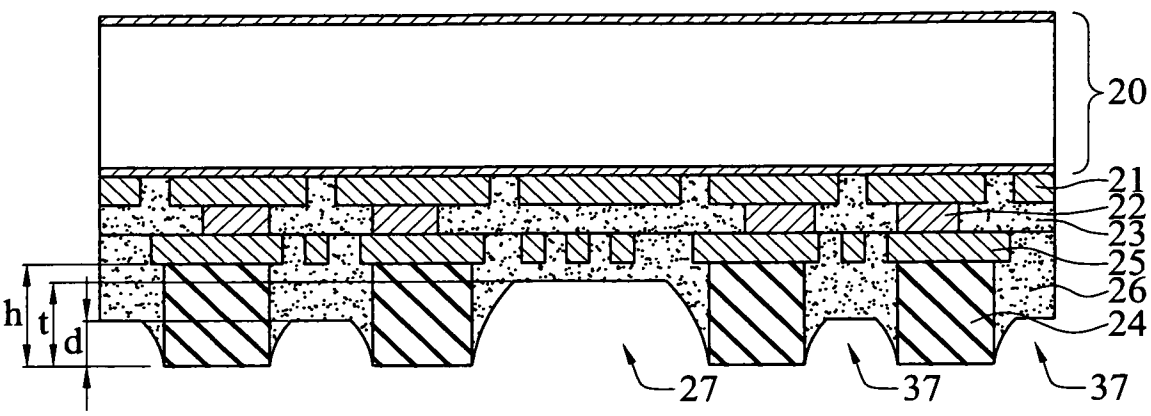
第2H圖



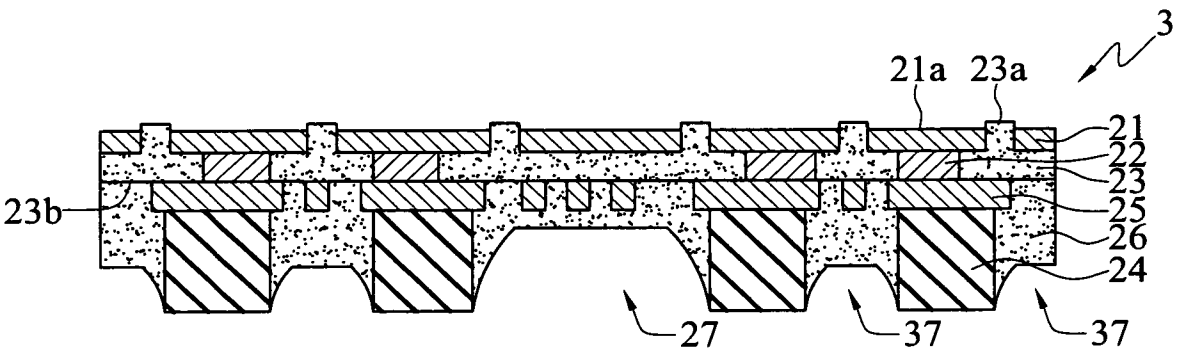
第2H'圖



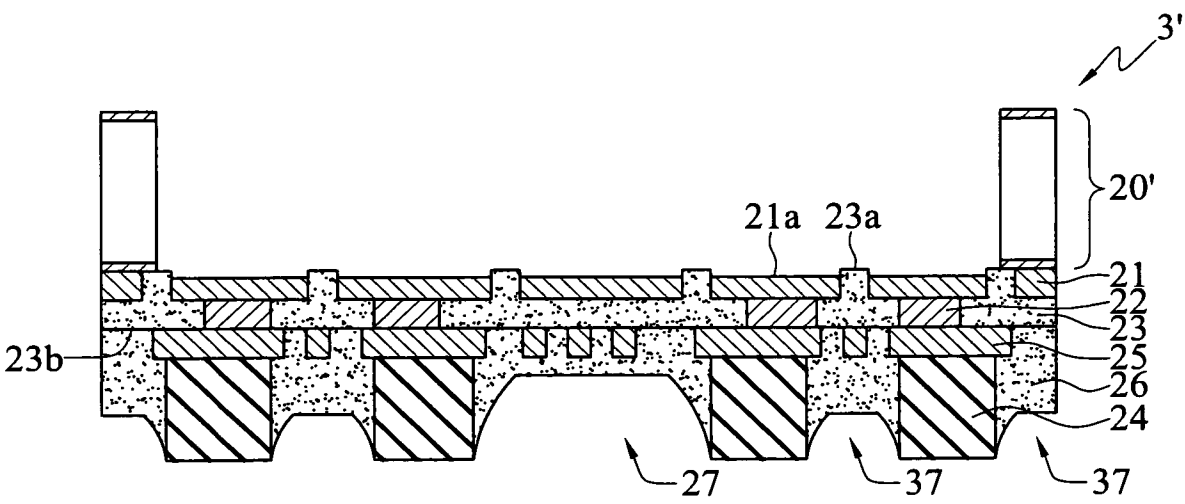
第2I圖



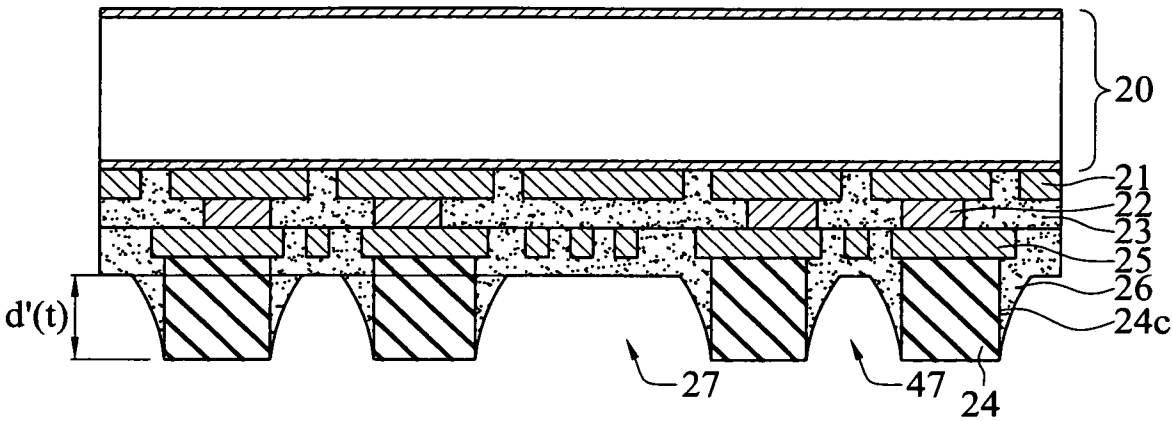
第3A圖



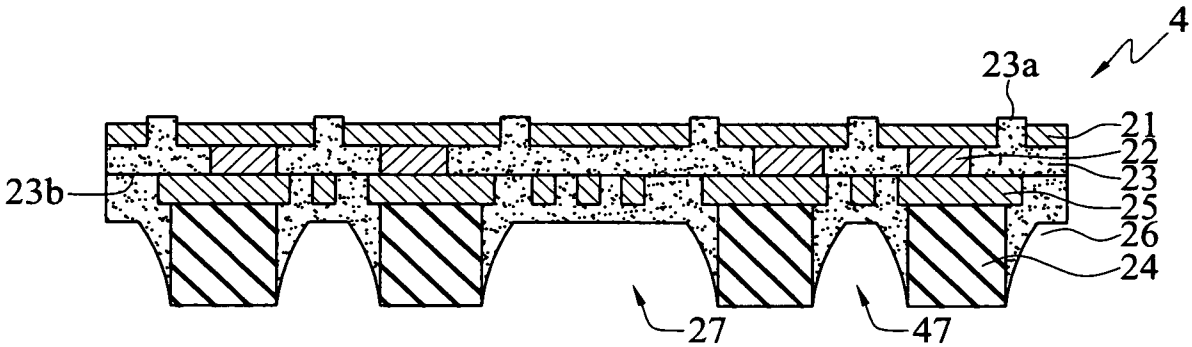
第3B圖



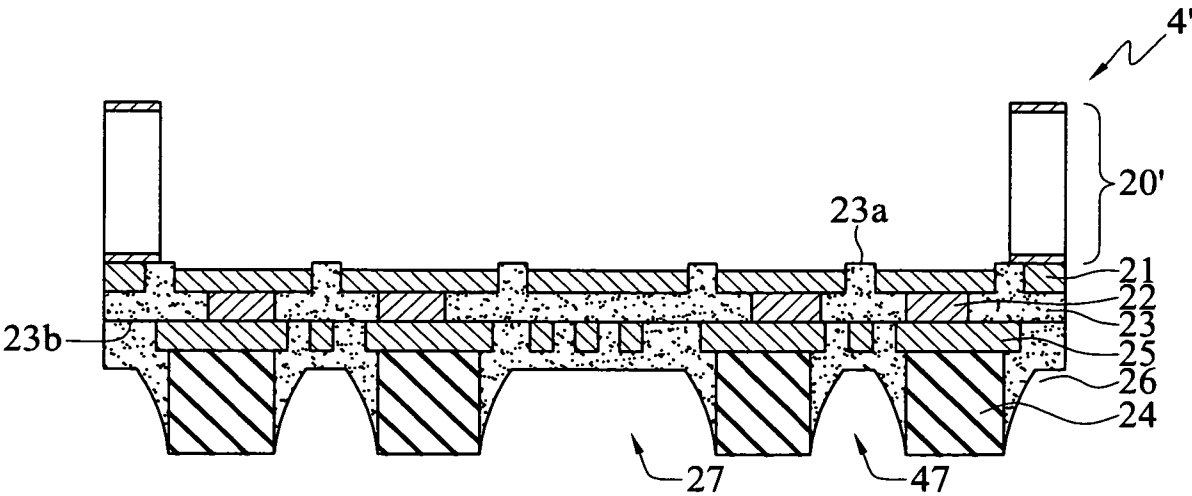
第3B'圖



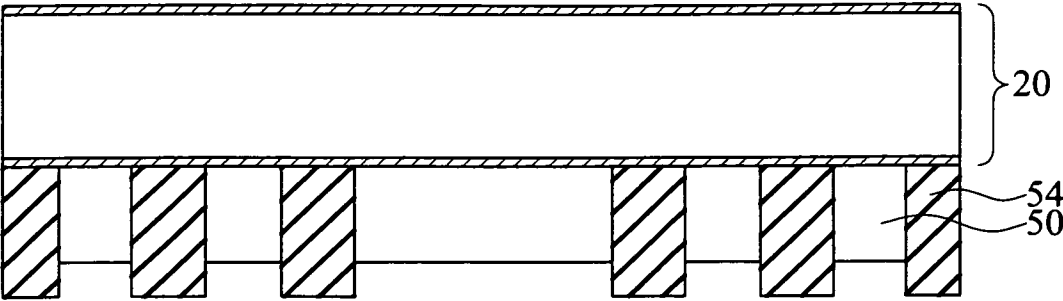
第4A圖



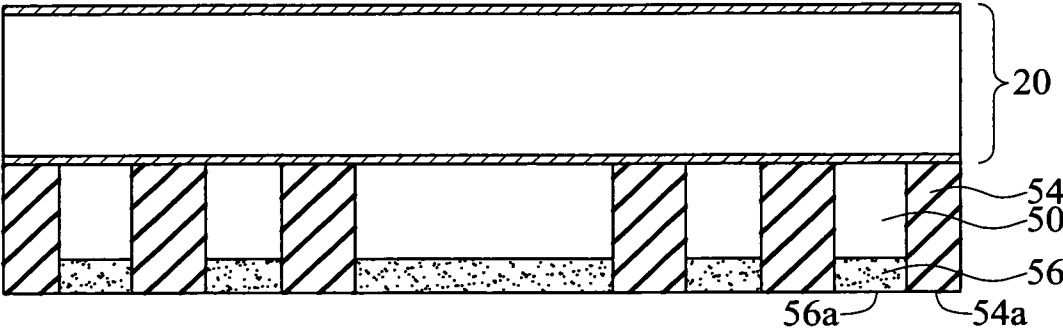
第4B圖



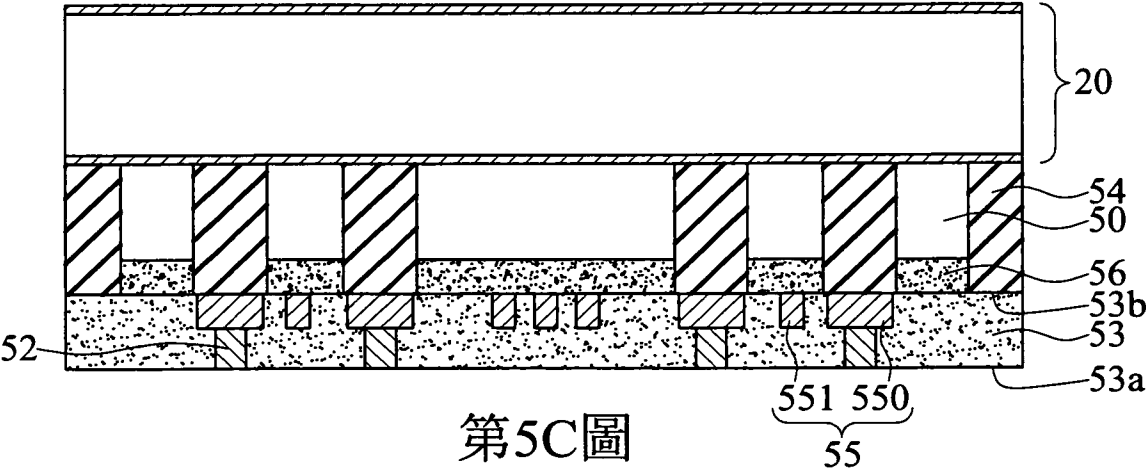
第4B'圖



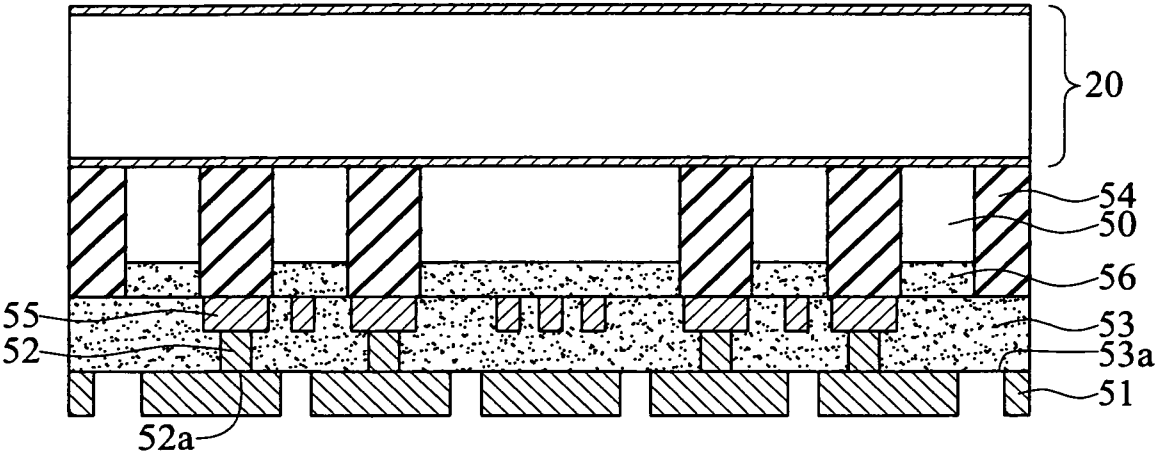
第5A圖



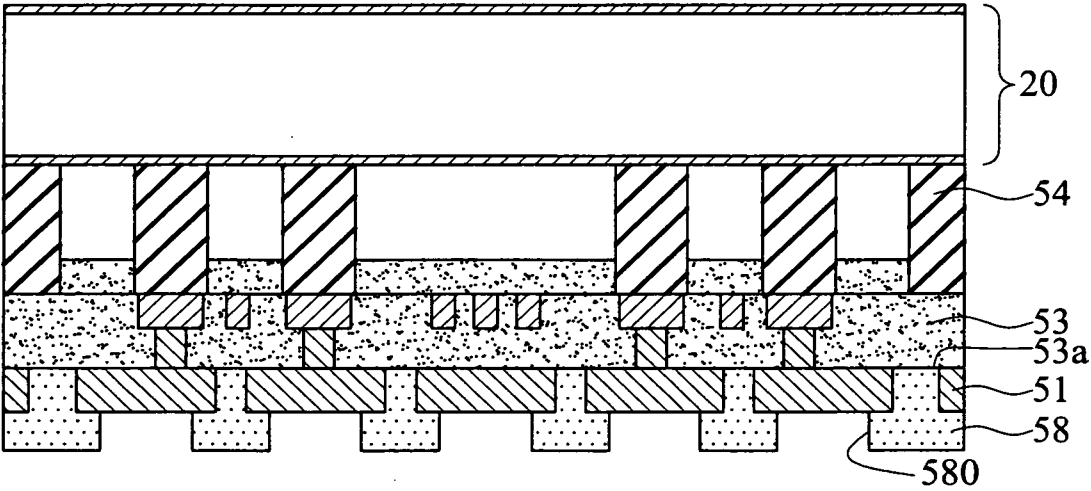
第5B圖



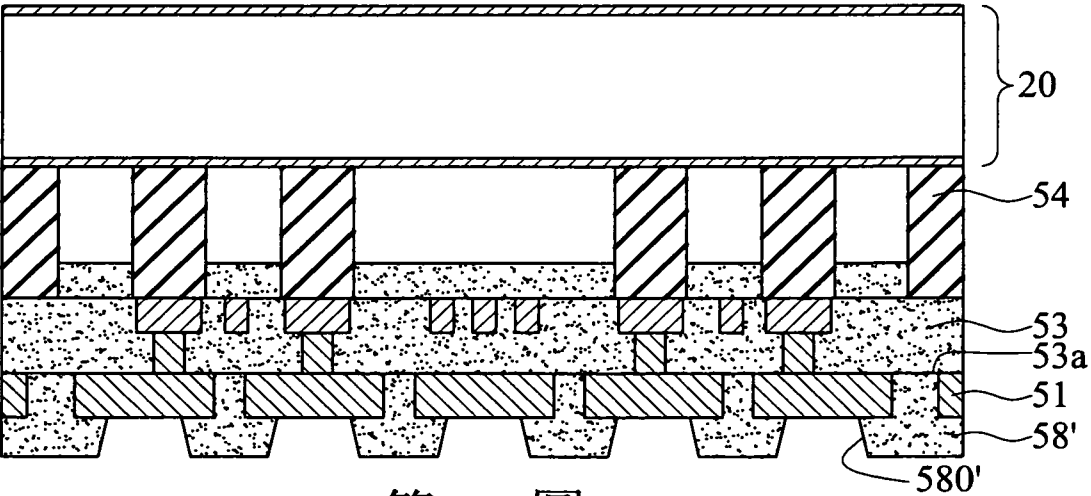
第5C圖



第5D圖

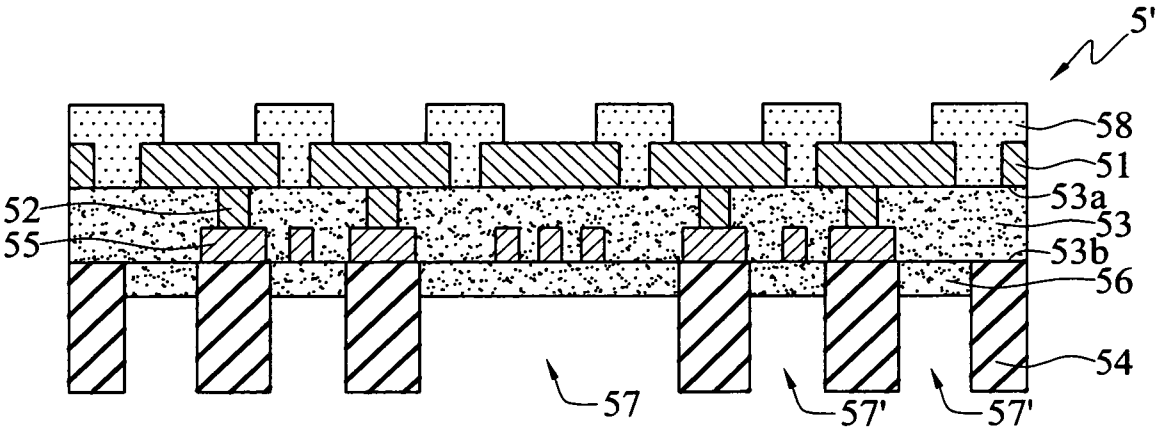


第5D'圖

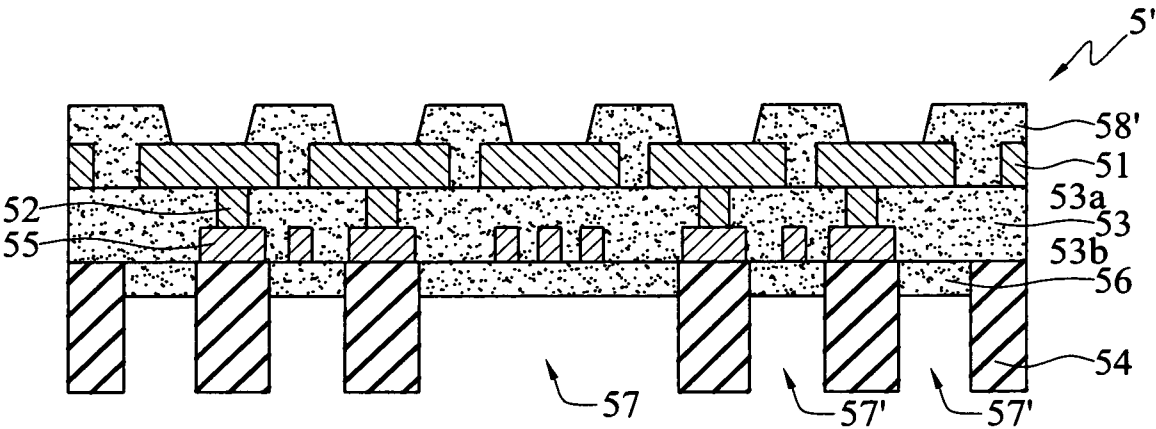


第5D''圖





第5F'圖



第5F''圖