



등록특허 10-2502316



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월23일
(11) 등록번호 10-2502316
(24) 등록일자 2023년02월17일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
- (52) CPC특허분류
H01L 27/14612 (2013.01)
H01L 27/146 (2021.08)
- (21) 출원번호 10-2016-0009741
- (22) 출원일자 2016년01월27일
심사청구일자 2021년01월22일
- (65) 공개번호 10-2016-0094290
- (43) 공개일자 2016년08월09일
- (30) 우선권주장
JP-P-2015-016743 2015년01월30일 일본(JP)
- (56) 선행기술조사문헌
US20120086095 A1*
US20140070079 A1*

*는 심사관에 의하여 인용된 문헌

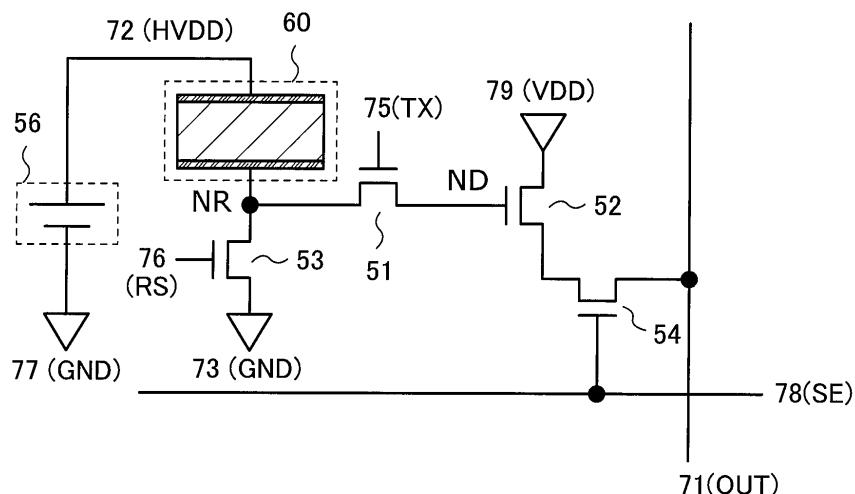
전체 청구항 수 : 총 6 항

심사관 : 심병로

(54) 발명의 명칭 **촬상 장치 및 전자 기기****(57) 요 약**

본 발명은 저조도 환경에서도 촬상 가능한 고감도의 촬상 장치를 제공한다.

광전 변환 소자의 한쪽 전극은 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽 및 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고, 광전 변환 소자의 다른 쪽 전극은 제 1 배선과 전기적으로 접속되고, 제 1 트랜지스터의 게이트 전극은 제 2 배선과 전기적으로 접속되고, 제 1 배선에 공급되는 전위가 HVDD일 때 제 2 배선에 공급되는 전위의 최대값은 HVDD보다 작은 구성으로 한다.

대 표 도 - 도1

(52) CPC특허분류
H01L 27/14614 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

촬상 장치에 있어서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

광전 변환 소자를 포함하고,

상기 광전 변환 소자의 한쪽 전극은 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 광전 변환 소자의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 상기 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 광전 변환 소자의 다른 쪽 전극은 제 1 배선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트 전극은 제 2 배선과 전기적으로 접속되고,

상기 제 1 배선에 공급되는 전위가 HVDD일 때, 상기 제 2 배선에 공급되는 전위의 최대값은 HVDD보다 작고,

상기 제 2 트랜지스터 및 상기 제 4 트랜지스터 중 적어도 하나는 상기 제 1 트랜지스터와 중첩하는 영역을 포함하는, 촬상 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

활상 장치에 있어서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

광전 변환 소자를 포함하고,

상기 광전 변환 소자의 한쪽 전극은 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 광전 변환 소자의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 상기 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 광전 변환 소자의 다른 쪽 전극은 제 1 배선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트 전극은 제 2 배선과 전기적으로 접속되고,

상기 제 1 배선에 공급되는 전위가 HVDD일 때, 상기 제 2 배선에 공급되는 전위의 최대값은 HVDD보다 작고,

상기 제 2 트랜지스터 및 상기 제 4 트랜지스터 중 적어도 하나는 상기 제 1 트랜지스터와 중첩하는 영역을 포함하고,

상기 광전 변환 소자는 상기 제 1 트랜지스터 및 상기 제 3 트랜지스터 위에 제공되는, 활상 장치.

청구항 12

제 6 항 또는 제 11 항에 있어서,

상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽은 제 3 배선과 전기적으로 접속되고,

상기 제 1 배선에 공급되는 상기 전위가 HVDD이고, 상기 제 3 배선에 공급되는 전위가 VDD이고, HVDD가 VDD보다 큰 전위일 때, 상기 제 2 배선에 공급되는 상기 전위의 상기 최대값은 VDD인, 활상 장치.

청구항 13

제 6 항 또는 제 11 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 3 트랜지스터는 각각 활성층에 산화물 반도체를 포함하고,

상기 산화물 반도체는 In, Zn, 및 M을 포함하고,

M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf인, 촐상 장치.

청구항 14

제 6 항 또는 제 11 항에 있어서,

상기 제 2 트랜지스터 및 상기 제 4 트랜지스터는 각각 활성층 또는 활성 영역에 실리콘을 포함하는, 촐상 장치.

청구항 15

전자 기기에 있어서,

제 6 항 또는 제 11 항에 따른 촐상 장치; 및

표시 장치를 포함하는, 전자 기기.

발명의 설명

기술 분야

[0001]

본 발명의 일 형태는 산화물 반도체를 사용한 촐상 장치에 관한 것이다.

배경 기술

[0002]

또한, 본 발명의 일 형태는 상기 기술 분야에 한정되지 않는다. 본 명세서 등에서 설명되는 발명의 일 형태가 속하는 기술 분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 따라서, 본 명세서에서 설명되는 본 발명의 일 형태의 더 구체적인 기술 분야로서는, 예를 들어 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촐상 장치, 이들의 구동 방법, 또는 이들의 제작 방법을 들 수 있다.

[0003]

또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터나 반도체 회로는 반도체 장치의 일 형태이다. 또한, 기억 장치, 표시 장치, 촐상 장치, 전자 기기는 반도체 장치를 갖는 경우도 있다.

[0004]

절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC)나 표시 장치와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 재료로서 실리콘계 반도체가 널리 알려져 있지만, 기타 재료로서 산화물 반도체가 주목을 받고 있다.

[0005]

예를 들어, 산화물 반도체로서 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 기재되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0006]

또한, 특허문헌 3에서는, 산화물 반도체를 갖고 오프 전류가 매우 낮은 트랜지스터를 화소 회로의 일부에 사용하고, CMOS(Complementary Metal Oxide Semiconductor) 회로를 제작할 수 있는 실리콘을 갖는 트랜지스터를 주변 회로에 사용하는 구성의 촐상 장치가 기재되어 있다.

선행기술문헌

특허문헌

[0007]

(특허문헌 0001) 일본 공개 특허 출원 제2007-123861호

(특허문헌 0002) 일본 공개 특허 출원 제2007-96055호

(특허문헌 0003) 일본 공개 특허 출원 제2011-119711호

발명의 내용

해결하려는 과제

- [0008] 고정세(高精細) 화상을 얻기 위해서는 고밀도로 접적화된 화소 어레이를 갖는 이미지 센서가 필요하다. 화소를 고밀도로 접적화하기 위해서는, 화소 하나당 면적의 축소가 요구된다.
- [0009] 화소의 면적을 축소하려면, 이 화소가 갖는 광전 변환 소자의 수광부 면적을 축소할 수밖에 없다. 광전 변환 소자의 수광부 면적이 축소되면, 광에 대한 감도가 저하되므로 저조도 환경에서 활상하기 어려워질 수 있다.
- [0010] 따라서 본 발명의 일 형태는 저조도 환경에서 쉽게 활상할 수 있는 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 저소비 전력의 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 고속 동작하기 적합한 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 해상도가 높은 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 접적도가 높은 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 다이내믹 레인지가 넓은 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 넓은 온도 범위에서 사용할 수 있는 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 개구율이 높은 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신뢰성이 높은 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신규 활상 장치 등을 제공하는 것을 목적 중 하나로 한다. 또는, 신규 반도체 장치 등을 제공하는 것을 목적 중 하나로 한다.
- [0011] 또한, 상술한 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 상술한 모든 과제를 해결할 필요는 없다. 또한, 상술한 것 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 것 외의 과제가 추출될 수 있다.

과제의 해결 수단

- [0012] 본 발명의 일 형태는 저조도 환경에서도 활상 가능한 고감도의 활상 장치에 관한 것이다.
- [0013] 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 광전 변환 소자를 갖는 활상 장치이며, 광전 변환 소자의 한쪽 전극은 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 광전 변환 소자의 한쪽 전극은 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고, 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 광전 변환 소자의 다른 쪽 전극은 제 1 배선과 전기적으로 접속되고, 제 1 트랜지스터의 게이트 전극은 제 2 배선과 전기적으로 접속되고, 제 1 배선에 공급되는 전위가 HVDD일 때 제 2 배선에 공급되는 전위의 최대값은 HVDD보다 작은 것을 특징으로 하는 활상 장치이다.
- [0014] 상기 구성에서 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 3 배선과 전기적으로 접속되고, 제 1 배선에 공급되는 전위가 HVDD이고, 제 3 배선에 공급되는 전위가 VDD이고, HVDD가 VDD보다 큰 전위일 때 제 2 배선에 공급되는 전위의 최대값은 VDD로 할 수 있다.
- [0015] 또한, 제 1 트랜지스터 및 제 3 트랜지스터에는, 활성층에 산화물 반도체를 갖는 트랜지스터를 사용할 수 있다. 이 산화물 반도체는 In, Zn, 및 M(M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 갖는 것이 바람직하다.
- [0016] 또한, 제 2 트랜지스터 및 제 4 트랜지스터에는 활성층 또는 활성 영역에 실리콘을 갖는 트랜지스터를 사용할 수 있다.

발명의 효과

- [0017] 본 발명의 일 형태를 사용함으로써 저조도 환경에서 쉽게 활상할 수 있는 활상 장치를 제공할 수 있다. 또는, 저소비 전력의 활상 장치를 제공할 수 있다. 또는, 고속 동작하기 적합한 활상 장치를 제공할 수 있다. 또는, 해상도가 높은 활상 장치를 제공할 수 있다. 또는, 접적도가 높은 활상 장치를 제공할 수 있다. 또는, 다이내믹 레인지가 넓은 활상 장치를 제공할 수 있다. 또는, 넓은 온도 범위에서 사용할 수 있는 활상 장치를 제공할 수 있다. 또는, 개구율이 높은 활상 장치를 제공할 수 있다. 또는, 신뢰성이 높은 활상 장치를 제공할 수 있다. 또는, 신규 활상 장치 등을 제공할 수 있다. 또는, 신규 반도체 장치 등을 제공할 수 있다.
- [0018] 또한, 본 발명의 일 형태는 이들 효과에 한정되는 것은 아니다. 예를 들어, 본 발명의 일 형태는, 경우 또는 상황에 따라, 이들 효과 이외의 효과를 갖는 경우도 있다. 또는, 예를 들어 본 발명의 일 형태는, 경우 또는 상황에 따라, 이들 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0019]

도 1은 화소 회로를 설명하기 위한 도면.

도 2는 OS 트랜지스터의 Id-Vg 특성을 나타내는 도면.

도 3은 OS 트랜지스터의 내압 특성을 나타내는 도면.

도 4는 OS 트랜지스터의 내압 특성을 나타내는 도면.

도 5는 OS 트랜지스터의 내압 특성을 나타내는 도면.

도 6은 활상의 동작을 설명하기 위한 타이밍 차트.

도 7은 화소 회로를 설명하기 위한 회로도.

도 8은 화소 회로를 설명하기 위한 회로도.

도 9는 활상 장치의 구성을 설명하기 위한 단면도.

도 10은 글로벌 셔터 방식 및 롤링 셔터 방식의 동작을 설명하기 위한 도면.

도 11은 광전 변환 소자의 접속 형태를 설명하기 위한 단면도.

도 12는 광전 변환 소자의 접속 형태를 설명하기 위한 단면도.

도 13은 활상 장치의 구성을 설명하기 위한 단면도.

도 14는 광전 변환 소자의 접속 형태를 설명하기 위한 단면도.

도 15는 활상 장치의 구성을 설명하기 위한 단면도.

도 16은 활상 장치의 구성을 설명하기 위한 단면도 및 회로도.

도 17은 활상 장치의 구성을 설명하기 위한 단면도.

도 18은 활상 장치의 구성을 설명하기 위한 단면도.

도 19는 활상 장치의 구성을 설명하기 위한 단면도.

도 20은 활상 장치의 구성을 설명하기 위한 단면도.

도 21은 활상 장치의 구성을 설명하기 위한 단면도.

도 22는 활상 장치의 구성을 설명하기 위한 단면도.

도 23은 만곡된 활상 장치를 설명하기 위한 도면.

도 24는 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 25는 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 26은 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 27은 트랜지스터의 채널 길이 방향의 단면을 설명하기 위한 도면.

도 28은 반도체층을 설명하기 위한 상면도 및 단면도.

도 29는 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 30은 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 31은 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 32는 트랜지스터의 채널 길이 방향의 단면을 설명하기 위한 도면.

도 33은 트랜지스터를 설명하기 위한 상면도.

도 34는 전자 기기를 설명하기 위한 도면.

도 35는 화소 회로를 설명하기 위한 도면.

도 36은 화소 회로를 설명하기 위한 도면.

도 37은 화소 회로를 설명하기 위한 도면.

도 38은 화소 회로를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0020]

실시형태에 대하여 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 설명되는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 설명되는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면 사이에서 공통적으로 이용하며, 그 반복되는 설명은 생략하는 경우가 있다. 또한, 도면을 구성하는 같은 요소의 해칭을 다른 도면 사이에서 적절히 생략 또는 변경하는 경우도 있다.

[0021]

예를 들어, 본 명세서 등에 있어서, X와 Y가 접속되어 있다고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우가, 본 명세서 등에 기재되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도, 도면 또는 문장에 기재되어 있는 것으로 한다.

[0022]

여기서, X, Y는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0023]

X와 Y가 직접 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 접속되어 있지 않은 경우이며, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 개재(介在)하지 않고, X와 Y가 접속되어 있는 경우이다.

[0024]

X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온 상태 또는 오프 상태가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태), 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 흘리지 않을지를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되어 있는 경우는, X와 Y가 직접적으로 접속되어 있는 경우를 포함하는 것으로 한다.

[0025]

X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 전환하는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 오피 앰프, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로를 개재하여도 X로부터 출력된 신호가 Y에 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다. 또한, X와 Y가 기능적으로 접속되어 있는 경우에는, X와 Y가 직접적으로 접속되어 있는 경우와 X와 Y가 전기적으로 접속되어 있는 경우가 그 범주에 포함되는 것으로 한다.

[0026]

또한, X와 Y가 전기적으로 접속되어 있다고 명시적으로 기재되어 있는 경우, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y가 다른 회로를 사이에 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재하지 않고 접속되어 있는 경우)가 본 명세서 등에 기재되어 있는 것으로 한다. 즉, 전기적으로 접속되어 있다고 명시적으로 기재되어 있는 경우에는, 단순히, 접속되어 있다고만 명시적으로 기재되어 있는 경우와 마찬가지의 내용이, 본 명세서 등에 기재되어 있는 것으로 한다.

- [0027] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접적으로 접속되고, Z1의 다른 일부가 X와 직접적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접적으로 접속되고, Z2의 다른 일부가 Y와 직접적으로 접속되어 있는 경우에는, 이하와 같이 표현할 수 있다.
- [0028] 예를 들어, "X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)"은 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다."라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)"는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는, "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)"을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공되어 있다"라고 표현할 수 있다. 이들 예와 마찬가지의 표현 방법을 사용하여, 회로 구성에 있어서의 접속의 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.
- [0029] 또는, 다른 표현 방법으로서, 예를 들어 "트랜지스터의 소스(또는 제 1 단자 등)"는 적어도 제 1 접속 경로를 통하여 X에 전기적으로 접속되고, 이 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 이 제 2 접속 경로는 트랜지스터를 통한, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, 이 제 1 접속 경로는 Z1을 통한 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y에 전기적으로 접속되고, 이 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않고, 상기 제 3 접속 경로는 Z2를 통한 경로이다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)"는 적어도 제 1 접속 경로에 의하여 Z1을 통하여 X에 전기적으로 접속되고, 이 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 이 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 갖고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로에 의하여 Z2를 통하여 Y에 전기적으로 접속되고, 이 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않는다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)"는 적어도 제 1 전기적 경로에 의하여 Z1을 통하여 X에 전기적으로 접속되고, 이 제 1 전기적 경로는 제 2 전기적 경로를 갖지 않고, 이 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 전기적 경로에 의하여 Z2를 통하여 Y에 전기적으로 접속되고, 이 제 3 전기적 경로는 제 4 전기적 경로를 갖지 않고, 이 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 경로이다"라고 표현할 수 있다. 이들 예와 마찬가지의 표현 방법을 사용하여, 회로 구성에서의 접속 경로에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.
- [0030] 또한, 이들 표현 방법은 일례이며, 이들 표현 방법에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0031] 또한, 회로도로 보면 독립되어 있는 구성 요소끼리가 전기적으로 접속되어 있도록 도시되어 있는 경우라도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하고 있는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는 하나의 도전막이 배선 및 전극의 양쪽 구성 요소의 기능을 겸비한다. 따라서, 본 명세서에서의 "전기적으로 접속"이란, 이러한 하나의 도전막이 복수의 구성 요소의 기능을 겸비하고 있는 경우도 그 범주에 포함시킨다.
- [0032] 또한, "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.
- [0033] 또한, 일반적으로 전위(전압)는 상대적인 것이며, 기준의 전위에 대하여 상대적인 크기에 의하여 크기가 결정된다. 따라서, "접지", "GND", "그라운드" 등이라고 기재되어 있는 경우에도, 반드시 전위가 0V로 한정되지 않는 것으로 한다. 예를 들어, 회로에서 가장 낮은 전위를 기준으로 하여, "접지"나 "GND"를 정의하는 경우도 있다. 또는, 회로에서 중간 정도의 전위를 기준으로 하여, "접지"나 "GND"를 정의하는 경우도 있다. 그 경우에는, 그 전위를 기준으로 하여, 양의 전위와 음의 전위가 규정된다.

- [0034] (실시형태 1)
- [0035] 본 실시형태에서는 본 발명의 일 형태에 따른 활상 장치에 대하여 도면을 참조하여 설명한다.
- [0036] 도 1은 본 발명의 일 형태에 따른 활상 장치에 사용할 수 있는 화소 회로를 설명하기 위한 도면이다. 이 화소 회로는 트랜지스터(51), 트랜지스터(52), 트랜지스터(53), 트랜지스터(54) 및 광전 변환 소자(60)를 갖는다.
- [0037] 광전 변환 소자(60)의 한쪽 전극은, 트랜지스터(51)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 또한, 광전 변환 소자(60)의 다른 쪽 전극은 트랜지스터(53)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 또한, 트랜지스터(51)의 소스 전극 및 드레인 전극 중 다른 쪽은 트랜지스터(52)의 게이트 전극과 전기적으로 접속된다. 또한, 트랜지스터(52)의 소스 전극 및 드레인 전극 중 한쪽은 트랜지스터(54)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다.
- [0038] 광전 변환 소자(60)의 다른 쪽 전극은, 배선(72)(HVDD)과 전기적으로 접속된다. 또한, 트랜지스터(51)의 게이트 전극은 배선(75)(TX)과 전기적으로 접속된다. 또한, 트랜지스터(52)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(79)(VDD)과 전기적으로 접속된다. 또한, 트랜지스터(53)의 게이트 전극은 배선(76)(RS)과 전기적으로 접속된다. 또한, 트랜지스터(53)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(73)(GND)과 전기적으로 접속된다. 또한, 트랜지스터(54)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(71)(OUT)과 전기적으로 접속된다. 또한, 트랜지스터(54)의 게이트 전극은 배선(78)(SE)과 전기적으로 접속된다. 또한, 배선(72)(HVDD)은 고전압 전원(56)의 한쪽 단자와 전기적으로 접속되고, 고전압 전원(56)의 다른 쪽 단자는 배선(77)(GND)과 전기적으로 접속된다.
- [0039] 배선(71)(OUT)은 화소로부터 신호를 출력하는 출력선으로서의 기능을 가질 수 있다. 또한, 배선(73)(GND), 배선(77)(GND), 배선(79)(VDD)은 전원선으로서의 기능을 가질 수 있고, 예를 들어 배선(73)(GND) 및 배선(77)(GND)은 저전위 전원선, 배선(79)(VDD)은 고전위 전원선으로서 기능시킬 수 있다. 또한, 배선(75)(TX), 배선(76)(RS), 배선(78)(SE)은 각 트랜지스터의 온 상태 또는 오프 상태를 제어하는 신호선으로서 기능시킬 수 있다.
- [0040] 또한, 배선(73)(GND) 및 배선(77)(GND)은 하나의 배선으로서 제공되어도 좋다. 또한, 이 2개의 배선의 전위는 GND에 한정되지 않고, 배선(79)(VDD)에 공급되는 전위보다 충분히 낮은 전위라면 좋다.
- [0041] 광전 변환 소자(60)는 고전압인 전위(HVDD)가 인가됨으로써 광전 특성을 나타낸다. 또한, 본 실시형태에서 전위(HVDD)는 배선(79)(VDD)에 공급되는 전위(VDD)보다 큰 전위로 한다. 또한, 광전 변환 소자(60)에는 저조도 환경에서의 광 검출 감도를 높이기 위하여 애벌란시(avalanche) 전하 증배가 생기는 재료로 형성된 광전 변환 소자를 사용하는 것이 바람직하다. 애벌란시 전하 증배를 생기게 하기 위해서는, 비교적 높은 전압(HVDD)이 필요하다. 따라서, 고전압 전원(56)은 HVDD를 공급할 수 있는 기능을 갖고, 광전 변환 소자(60)의 다른 쪽 전극에는 배선(72)(HVDD)을 통하여 HVDD가 공급된다.
- [0042] 트랜지스터(51)는 광전 변환 소자(60)의 출력에 따라 변화되는 전하 축적부(NR)의 전위를 전하 축적부(ND)에 전송하기 위한 전송 트랜지스터로서 기능시킬 수 있다. 또한, 트랜지스터(53)는 전하 축적부(NR) 및 전하 축적부(ND)의 전위를 초기화하는 리셋 트랜지스터로서 기능시킬 수 있다. 또한, 트랜지스터(52)는 전하 축적부(ND)의 전위에 따른 신호를 출력하는 증폭 트랜지스터로서 기능시킬 수 있다. 또한, 트랜지스터(54)는 신호를 판독하는 화소를 선택하는 선택 트랜지스터로서 기능시킬 수 있다.
- [0043] 광전 변환 소자(60)에 고전압을 인가하는 경우, 광전 변환 소자(60)와 접속되는 트랜지스터에는 고전압에 견딜 수 있는 고내압의 트랜지스터를 사용할 필요가 있다. 이 고내압의 트랜지스터에는 예를 들어, 활성층에 산화물 반도체를 사용한 트랜지스터(이하, OS 트랜지스터) 등을 사용할 수 있다. 구체적으로는, 트랜지스터(51) 및 트랜지스터(53)에 OS 트랜지스터를 적용하는 것이 바람직하다.
- [0044] 여기서 채널 길이 L /채널 폭 $W=0.35\mu\text{m}/0.8\mu\text{m}$, 게이트 절연막의 환산 막 두께 20nm (물리 막 두께 31nm)의 OS 트랜지스터에 대하여 도 2에 정특성(드레인 전압(V_d)= 0.1V , 3.3V)을 나타내었다. 또한, 도 3에는 이 트랜지스터에서 게이트 전압(V_g)= 0V , 소스 전압(V_s)= 0V 로 하였을 때의 드레인 항복 전압 특성을 나타내었다. 또한, 도 4에는 이 트랜지스터에서 $V_s=V_d=0\text{V}$ 로 하였을 때의 양 전압(positive voltage)에서의 게이트 항복 전압 특성을 나타내었다. 또한, 도 5에는 이 트랜지스터에서 $V_s=V_d=0\text{V}$ 로 하였을 때의 음 전압(negative voltage)에서의 게이트 항복 전압 특성을 나타내었다. 도 2~도 5를 보면 알 수 있듯이, OS 트랜지스터는 고내압의 전기 특성을 갖는다.

- [0045] OS 트랜지스터는 와이드 밴드 갭(>3.0eV) 반도체이기 때문에 드레인 내압은 정션(junction) 내압이 아니라 게이트 절연막의 막 두께에 의존한다. 한편, OS 트랜지스터에서는, 단채널 효과가 일어나기 어렵기 때문에 게이트 절연막을 두껍게 하여 드레인 내성을 향상시키는 것과 동시에 노멀리 오프의 트랜지스터 특성이 쉽게 얻어진다. 광전 변환 소자의 애벌란시 전하 증배에 필요한 20V초의 바이어스에 대하여도 내성을 갖는 것을 알 수 있다. 또한, OS 트랜지스터의 고장 모드는 절연 파괴이다.
- [0046] 또한, 본 명세서에서 고내압의 트랜지스터란, 전기적으로 파괴되지 않고, 원하는 고전압을 인가할 수 있는 전기 특성을 갖는 트랜지스터를 가리킨다. 예를 들어, 고내압의 트랜지스터는 소스 전극 및 드레인 전극을 GND로 하여 파괴되지 않고, 게이트 전극에 원하는 고전압을 인가할 수 있다. 또는 소스 전극 및 게이트 전극을 GND로 하여 파괴되지 않고, 드레인 전극에 원하는 고전압을 인가할 수 있다. 또는 소스 전극을 GND, 게이트 전극을 VDD로 하여 파괴되지 않고, 드레인 전극에 원하는 고전압을 인가할 수 있다.
- [0047] 트랜지스터(51) 및 트랜지스터(53)는 스위칭 특성이 우선되지만, 트랜지스터(52)는 증폭 특성이 우선되기 때문에 온 전류가 높은 트랜지스터인 것이 바람직하다. 따라서, 트랜지스터(52)는 실리콘을 활성층 또는 활성 영역에 사용한 트랜지스터(이하, Si 트랜지스터)를 적용하는 것이 바람직하다.
- [0048] 또한, 전하 축적부(NR)의 전위는 최대로 HVDD가 될 수 있지만, 트랜지스터(51)에 n-ch형 트랜지스터를 사용한 경우에는 전하 축적부(ND)의 전위는 트랜지스터(51)의 게이트 전극에 인가하는 최대 전위보다 크게 되지 않는다. 보다 정확하게는, 이 전하 축적부(ND)의 전위는 트랜지스터(51)의 게이트 전극에 인가하는 최대 전위로부터 트랜지스터(51)의 문턱 전압(V_{th})만큼 낮은 전위보다 크게 되지 않는다. 예를 들어, 전하 축적부(NR)의 전위가 HVDD가 되어도 배선(75)(TX)에 인가되는 최대 전위가 VDD가 될 때 전하 축적부(ND)의 최대 전위는 VDD가 된다. 보다 정확하게는, 이 전하 축적부(ND)의 전위는 $VDD - V_{th}$ 가 된다. 또한, 이후의 설명에서, 트랜지스터(51)의 V_{th} 는 작은 값으로 가정하고 전하 축적부(ND)의 전위에 관한 기술은 생략하였다.
- [0049] 즉, 트랜지스터(51)가 노멀리 오프인 경우, 전위(HVDD)보다 낮은 전압인 전위(VDD)가 관독용 전원 전압이 된다. 따라서, 트랜지스터(52)의 게이트 전극에 고전압이 인가되지 않기 때문에, 트랜지스터(52)에 얇은 게이트 절연막을 갖고, 비교적 내압이 높지 않은 Si 트랜지스터를 사용하여도 문제는 일어나지 않는다.
- [0050] 트랜지스터(51)~트랜지스터(54)를 상술한 구성으로 함으로써 저조도 환경에서의 광의 검출 감도가 높고, 노이즈가 적은 신호를 출력할 수 있는 활성 장치를 제작할 수 있다. 또한, 광의 검출 감도가 높기 때문에 광의 취득 시간을 짧게 할 수 있어 고속으로 활성할 수 있다.
- [0051] 다음에, 도 6의 타이밍 차트를 참조하여 화소 동작을 설명한다. 또한, 이하에 설명하는 일례의 동작에서는 트랜지스터(53)의 게이트 전극에 접속된 배선(76)(RS)은 "H"로서 HVDD, "L"로서 GND의 전위가 공급되는 것으로 한다. 또한, 트랜지스터(51)의 게이트 전극에 접속된 배선(75)(TX)에는 "H"로서 VDD, "L"로서 GND의 전위가 공급되는 것으로 한다. 또한, 트랜지스터(52)의 소스 전극에 접속된 배선(79)(VDD)에는 VDD가 공급되는 것으로 한다. 또한, 각 배선에 상기 외의 전위를 공급하는 형태로 할 수도 있다.
- [0052] 우선, 배선(76)(RS)을 "H", 배선(75)(TX)을 "H"로 함으로써 전하 축적부(NR) 및 전하 축적부(ND)의 전위를 리셋 전위(GND)로 설정한다(리셋 동작). 또한, 리셋 동작 시에 배선(76)(RS)에 "H"로서 VDD를 공급하여도 좋다.
- [0053] 다음에, 배선(76)(RS)을 "L", 배선(75)(TX)을 "L"로 함으로써 전하 축적부(NR)의 전위가 변화된다(축적 동작). 전하 축적부(NR)의 전위는 광전 변환 소자(60)에 입사된 광의 강도에 따라 GND로부터 최대로 HVDD까지 변화된다.
- [0054] 축적 동작에 이어 배선(75)(TX)을 "H"로 함으로써 전하 축적부(NR)의 전위를 전하 축적부(ND)로 전송한다(전송 동작).
- [0055] 축적 동작에서 광전 변환 소자(60)에 입사된 광의 강도에 따라 전하 축적부(NR)의 전위는 변화되지만, 트랜지스터(51)의 게이트 전극에는 VDD가 공급되기 때문에, 전하 축적부(ND)의 전위가 VDD까지 도달하면 트랜지스터(51)는 오프가 된다. 따라서, 전하 축적부(ND)의 전위는 리셋 전위(GND)로부터 최대 VDD까지 변화된다. 즉, 트랜지스터(52)의 게이트 전극에는 최대로 VDD의 전위가 인가된다.
- [0056] 또한, 도 6에서는 축적 동작에서 배선(75)(TX)을 "L"로 하였지만, 배선(75)(TX)을 "H"로 하여도 좋다. 이 경우, 전하 축적부(NR)의 전위 변화에 따라 전하 축적부(ND)의 전위도 변화되지만, 트랜지스터(51)의 게이트 전극에는 VDD가 공급되기 때문에, 전하 축적부(ND)의 전위가 VDD까지 도달하면 트랜지스터(51)는 오프가 된다.

따라서, 전하 축적부(ND)의 전위는 리셋 전위(GND)로부터 최대 VDD까지 변화된다. 즉, 이 경우에도 트랜지스터(52)의 게이트 전극에는 최대로 VDD의 전위가 인가된다.

[0057] 또한, 축적 동작에서 배선(75)(TX)을 "L"로 함으로써 트랜지스터(51)에 기인한 노이즈의 영향을 저감할 수 있다. 한편, 배선(75)(TX)을 "H"로 함으로써 트랜지스터(51)의 스위칭에 기인한 노이즈의 영향을 저감할 수 있다.

[0058] 전송 동작에 이어 배선(76)(RS)을 "L", 배선(75)(TX)을 "L", 배선(78)(SE)을 "H"로 함으로써 전하 축적부(ND)의 전위에 따른 신호를 배선(71)(OUT)에 출력할 수 있다. 즉, 축적 동작에서 광전 변환 소자(60)에 입사된 광의 감도에 따른 출력 신호를 얻을 수 있다.

[0059] 상기 동작에서 각 트랜지스터의 단자에 인가되는 전압의 최대값은 다음과 같다. 트랜지스터(51)의 소스 전극에는 HVDD, 게이트 전극 및 드레인 전극에는 VDD가 인가될 수 있다. 트랜지스터(53)의 게이트 전극 및 드레인 전극에는 HVDD, 소스 전극에는 GND가 인가될 수 있다. 트랜지스터(52)의 소스 전극, 드레인 전극 및 게이트 전극에는 VDD가 인가될 수 있다. 트랜지스터(54)의 소스 전극, 드레인 전극 및 게이트 전극에는 VDD가 인가될 수 있다. 따라서, 트랜지스터(51) 및 트랜지스터(53)에는 고전압 HVDD에 견딜 수 있는 고내압이 요구된다. 한편, 트랜지스터(52) 및 트랜지스터(54)는 VDD에 견딜 수 있는 내압이 있으면 충분하다.

[0060] 또한, 본 발명의 일 형태에 따른 활상 장치에 사용하는 화소 회로는, 도 35에 도시된 구성이어도 좋다. 도 35에 도시된 화소 회로에서는, 도 1에 도시된 구성에서의 전하 축적부(ND)에 트랜지스터(55)의 소스 전극 및 드레인 전극 중 한쪽을 접속한 구성이다. 트랜지스터(55)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(93)(GND), 게이트 전극은 배선(96)(RS)에 접속된다. 배선(93)(GND)은 배선(73)(GND)과 같은 전위로 할 수 있다. 배선(96)(RS)은 트랜지스터(55)를 제어하기 위한 신호선이고, 배선(76)(RS)과 같은 전위를 공급할 수 있다. 또한, 배선(76)(RS) 및 배선(96)(RS)은 서로 상이한 전위를 공급할 수 있는 형태 외에 양자가 전기적으로 접속되는 형태로 할 수도 있다.

[0061] 도 1에 도시된 화소 회로의 구성에서는, 트랜지스터(51) 및 트랜지스터(53)를 온으로 함으로써 전하 축적부(ND)의 리셋 동작을 행하지만, 도 35에 도시된 구성에서는 트랜지스터(51)를 동작시키지 않고, 전하 축적부(ND)를 리셋할 수 있어 활상의 노이즈를 적게 할 수 있다.

[0062] 또한, 도 1에 도시된 회로 구성에서는, 트랜지스터(54)가 트랜지스터(52)와 배선(71)(OUT) 사이에 제공된 형태가 도시되었지만, 도 36에 도시된 바와 같이, 트랜지스터(54)가 트랜지스터(52)와 배선(79)(VDD) 사이에 제공된 형태가 되어도 좋다.

[0063] 또한, 도 1에 도시된 회로 구성에서는, 트랜지스터(52)의 소스 전극 및 드레인 전극 중 다른 쪽이 고전위 전원선(배선(79)(VDD))과 접속되는 형태가 도시되었지만, 도 37의 (A)에 도시된 바와 같이, 트랜지스터(52)의 소스 전극 및 드레인 전극 중 다른 쪽이 저전위 전원선(배선(99)(GND))과 접속되는 형태가 되어도 좋다. 또한, 도 37의 (B)에 도시된 바와 같이, 트랜지스터(52)를 p-ch형 트랜지스터로 치환하는 형태가 되어도 좋다.

[0064] 본 발명의 일 형태에 따른 화소 회로의 또 다른 형태로서 도 7의 (A)에 도시된 바와 같이 트랜지스터(54)를 갖지 않는 구성이어도 좋다. 또한, 도 7의 (B)에 도시된 바와 같이 전하 축적부(NR)에 용량 소자(57)를 제공한 구성이어도 좋다. 또한, 도 7의 (C)에 도시된 바와 같이, 전하 축적부(ND)에 용량 소자(58)를 제공한 구성이어도 좋다. 또한, 도 7의 (D)에 도시된 바와 같이, 용량 소자(57) 및 용량 소자(58)를 제공한 구성이어도 좋다. 또한, 도 7의 (A)~(D)에 도시된 구성은, 도 35~도 37에 도시된 구성과 임의적으로 조합할 수 있다.

[0065] 또한, 화소 회로에 사용되는 트랜지스터는, 도 7의 (E) 또는 (F)에 도시된 바와 같이, 트랜지스터(51), 트랜지스터(53)에 백 게이트를 제공한 구성이어도 좋다. 또한, 도 7의 (E)는 백 게이트에 정전위를 인가하는 구성이며 문턱 전압을 제어할 수 있다. 도 7의 (F)는 프런트 게이트와 같은 전위가 백 게이트에 인가되는 구성이며 온 전류를 증가시킬 수 있다. 또한, 도 7의 (G) 또는 (H)에 도시된 바와 같이, 트랜지스터(51)~트랜지스터(54)에 백 게이트를 제공하는 구성이어도 좋다. 또한, 트랜지스터에 백 게이트를 제공하는 구성은 도 1, 도 7의 (A)~(D), 도 35~도 37에 도시된 회로에도 적용할 수 있다. 또한, 하나의 화소 회로에 포함되는 트랜지스터에 대하여, 프런트 게이트와 같은 전위가 백 게이트에 인가되는 구성, 백 게이트에 정전위가 인가되는 구성, 또는 백 게이트가 제공되지 않는 구성을 필요에 따라 임의적으로 조합한 회로 구성으로 하여도 좋다.

[0066] 또한, 화소 회로는 도 8에 도시된 바와 같이, 트랜지스터(52) 및 트랜지스터(54)를 복수의 화소로 공용하는 형태로 하여도 좋다. 또한, 도 8에서는 수직 방향의 복수의 화소로 트랜지스터(52) 및 트랜지스터(54)를 공용하는 구성을 예시하였지만, 수평 방향 또는 수평 수직 방향의 복수의 화소로 트랜지스터(52) 및 트랜지스터(54)를

공용하여도 좋다. 이와 같은 구성으로 함으로써 화소가 하나당 갖는 트랜지스터의 개수를 삭감시킬 수 있다. 또한, 도 38에 도시된 바와 같이, 전하 축적부(ND)에 리셋용 트랜지스터(55)가 제공된 형태여도 좋다.

[0067] 또한, 도 8 및 도 38에는 트랜지스터(52) 및 트랜지스터(54)를 4화소로 공용하는 형태가 도시되었지만, 2화소, 3화소, 또는 5화소 이상으로 공용하는 형태여도 좋다. 또한, 도 8 또는 도 38에 도시된 구성과, 도 7의 (A)~(H), 도 36, 및 도 37에 도시된 구성은 임의적으로 조합할 수 있다.

[0068] 여기까지의 구성으로 함으로써 고집적화된 화소 어레이를 갖는 활상 장치를 형성할 수 있다. 또한, 저조도 환경에서 쉽게 활상할 수 있는 활상 장치를 제공할 수 있다.

[0069] 다음에, 본 발명의 일 형태에 따른 활상 장치의 구체적인 구성에 대하여 도면을 참조하여 설명한다. 도 9의 (A)는 본 발명의 일 형태에 따른 활상 장치의 단면도의 일례이고, 도 1에 도시된 화소에서의 광전 변환 소자(60), 트랜지스터(51) 및 트랜지스터(53)의 구체적인 접속 형태의 일례를 도시한 것이다. 또한, 도 9의 (A)에는 트랜지스터(52) 및 트랜지스터(54)는 도시되지 않았다. 이 활상 장치는 트랜지스터(51)~트랜지스터(54)가 제공되는 총(1100), 및 광전 변환 소자(60)가 제공되는 총(1200)을 갖는다.

[0070] 또한, 본 실시형태에서 설명하는 단면도에는 각 배선, 각 전극 및 각 도전체(81)가 개별 요소로서 도시되었지만, 이들이 전기적으로 접속되는 경우에는 동일 요소로서 제공되는 경우도 있다. 또한, 트랜지스터의 게이트 전극, 소스 전극, 또는 드레인 전극이 도전체(81)를 통하여 각 배선과 접속되는 형태는 일례이며, 트랜지스터의 게이트 전극, 소스 전극, 또는 드레인 전극 각각이 배선으로서의 기능을 갖는 경우도 있다.

[0071] 또한, 각 요소 위에는 보호막, 층간 절연막, 또는 평탄화막으로서의 기능을 갖는 절연층(82) 및 절연층(83) 등이 제공된다. 예를 들어, 절연층(82) 및 절연층(83) 등은 산화 실리콘막, 산화질화 실리콘막 등의 무기 절연막을 사용할 수 있다. 또는, 아크릴 수지, 폴리이미드 수지 등의 유기 절연막 등을 사용하여도 좋다. 절연층(82) 및 절연층(83) 등의 상면은 필요에 따라 CMP(Chemical Mechanical Polishing)법 등을 사용하여 평탄화 처리를 행하는 것이 바람직하다.

[0072] 또한, 도면에 도시된 배선 등의 일부가 제공되지 않는 경우나, 도면에 도시되지 않는 배선 등이나 트랜지스터 등이 각 층에 포함되는 경우도 있다. 또한, 도면에 도시되지 않는 층이 포함되는 경우도 있다. 또한, 도면에 도시된 층의 일부가 포함되지 않는 경우도 있다.

[0073] 트랜지스터(51) 및 트랜지스터(53)에는 OS 트랜지스터를 사용하는 것이 특히 바람직하다.

[0074] OS 트랜지스터는 매우 낮은 오프 전류 특성을 갖기 때문에 활상의 다이내믹 레인지지를 확대할 수 있다. 도 1에 도시된 화소의 회로 구성에서는, 광전 변환 소자(60)에 입사되는 광의 강도가 작은 경우에 전하 축적부(ND)의 전위가 작아진다. OS 트랜지스터는 오프 전류가 매우 낮기 때문에, 게이트 전위가 매우 작은 경우에 있어서도 이 게이트 전위에 따른 전류를 정확하게 출력할 수 있다. 따라서, 검출할 수 있는 조도의 레인지, 즉 다이내믹 레인지지를 확대할 수 있다.

[0075] 또한, 트랜지스터(51) 및 트랜지스터(53)가 갖는 낮은 오프 전류 특성에 의하여, 전하 축적부(ND) 및 전하 축적부(NR)에서 전하를 유지할 수 있는 기간을 매우 길게 할 수 있다. 따라서 회로 구성이나 동작 방법을 복잡하게 하지 않고 모든 화소에서 전하의 축적 동작을 동시에 행하는 글로벌 셔터 방식을 적용할 수 있다.

[0076] 일반적으로, 화소가 매트릭스 형태로 배치된 활상 장치에서는, 행마다 활상 동작(11), 데이터 유지 동작(12), 판독 동작(13)을 행하는 구동 방법인 롤링 셔터(rolling shutter) 방식(도 10의 (A) 참조)이 사용된다. 롤링 셔터 방식을 사용하는 경우에는, 활상의 동시성이 상실되기 때문에 피사체가 이동한 경우에는 화상이 흐려지는 왜곡 현상이 나타난다.

[0077] 따라서, 본 발명의 일 형태는 모든 행에서 동시에 활상 동작(11)을 행하고, 행마다 순차적으로 판독 동작(13)을 행할 수 있는 글로벌 셔터(global shutter) 방식(도 10의 (B) 참조)을 사용하는 것이 바람직하다. 글로벌 셔터 방식을 사용함으로써 활상 장치의 각 화소에서의 활상의 동시성을 확보할 수 있어, 피사체가 이동한 경우에도 화상이 흐려지는 왜곡 현상이 작은 화상을 쉽게 얻을 수 있다.

[0078] 또한, OS 트랜지스터는, 실리콘을 활성 영역 또는 활성층에 사용한 Si 트랜지스터보다 전기 특성 변동의 온도 의존성이 작기 때문에, 매우 넓은 온도 범위에서 사용할 수 있다. 따라서, OS 트랜지스터를 갖는 활상 장치 및 반도체 장치는 자동차, 항공기, 우주선 등에 탑재하기에도 적합하다.

[0079] 또한, OS 트랜지스터는, Si 트랜지스터보다 드레인 내압이 높은 특성을 갖는다. 셀레늄계 재료를 광전 변환층

에 사용한 광전 변환 소자에서는, 애벌란시 현상이 쉽게 발생되도록 비교적 높은 전압(예를 들어 10V 이상)을 인가하는 것이 바람직하다. 따라서, OS 트랜지스터와 셀레늄계 재료를 광전 변환층에 사용한 광전 변환 소자를 조합함으로써 신뢰성이 높은 활상 장치로 할 수 있다.

[0080] 또한, 도 9의 (A)에는 각 트랜지스터가 백 게이트를 갖는 형태가 예시되었지만, 도 9의 (B)에 도시된 바와 같이, 백 게이트를 갖지 않는 형태여도 좋다. 또한, 도 9의 (C)에 도시된 바와 같이 일부 트랜지스터, 예를 들어 트랜지스터(51)만이 백 게이트를 갖는 형태여도 좋다. 이 백 게이트는 대향하여 제공되는 트랜지스터의 프런트 게이트와 전기적으로 접속되는 경우가 있다. 또는 이 백 게이트에 프런트 게이트와는 다른 고정 전위가 공급되는 경우가 있다. 또한, 이 백 게이트의 유무에 관한 형태는, 본 실시형태에서 설명하는 다른 활상 장치의 형태에도 적용할 수 있다.

[0081] 층(1200)에 제공되는 광전 변환 소자(60)는, 다양한 형태의 소자를 사용할 수 있다. 도 9의 (A)에는 셀레늄계 재료를 광전 변환층(61)에 사용한 형태가 도시되었다. 셀레늄계 재료를 사용한 광전 변환 소자(60)는 가시광에 대한 외부 양자 효율이 높은 특성을 갖는다. 이 광전 변환 소자에서는, 애벌란시 현상에 의하여 입사되는 광량에 대한 전자의 증폭이 큰 고감도 센서로 할 수 있다. 또한, 셀레늄계 재료는 광 흡수 계수가 높기 때문에 광전 변환층(61)을 얇게 하기 쉽다는 이점을 갖는다.

[0082] 셀레늄계 재료로서는, 비정질 셀레늄 또는 결정 셀레늄을 사용할 수 있다. 결정 셀레늄은 일례로서 비정질 셀레늄을 성막한 후, 열 처리를 행함으로써 얻을 수 있다. 또한, 결정 셀레늄의 결정 입경을 화소 피치보다 작게 함으로써 화소들의 특성 편차를 저감시킬 수 있다. 또한, 결정 셀레늄은 비정질 셀레늄보다 가시광에 대한 분광 감도나 광 흡수 계수가 높은 특성을 갖는다.

[0083] 또한, 광전 변환층(61)은 구리, 인듐, 셀레늄의 화합물(CIS)을 포함하는 층이어도 좋다. 또는 구리, 인듐, 갈륨, 셀레늄의 화합물(CIGS)을 포함하는 층이어도 좋다. CIS 및 CIGS에서는 셀레늄의 단층과 마찬가지로 애벌란시 현상을 이용할 수 있는 광전 변환 소자를 형성할 수 있다.

[0084] 셀레늄계 재료를 사용한 광전 변환 소자(60)는 예를 들어 금속 재료 등으로 형성된 전극(66)과 투광성 도전층(62) 사이에 광전 변환층(61)을 갖는 구성으로 할 수 있다. 또한, CIS 및 CIGS는 p형 반도체이고, 접합을 형성하기 위하여 n형 반도체의 황화 카드뮴이나 황화 아연 등을 접하여 제공하여도 좋다.

[0085] 애벌란시 현상을 발생시키기 위해서는, 광전 변환 소자에 비교적 높은 전압(예를 들어 10V 이상)을 인가하는 것이 바람직하다. OS 트랜지스터는 Si 트랜지스터보다 드레인 내압이 높은 특성을 갖기 때문에 광전 변환 소자에 비교적 높은 전압을 인가하는 것이 용이하다. 따라서, 드레인 내압이 높은 OS 트랜지스터와 셀레늄계 재료를 광전 변환층에 사용한 광전 변환 소자를 조합함으로써 고감도이며 신뢰성이 높은 활상 장치로 할 수 있다.

[0086] 또한, 도 9의 (A)에서는 광전 변환층(61) 및 투광성 도전층(62)을 화소 회로간에서 분리하지 않는 구성으로 하지마, 도 11의 (A)에 도시된 바와 같이 회로간에서 분리하는 구성으로 하여도 좋다. 또한, 화소간에서 전극(66)을 갖지 않는 영역에는 절연체로 격벽(67)을 제공하여 광전 변환층(61) 및 투광성 도전층(62)에 균열이 생기지 않도록 하는 것이 바람직하지만, 도 11의 (B)에 도시된 바와 같이 격벽(67)을 제공하지 않는 구성으로 하여도 좋다. 또한, 도 9의 (A)에는 투광성 도전층(62)과 배선(72) 사이에 배선(88) 및 도전체(81)를 개재하는 구성이 도시되었지만, 도 11의 (C) 및 (D)에 도시된 바와 같이 투광성 도전층(62)과 배선(72)이 직접 접하는 형태로 하여도 좋다.

[0087] 또한, 전극(66) 및 배선(72) 등은 다층으로 하여도 좋다. 예를 들어, 도 12의 (A)에 도시된 바와 같이, 전극(66)을 도전층(66a) 및 도전층(66b)의 2층으로 하고, 배선(72)을 도전층(72a) 및 도전층(72b)의 2층으로 할 수 있다. 도 12의 (A)에 도시된 구성에서는 예를 들어, 도전층(66a) 및 도전층(72a)을 저저항의 금속 등을 선택하여 형성하고, 도전층(66a) 및 도전층(72a)을 광전 변환층(61)과 콘택트 특성이 좋은 금속 등을 선택하여 형성하면 좋다. 이와 같은 구성으로 함으로써, 광전 변환 소자의 전기 특성을 향상시킬 수 있다. 또한, 일부 금속은 투광성 도전층(62)과 접촉함으로써 전식(電蝕)을 일으킬 수 있다. 이와 같은 금속을 도전층(72a)에 사용한 경우에도 도전층(72b)을 개재함으로써 전식을 방지할 수 있다.

[0088] 도전층(66b) 및 도전층(72b)에는 예를 들어, 몰리브데늄이나 텉스텐 등을 사용할 수 있다. 또한, 도전층(66a) 및 도전층(72a)에는 예를 들어 알루미늄, 타이타늄, 또는 타이타늄에 알루미늄을 끼우는 적층을 사용할 수 있다.

[0089] 또한, 절연층(82) 등이 다층인 구성이어도 좋다. 예를 들어, 도 12의 (B)에 도시된 바와 같이, 절연층(82)이 절연층(82a) 및 절연층(82b)을 갖고, 또한 절연층(82a)과 절연층(82b)의 에칭 레이트 등이 다른 경우에는, 도전

체(81)는 단차를 갖게 된다. 충간 절연막이나 평탄화막에 사용되는 기타 절연층이 다층인 경우도 마찬가지로 도전체(81)는 단차를 갖게 된다. 또한, 여기서는 절연층(82)이 2층인 예를 설명하였지만, 절연층(82) 및 기타 절연층은 3층 이상의 구성이어도 좋다.

[0090] 또한, 격벽(67)은 무기 절연체나 절연 유기 수지 등을 사용하여 형성할 수 있다. 또한, 격벽(67)은 트랜지스터 등에 대한 차광을 위하여 및/또는 화소 하나당의 수광부의 면적을 확정하기 위하여 흑색 등으로 칠해되어도 좋다.

[0091] 또한, 광전 변환 소자(60)에는, 비정질 실리콘막이나 미결정 실리콘막 등을 사용한 pin형 다이오드 소자 등을 사용하여도 좋다.

[0092] 예를 들어, 도 13은 광전 변환 소자(60)에 pin형 박막 포토다이오드를 사용한 예이다. 이 포토다이오드는 p형 반도체층(65), i형 반도체층(64), 및 n형 반도체층(63)이 순차적으로 적층된 구성을 갖는다. i형 반도체층(64)에는 비정질 실리콘을 사용하는 것이 바람직하다. 또한, n형 반도체층(63) 및 p형 반도체층(65)에는 각각 도전형을 부여하는 도편트를 포함하는 비정질 실리콘 또는 미결정 실리콘 등을 사용할 수 있다. 비정질 실리콘을 광전 변환층으로 하는 포토다이오드는 가시광의 광장 영역에서의 감도가 높고, 미약한 가시광을 검지하기 쉽다.

[0093] 도 13에 도시된 광전 변환 소자(60)에서는, p형 반도체층(65)이 트랜지스터(51) 및 트랜지스터(53)와 전기적인 접속을 갖는 전극(66)과 전기적인 접속을 갖는다. 또한, n형 반도체층(63)이 도전체(81)를 통하여 배선(72)과 전기적인 접속을 갖는다.

[0094] 또한, pin형 박막 포토다이오드의 형태를 갖는 광전 변환 소자(60)의 구성, 그리고 광전 변환 소자(60) 및 배선의 접속 형태는, 도 14에 도시된 예이어도 좋다. 또한, 광전 변환 소자(60)의 구성, 광전 변환 소자(60)와 배선의 접속 형태는 이에 한정되지 않고, 다른 형태이어도 좋다.

[0095] 도 14의 (A)는 광전 변환 소자(60)의 n형 반도체층(63)과 접하는 투광성 도전층(62)을 제공한 구성이다. 투광성 도전층(62)은 전극으로서 작용하고, 광전 변환 소자(60)의 출력 전류를 높일 수 있다.

[0096] 투광성 도전층(62)에는, 예를 들어, 인듐 주석 산화물, 실리콘을 포함하는 인듐 주석 산화물, 아연을 포함하는 산화 인듐, 산화 아연, 갈륨을 포함하는 산화 아연, 알루미늄을 포함하는 산화 아연, 산화 주석, 불소를 포함하는 산화 주석, 안티모니를 포함하는 산화 주석, 또는 그래핀 등을 사용할 수 있다. 또한, 투광성 도전층(62)은 단층에 한정되지 않고, 상이한 막의 적층이어도 좋다.

[0097] 도 14의 (B)는 광전 변환 소자(60)의 n형 반도체층(63)과 배선(88)이 직접적인 접속을 갖는 구성이다.

[0098] 도 14의 (C)는 광전 변환 소자(60)의 n형 반도체층(63)과 접하는 투광성 도전층(62)이 제공되고, 배선(88)과 투광성 도전층(62)이 전기적인 접속을 갖는 구성이다.

[0099] 도 14의 (D)는 광전 변환 소자(60)를 덮는 절연층에 n형 반도체층(63)이 노출되는 개구부가 형성되고, 이 개구부를 덮는 투광성 도전층(62)과 배선(88)이 전기적인 접속을 갖는 구성이다.

[0100] 도 14의 (E)는 광전 변환 소자(60)를 관통하는 도전체(81)가 제공된 구성이다. 이 구성에서는, 배선(72)은 도전체(81)를 통하여 n형 반도체층(63)과 전기적으로 접속된다. 또한, 도면에서는 배선(72)과 전극(66)은 p형 반도체층(65)을 통하여 외관상 도통되는 형태를 도시하였다. 그러나, p형 반도체층(65)의 가로 방향의 저항이 높기 때문에, 배선(72)과 전극(66) 사이에 적절한 간격을 제공하면 양자 사이는 매우 고저항이 된다. 따라서, 광전 변환 소자(60)는 양극과 음극이 단락되지 않고 다이오드 특성을 가질 수 있다. 또한, n형 반도체층(63)과 전기적으로 접속되는 도전체(81)는 복수라도 좋다.

[0101] 도 14의 (F)는 도 14의 (E)의 광전 변환 소자(60)에 대하여 n형 반도체층(63)과 접하는 투광성 도전층(62)을 제공한 구성이다.

[0102] 도 14의 (D)~(F)에 도시된 광전 변환 소자(60)에서는, 수광 영역과 배선 등이 중첩되지 않기 때문에 넓은 수광 면적을 확보할 수 있는 이점을 갖는다.

[0103] 또한, 광전 변환 소자(60)에는 도 15에 도시된 바와 같이, 실리콘 기판(30)을 광전 변환층에 사용한 포토다이오드를 사용할 수도 있다.

[0104] 상술한 셀레늄계 재료나 비정질 실리콘 등을 사용하여 형성한 광전 변환 소자(60)는 성막 공정, 리소그래피 공정, 에칭 공정 등 일반적인 반도체 제작 공정을 사용하여 제작할 수 있다. 또한, 셀레늄계 재료는 고저항이고,

도 9의 (A)에 도시된 바와 같이 광전 변환층(61)을 회로간에서 분리하지 않는 구성으로 할 수도 있다. 따라서, 본 발명의 일 형태에 따른 활상 장치는, 수율이 높고, 저렴하게 제작할 수 있다. 한편, 실리콘 기판(30)을 광전 변환층에 사용한 포토다이오드를 형성하는 경우는, 연마 공정이나 접합 공정 등 어려운 공정이 필요하다.

[0105] 또한, 본 발명의 일 형태에 따른 활상 장치는, 회로가 형성된 실리콘 기판(30)이 적층된 구성으로 하여도 좋다. 예를 들어, 도 16의 (A)에 도시된 바와 같이 실리콘 기판(30)에 활성 영역을 갖는 트랜지스터(31) 및 트랜지스터(32)를 갖는 층(1400)이 화소 회로와 중첩되는 구성으로 할 수 있다.

[0106] 실리콘 기판(30)에 형성된 회로는, 화소 회로가 출력하는 신호를 판독하는 기능이나 이 신호를 변환하는 처리 등을 행하는 기능을 가질 수 있고, 예를 들어 도 16의 (B)에 도시된 회로도와 같은 CMOS 인버터를 포함하는 구성으로 할 수 있다. 트랜지스터(31)(n-ch형) 및 트랜지스터(32)(p-ch형)의 게이트 전극은 전기적으로 접속된다. 또한, 한쪽 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 다른 쪽의 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 또한, 양쪽 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 각각 다른 배선에 전기적으로 접속된다.

[0107] 또한, 실리콘 기판(30)은 벌크 실리콘 기판에 한정되지 않고, 저마늄, 실리콘 저마늄, 단소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 유기 반도체를 재료로 하는 기판을 사용할 수도 있다.

[0108] 또한, 트랜지스터(31) 및 트랜지스터(32)는 도 16의 (C)에 도시된 바와 같이, 실리콘 박막의 활성층(35)을 갖는 트랜지스터여도 좋다. 또한, 활성층(35)은 다결정 실리콘이나 SOI(Silicon on Insulator)의 단결정 실리콘으로 할 수 있다.

[0109] 여기서, 도 15 및 도 16의 (A)에 도시된 바와 같이, 산화물 반도체를 갖는 트랜지스터가 형성되는 영역과, Si 트랜지스터(도 15에서는 Si 포토다이오드)가 형성되는 영역 사이에는 절연층(80)이 제공된다.

[0110] 트랜지스터(31) 및 트랜지스터(32)의 활성 영역 근방에 제공되는 절연층 내의 수소는 실리콘의 탱글링 본드를 종단한다. 따라서 이 수소는 트랜지스터(31) 및 트랜지스터(32)의 신뢰성을 향상시키는 효과를 갖는다. 한편, 트랜지스터(51) 등의 활성층인 산화물 반도체층 근방에 제공되는 절연층 내의 수소는, 산화물 반도체층 내에 캐리어를 생성하는 요인 중 하나가 된다. 그러므로 이 수소는 트랜지스터(51) 등의 신뢰성을 저하시키는 요인으로 되는 경우가 있다. 따라서 실리콘계 반도체 재료를 사용한 트랜지스터를 갖는 한쪽의 층과, OS 트랜지스터를 갖는 다른 쪽의 층을 적층시키는 경우, 이를 사이에, 수소가 확산되는 것을 방지하는 기능을 갖는 절연층(80)을 제공하는 것이 바람직하다. 절연층(80)에 의하여 한쪽의 층에 수소를 가둠으로써 트랜지스터(31) 및 트랜지스터(32)의 신뢰성을 향상시킬 수 있다. 또한, 한쪽의 층으로부터 다른 쪽의 층으로 수소가 확산되는 것이 억제됨으로써 트랜지스터(51) 등의 신뢰성도 향상시킬 수 있다.

[0111] 절연층(80)으로서는 예를 들어 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 사용할 수 있다.

[0112] 또한, 도 16의 (A)에 도시된 구성에서는 실리콘 기판(30)에 형성되는 회로(예를 들어, 구동 회로)와, 트랜지스터(51) 등과, 광전 변환 소자(60)가 중첩되도록 형성할 수 있기 때문에, 화소의 접적도를 높일 수 있다. 즉, 활상 장치의 해상도를 높일 수 있다. 예를 들어, 화소 수가 4K2K, 8K4K, 또는 16K8K 등의 활상 장치에 사용하기 적합하다. 또한, 화소 회로가 갖는 트랜지스터(52) 및 트랜지스터(54) 등이 트랜지스터(51) 등 및 광전 변환 소자(60)와 중첩되는 영역을 갖는 구성으로 하여도 좋다.

[0113] 또한, 도 16의 (A)에 도시된 활상 장치는 실리콘 기판(30)에는 광전 변환 소자를 제공하지 않는 구성을 갖는다. 따라서, 각종 트랜지스터나 배선 등의 영향을 받지 않고, 광전 변환 소자(60)에 대한 광로를 확보할 수 있어 고개구율의 화소를 형성할 수 있다.

[0114] 또한, 본 발명의 일 형태에 따른 활상 장치는, 도 17에 도시된 구성으로 할 수 있다.

[0115] 도 17에 도시된 활상 장치는 도 16의 (A)에 도시된 활상 장치의 변형 예이고, OS 트랜지스터 및 Si 트랜지스터로 CMOS 인버터를 구성하는 예를 도시하였다.

[0116] 여기서, 층(1400)에 제공되는 Si 트랜지스터인 트랜지스터(32)는 p-ch형으로 하고, 층(1100)에 제공되는 OS 트랜지스터인 트랜지스터(31)는 n-ch형으로 한다. p-ch형 트랜지스터만을 실리콘 기판(30)에 제공함으로써, 웨일 형상이나 n형 불순물층 형성 등의 공정을 생략할 수 있다.

[0117] 또한, 도 17에 도시된 활상 장치는, 광전 변환 소자(60)에 셀레늄을 사용한 예를 도시하였지만, 도 13과 마찬가

지로 pin형 박막 포토다이오드를 사용한 구성으로 하여도 좋다.

[0118] 도 17에 도시된 활상 장치에서 트랜지스터(31)는 층(1100)에 형성되는 트랜지스터(41) 및 트랜지스터(42)를 동일 공정으로 제작할 수 있다. 따라서, 활상 장치의 제작 공정을 간략화할 수 있다.

[0119] 또한, 본 실시형태에 따른 활상 장치가 갖는 트랜지스터 및 광전 변환 소자의 구성은 일례이다. 따라서, 예를 들어 트랜지스터(51)~트랜지스터(54) 중 하나 이상을 활성 영역 또는 활성층에 실리콘 등을 갖는 트랜지스터로 구성할 수도 있다. 또한, 트랜지스터(31) 및 트랜지스터(32) 양쪽 또는 한쪽을 활성층에 산화물 반도체층을 갖는 트랜지스터로 구성할 수도 있다.

[0120] 도 18의 (A)는 활상 장치에 컬러 필터 등을 부가한 형태의 일례를 도시한 단면도이다. 이 단면도는, 3화소분의 화소 회로를 갖는 영역의 일부를 도시한 것이다. 광전 변환 소자(60)가 형성되는 층(1200) 위에는 절연층(2500)이 형성된다. 절연층(2500)은 가시광에 대하여 투광성이 높은 산화 실리콘막 등을 사용할 수 있다. 또한, 패시베이션막으로서 질화 실리콘막을 적층하는 구성으로 하여도 좋다. 또한, 반사 방지막으로서 산화 하프늄 등의 유전체막을 적층하는 구성으로 하여도 좋다.

[0121] 절연층(2500) 위에는 차광층(2510)이 형성되어도 좋다. 차광층(2510)은 상부의 컬러 필터를 통과하는 광의 혼색을 방지하는 기능을 갖는다. 차광층(2510)에는 알루미늄, 텉스텐 등의 금속층이나 이 금속층과 반사 방지막으로서의 기능을 갖는 유전체막을 적층하는 구성으로 할 수 있다.

[0122] 절연층(2500) 및 차광층(2510) 위에는 평탄화막으로서 유기 수지층(2520)을 제공하는 구성으로 할 수 있다. 또한, 화소별로 컬러 필터(2530)가 형성된다. 예를 들어, 컬러 필터(2530a), 컬러 필터(2530b), 및 컬러 필터(2530c)에는 각각 R(적색), G(녹색), B(청색), Y(황색), C(시안), M(마젠타) 등의 색을 할당함으로써 컬러 화상을 얻을 수 있다.

[0123] 컬러 필터(2530) 위에는 투광성을 갖는 절연층(2560) 등을 제공할 수 있다.

[0124] 또한, 도 18의 (B)에 도시된 바와 같이, 컬러 필터(2530) 대신에 광학 변환층(2550)을 사용하여도 좋다. 이와 같은 구성으로 함으로써 다양한 파장 영역에서의 화상이 얻어지는 활상 장치로 할 수 있다.

[0125] 예를 들어, 광학 변환층(2550)에 가시광선의 파장 이하의 광을 차단하는 필터를 사용하면 적외선 활상 장치로 할 수 있다. 또한, 광학 변환층(2550)에 근적외선의 파장 이하의 광을 차단하는 필터를 사용하면 원적외선 활상 장치로 할 수 있다. 또한, 광학 변환층(2550)에 가시광선의 파장 이상의 광을 차단하는 필터를 사용하면, 자외선 활상 장치로 할 수 있다.

[0126] 또한, 광학 변환층(2550)에 신틸레이터를 사용하면 X선 활상 장치 등에 사용하는, 방사선의 강약을 가시화한 화상을 얻는 활상 장치로 할 수 있다. 피사체를 투과한 X선 등의 방사선이 신틸레이터에 입사되면 포토루미네센스라는 현상에 의하여 가시광선이나 자외광선 등의 광(형광)으로 변환된다. 그리고, 이 광을 광전 변환 소자(60)에 의하여 검지함으로써 화상 데이터를 취득한다. 또한, 방사선 검출기 등에 이 구성을 갖는 활상 장치를 사용하여도 좋다.

[0127] 신틸레이터는, X선이나 감마선 등의 방사선이 조사되면 그 에너지를 흡수하여 가시광이나 자외광을 발하는 물질을 포함한다. 예를 들어, $Gd_2O_2S:Tb$, $Gd_2O_2S:Pr$, $Gd_2O_2S:Eu$, $BaFCl:Eu$, NaI , CsI , CaF_2 , BaF_2 , CeF_3 , LiF , LiI , ZnO 를 수지나 세라믹으로 분산시킨 것을 사용할 수 있다.

[0128] 또한, 셀레늄계 재료를 사용한 광전 변환 소자(60)에서는, X선 등의 방사선을 전하로 직접 변환할 수 있어 신틸레이터를 필요로 하지 않는 구성으로 할 수도 있다.

[0129] 컬러 필터(2530a), 컬러 필터(2530b), 및 컬러 필터(2530c) 위에는 마이크로 렌즈 어레이(2540)를 제공하여도 좋다. 마이크로 렌즈 어레이(2540)가 갖는 각 렌즈를 통한 광이 바로 아래에 있는 컬러 필터를 통하여 광전 변환 소자(60)에 조사된다. 또한, 도 18에 도시된 층(1200) 이외의 영역을 층(1600)으로 한다.

[0130] 도 18의 (C)에 도시된 활상 장치의 구체적인 구성은, 도 9의 (A)에 도시된 활상 장치를 예로 들면, 도 19에 도시된 바와 같이 된다. 또한, 도 15에 도시된 활상 장치를 예로 들면, 도 20에 도시된 바와 같이 된다.

[0131] 또한, 본 발명의 일 형태에 따른 활상 장치는, 도 21 및 도 22에 도시된 바와 같이, 회절 격자(1500)와 조합하여도 좋다. 회절 격자(1500)를 통한 피사체의 상(회절 화상)을 화소에 넣고, 연산 처리에 의하여 화소에서의 활상 화상으로부터 입력 화상(피사체의 상)을 구성할 수 있다. 또한, 렌즈 대신에 회절 격자(1500)를 사용함으

로써 활상 장치의 비용을 줄일 수 있다.

- [0132] 회절 격자(1500)는, 투광성을 갖는 재료로 형성할 수 있다. 예를 들어, 산화 실리콘막, 산화질화 실리콘막 등의 무기 절연막을 사용할 수 있다. 또는, 아크릴 수지, 폴리이미드 수지 등의 유기 절연막 등을 사용하여도 좋다. 또는, 이 무기 절연막과 유기 절연막의 적층이어도 좋다.
- [0133] 또한, 회절 격자(1500)는 감광성 수지 등을 사용한 리소그래피 공정으로 형성할 수 있다. 또한, 리소그래피 공정과 에칭 공정을 사용하여 형성할 수도 있다. 또한, 나노 임프린트 리소그래피나 레이저 스크라이빙 등을 사용하여 형성할 수도 있다.
- [0134] 또한, 회절 격자(1500)와 마이크로렌즈 어레이(2540) 사이에 간격 X를 제공하여도 좋다. 간격 X는 1mm 이하, 바람직하게는 100 μm 이하로 할 수 있다. 또한, 이 간격은 공간이어도 좋고, 투광성을 갖는 재료를 밀봉층 또는 접착층으로서 제공하여도 좋다. 예를 들어, 질소나 희가스 등의 불활성 가스를 상기 간격에 가둘 수 있다. 또는 아크릴 수지, 에폭시 수지, 또는 폴리이미드 수지 등을 상기 간격에 제공하여도 좋다. 또는 실리콘(silicone) 오일 등의 액체를 제공하여도 좋다. 또한, 마이크로렌즈 어레이(2540)를 제공하지 않는 경우에도 컬러 필터(2530)와 회절 격자(1500) 사이에 간격 X를 제공하여도 좋다.
- [0135] 또한, 활상 장치는 도 23의 (A1) 및 도 23의 (B1)에 도시된 바와 같이, 만곡시켜도 좋다. 도 23의 (A1)은 활상 장치를 같은 도면에 도시된 이점 쇄선 X1-X2의 방향으로 만곡시킨 상태를 도시한 것이다. 도 23의 (A2)는 도 23의 (A1)에 도시된 이점 쇄선 X1-X2를 따라 자른 부위의 단면도이다. 도 23의 (A3)은 도 23의 (A1)에 따른 이점 쇄선 Y1-Y2를 따라 자른 부위의 단면도이다.
- [0136] 도 23의 (B1)은 활상 장치를 같은 도면에 도시된 이점 쇄선 X3-X4의 방향으로 만곡시키고, 같은 도면에 도시된 이점 쇄선 Y3-Y4의 방향으로 만곡시킨 상태를 도시한 것이다. 도 23의 (B2)는 도 23의 (B1)에 도시된 이점 쇄선 X3-X4를 따라 자른 부위의 단면도이다. 도 23의 (B3)은 도 23의 (B1)에 도시된 이점 쇄선 Y3-Y4를 따라 자른 부위의 단면도이다.
- [0137] 활상 장치를 만곡시킴으로써, 상면(像面) 만곡이나 비점 수차를 저감할 수 있다. 따라서, 활상 장치와 조합하여 사용하는 렌즈 등의 광학 설계를 쉽게 할 수 있다. 예를 들어, 수차 보정을 위한 렌즈의 수를 줄일 수 있어, 활상 장치를 사용한 반도체 장치 등의 소형화나 경량화를 쉽게 할 수 있다. 또한, 활상된 화상의 품질을 향상시킬 수 있다.
- [0138] 또한, 본 실시형태에서, 본 발명의 일 형태에 대하여 설명하였다. 또는 다른 실시형태에서, 본 발명의 일 형태에 대하여 설명한다. 단, 본 발명의 일 형태는 이에 한정되지 않는다. 즉, 본 실시형태 및 다른 실시형태에는 다양한 발명의 형태가 설명되어 있어, 본 발명의 일 형태는 특정의 형태에 한정되지 않는다. 예를 들어, 본 발명의 일 형태로서 활상 장치에 적용한 경우의 예를 설명하였지만 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라 본 발명의 일 형태는 활상 장치에 적용하지 않아도 된다. 예를 들어, 본 발명의 일 형태는 다른 기능을 갖는 반도체 장치에 적용하여도 좋다. 예를 들어, 본 발명의 일 형태로서 트랜지스터의 채널 형성 영역, 소스 드레인 영역 등이 산화물 반도체를 갖는 경우의 예를 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라 본 발명의 일 형태에서의 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 드레인 영역 등은, 예를 들어 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 또는 유기 반도체 등 중 적어도 하나를 가져도 좋다. 또는, 예를 들어, 경우 또는 상황에 따라 본 발명의 일 형태에서의 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 드레인 영역 등은 산화물 반도체를 갖지 않아도 된다. 예를 들어, 경우 또는 상황에 따라 트랜지스터(51) 및 트랜지스터(53)의 양쪽 또는 한쪽은 활성층에 산화물 반도체층을 갖지 않아도 된다.
- [0139] 본 실시형태는 다른 실시형태에서 설명한 구성과 적절히 조합하여 실시할 수 있다.
- [0140] (실시형태 2)
- [0141] 본 실시형태에서는, 본 발명의 일 형태에 사용할 수 있는 산화물 반도체를 갖는 트랜지스터에 대하여 도면을 사용하여 설명한다. 또한, 본 실시형태에서의 도면에서는 명료화를 위하여 일부의 요소를 확대, 축소, 또는 생략하였다.
- [0142] 도 24의 (A) 및 (B)는 본 발명의 일 형태에 따른 트랜지스터(101)의 상면도 및 단면도이다. 도 24의 (A)는 상

면도이고, 도 24의 (A)에 도시된 일점 쇄선 B1-B2 방향의 단면이 도 24의 (B)에 상당한다. 또한, 도 24의 (A)에 도시된 일점 쇄선 B3-B4 방향의 단면이 도 26의 (A)에 상당한다. 또한, 일점 쇄선 B1-B2 방향을 채널 길이 방향, 일점 쇄선 B3-B4 방향을 채널 폭 방향이라고 부른다.

[0143] 트랜지스터(101)는 기판(115)과 접하는 절연층(120); 절연층(120)과 접하는 산화물 반도체층(130); 산화물 반도체층(130)과 전기적으로 접속되는 도전층(140) 및 도전층(150); 산화물 반도체층(130), 도전층(140) 및 도전층(150)과 접하는 절연층(160); 절연층(160)과 접하는 도전층(170); 도전층(140), 도전층(150), 절연층(160) 및 도전층(170)과 접하는 절연층(175); 절연층(175)과 접하는 절연층(180)을 갖는다. 또한, 필요에 따라 절연층(180)에 평탄화막으로서의 기능을 부가하여도 좋다.

[0144] 도전층(140)은 소스 전극층, 도전층(150)은 드레인 전극층, 절연층(160)은 게이트 절연막, 도전층(170)은 게이트 전극층으로서 각각 기능할 수 있다.

[0145] 도 24의 (B)에 도시된 영역(231)은 소스 영역, 영역(232)은 드레인 영역, 영역(233)은 채널 형성 영역으로서 각각 기능할 수 있다. 영역(231) 및 영역(232)은 도전층(140) 및 도전층(150)과 각각 접하고, 도전층(140) 및 도전층(150)으로서 산소와 결합하기 쉬운 도전 재료를 사용하면, 영역(231) 및 영역(232)을 저저항화할 수 있다.

[0146] 구체적으로는, 산화물 반도체층(130)과 도전층(140) 및 도전층(150)이 접함으로써 산화물 반도체층(130) 내에 산소 결손이 생기고, 이 산소 결손과 산화물 반도체층(130) 내에 잔류 또는 외부로부터 확산되는 수소와의 상호 작용에 의하여 영역(231) 및 영역(232)은 저저항의 n형이 된다.

[0147] 또한 트랜지스터의 "소스"나 "드레인"의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바꿔 사용되는 경우가 있다. 따라서, 본 명세서에서, "소스" 및 "드레인"이라는 용어는 서로 바꿔 사용할 수 있다. 또한, "전극층"은 "배선"으로 바꿔 말할 수도 있다.

[0148] 또한, 도전층(170)은 도전층(171) 및 도전층(172)의 2층으로 형성되는 예가 도시되었지만 1층 또는 3층 이상의 적층이어도 좋다. 이 구성은 본 실시형태에서 설명하는 다른 트랜지스터에도 적용할 수 있다.

[0149] 또한, 도전층(140) 및 도전층(150)은 단층으로 형성되는 예가 도시되었지만 2층 이상의 적층이어도 좋다. 이 구성은 본 실시형태에서 설명하는 다른 트랜지스터에도 적용할 수 있다.

[0150] 본 발명의 일 형태에 따른 트랜지스터는 도 24의 (C) 및 (D)에 도시된 구성을 가져도 좋다. 도 24의 (C)는 트랜지스터(102)의 상면도이고, 도 24의 (C)에 도시된 일점 쇄선 C1-C2 방향의 단면이 도 24의 (D)에 상당한다. 또한, 도 24의 (C)에 도시된 일점 쇄선 C3-C4 방향의 단면은 도 26의 (B)에 상당한다. 또한, 일점 쇄선 C1-C2 방향을 채널 길이 방향, 일점 쇄선 C3-C4 방향을 채널 폭 방향이라고 부른다.

[0151] 트랜지스터(102)는, 게이트 절연막으로서 작용하는 절연층(160)의 단부와 게이트 전극층으로서 작용하는 도전층(170)의 단부를 일치시키지 않는 점 외는 트랜지스터(101)와 같은 구성을 갖는다. 트랜지스터(102)의 구조는 도전층(140) 및 도전층(150)이 절연층(160)으로 넓게 덮이기 때문에 도전층(140) 및 도전층(150)과, 도전층(170) 사이의 저항이 높고 게이트 누설 전류가 적다는 특징을 갖는다.

[0152] 트랜지스터(101) 및 트랜지스터(102)는 도전층(170)과, 도전층(140) 및 도전층(150)이 중첩되는 영역을 갖는 톱 게이트 구조이다. 이 영역의 채널 길이 방향의 폭은 기생 용량을 작게 하기 위하여 3nm 이상 300nm 미만으로 하는 것이 바람직하다. 이 구성에서는, 산화물 반도체층(130)에 오프셋 영역이 형성되지 않기 때문에, 온 전류가 높은 트랜지스터가 형성되기 쉽다.

[0153] 본 발명의 일 형태에 따른 트랜지스터는 도 24의 (E) 및 (F)에 도시된 구성을 가져도 좋다. 도 24의 (E)는 트랜지스터(103)의 상면도이고, 도 24의 (E)에 도시된 일점 쇄선 D1-D2를 방향의 단면이 도 24의 (F)에 상당한다. 또한, 도 24의 (E)에 도시된 일점 쇄선 D3-D4 방향의 단면은 도 26의 (A)에 상당한다. 또한, 일점 쇄선 D1-D2 방향을 채널 길이 방향, 일점 쇄선 D3-D4 방향을 채널 폭 방향이라고 부른다.

[0154] 트랜지스터(103)는, 기판(115)과 접하는 절연층(120); 절연층(120)과 접하는 산화물 반도체층(130); 산화물 반도체층(130)과 접하는 절연층(160); 절연층(160)과 접하는 도전층(170); 산화물 반도체층(130), 절연층(160), 및 도전층(170)을 덮는 절연층(175); 절연층(175)과 접하는 절연층(180); 절연층(175) 및 절연층(180)에 제공된 개구부를 통하여 산화물 반도체층(130)과 전기적으로 접하는 도전층(140) 및 도전층(150)을 갖는다. 또한, 필요에 따라 절연층(180), 도전층(140) 및 도전층(150)에 접하는 절연층(평탄화막) 등을 가져도 좋다.

[0155] 도전층(140)은 소스 전극층, 도전층(150)은 드레인 전극층, 절연층(160)은 게이트 절연막, 도전층(170)은 게이

트 전극층으로서 각각 기능할 수 있다.

[0156] 도 24의 (F)에 도시된 영역(231)은 소스 영역, 영역(232)은 드레인 영역, 영역(233)은 채널 형성 영역으로서 각각 기능할 수 있다. 영역(231) 및 영역(232)은 절연층(175)과 접하고, 예를 들어 절연층(175)으로서 수소가 포함되는 절연 재료를 사용하면 영역(231) 및 영역(232)을 저저항화할 수 있다.

[0157] 구체적으로는, 절연층(175)을 형성할 때까지의 공정에 의하여 영역(231) 및 영역(232)에 생기는 산소 결손과, 절연층(175)으로부터 영역(231) 및 영역(232)으로 확산되는 수소의 상호 작용에 의하여, 영역(231) 및 영역(232)은 저저항의 n형이 된다. 또한, 수소가 포함되는 절연 재료로서는, 예를 들어 질화 실리콘이나 질화 알루미늄 등을 사용할 수 있다.

[0158] 본 발명의 일 형태에 따른 트랜지스터는 도 25의 (A) 및 (B)에 도시된 구성을 가져도 좋다. 도 25의 (A)는 트랜지스터(104)의 상면도이고, 도 25의 (A)에 도시된 일점 쇄선 E1-E2 방향의 단면이 도 25의 (B)에 상당한다. 또한, 도 25의 (A)에 도시된 일점 쇄선 E3-E4 방향의 단면은 도 26의 (A)에 상당한다. 또한, 일점 쇄선 E1-E2 방향을 채널 길이 방향, 일점 쇄선 E3-E4 방향을 채널 폭 방향이라고 부른다.

[0159] 트랜지스터(104)는 도전층(140) 및 도전층(150)이 산화물 반도체층(130)의 단부를 덮도록 접하는 점 외는 트랜지스터(103)와 같은 구성을 갖는다.

[0160] 또한, 도 25의 (B)에 도시된 영역(331) 및 영역(334)은 소스 영역, 영역(332) 및 영역(335)은 드레인 영역, 영역(333)은 채널 형성 영역으로서 각각 기능할 수 있다.

[0161] 영역(331) 및 영역(332)은 트랜지스터(101)에서의 영역(231) 및 영역(232)과 마찬가지로 저저항화할 수 있다.

[0162] 영역(334) 및 영역(335)은 트랜지스터(103)에서의 영역(231) 및 영역(232)과 마찬가지로 저저항화할 수 있다. 또한, 채널 길이 방향에서의 영역(334) 및 영역(335)의 길이가 100nm 이하, 바람직하게는 50nm 이하인 경우에는 게이트 전계의 기여에 의하여 온 전류가 크게 저하되지 않는다. 따라서, 영역(334) 및 영역(335)의 저저항화를 행하지 않는 경우도 있다.

[0163] 트랜지스터(103) 및 트랜지스터(104)는 도전층(170)과, 도전층(140) 및 도전층(150)이 중첩되는 영역을 갖지 않는 자기 정렬 구조(self-aligned structure)를 갖는다. 자기 정렬 구조의 트랜지스터는 게이트 전극층과 소스 전극층 및 드레인 전극층 사이의 기생 용량이 매우 작기 때문에, 고속 동작 용도에 적합하다.

[0164] 본 발명의 일 형태에 따른 트랜지스터는 도 25의 (C) 및 (D)에 도시된 구성을 가져도 좋다. 도 25의 (C)는 트랜지스터(105)의 상면도이고, 도 25의 (C)에 도시된 일점 쇄선 F1-F2 방향의 단면이 도 25의 (D)에 상당한다. 또한, 도 25의 (C)에 도시된 일점 쇄선 F3-F4 방향의 단면은 도 26의 (A)에 상당한다. 또한, 일점 쇄선 F1-F2 방향을 채널 길이 방향, 일점 쇄선 F3-F4 방향을 채널 폭 방향이라고 부른다.

[0165] 트랜지스터(105)는 기판(115)과 접하는 절연층(120); 절연층(120)과 접하는 산화물 반도체층(130); 산화물 반도체층(130)과 전기적으로 접속되는 도전층(141) 및 도전층(151); 산화물 반도체층(130), 도전층(141), 및 도전층(151)과 접하는 절연층(160); 절연층(160)과 접하는 도전층(170); 산화물 반도체층(130), 도전층(141), 도전층(151), 절연층(160), 및 도전층(170)과 접하는 절연층(175); 절연층(175)과 접하는 절연층(180); 절연층(175) 및 절연층(180)에 제공된 개구부를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속되는 도전층(142) 및 도전층(152)을 갖는다. 또한, 필요에 따라 절연층(180), 도전층(142), 및 도전층(152)에 접하는 절연층 등을 가져도 좋다.

[0166] 도전층(141) 및 도전층(151)은 산화물 반도체층(130)의 상면과 접하고, 측면에는 접하지 않는 구성이 된다.

[0167] 트랜지스터(105)는 도전층(141) 및 도전층(151)을 갖는 점, 절연층(175) 및 절연층(180)에 제공된 개구부를 갖는 점, 및 이 개구부를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속되는 도전층(142) 및 도전층(152)을 갖는 점 외는, 트랜지스터(101)와 같은 구성을 갖는다. 도전층(140)(도전층(141) 및 도전층(142))은 소스 전극층으로서 작용시킬 수 있고, 도전층(150)(도전층(151) 및 도전층(152))은 드레인 전극층으로서 작용시킬 수 있다.

[0168] 본 발명의 일 형태에 따른 트랜지스터는 도 25의 (E) 및 (F)에 도시된 구성을 가져도 좋다. 도 25의 (E)는 트랜지스터(106)의 상면도이고, 도 25의 (E)에 도시된 일점 쇄선 G1-G2 방향의 단면이 도 25의 (F)에 상당한다. 또한, 도 25의 (A)에 도시된 일점 쇄선 G3-G4 방향의 단면은 도 26의 (A)에 상당한다. 또한, 일점 쇄선 G1-G2 방향을 채널 길이 방향, 일점 쇄선 G3-G4 방향을 채널 폭 방향이라고 부른다.

- [0169] 트랜지스터(106)는, 기판(115)과 접하는 절연층(120); 이 절연층(120)과 접하는 산화물 반도체층(130); 이 산화물 반도체층(130)과 전기적으로 접속되는 도전층(141) 및 도전층(151); 이 산화물 반도체층(130)과 접하는 절연층(160); 이 절연층(160)과 접하는 도전층(170); 이를 절연층(120), 산화물 반도체층(130), 도전층(141), 도전층(151), 절연층(160), 및 도전층(170)과 접하는 절연층(175); 이 절연층(175)과 접하는 절연층(180); 이를 절연층(175) 및 절연층(180)에 제공된 개구부를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속된 도전층(142) 및 도전층(152)을 갖는다. 또한, 필요에 따라 절연층(180), 도전층(142), 및 도전층(152)에 접하는 절연층(평탄화막) 등을 가져도 좋다.
- [0170] 도전층(141) 및 도전층(151)은 산화물 반도체층(130)의 상면과 접하고 측면에는 접하지 않는 구성이 된다.
- [0171] 트랜지스터(106)는 도전층(141) 및 도전층(151)을 갖는 점 외는 트랜지스터(103)와 같은 구성을 갖는다. 도전층(140)(도전층(141) 및 도전층(142))은 소스 전극층으로서 작용시킬 수 있고, 도전층(150)(도전층(151) 및 도전층(152))은 드레인 전극층으로서 작용시킬 수 있다.
- [0172] 트랜지스터(105) 및 트랜지스터(106)의 구성을에서는 도전층(140) 및 도전층(150)이 절연층(120)과 접하지 않는 구성이기 때문에 절연층(120) 내의 산소가 도전층(140) 및 도전층(150)에 의하여 추출되기 어렵게 되어 절연층(120)으로부터 산화물 반도체층(130)내로 산소를 쉽게 공급할 수 있다.
- [0173] 또한, 트랜지스터(103)에서의 영역(231) 및 영역(232), 트랜지스터(104) 및 트랜지스터(106)에서의 영역(334) 및 영역(335)에는 산소 결손을 형성하고 도전율을 높이기 위한 불순물을 첨가하여도 좋다. 산화물 반도체층에 산소 결손을 형성하는 불순물로서는 예를 들어 인, 비소, 안티모니, 붕소, 알루미늄, 실리콘, 질소, 헬륨, 네온, 아르곤, 크립톤, 제논, 인듐, 불소, 염소, 타이타늄, 아연, 및 탄소 중 어느 것으로부터 선택되는 하나 이상을 사용할 수 있다. 상기 불순물의 첨가 방법으로서는 플라즈마 처리법, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0174] 불순물 원소로서, 상기 원소가 산화물 반도체층에 첨가되면, 산화물 반도체층 내의 금속 원소와 산소의 결합이 절단되어 산소 결손이 형성된다. 산화물 반도체층에 포함되는 산소 결손과 산화물 반도체층 내에 잔존 또는 나중에 첨가되는 수소의 상호 작용에 의하여, 산화물 반도체층의 도전율을 높게 할 수 있다.
- [0175] 불순물 원소의 첨가에 의하여 산소 결손이 형성된 산화물 반도체에 수소를 첨가하면, 산소 결손 사이트에 수소가 들어가 전도대 근방에 도너 준위가 형성된다. 결과적으로, 산화물 도전체를 형성할 수 있다. 여기서는 도전체화된 산화물 반도체를 산화물 도전체라고 한다. 또한, 산화물 도전체는 산화물 반도체와 마찬가지로 투광성을 갖는다.
- [0176] 산화물 도전체는 축퇴형 반도체(degenerate semiconductor)이고, 전도대단과 페르미 준위가 일치 또는 대략 일치한다고 추정된다. 그러므로 산화물 도전체층과, 소스 전극층 및 드레인 전극층으로서 기능하는 도전층과의 접촉은 오직 접촉이 되어 산화물 도전체층과, 소스 전극층 및 드레인 전극층으로서 기능하는 도전층 사이의 접촉 저항을 저감할 수 있다.
- [0177] 본 발명의 일 형태에 따른 트랜지스터는 도 27에 도시된 채널 길이 방향의 단면도, 및 도 26 (C) 및 (D)에 도시된 채널 폭 방향의 단면도와 같이, 산화물 반도체층(130)과 기판(115) 사이에 도전층(173)을 구비하여도 좋다. 도전층(173)을 제 2 게이트 전극층(백 게이트)으로서 사용함으로써 온 전류를 더 증가시키거나 문턱 전압을 제어할 수 있다. 또한, 도 27에 도시된 단면도에서 도전층(173)의 폭을 산화물 반도체층(130)보다 짧게 하여도 좋다. 또한, 도전층(173)의 폭을 도전층(170)의 폭보다 짧게 하여도 좋다.
- [0178] 온 전류를 증가시키기 위해서는, 예를 들어 도전층(170)과 도전층(173)을 같은 전위로 하여 더블 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 도전층(170)과는 다른 정전위를 도전층(173)에 공급하면 좋다. 도전층(170)과 도전층(173)을 같은 전위로 하기 위해서는 예를 들어 도 26의 (D)에 도시된 바와 같이, 도전층(170)과 도전층(173)을 콘택트 홀을 통하여 전기적으로 접속하면 좋다.
- [0179] 또한, 도 24 및 도 25에서 트랜지스터(101)~트랜지스터(106)의 산화물 반도체층(130)이 단층인 예를 도시하였지만 산화물 반도체층(130)은 적층이라도 좋다. 트랜지스터(101)~트랜지스터(106)의 산화물 반도체층(130)은 도 28의 (B) 및 (C) 또는 도 28의 (D) 및 (E)에 도시된 산화물 반도체층(130)과 서로 바꿀 수 있다.
- [0180] 도 28의 (A)는 산화물 반도체층(130)의 상면도이고, 도 28의 (B) 및 (C)는 2층 구조의 산화물 반도체층(130)의 단면도이다. 또한, 도 28의 (D) 및 (E)는 3층 구조의 산화물 반도체층(130)의 단면도이다.
- [0181] 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)에는 각각 조성이 상이한 산화물 반

도체층 등을 사용할 수 있다.

[0182] 본 발명의 일 형태에 따른 트랜지스터는 도 29 (A) 및 (B)에 도시된 구성을 가져도 좋다. 도 29의 (A)는 트랜지스터(107)의 상면도이고, 도 29의 (A)에 도시된 일점 쇄선 H1-H2 방향의 단면이 도 29의 (B)에 상당한다. 또한, 도 29의 (A)에 도시된 일점 쇄선 H3-H4 방향의 단면이 도 31의 (A)에 상당한다. 또한, 일점 쇄선 H1-H2 방향을 채널 길이 방향, 일점 쇄선 H3-H4 방향을 채널 폭 방향이라고 부른다.

[0183] 트랜지스터(107)는, 기판(115)과 접하는 절연층(120); 이 절연층(120)과 접하는 산화물 반도체층(130a) 및 산화물 반도체층(130b)으로 이루어진 적층; 이 적층과 전기적으로 접속되는 도전층(140) 및 도전층(150); 상기 적층, 도전층(140), 및 도전층(150)과 접하는 산화물 반도체층(130c); 이 산화물 반도체층(130c)과 접하는 절연층(160); 이 절연층(160)과 접하는 도전층(170); 이들 도전층(140), 도전층(150), 산화물 반도체층(130c), 절연층(160), 및 도전층(170)과 접하는 절연층(175); 이 절연층(175)과 접하는 절연층(180)을 포함한다. 또한, 필요에 따라 절연층(180)에 평탄화막으로서의 기능을 부가하여도 좋다.

[0184] 트랜지스터(107)는, 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))인 점, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c))인 점, 및 도전층(140) 및 도전층(150)과, 절연층(160) 사이에 산화물 반도체층의 일부(산화물 반도체층(130c))가 개재되는 점 외는 트랜지스터(101)와 같은 구성을 갖는다.

[0185] 본 발명의 일 형태에 따른 트랜지스터는 도 29의 (C) 및 (D)에 도시된 구성을 가져도 좋다. 도 29의 (C)는 트랜지스터(108)의 상면도이고, 도 29의 (C)에 도시된 일점 쇄선 I1-I2 방향의 단면이 도 29의 (D)에 상당한다. 또한, 도 29의 (C)에 도시된 일점 쇄선 I3-I4 방향의 단면이 도 31의 (B)에 상당한다. 또한, 일점 쇄선 I1-I2 방향을 채널 길이 방향, 일점 쇄선 I3-I4 방향을 채널 폭 방향이라고 부른다.

[0186] 트랜지스터(108)는, 절연층(160) 및 산화물 반도체층(130c)의 단부가 도전층(170)의 단부와 일치하지 않는 점이 트랜지스터(107)와 상이하다.

[0187] 본 발명의 일 형태에 따른 트랜지스터는 도 29의 (E) 및 (F)에 도시된 구성을 가져도 좋다. 도 29의 (E)는 트랜지스터(109)의 상면도이고, 도 29의 (E)에 도시된 일점 쇄선 J1-J2 방향의 단면이 도 29의 (F)에 상당한다. 또한, 도 29의 (E)에 도시된 일점 쇄선 J3-J4 방향의 단면이 도 31의 (A)에 상당한다. 또한, 일점 쇄선 J1-J2 방향을 채널 길이 방향, 일점 쇄선 J3-J4 방향을 채널 폭 방향이라고 부른다.

[0188] 트랜지스터(109)는, 기판(115)과 접하는 절연층(120); 이 절연층(120)과 접하는 산화물 반도체층(130a) 및 산화물 반도체층(130b)으로 이루어진 적층; 이 적층과 접하는 산화물 반도체층(130c); 이 산화물 반도체층(130c)과 접하는 절연층(160); 이 절연층(160)과 접하는 도전층(170); 상기 적층, 산화물 반도체층(130c), 절연층(160), 및 도전층(170)을 덮는 절연층(175); 이 절연층(175)과 접하는 절연층(180); 이들 절연층(175) 및 절연층(180)에 제공된 개구부를 통하여 상기 적층과 전기적으로 접속되는 도전층(140) 및 도전층(150)을 포함한다. 또한, 필요에 따라 절연층(180), 도전층(140), 및 도전층(150)에 접하는 절연층(평탄화막) 등을 포함하여도 좋다.

[0189] 트랜지스터(109)는, 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))인 점, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c))인 점 외는 트랜지스터(103)와 같은 구성을 갖는다.

[0190] 본 발명의 일 형태에 따른 트랜지스터는 도 30의 (A) 및 (B)에 도시된 구성을 가져도 좋다. 도 30의 (A)는 트랜지스터(110)의 상면도이고, 도 30의 (A)에 도시된 일점 쇄선 K1-K2 방향의 단면이 도 30의 (B)에 상당한다. 또한, 도 30의 (A)에 도시된 일점 쇄선 K3-K4 방향의 단면이 도 31의 (A)에 상당한다. 또한, 일점 쇄선 K1-K2 방향을 채널 길이 방향, 일점 쇄선 K3-K4 방향을 채널 폭 방향이라고 부른다.

[0191] 트랜지스터(110)는, 영역(331) 및 영역(332)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))인 점, 영역(333)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c))인 점 외는 트랜지스터(104)와 같은 구성을 갖는다.

[0192] 본 발명의 일 형태에 따른 트랜지스터는 도 30의 (C) 및 (D)에 도시된 구성을 가져도 좋다. 도 30의 (C)는 트랜지스터(111)의 상면도이고, 도 30의 (C)에 도시된 일점 쇄선 L1-L2 방향의 단면이 도 30의 (D)에 상당한다. 또한, 도 30의 (C)에 도시된 일점 쇄선 L3-L4 방향의 단면이 도 31의 (A)에 상당한다. 또한, 일점 쇄선 L1-L2 방향을 채널 길이 방향, 일점 쇄선 L3-L4 방향을 채널 폭 방향이라고 부른다.

[0193] 트랜지스터(111)는, 기판(115)과 접하는 절연층(120); 이 절연층(120)과 접하는 산화물 반도체층(130a) 및 산화

물 반도체층(130b)으로 이루어진 적층; 이 적층과 전기적으로 접속되는 도전층(141) 및 도전층(151); 상기 적층, 도전층(141), 및 도전층(151)과 접하는 산화물 반도체층(130c); 이 산화물 반도체층(130c)과 접하는 절연층(160); 이 절연층(160)과 접하는 도전층(170); 상기 적층, 도전층(141), 도전층(151), 산화물 반도체층(130c), 절연층(160), 및 도전층(170)과 접하는 절연층(175); 이 절연층(175)과 접하는 절연층(180); 이를 절연층(175) 및 절연층(180)에 제공된 개구부를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속되는 도전층(142) 및 도전층(152)을 포함한다. 또한, 필요에 따라 절연층(180), 도전층(142), 및 도전층(152)에 접하는 절연층(평탄화막) 등을 포함하여도 좋다.

[0194] 트랜지스터(111)는, 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))인 점, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c))인 점, 및 도전층(141) 및 도전층(151)과, 절연층(160) 사이에 산화물 반도체층의 일부(산화물 반도체층(130c))가 개재되는 점 외는 트랜지스터(105)와 같은 구성을 갖는다.

[0195] 본 발명의 일 형태에 따른 트랜지스터는 도 30의 (E) 및 (F)에 도시된 구성을 가져도 좋다. 도 30의 (E)는 트랜지스터(112)의 상면도이고, 도 30의 (E)에 도시된 일점 쇄선 M1-M2 방향의 단면이 도 30의 (F)에 상당한다. 또한, 도 30의 (E)에 도시된 일점 쇄선 M3-M4 방향의 단면이 도 31의 (A)에 상당한다. 또한, 일점 쇄선 M1-M2 방향을 채널 길이 방향, 일점 쇄선 M3-M4 방향을 채널 폭 방향이라고 부른다.

[0196] 트랜지스터(112)는, 영역(331), 영역(332), 영역(334), 및 영역(335)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))인 점, 영역(333)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c))인 점 외는 트랜지스터(106)와 같은 구성을 갖는다.

[0197] 또한, 본 발명의 일 형태에 따른 트랜지스터는 도 32에 도시된 채널 길이 방향의 단면도, 및 도 31의 (C) 및 (D)에 도시된 채널 폭 방향의 단면도와 같이, 산화물 반도체층(130)과 기판(115) 사이에 도전층(173)을 구비하여도 좋다. 이 도전층을 제 2 게이트 전극층(백 게이트)으로서 사용함으로써 온 전류를 더 증가시키거나 문턱 전압을 제어할 수 있다. 또한, 도 32에 도시된 단면도에서 도전층(173)의 폭을 산화물 반도체층(130)보다 짧게 하여도 좋다. 또한, 도전층(173)의 폭을 도전층(170)의 폭보다 짧게 하여도 좋다.

[0198] 본 발명의 일 형태에 따른 트랜지스터에서의 도전층(140)(소스 전극층) 및 도전층(150)(드레인 전극층)은 도 33의 (A) 및 (B)에 도시된 상면도(산화물 반도체층(130), 도전층(140) 및 도전층(150)만이 도시됨)와 같이, 산화물 반도체층(130)의 폭(W_{OS})보다 도전층(140) 및 도전층(150)의 폭(W_{SD})이 길게 형성되어도 좋고, 짧게 형성되어도 좋다. $W_{OS} \geq W_{SD}$ (W_{SD} 는 W_{OS} 이하)로 함으로써 게이트 전계가 산화물 반도체층(130) 전체에 가해지기 쉬워져 트랜지스터의 전기 특성을 향상시킬 수 있다. 도 33의 (C)에 도시된 바와 같이, 도전층(140) 및 도전층(150)이 산화물 반도체층(130)과 중첩되는 영역에만 형성되어도 좋다.

[0199] 본 발명의 일 형태에 따른 트랜지스터(트랜지스터(101)~트랜지스터(112))의 어느 구성에서도, 게이트 전극층인 도전층(170)은 게이트 절연막인 절연층(160)을 개재하여 산화물 반도체층(130)의 채널 폭 방향을 전기적으로 둘러싸 온 전류를 높일 수 있다. 이와 같은 트랜지스터의 구조를 Surrounded Channel(S-Channel) 구조라고 부른다.

[0200] 또한, 산화물 반도체층(130a) 및 산화물 반도체층(130b)을 갖는 트랜지스터, 그리고 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)을 갖는 트랜지스터에서는 산화물 반도체층(130)을 구성하는 2층 또는 3층의 재료를 적절히 선택함으로써 산화물 반도체층(130b)에 전류를 흘릴 수 있다. 산화물 반도체층(130b)에 전류가 흐름으로써 계면 산란의 영향을 받기 어렵고 높은 온 전류를 얻을 수 있다. 따라서, 산화물 반도체층(130b)을 두껍게 함으로써 온 전류가 향상될 수 있다.

[0201] 여기까지의 구성을 갖는 트랜지스터를 사용함으로써, 반도체 장치에 양호한 전기 특성을 부여할 수 있다.

[0202] 본 실시형태에서 설명한 구성을, 다른 실시형태에서 설명하는 구성을 조합하여 사용할 수 있다.

[0203] (실시형태 3)

[0204] 본 실시형태에서는 실시형태 2에서 설명한 트랜지스터의 구성을 대하여 자세히 설명한다.

[0205] 기판(115)에는, 유리 기판, 석영 기판, 반도체 기판, 세라믹 기판, 표면이 절연 처리된 금속 기판 등을 사용할 수 있다. 또는 트랜지스터 및 포토다이오드가 형성된 실리콘 기판, 및 이 실리콘 기판 위에 절연층, 배선, 콘택트 플리그로서 기능하는 도전체 등이 형성된 것을 사용할 수 있다. 또한, 실리콘 기판에 p-ch형 트랜지스터

를 형성하는 경우, n⁻형 도전형을 갖는 실리콘 기판을 사용하는 것이 바람직하다. 또는 n⁻형 또는 p형의 실리콘 층을 갖는 SOI 기판이라도 좋다. 또한, 실리콘 기판에 제공되는 트랜지스터가 p-ch형인 경우는, 트랜지스터를 형성하는 면의 면 방위는 (110)면인 실리콘 기판을 사용하는 것이 바람직하다. (110)면에 p-ch형 트랜지스터를 형성함으로써 이동도를 높게 할 수 있다.

[0206] 절연층(120)은 기판(115)에 포함되는 요소로부터 불순물이 확산되는 것을 방지하는 기능에 더하여 산화물 반도체층(130)에 산소를 공급하는 기능도 가질 수 있다. 따라서, 절연층(120)은 산소가 포함되는 절연막인 것이 바람직하며, 화학양론적 조성보다 많은 산소가 포함되는 절연막인 것이 더 바람직하다. 절연층(120)은 TDS법으로 측정한 산소 원자로 환산된 산소의 방출량이 1.0×10^{19} atoms/cm³ 이상인 막인 것이 바람직하다. 또한, 상기 TDS 분석 시에서의 막의 표면 온도가 100°C 이상 700°C 이하, 바람직하게는 100°C 이상 500°C 이하의 범위로 한다. 또한, 기판(115)이 다른 디바이스가 형성된 기판인 경우, 절연층(120)은 충간 절연막으로서의 기능도 갖는다. 이 경우에는 표면이 평탄화되도록 CMP법 등으로 평탄화 처리를 행하는 것이 바람직하다.

[0207] 예를 들어, 절연층(120)에는, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등의 산화물 절연막, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등의 질화물 절연막, 또는 이들의 혼합 재료를 사용할 수 있다. 또한, 상기 재료의 적층이어도 좋다.

[0208] 본 실시형태에서는 주로 트랜지스터에 포함되는 산화물 반도체층(130)이, 절연층(120) 측으로부터 산화물 반도체층(130a), 산화물 반도체층(130b), 산화물 반도체층(130c)의 순차적으로 적층된 3층 구조를 갖는 경우에 대하여 자세히 설명한다.

[0209] 또한, 산화물 반도체층(130)이 단층인 경우에는, 본 실시형태에서 설명하는 산화물 반도체층(130b)에 상당하는 층을 사용하면 좋다.

[0210] 또한, 산화물 반도체층(130)이 2층인 경우에는, 본 실시형태에서 설명하는 산화물 반도체층(130a)에 상당하는 층 및 산화물 반도체층(130b)에 상당하는 층을 절연층(120) 측으로부터 순차적으로 적층한 것을 사용하면 좋다. 이 구성의 경우, 산화물 반도체층(130a)과 산화물 반도체층(130b)을 서로 바꿀 수도 있다.

[0211] 또한, 산화물 반도체층(130)이 4층 이상인 경우에는 예를 들어 본 실시형태에서 설명하는 3층 구조의 산화물 반도체층(130)에 대하여 다른 산화물 반도체층을 부가하는 구성으로 할 수 있다.

[0212] 일례로서는, 산화물 반도체층(130b)에는 산화물 반도체층(130a) 및 산화물 반도체층(130c)보다 전자 친화력(진공 준위로부터 전도대 하단까지의 에너지)이 큰 산화물 반도체를 사용한다. 전자 친화력의 값은 진공 준위와 가전자대 상단의 에너지 차이(이온화 퍼텐셜)로부터, 전도대 하단과 가전자대 상단의 에너지 차이(에너지 겹)를 뺏으로써 산출할 수 있다.

[0213] 산화물 반도체층(130a) 및 산화물 반도체층(130c)은 산화물 반도체층(130b)을 구성하는 금속 원소를 1종 이상 포함하고, 예를 들어 전도대 하단의 에너지가 산화물 반도체층(130b)보다 0.05eV, 0.07eV, 0.1eV, 0.15eV 중 어느 값 이상, 2eV, 1eV, 0.5eV, 0.4eV 중 어느 값 이하의 범위에서 진공 준위에 가까운 산화물 반도체로 형성하는 것이 바람직하다.

[0214] 이와 같은 구조에서, 도전층(170)에 전계가 인가되면, 산화물 반도체층(130) 중 전도대 하단의 에너지가 가장 작은 산화물 반도체층(130b)에 채널이 형성된다.

[0215] 또한, 산화물 반도체층(130a)은 산화물 반도체층(130b)을 구성하는 금속 원소를 1종 이상 포함하여 구성되기 때문에, 산화물 반도체층(130b)과 절연층(120)이 접하는 경우의 계면에 비하여, 산화물 반도체층(130b)과 산화물 반도체층(130a)의 계면에는 계면 준위가 형성되기 어렵게 된다. 이 계면 준위는 채널을 형성할 수 있기 때문에 트랜지스터의 문턱 전압이 변동될 수 있다. 따라서, 산화물 반도체층(130a)을 제공함으로써 트랜지스터의 전기 특성(문턱 전압 등)의 편차를 저감할 수 있다. 또한, 이 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0216] 또한, 산화물 반도체층(130c)은 산화물 반도체층(130b)을 구성하는 금속 원소를 1종 이상 포함하여 구성되기 때문에, 산화물 반도체층(130b)과 게이트 절연막(절연층(160))이 접하는 경우의 계면에 비하여 산화물 반도체층(130b)과 산화물 반도체층(130c) 사이의 계면에는 캐리어가 산란되기 어렵게 된다. 따라서, 산화물 반도체층(130c)을 제공함으로써 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.

[0217] 산화물 반도체층(130a) 및 산화물 반도체층(130c)에는, 예를 들어 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는

Hf을 산화물 반도체층(130b)보다 높은 원자수비로 포함하는 재료를 사용할 수 있다. 구체적으로는 이 원자수비를 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 상술한 원소는 산소와 강하게 결합되므로 산화물 반도체층에 산소 결손이 생기는 것을 억제하는 기능을 갖는다. 즉 산화물 반도체층(130a) 및 산화물 반도체층(130c)은 산화물 반도체층(130b)보다 산소 결손이 생기기 어렵다고 할 수 있다.

[0218] 또한, 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)으로서 사용할 수 있는 산화물 반도체는 적어도 In 또는 Zn을 포함하는 것이 바람직하다. 또는 In과 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 이 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 줄이기 위하여, 상술한 것에 더하여 스태빌라이저(stabilizer)를 포함하는 것이 바람직하다.

[0219] 스태빌라이저로서는 Ga, Sn, Hf, Al, 또는 Zr 등을 들 수 있다. 또한, 다른 스태빌라이저로서는, 란타노이드인, La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu 등을 들 수 있다.

[0220] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 갈륨, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0221] 여기서, 예를 들어 In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 함유한 산화물을 뜻한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다. 또한, 본 명세서에서, In-Ga-Zn 산화물로 구성된 막을 IGZO막이라고도 부른다.

[0222] 또한, $InM_0_3(ZnO)_m$ ($m > 0$, 또한, m은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Y, Zr, La, Ce, 또는 Nd으로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 가리킨다. 또한, $In_2Sn_0_5(ZnO)_n$ ($n > 0$, 또한 n은 정수)으로 표기되는 재료를 사용하여도 좋다.

[0223] 또한, 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)이 적어도 인듐, 아연, 및 M(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물인 경우, 산화물 반도체층(130a)을 $In:M:Zn=x_1:y_1:z_1$ [원자수비], 산화물 반도체층(130b)을 $In:M:Zn=x_2:y_2:z_2$ [원자수비], 산화물 반도체층(130c)을 $In:M:Zn=x_3:y_3:z_3$ [원자수비]으로 하면, y_1/x_1 및 y_3/x_3 이 y_2/x_2 보다 큰 것이 바람직하다. y_1/x_1 및 y_3/x_3 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 이 경우에 산화물 반도체층(130b)에서 y_2 가 x_2 이상이면 트랜지스터의 전기 특성을 안정시킬 수 있다. 다만, y_2 가 x_2 의 3배 이상인 경우, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 의 3배 미만인 것이 바람직하다.

[0224] 산화물 반도체층(130a) 및 산화물 반도체층(130c) 중 Zn 및 O를 제외한 경우에는, In 및 M의 원자수비는 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상으로 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다. 또한, 산화물 반도체층(130b) 중 Zn 및 O를 제외한 경우에는, In 및 M의 원자수비는 바람직하게는 In을 25atomic% 이상, M을 75atomic% 미만으로 하고, 더 바람직하게는 In을 34atomic% 이상, M을 66atomic% 미만으로 한다.

[0225] 또한, 산화물 반도체층(130b)은 산화물 반도체층(130a) 및 산화물 반도체층(130c)보다 인듐의 함유량을 많게 하면 좋다. 산화물 반도체에서는 주로 중금속의 s 궤도가 캐리어 전도에 기여하고, In의 함유율을多く 함으로써, 더 많은 s 궤도가 중첩되기 때문에, In이 M보다 많은 조성이 되는 산화물은 In이 M과 동등 또는 적은 조성이 되는 산화물과 비교하여 이동도가 높게 된다. 그러므로, 산화물 반도체층(130b)에 인듐의 함유량이 많은 산화물을 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 구현할 수 있다.

[0226] 산화물 반도체층(130a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 25nm 이하로 한다. 또한, 산화물 반도체층(130b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 한다. 또한, 산화물 반도체층(130c)의 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 30nm 이하, 더 바람직하게는 3nm 이상 15nm 이하로 한다. 또한, 산화물 반도체층(130b)은 산화물 반도체층(130c)보다 두꺼운 것이 바람직하다.

- [0227] 또한, 산화물 반도체층을 채널로 하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는 산화물 반도체층 내의 불순물 농도를 저감하여, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, 실질적으로 진성이란, 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{15}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만, 더 바람직하게는, $8 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^8/\text{cm}^3$ 미만이고 $1 \times 10^{-9}/\text{cm}^3$ 이상인 것을 가리킨다.
- [0228] 또한, 산화물 반도체층에서, 수소, 질소, 탄소, 실리콘, 및 주성분 외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다. 또한, 실리콘은 산화물 반도체층 중에서 불순물 준위의 형성에 기여한다. 이 불순물 준위는 트랩이 되어, 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 따라서, 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)의 층 내나 각각 계면에서 불순물 농도를 저감시키는 것이 바람직하다.
- [0229] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는, SIMS(Secondary Ion Mass Spectrometry) 분석으로 추측되는 수소 농도가 $2 \times 10^{20}\text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하이고, $1 \times 10^{17}\text{ atoms}/\text{cm}^3$ 이상이 되는 영역을 갖도록 제어한다. 또한, 질소 농도는 $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}\text{ atoms}/\text{cm}^3$ 이하이고, $5 \times 10^{16}\text{ atoms}/\text{cm}^3$ 이상이 되는 영역을 갖도록 제어한다.
- [0230] 또한, 실리콘이나 탄소가 고농도로 포함되면, 산화물 반도체층의 결정성을 저하시키는 경우가 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 실리콘 농도를 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만이고, $1 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이상이 되는 영역을 갖도록 제어한다. 또한, 탄소 농도를 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만이고, $6 \times 10^{17}\text{ atoms}/\text{cm}^3$ 이상이 되는 영역을 갖도록 제어한다.
- [0231] 또한, 상술한 바와 같이 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터의 오프 전류는 매우 작다. 예를 들어 소스와 드레인 사이의 전압을 0.1V, 5V, 또는 10V 정도로 한 경우에, 트랜지스터의 채널 폭당 오프 전류를 수yA/ μm ~수zA/ μm 까지 저감할 수 있게 된다.
- [0232] 트랜지스터의 게이트 절연막으로서는 실리콘을 포함하는 절연막이 사용되는 경우가 많아, 이 이유로부터 본 발명의 일 형태에 따른 트랜지스터와 같이, 산화물 반도체층의 채널이 되는 영역이, 게이트 절연막과 접하지 않는 구조가 바람직하다고 할 수 있다. 또한, 게이트 절연막과 산화물 반도체층 사이의 계면에 채널이 형성되는 경우, 이 계면에서 캐리어가 산란하고 트랜지스터의 전계 효과 이동도가 낮게 될 수 있다. 이와 같은 관점에서 봐도, 산화물 반도체층의 채널이 되는 영역은 게이트 절연막으로부터 떨어지게 하는 것이 바람직하다고 할 수 있다.
- [0233] 따라서, 산화물 반도체층(130)을 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)의 적층 구조로 함으로써, 산화물 반도체층(130b)에 채널을 형성할 수 있어, 높은 전계 효과 이동도 및 안정적인 전기 특성을 갖는 트랜지스터를 형성할 수 있다.
- [0234] 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)의 밴드 구조에서는 전도대 하단의 에너지가 연속적으로 변화된다. 이는 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)의 조성이 근사함으로써 산소가 상호적으로 확산되기 쉬운 점에서도 이해된다. 따라서, 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)은 조성이 다른 층으로 이루어지는 적층체이지만, 물성적으로 연속이라고 할 수도 있고, 도면에서 이 적층체 각각의 계면은 점선으로 도시하였다.
- [0235] 주성분을 공통으로 하여 적층된 산화물 반도체층(130)은 각 층을 단순히 적층하지 않고, 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 층 사이에서 연속적으로 변화되는 U자형 우물 구조(U Shape Well))이 형성되도록 제작한다. 즉, 각 층의 계면에 트랩 중심이나 재결합 중심과 같은 결합 준위를 형성하는 바와 같은 불순물이 존재하지 않도록 적층 구조를 형성한다. 가령 적층된 산화물 반도체층과 산화물층 사이에서 불순물들이 혼합되면, 에너지 밴드의 연속성은 상실되고, 계면에서 캐리어들은 트랩 또는 재결합에 의하여 소멸된다.
- [0236] 예를 들어, 산화물 반도체층(130a) 및 산화물 반도체층(130c)에는, In:Ga:Zn=1:3:2, 1:3:3, 1:3:4, 1:3:6,

1:4:5, 1:6:4, 또는 1:9:6[원자수비] 등의 In-Ga-Zn 산화물 등을 사용할 수 있다. 또한, 산화물 반도체층(130b)에는 In:Ga:Zn=1:1:1, 2:1:3, 5:5:6, 또는 3:1:2[원자수비] 등의 In-Ga-Zn 산화물 등을 사용할 수 있다. 또한, 이 산화물을 스퍼터링 타깃으로 하여 성막한 경우, 성막된 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)의 원자수비는 반드시 동일한 것이 아니다.

[0237] 산화물 반도체층(130)에서의 산화물 반도체층(130b)은 웨(우물)이 되어, 채널은 산화물 반도체층(130b)에 형성된다. 산화물 반도체층(130)은 전도대 하단의 에너지가 연속적으로 변화되고 있기 때문에, U자형 우물이라고도 부를 수 있다. 또한, 이와 같은 구성으로 형성된 채널을 매몰 채널이라고 할 수도 있다.

[0238] 또한, 산화물 반도체층(130a) 및 산화물 반도체층(130c)과, 산화 실리콘막 등의 절연층 사이의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있다. 산화물 반도체층(130a) 및 산화물 반도체층(130c)이 있음으로써, 산화물 반도체층(130b)과 이 트랩 준위를 멀리할 수 있다.

[0239] 다만, 산화물 반도체층(130a) 및 산화물 반도체층(130c)의 전도대 하단의 에너지와, 산화물 반도체층(130b)의 전도대 하단의 에너지 차이가 작은 경우, 산화물 반도체층(130b)의 전자가 이 에너지 차이를 넘어 트랩 준위에 도달하는 경우가 있다. 전자가 트랩 준위에 포획됨으로써, 절연층 계면에 마이너스의 전하가 생겨 트랜ジ스터의 문턱 전압은 플러스 방향으로 시프트된다.

[0240] 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)에는 결정부가 포함되는 것이 바람직하다. 특히, c축으로 배향된 결정을 사용함으로써 트랜ジ스터에 안정된 전기 특성을 부여할 수 있다. 또한, c 축으로 배향된 결정은 변형에 강하며, 가요성 기관이 사용된 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0241] 소스 전극층으로서 작용하는 도전층(140), 및 드레인 전극층으로서 작용하는 도전층(150)에는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W, Ni, Mn, Nd, Sc, 및 이 금속 재료의 합금으로부터 선택된 재료의 단층 또는 적층을 사용할 수 있다. 대표적으로는 특히 산소와 결합되기 쉬운 Ti이나, 나중의 프로세스 온도를 비교적 높게 할 수 있는 등의 이유로 용점이 높은 W을 사용하는 것이 더 바람직하다. 또한, 저저항의 Cu나 Cu-Mn 등의 합금과 이 재료의 적층을 사용하여도 좋다. 트랜지스터(105), 트랜지스터(106), 트랜지스터(111), 및 트랜지스터(112)에는 예를 들어 도전층(141) 및 도전층(151)에 W을 사용하고, 도전층(142) 및 도전층(152)에 Ti과 Al의 적층막 등을 사용할 수 있다.

[0242] 상기 재료는 산화물 반도체막으로부터 산소를 추출하는 성질을 갖는다. 그러므로, 이 재료와 접하는 산화물 반도체층의 일부의 영역에서는 산화물 반도체막 내의 산소가 이탈되어 산소 결손이 형성된다. 막 내에 약간 포함되는 수소와 이 산소 결손이 결합됨으로써, 그 영역이 현저하게 n형화된다. 따라서, n형화된 이 영역은 트랜지스터의 소스 또는 드레인으로서 작용시킬 수 있다.

[0243] 또한, 도전층(140) 및 도전층(150)에 W을 사용하는 경우에는, 질소를 도핑하여도 좋다. 질소를 도핑함으로써 산소를 추출하는 성질을 적절하게 약하게 할 수 있고, n형화된 영역이 채널 영역까지 확대되는 것을 방지할 수 있다. 또한, 다른 방법으로서는 도전층(140) 및 도전층(150)을 n형 반도체층과 적층하고, n형 반도체층과 산화물 반도체층을 접촉시킴으로써 n형화된 영역이 채널 영역까지 확대되는 것을 방지할 수도 있다. n형 반도체층으로서는, 질소가 첨가된 In-Ga-Zn 산화물, 산화 아연, 산화 인듐, 산화 주석, 산화 인듐 주석 등을 사용할 수 있다.

[0244] 게이트 절연막으로서 작용하는 절연층(160)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 1종 이상을 포함하는 절연막을 사용할 수 있다. 또한, 절연층(160)은 상술한 재료를 사용한 적층이라도 좋다. 또한, 절연층(160)에 La, N, Zr 등을 불순물로서 포함하여도 좋다.

[0245] 또한, 절연층(160)의 적층 구조의 일례에 대하여 설명한다. 절연층(160)은 예를 들어, 산소, 질소, 실리콘, 하프늄 등을 포함한다. 구체적으로는, 산화 하프늄, 및 산화 실리콘 또는 산화질화 실리콘을 포함하면 바람직하다.

[0246] 산화 하프늄 및 산화 알루미늄은 산화 실리콘이나 산화질화 실리콘에 비하여 비유전율이 높다. 따라서, 산화 실리콘을 사용한 경우에 비하여 절연층(160)의 막 두께를 두껍게 할 수 있기 때문에, 터널 전류에 의한 누설 전류를 작게 할 수 있다. 즉, 오프 전류가 작은 트랜지스터를 구현할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄에 비하여 높은 비유전율을 구비한다. 따라서, 오프 전류가 작은 트랜지스터로 하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예로서는 단

사정계나 입방정계 등을 들 수 있다. 단, 본 발명의 일 형태는 이에 한정되지 않는다.

[0247] 또한, 산화물 반도체층(130)과 접하는 절연층(120) 및 절연층(160)은 질소 산화물의 방출량이 적은 막을 사용하는 것이 바람직하다. 질소 산화물의 방출량이 많은 절연층과 산화물 반도체가 접하는 경우, 질소 산화물에 기인하는 준위 밀도가 높게 되는 경우가 있다. 절연층(120) 및 절연층(160)에는 예를 들어, 질소 산화물의 방출량이 적은 산화질화 실리콘막 또는 산화질화 알루미늄막 등의 산화물 절연층을 사용할 수 있다.

[0248] 질소 산화물의 방출량이 적은 산화질화 실리콘막은 TDS법에서 질소 산화물의 방출량보다 암모니아의 방출량이 많은 막이고, 대표적으로는 암모니아의 방출량이 1×10^{18} 개/cm³ 이상 5×10^{19} 개/cm³ 이하이다. 또한, 암모니아의 방출량은 막의 표면 온도가 50°C 이상 650°C 이하, 바람직하게는, 50°C 이상 550°C 이하의 가열 처리에 의한 방출량으로 한다.

[0249] 절연층(120) 및 절연층(160)으로서 상기 산화물 절연층을 사용함으로써 트랜지스터의 문턱 전압의 시프트를 저감할 수 있어 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0250] 게이트 전극층으로서 작용하는 도전층(170)에는, 예를 들어 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Mn, Nd, Sc, Ta, 및 W 등의 도전막을 사용할 수 있다. 또한, 이들 재료의 합금이나 이들 재료의 도전성 질화물을 사용하여도 좋다. 또한, 상기 재료, 상기 재료의 합금, 및 상기 재료의 도전성 질화물 중에서 선택된 복수의 재료를 포함하는 적층이어도 좋다. 대표적으로는, 텅스텐, 텅스텐과 질화 타이타늄의 적층, 텅스텐과 질화 탄탈럼의 적층 등을 사용할 수 있다. 또한, 저저항의 Cu 또는 Cu-Mn 등의 합금이나 상기 재료와 Cu 또는 Cu-Mn 등의 합금의 적층을 사용하여도 좋다. 본 실시형태에서는 도전층(171)에 질화 탄탈럼, 도전층(172)에 텅스텐을 사용하여 도전층(170)을 형성한다.

[0251] 절연층(175)에는, 수소가 포함되는 질화 실리콘막 또는 질화 알루미늄막 등을 사용할 수 있다. 실시형태 2에서 설명한 트랜지스터(103), 트랜지스터(104), 트랜지스터(106), 트랜지스터(109), 트랜지스터(110), 및 트랜지스터(112)에서는, 절연층(175)으로서 수소가 포함되는 절연막을 사용함으로써 산화물 반도체층의 일부를 n형화할 수 있다. 또한, 질화 절연막은 수분 등의 차단막으로서의 작용도 가져, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0252] 또한, 절연층(175)으로서는 산화 알루미늄막을 사용할 수도 있다. 특히 실시형태 2에서 설명한 트랜지스터(101), 트랜지스터(102), 트랜지스터(105), 트랜지스터(107), 트랜지스터(108), 및 트랜지스터(111)에서는 절연층(175)에 산화 알루미늄막을 사용하는 것이 바람직하다. 산화 알루미늄막은 수소나 수분 등의 불순물, 및 산소의 양쪽의 막의 투과를 차단하는 효과가 높다. 따라서, 산화 알루미늄막은, 트랜지스터의 제작 공정 중 및 제작 후에, 수소나 수분 등의 불순물이 산화물 반도체층(130)으로 흡입되거나, 산소가 산화물 반도체층으로부터 방출되거나, 절연층(120)으로부터 산소가 불필요하게 방출되는 것을 방지하는 효과를 갖는 보호막으로서 사용하기 적합하다. 또한, 산화 알루미늄막에 포함되는 산소를 산화물 반도체층 내에 확산시킬 수도 있다.

[0253] 또한, 절연층(175) 위에는 절연층(180)이 형성되는 것이 바람직하다. 이 절연층에는 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼을 1종 이상 포함하는 절연막을 사용할 수 있다. 또한, 이 절연층은 상기 재료의 적층이어도 좋다.

[0254] 여기서, 절연층(180)은 절연층(120)과 마찬가지로 화학량론적 조성보다 많은 산소를 포함하는 것이 바람직하다. 절연층(180)으로부터 방출되는 산소는 절연층(160)을 거쳐 산화물 반도체층(130)의 채널 형성 영역으로 확산시킬 수 있기 때문에, 채널 형성 영역에 형성된 산소 결손에 산소를 보전(補填)할 수 있다. 따라서, 안정된 트랜지스터의 전기 특성을 얻을 수 있다.

[0255] 반도체 장치의 고집적화를 위해서는 트랜지스터를 미세화할 필요가 있다. 한편, 트랜지스터의 미세화에 의하여 트랜지스터의 전기 특성이 악화되는 것이 알려져 있고, 특히 채널 폭이 축소되면 온 전류의 저하가 일어난다.

[0256] 본 발명의 일 형태에 따른 트랜지스터(107)~트랜지스터(112)에서는 채널이 형성되는 산화물 반도체층(130b)을 덮도록 산화물 반도체층(130c)이 형성되고, 채널 형성층과 게이트 절연막이 접하지 않는 구성이 된다. 그러므로, 채널 형성층과 게이트 절연막의 계면에서 발생되는 캐리어의 산란을 억제할 수 있어, 트랜지스터의 온 전류를 향상시킬 수 있다.

[0257] 또한, 본 발명의 일 형태에 따른 트랜지스터는 상술한 바와 같이, 산화물 반도체층(130)을 채널 폭 방향으로 전기적으로 둘러싸도록 게이트 전극층(도전층(170))이 형성되기 때문에, 산화물 반도체층(130)에 대해서는 상면에

대하여 수직 방향으로부터의 게이트 전계에 더하여 측면에 대하여 수직 방향으로부터의 게이트 전계가 인가된다. 즉, 채널 형성층에 대하여 전체적으로 게이트 전계가 인가되게 되어 실효 채널 폭이 확대되기 때문에, 온 전류를 더 향상시킬 수 있다.

[0258] 또한, 본 발명의 일 형태에 따른 산화물 반도체층(130)이 2층 또는 3층 구조인 트랜지스터를 사용하는 경우에는, 채널이 형성되는 산화물 반도체층(130b)을 산화물 반도체층(130a) 위에 형성함으로써 계면 준위를 형성하기 어렵게 하는 효과를 갖는다. 또한, 본 발명의 일 형태에 따른 산화물 반도체층(130)이 3층 구조인 트랜지스터를 사용하는 경우에는, 산화물 반도체층(130b)을 3층 구조의 중간에 위치하는 층으로 함으로써 위 및 아래로부터 불순물이 혼입되는 것으로 인한 영향을 배제할 수 있는 효과도 겹하여 갖는다. 그러므로, 상술한 트랜지스터의 온 전류 향상에 더하여, 문턱 전압의 안정화나 S값(서브스레시홀드 값)의 저감을 도모할 수 있다. 따라서, 게이트 전압(VG)이 0V일 때의 전류를 줄일 수 있어 소비 전력을 저감시킬 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화되기 때문에, 반도체 장치의 장기 신뢰성을 향상시킬 수 있다. 또한, 본 발명의 일 형태에 따른 트랜지스터는, 미세화에 따른 전기 특성의 열화를 억제할 수 있기 때문에, 집적도가 높은 반도체 장치의 형성에 적합하다고 할 수 있다.

[0259] 또한, 본 실시형태에서 설명한 금속막, 반도체막, 무기 절연막 등 각종 막은 대표적으로는 스팍터링법이나 플라즈마 CVD법으로 형성할 수 있지만, 다른 방법, 예를 들어 열 CVD법으로 형성하여도 좋다. 열 CVD법의 예로서는 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법 등이 있다.

[0260] 열 CVD법은, 플라즈마를 사용하지 않는 성막 방법이므로, 플라즈마 대미지에 의하여 결함이 생성되는 일이 없다는 이점을 갖는다.

[0261] 또한, 열 CVD법에서는 원료 가스와 산화제를 동시에 체임버 내에 보내고 체임버 내를 대기압 또는 감압하로 하고 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 막을 형성하여도 좋다.

[0262] ALD법은 체임버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스를 체임버에 도입하여 반응시켜, 이를 반복함으로써 성막한다. 원료 가스와 함께 불활성 가스(아르곤 또는 질소 등)를 캐리어 가스로서 도입하여도 좋다. 예를 들어, 2종 이상의 원료 가스를 순차적으로 체임버에 공급하여도 좋다. 이 때 복수종의 원료 가스가 혼합되지 않도록 제 1 원료 가스가 반응한 후에 불활성 가스를 도입하고 나서 제 2 원료 가스를 도입한다. 또는, 불활성 가스를 도입하는 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착되어 반응하여 제 1 층이 성막되고, 나중에 도입되는 제 2 원료 가스가 제 1 층에 흡착되어 반응하여 제 1 층 위에 제 2 층이 적층되어, 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입을 반복하는 횟수에 따라 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있어 ALD법은 미세한 FET를 제작하는 경우에 적합하다.

[0263] MOCVD법이나 ALD법 등의 열 CVD법은, 상술한 실시형태에서 설명된 금속막, 반도체막, 무기 절연막 등 다양한 막을 형성할 수 있고, 예를 들어 In-Ga-Zn-O막을 형성하는 경우에는, 트라이메틸인듐($In(CH_3)_3$), 트라이메틸갈륨($Ga(CH_3)_3$), 및 다이메틸아연($Zn(CH_3)_2$)을 사용할 수 있다. 이들의 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸 갈륨($Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이메틸 아연 대신에 다이에틸 아연($Zn(C_2H_5)_2$)을 사용할 수도 있다.

[0264] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체가 포함되는 액체(하프늄알록사이드나, 테트라카르보마이드하프늄(TDMAH, $Hf[N(CH_3)_2]_4$)이나 테트라카르스(에틸메틸아마이드)하프늄 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종의 가스를 사용한다.

[0265] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체가 포함되는 액체(트라이메틸알루미늄(TMA, $Al(CH_3)_3$ 등)를 기화시킨 원료 가스와, 산화제로서 H_2O 의 2종의 가스를 사용한다. 다른 재료로서는, 트리스(다이메틸아마이드)알루미늄, 트라이아이소부틸알루미늄, 알루미늄 트리스(2,2,6,6-테트라메틸-3,5-헵타디오네이트) 등이 있다.

[0266] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는 헥사클로로다이실레인을 피성막면에 흡착시키고 산화성 가스(O_2 , 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

- [0267] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 텉스텐막을 형성하는 경우에는, WF₆ 가스와 B₂H₆ 가스를 순차적으로 도입하여 초기 텉스텐막을 형성한 후에, WF₆ 가스와 H₂ 가스를 순차적으로 도입하여 텉스텐막을 형성한다. 또한, B₂H₆ 가스 대신에 SiH₄ 가스를 사용하여도 된다.
- [0268] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어 In-Ga-Zn-O막이 형성되는 경우에는, In(CH₃)₃ 가스와 O₃ 가스를 순차적으로 도입하여 In-O층을 형성한 후, Ga(CH₃)₃ 가스와 O₃ 가스를 순차적으로 도입하여 GaO층을 형성하고 나서, Zn(CH₃)₂ 가스와 O₃ 가스를 순차적으로 도입하여 ZnO층을 형성한다. 또한, 이들 중의 순서는 이 예에 한정되지 않는다. 이들의 가스를 사용하여 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O₃ 가스 대신에 Ar 등의 불활성 가스로 버블링하여 얻어진 H₂O 가스를 사용하여도 좋지만, H를 포함하지 않는 O₃ 가스를 사용하는 것이 바람직하다.
- [0269] 산화물 반도체층의 성막에는 대량 타깃식 스퍼터링 장치를 사용할 수도 있다. 이 대량 타깃식 스퍼터링 장치를 사용한 성막법을 VDSP(vapor deposition SP)라고 부를 수도 있다.
- [0270] 대량 타깃식 스퍼터링 장치를 사용하여 산화물 반도체층을 성막함으로써 산화물 반도체층을 성막할 때의 플라즈마 손상을 저감할 수 있다. 그러므로, 막 내의 산소 결손을 저감할 수 있다. 또한, 대량 타깃식 스퍼터링 장치를 사용함으로써 저압에서의 성막이 가능하기 때문에 성막된 산화물 반도체층 내의 불순물 농도(예를 들어, 수소, 희가스(아르곤 등), 물 등)를 저감할 수 있다.
- [0271] 본 실시형태에서 설명한 구성은, 다른 실시형태에서 설명하는 구성과 적절히 조합하여 사용할 수 있다.
- [0272] (실시형태 4)
- [0273] 이하에서 본 발명의 일 형태에 사용할 수 있는 산화물 반도체막의 구조에 대하여 설명한다.
- [0274] 또한, 본 명세서에서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0275] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정(rhombohedral crystal system)은 육방정계에 포함된다.
- [0276] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 크게 나눌 수 있다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 단결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.
- [0277] 우선, CAAC-OS막에 대하여 설명한다.
- [0278] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막 중 하나이다.
- [0279] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면 복수의 결정부가 확인된다. 그러나, 고분해능 TEM 이미지에서도 결정부들의 명확한 경계, 즉 결정립계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막은 결정립계에 기인한 전자 이동도 저하가 일어나기 어렵다고 할 수 있다.
- [0280] 시료면에 대략 평행한 방향으로부터 CAAC-OS막의 단면의 고분해능 TEM 이미지를 관찰하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 상면의 요철을 반영한 형상을 갖고, CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.
- [0281] 한편, 시료면에 대략 수직인 방향으로부터 CAAC-OS막의 평면의 고분해능 TEM 이미지를 관찰하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에 규칙성은 보이지 않는다.
- [0282] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 예를 들어 out-of-plane법에 의하여 InGaZnO₄의 결정을 포함하는 CAAC-OS막의 구조 해석을 행하면, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향하는 것이 확인된다.

- [0283] 또한, out-of-plane법에 의하여 InGaZnO₄의 결정을 갖는 CAAC-OS막의 해석을 행하면, 2θ가 31° 근방일 때의 피크에 더하여 2θ가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0284] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등, 산화물 반도체막의 주성분 외의 원소이다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성이 저하되는 요인이 된다. 또한, 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등을 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성이 저하되는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 될 수 있다.
- [0285] 또한, CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 될 수 있다.
- [0286] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 '고순도 진성' 또는 '실질적으로 고순도 진성'이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮출 수 있다. 따라서, 이 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 음이 되는 전기 특성(노멀리-온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 이 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 될 수 있다.
- [0287] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.
- [0288] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0289] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 갖는다. 미결정 산화물 반도체막에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 한다. 또한, nc-OS막은 예를 들어, 고분해능 TEM 이미지에서 결정립계가 명확히 확인되지 않는 경우가 있다.
- [0290] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 확인되지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS막과 비정질 산화물 반도체막을 구별하지 못할 수 있다. 예를 들어, 결정부보다 큰 직경을 갖는 X선을 이용하는 XRD 장치로 out-of-plane 법에 의하여 nc-OS막의 구조 해석을 행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 프로브 직경이 결정부보다 큰(예를 들어, 50nm 이상) 전자 빔을 이용하여 관찰한 nc-OS막의 전자 회절 패턴(제한 시야 전자 회절 패턴이라고도 함)에는 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 프로브 직경이 결정부의 크기와 가깝거나 작은 전자 빔을 이용하여 관찰한 nc-OS막의 나노빔 전자 회절 패턴에는 스포트이 관측된다. 또한, nc-OS막의 나노빔 전자 회절 패턴에는, 휘도가 높은 환상(고리 형상)의 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노빔 전자 회절을 행하면 고리 형상의 영역 내에 복수의 스포트이 관측되는 경우가 있다.
- [0291] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS막은 CAAC-OS막에 비하여 결함 준위 밀도가 높다.
- [0292] 다음에, 비정질 산화물 반도체막에 대하여 설명한다.
- [0293] 비정질 산화물 반도체막은 막 내에서의 원자 배열이 불규칙하고 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 그 일례이다.
- [0294] 비정질 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 확인되지 않는다.

- [0295] XRD 장치를 이용하여 out-of-plane법에 의하여 비정질 산화물 반도체막의 구조 해석을 행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대하여 전자 회절을 행하면 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대하여 나노빔 전자 회절을 행하면 스콧이 관측되지 않고 헤일로 패턴이 관측된다.
- [0296] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 갖는 경우가 있다. 이와 같은 구조를 갖는 산화물 반도체막을 특히, amorphous-like OS(Oxide Semiconductor)막이라고 부른다.
- [0297] amorphous-like OS막은 고분해능 TEM 이미지에서 공동(보이드라고도 함)이 관찰될 수 있다. 또한, 고분해능 TEM 이미지에서는 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역이 있다. amorphous-like OS 막은 TEM에 의한 관찰 정도의 미량의 전자 조사에 의하여 결정화가 일어나 결정부의 성장을 보일 수 있는 경우가 있다. 한편, 양질의 nc-OS막에서는, TEM에 의한 관찰 정도의 미량의 전자 조사에 의한 결정화는 거의 일어나지 않는다.
- [0298] 또한, amorphous-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지를 사용하여 계측할 수 있다. 예를 들어, InGaZnO₄의 결정은 층상 구조를 가지며, In-0층들 사이에 Ga-Zn-0층을 2층 갖는다. InGaZnO₄의 결정의 단위 격자는 In-0층 3층과 Ga-Zn-0층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는다. 따라서, 이들 근접한 층 사이의 간격은 (009)면의 격자면 간격(d 값이라고도 함)과 같은 정도이며, 그 값은 결정 구조 해석으로부터 0.29nm로 산출된다. 그러므로, 고분해능 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 착안하여 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 부분에서는 각 격자 줄무늬가 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0299] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, amorphous-like OS막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 갖는 적층막이라도 좋다.
- [0300] 본 실시형태에서 설명하는 구성은, 다른 실시형태에서 설명한 구성과 적절히 조합하여 사용할 수 있다.
- [0301] (실시형태 5)
- [0302] 본 발명의 일 형태에 따른 활상 장치, 및 이 활상 장치를 포함하는 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 상술한 것 외에, 본 발명의 일 형태에 따른 활상 장치, 및 이 활상 장치를 포함하는 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 게임기(휴대형을 포함함), 휴대 정보 단말, 전자 서적 단말, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 34에 도시하였다.
- [0303] 도 34의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크(905), 스피커(906), 조작 키(907), 스타일러스(908), 카메라(909) 등을 갖는다. 또한, 도 34의 (A)에 도시된 휴대형 게임기는, 2개의 표시부(903)와 표시부(904)를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는, 이에 한정되지 않는다. 카메라(909)에는 본 발명의 일 형태에 따른 활상 장치를 사용할 수 있다.
- [0304] 도 34의 (B)는 휴대 정보 단말이며, 제 1 하우징(911), 표시부(912), 카메라(919) 등을 갖는다. 표시부(912)가 갖는 터치 패널 기능에 의하여 정보의 입출력을 행할 수 있다. 카메라(919)에는 본 발명의 일 형태에 따른 활상 장치를 사용할 수 있다.
- [0305] 도 34의 (C)는 손목 시계형 정보 단말이며, 하우징(931), 표시부(932), 손목 밴드(933), 카메라(939) 등을 갖는다. 표시부(932)는 터치 패널로 되어 있어도 된다. 카메라(939)에는 본 발명의 일 형태에 따른 활상 장치를 사용할 수 있다.
- [0306] 도 34의 (D)는 휴대 전화이며, 하우징(951)에 표시부(952), 마이크(957), 스피커(954), 카메라(959), 입출력 단자(956), 조작용 버튼(955) 등을 갖는다. 카메라(959)에는 본 발명의 일 형태에 따른 활상 장치를 사용할 수 있다.
- [0307] 도 34의 (E)는 디지털 카메라이며, 하우징(961), 셔터 버튼(962), 마이크로폰(963), 빛광부(967), 렌즈(965) 등을 갖는다. 렌즈(965)의 초점이 되는 위치에는 본 발명의 일 형태에 따른 활상 장치를 제공할 수 있다.

[0308]

도 34의 (F)는 비디오 카메라이며, 제 1 하우징(971), 제 2 하우징(972), 표시부(973), 조작 키(974), 렌즈(975), 접속부(976) 등을 갖는다. 조작 키(974) 및 렌즈(975)는 제 1 하우징(971)에 제공되고, 표시부(973)는 제 2 하우징(972)에 제공된다. 그리고, 제 1 하우징(971)과 제 2 하우징(972)은 접속부(976)에 의하여 접속되어 있고, 제 1 하우징(971)과 제 2 하우징(972) 사이의 각도는 접속부(976)에 의하여 조절할 수 있다. 표시부(973)에서의 영상을 접속부(976)에서의 제 1 하우징(971)과 제 2 하우징(972) 사이의 각도에 따라 전환하는 구성을 하여도 좋다. 렌즈(975)의 초점이 되는 위치에는 본 발명의 일 형태에 따른 활상 장치를 제공할 수 있다.

[0309]

또한, 본 실시형태는 본 명세서에서 설명한 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

[0310]

11: 활상 동작

12: 데이터 유지 동작

13: 동작

30: 실리콘 기판

31: 트랜지스터

32: 트랜지스터

35: 활성층

41: 트랜지스터

42: 트랜지스터

51: 트랜지스터

52: 트랜지스터

53: 트랜지스터

54: 트랜지스터

55: 트랜지스터

56: 고전압 전원

57: 용량 소자

58: 용량 소자

60: 광전 변환 소자

61: 광전 변환층

62: 투광성 도전층

63: 반도체층

64: 반도체층

65: 반도체층

66: 전극

66a: 도전층

66b: 도전층

67: 격벽

71: 배선

- 72: 배선
72a: 도전층
72b: 도전층
73: 배선
75: 배선
76: 배선
77: 배선
78: 배선
79: 배선
80: 절연층
81: 도전체
82: 절연층
82a: 절연층
82b: 절연층
83: 절연층
88: 배선
93: 배선
96: 배선
99: 배선
101: 트랜지스터
102: 트랜지스터
103: 트랜지스터
104: 트랜지스터
105: 트랜지스터
106: 트랜지스터
107: 트랜지스터
108: 트랜지스터
109: 트랜지스터
110: 트랜지스터
111: 트랜지스터
112: 트랜지스터
115: 기판
120: 절연층
130: 산화물 반도체층
130a: 산화물 반도체층
130b: 산화물 반도체층

130c: 산화물 반도체층

140: 도전층

141: 도전층

142: 도전층

150: 도전층

151: 도전층

152: 도전층

160: 절연층

170: 도전층

171: 도전층

172: 도전층

173: 도전층

175: 절연층

180: 절연층

231: 영역

232: 영역

233: 영역

331: 영역

332: 영역

333: 영역

334: 영역

335: 영역

901: 하우징

902: 하우징

903: 표시부

904: 표시부

905: 마이크로폰

906: 스피커

907: 조작 키

908: 스타일러스

909: 카메라

911: 하우징

912: 표시부

919: 카메라

931: 하우징

932: 표시부

933: 손목 밴드

939: 카메라

951: 하우징

952: 표시부

954: 스피커

955: 버튼

956: 입출력 단자

957: 마이크로폰

959: 카메라

961: 하우징

962: 셔터 버튼

963: 마이크로폰

965: 렌즈

967: 발광부

971: 하우징

972: 하우징

973: 표시부

974: 조작 키

975: 렌즈

976: 접속부

1100: 총

1200: 총

1400: 총

1500: 회절 격자

1600: 총

2500: 절연총

2510: 차광총

2520: 유기 수지총

2530: 컬러 필터

2530a: 컬러 필터

2530b: 컬러 필터

2530c: 컬러 필터

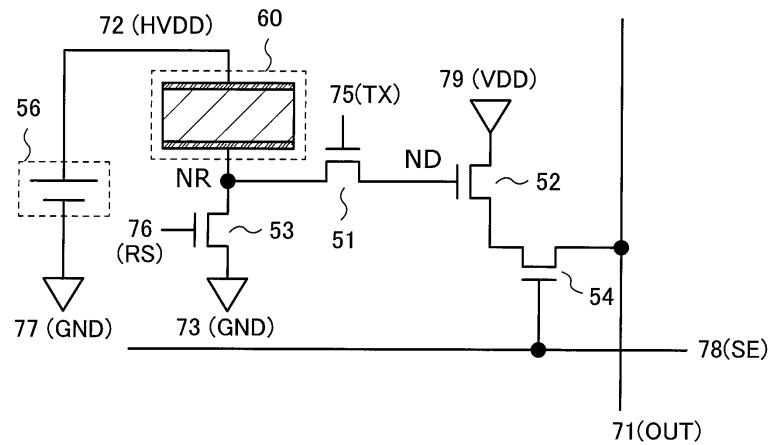
2540: 마이크로 렌즈 어레이

2550: 광학 변환총

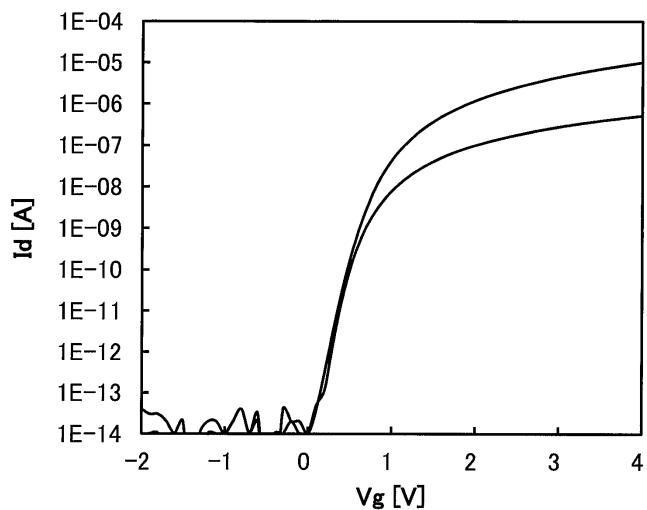
2560: 절연총

도면

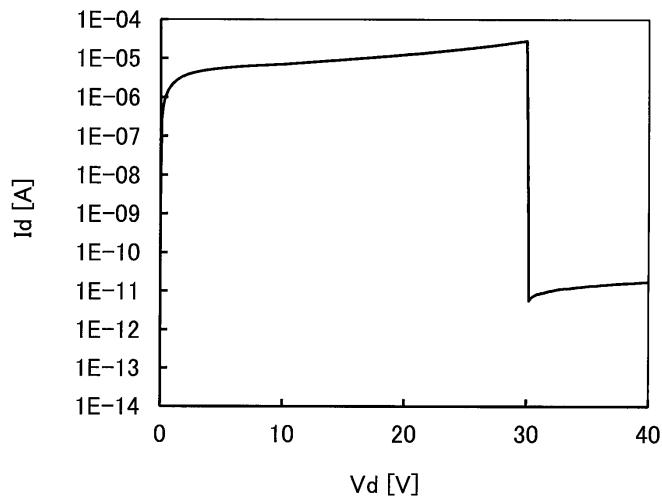
도면1



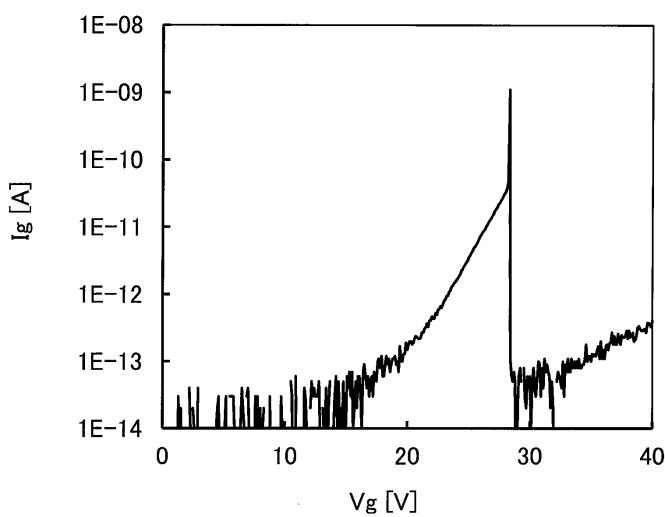
도면2



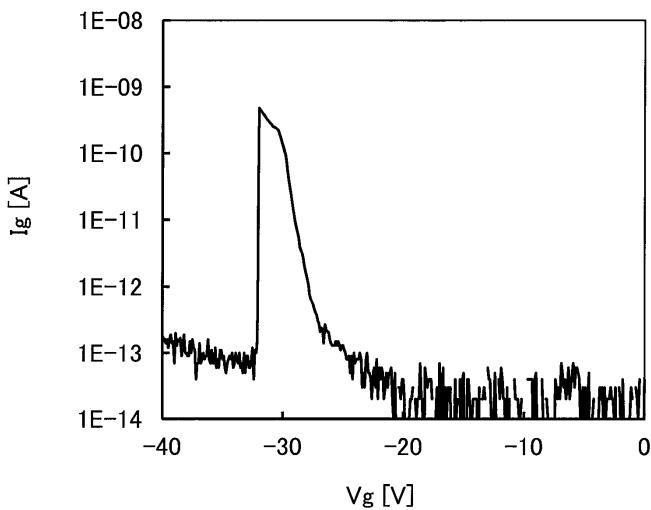
도면3



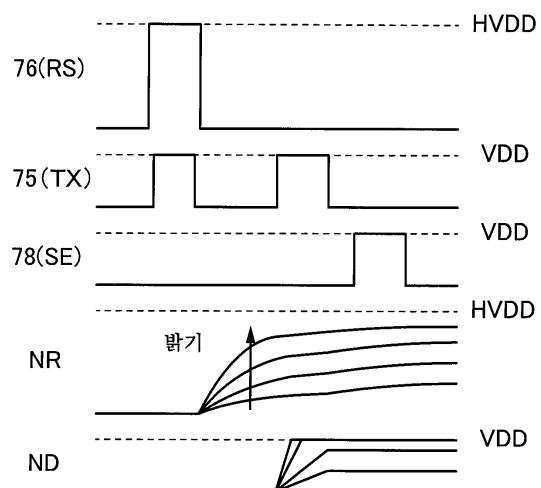
도면4



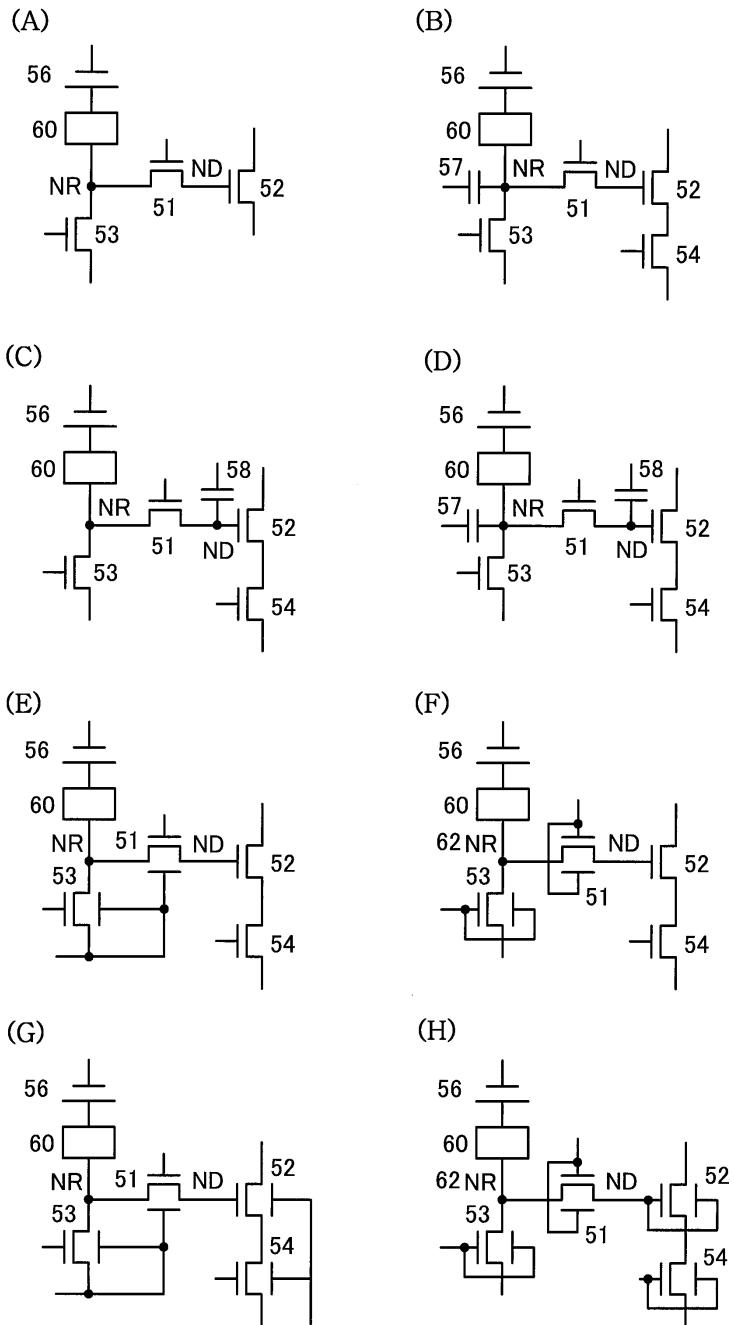
도면5



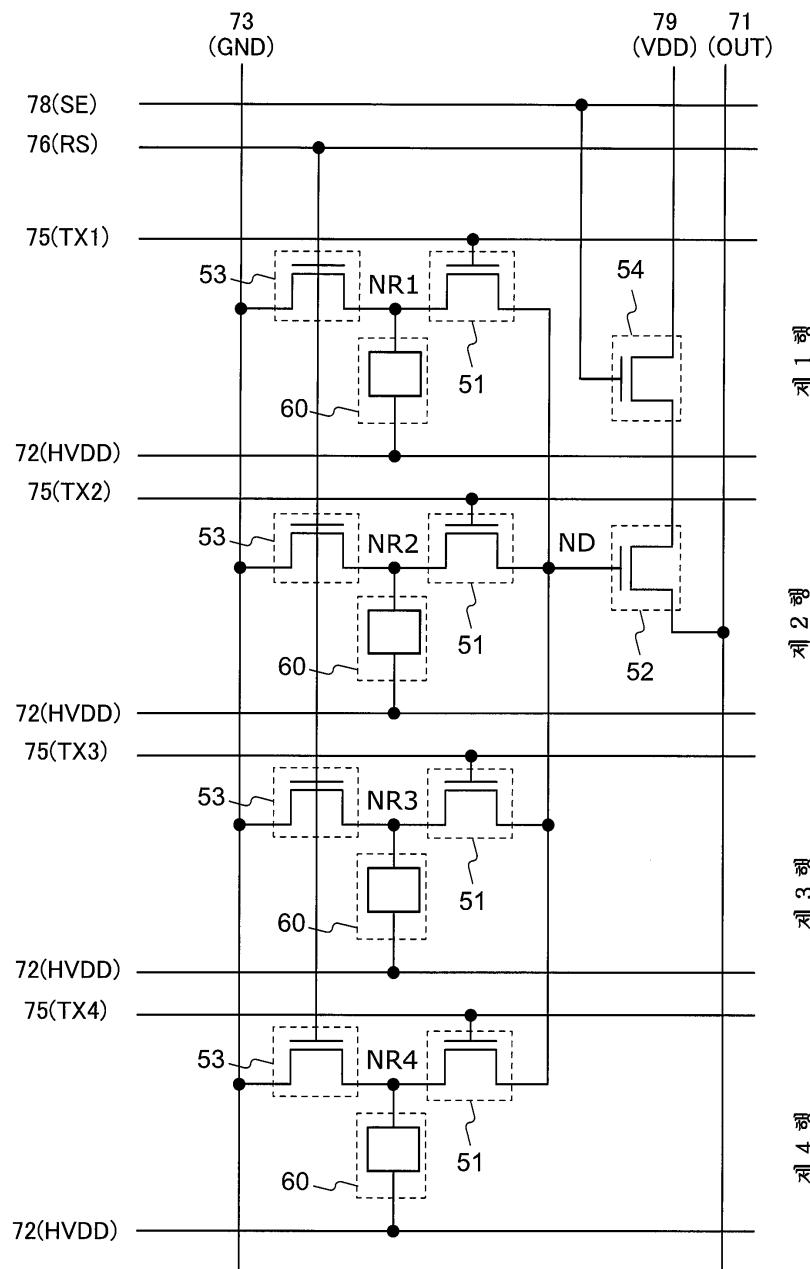
도면6



도면7



도면8



제 1 채

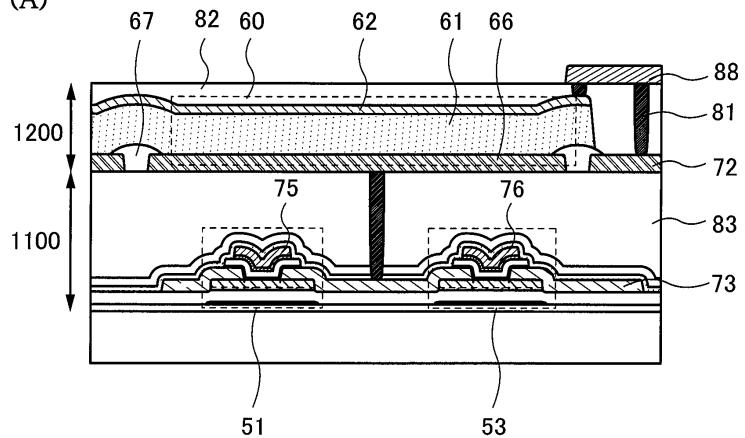
제 2 채

제 3 채

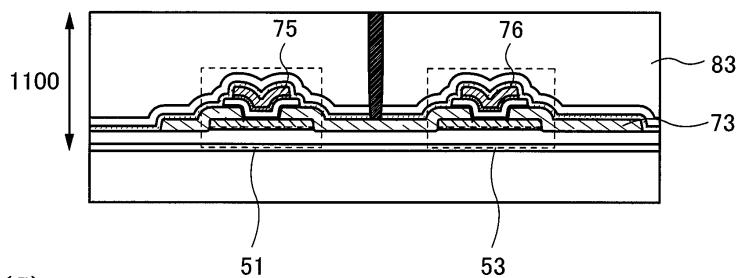
제 4 채

도면9

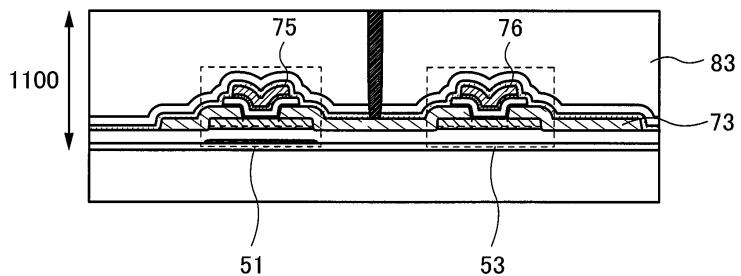
(A)



(B)

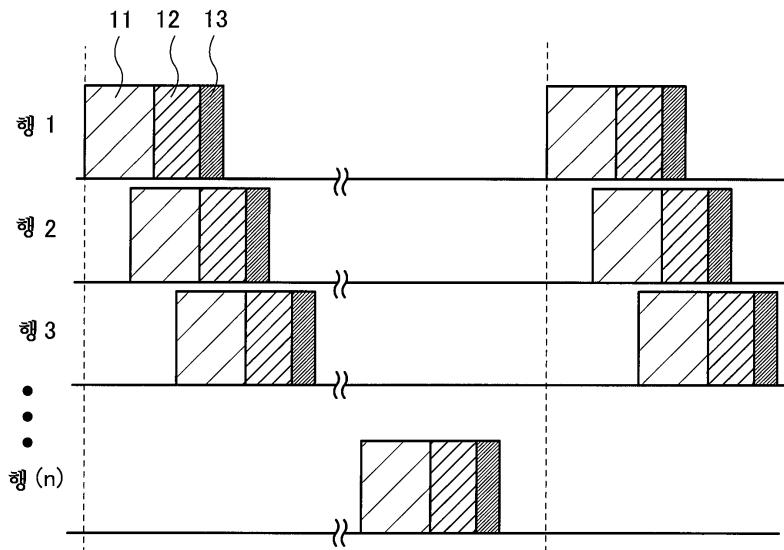


(C)

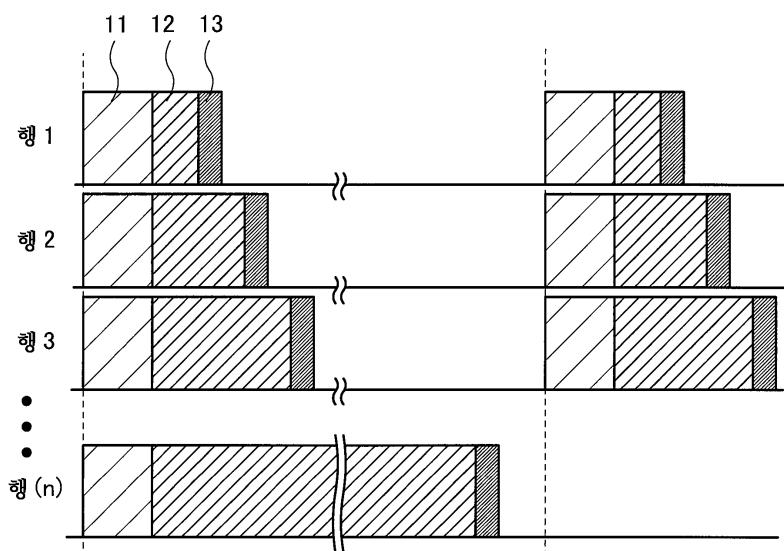


도면10

(A)

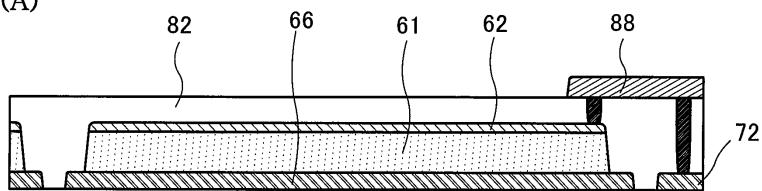


(B)

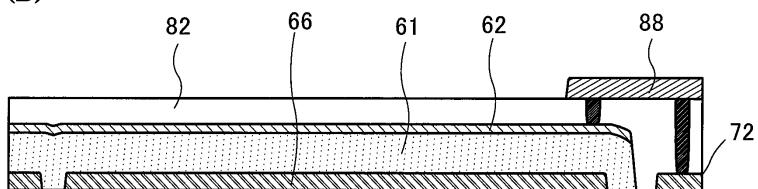


도면11

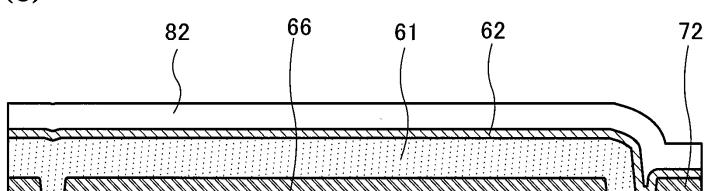
(A)



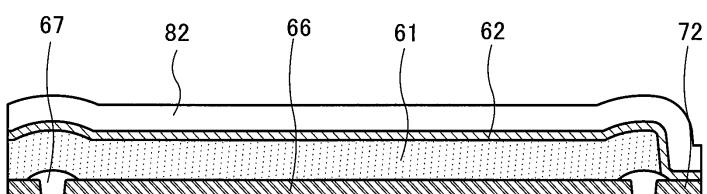
(B)



(C)

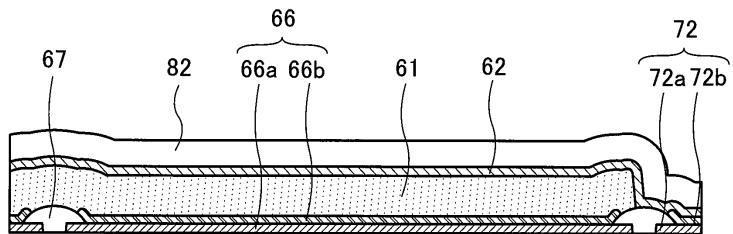


(D)

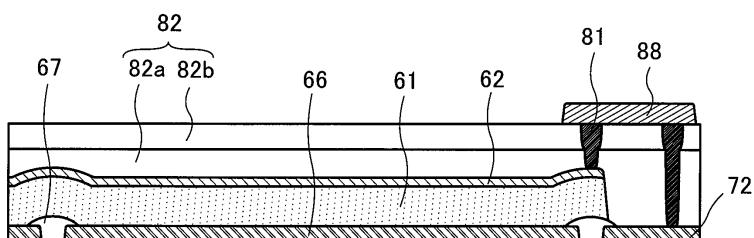


도면12

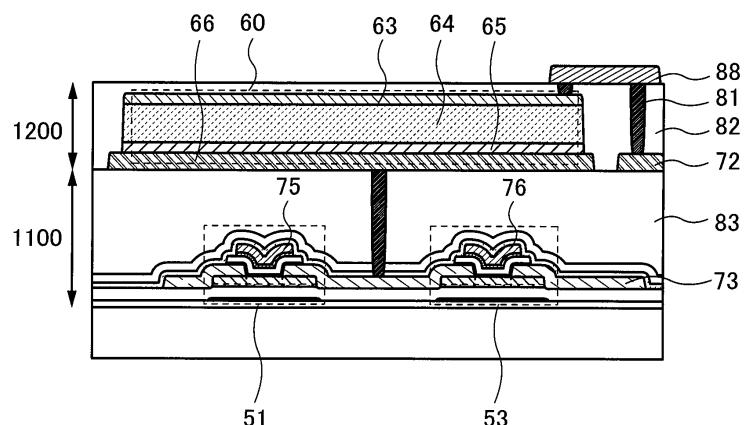
(A)



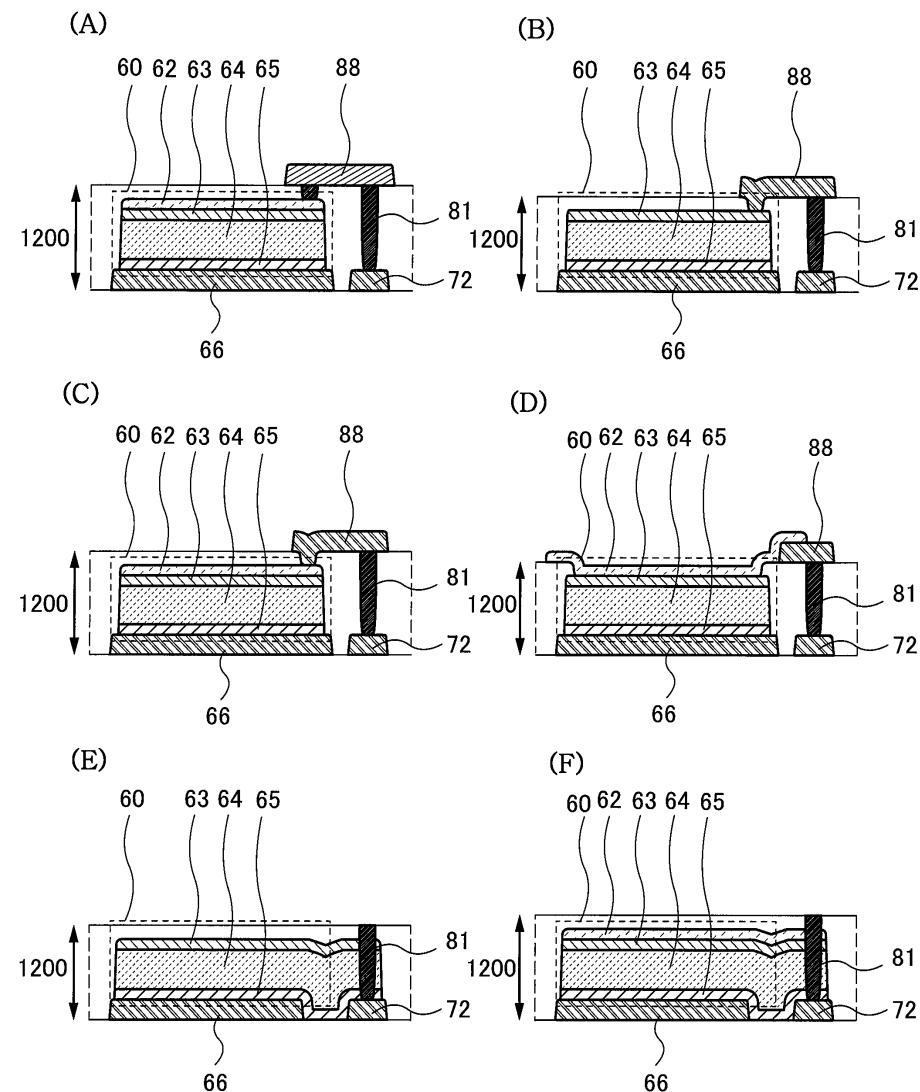
(B)



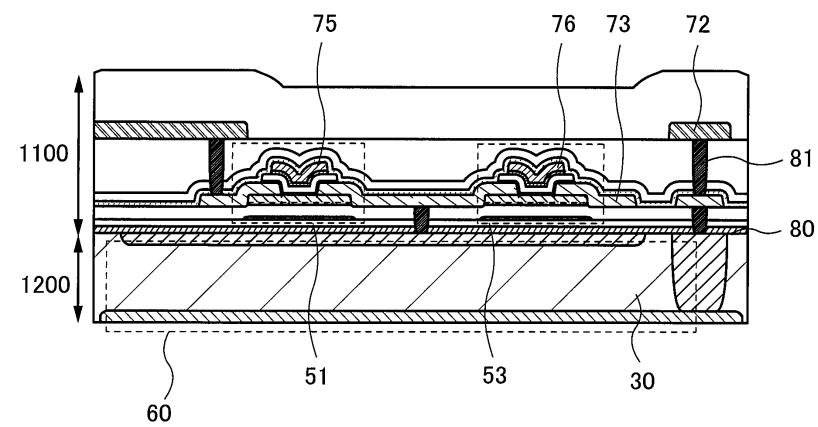
도면13



도면14

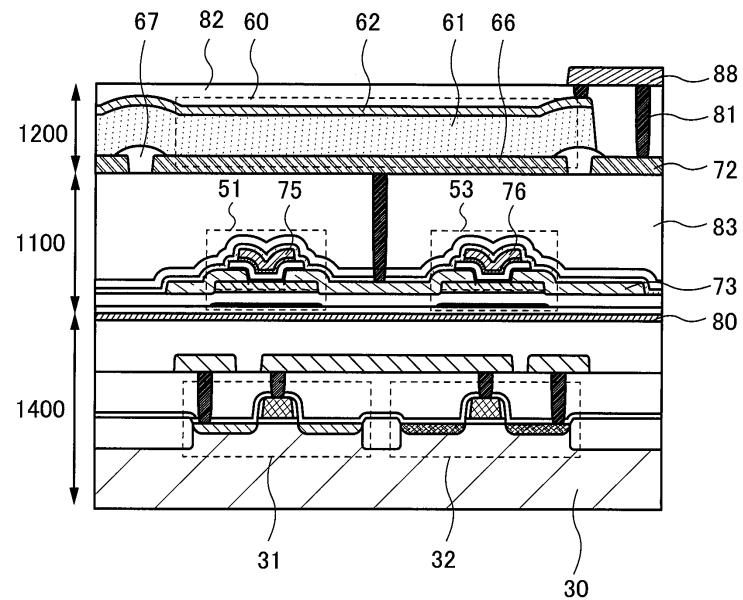


도면15

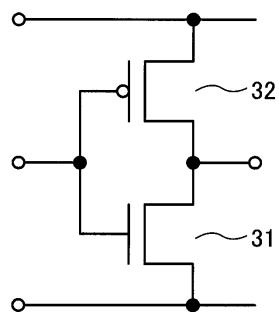


도면16

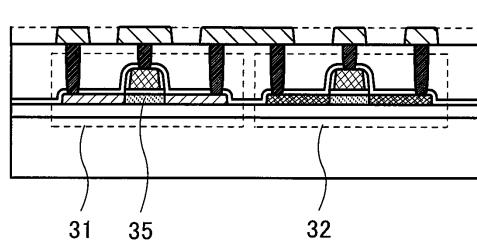
(A)



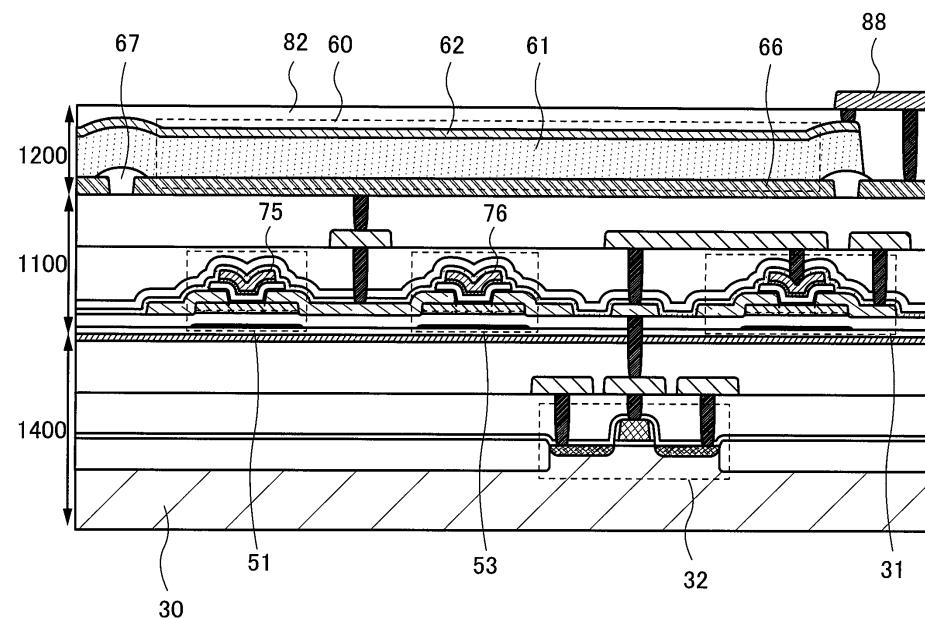
(B)



(C)

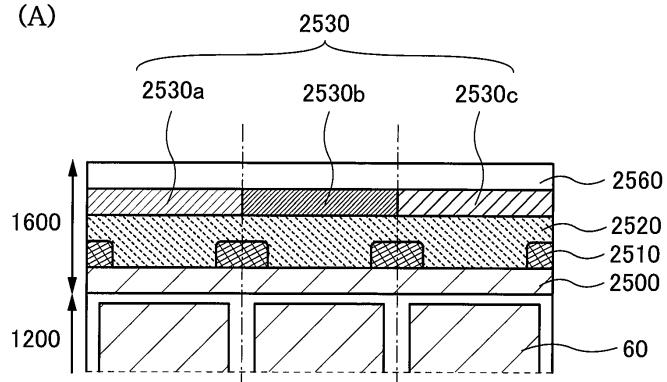


도면17

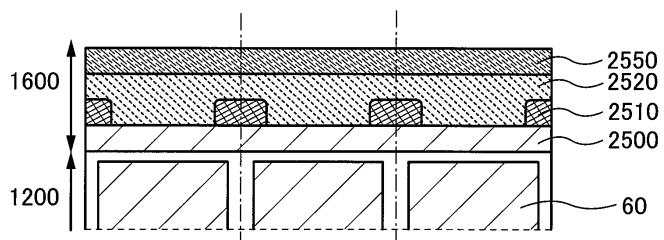


도면18

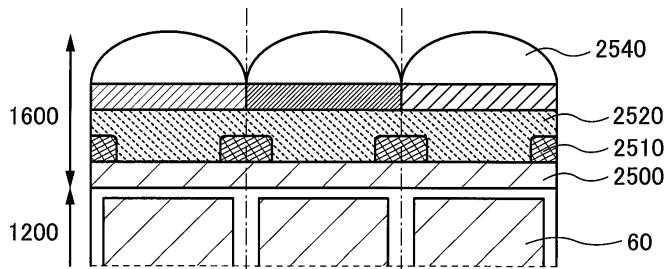
(A)



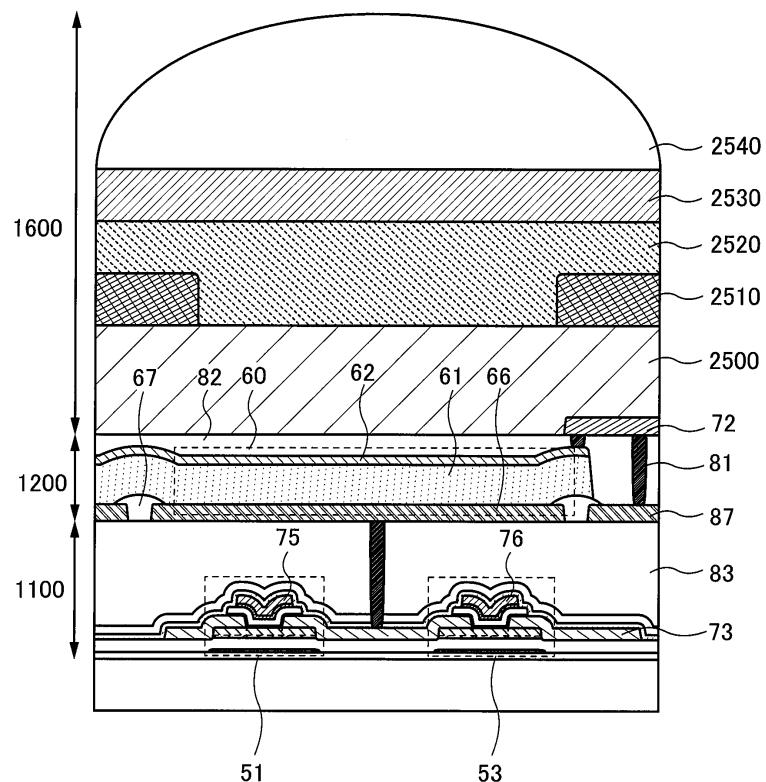
(B)



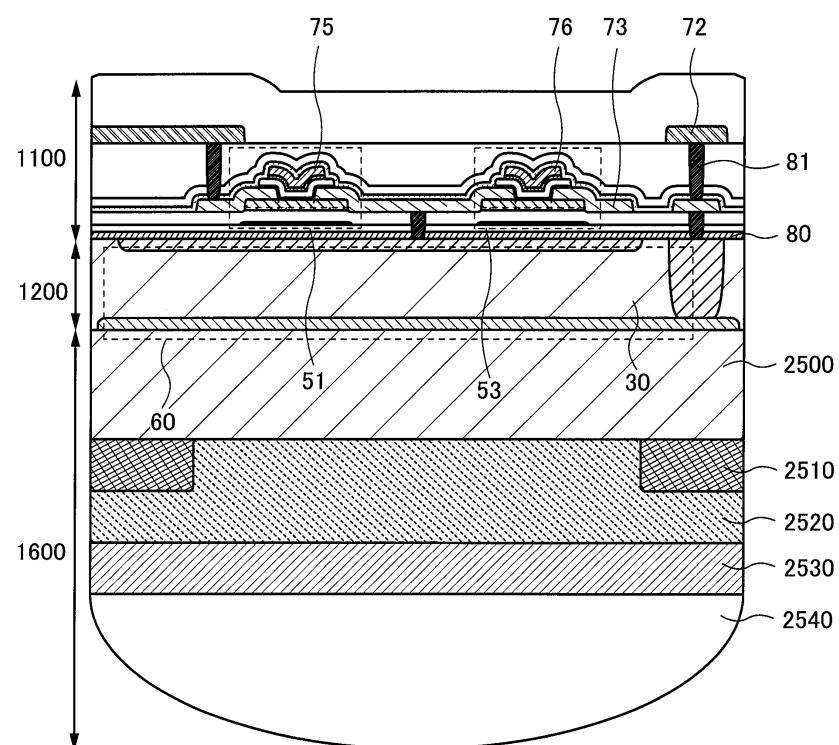
(C)



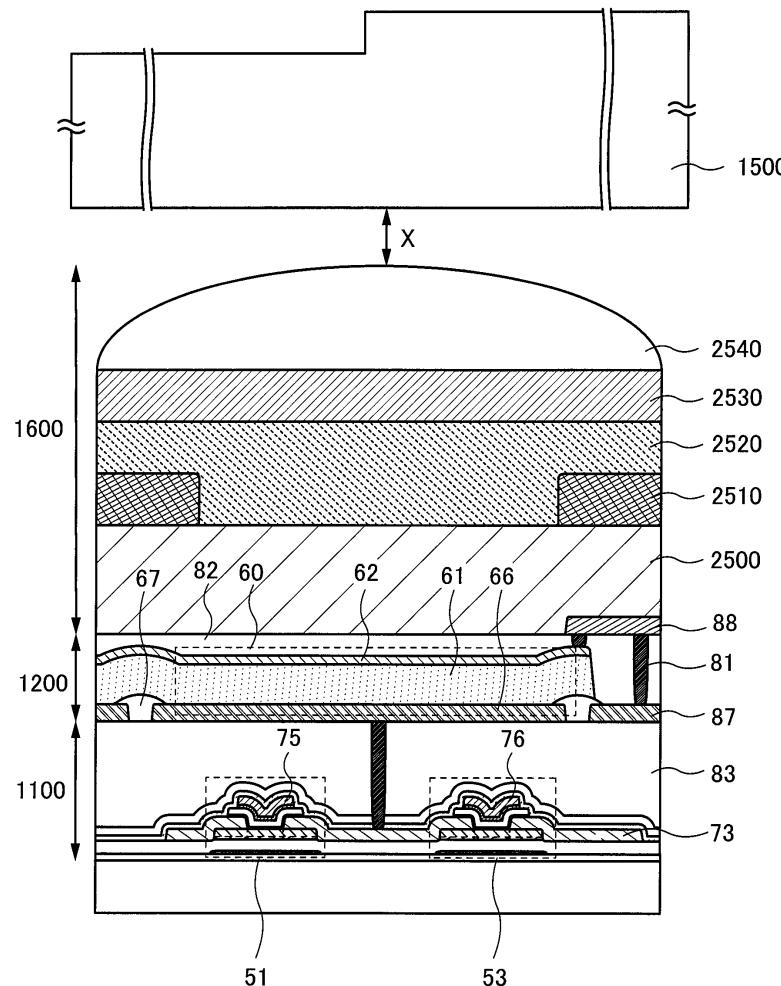
도면19



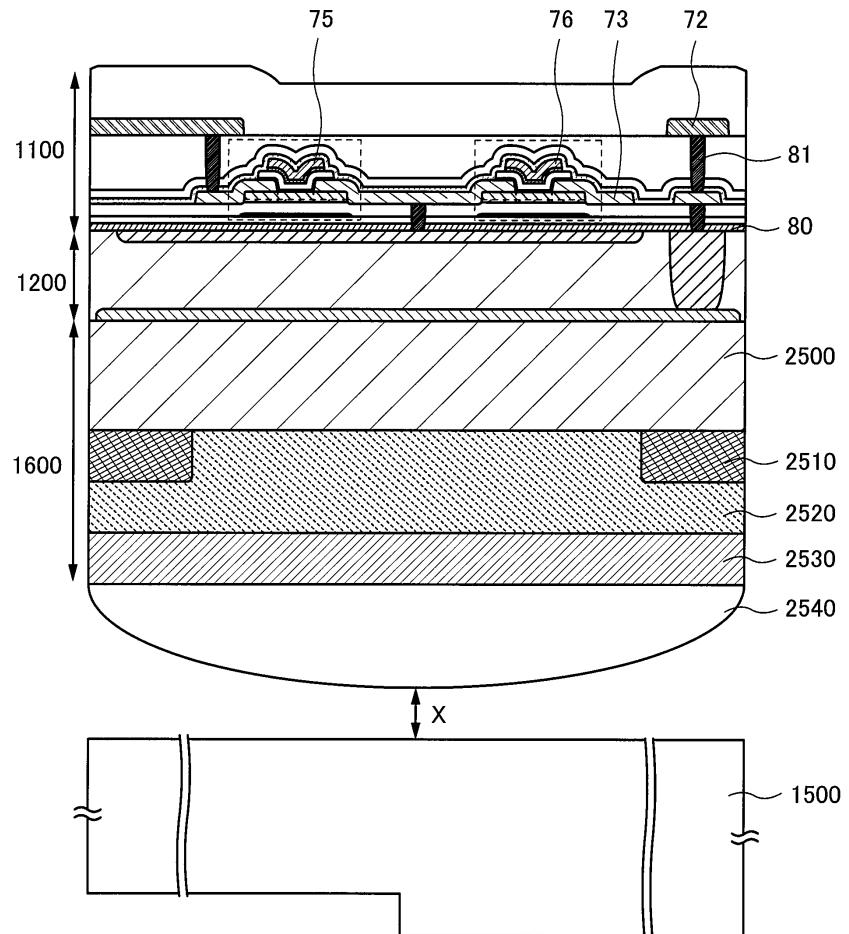
도면20



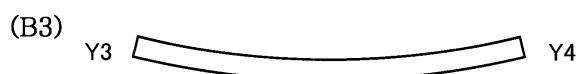
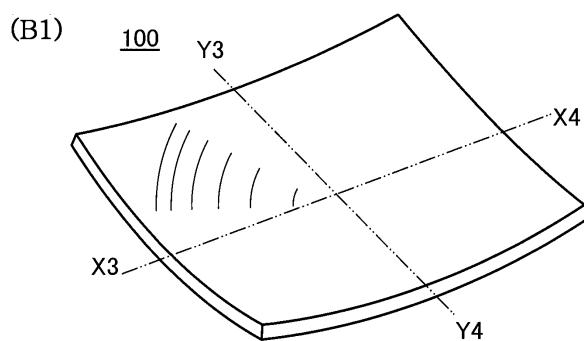
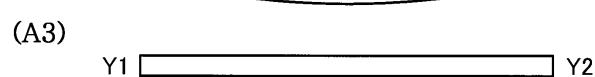
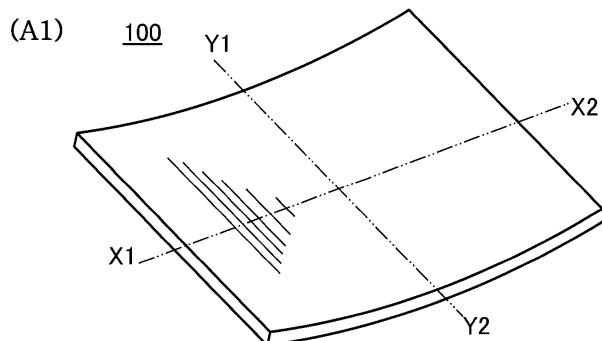
도면21



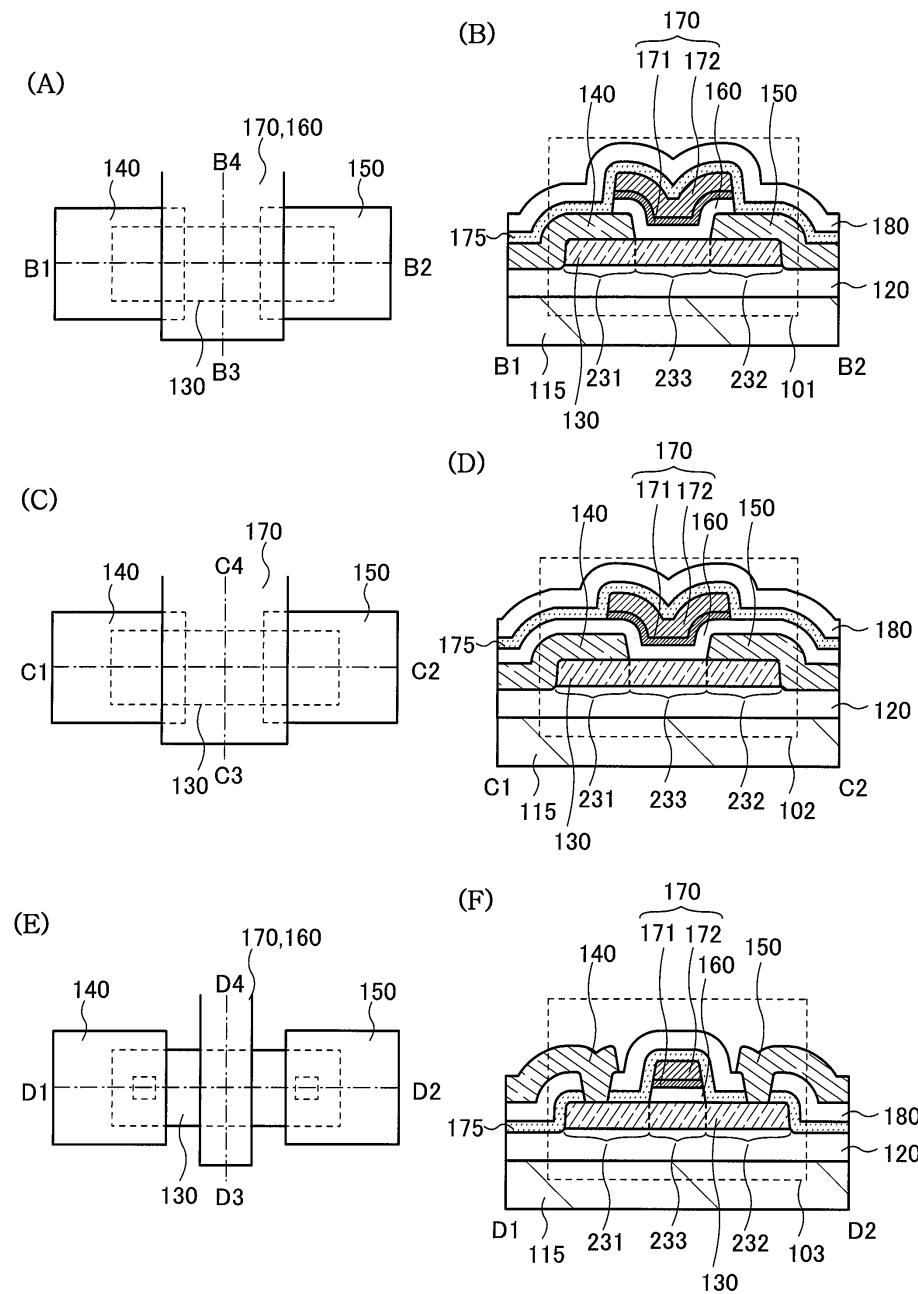
도면22



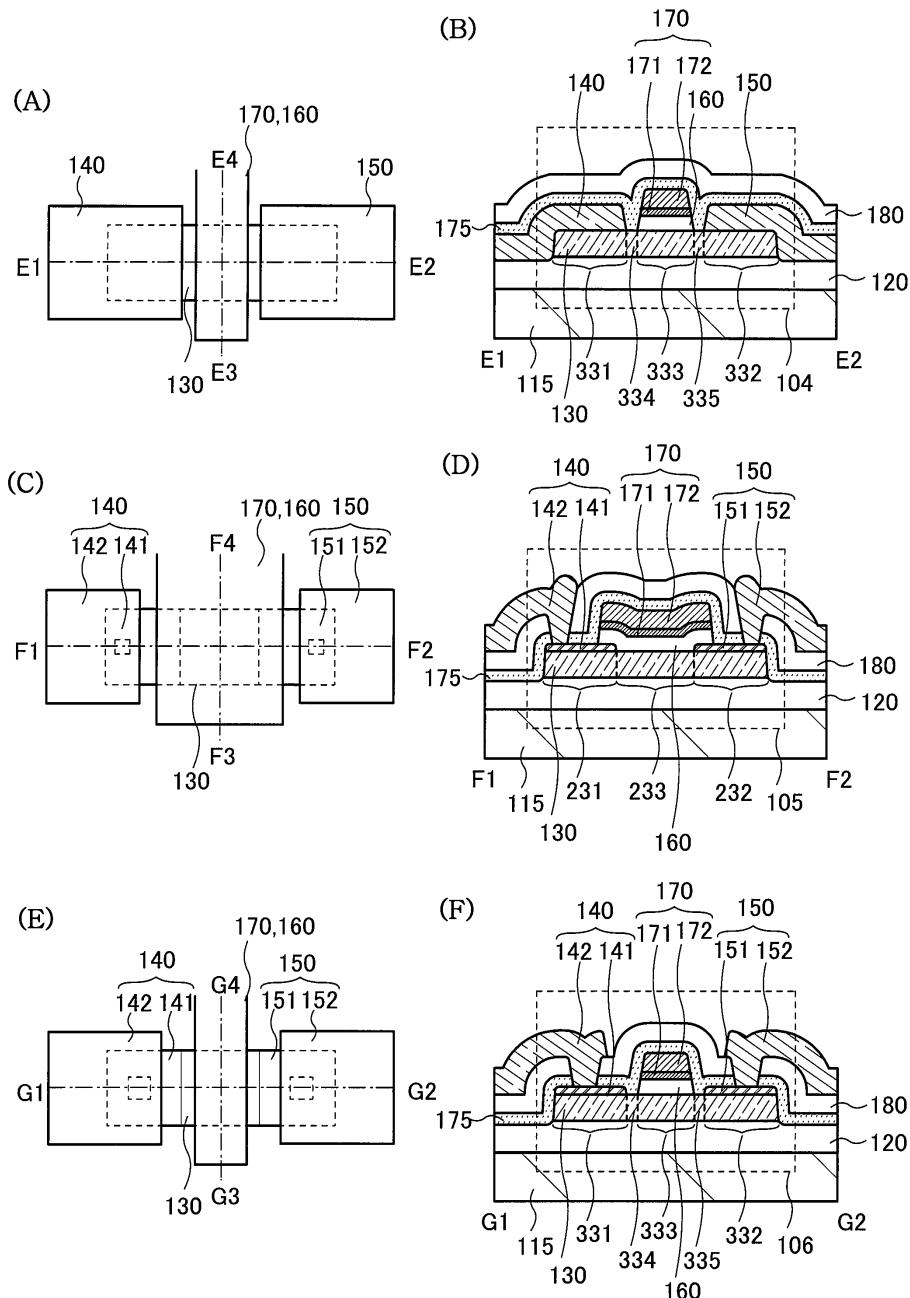
도면23



도면24

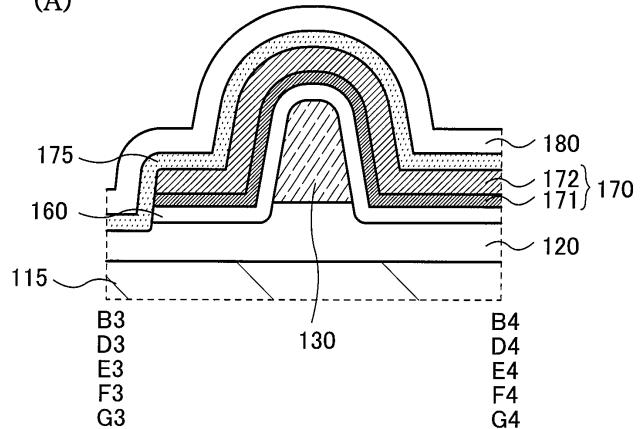


도면25

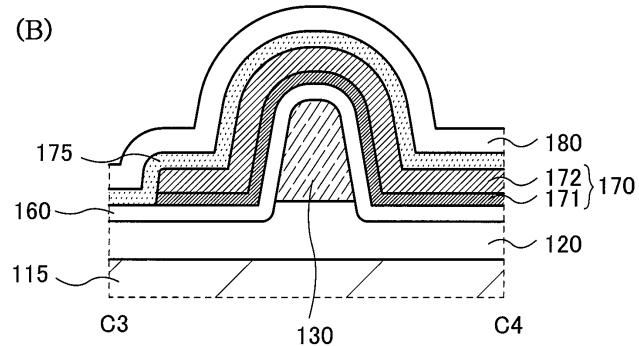


도면26

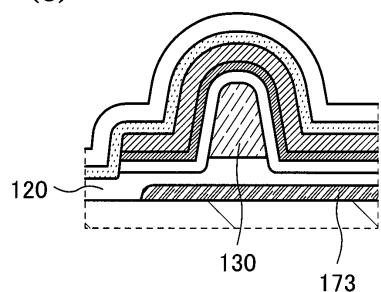
(A)



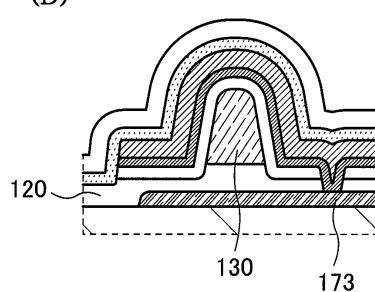
(B)



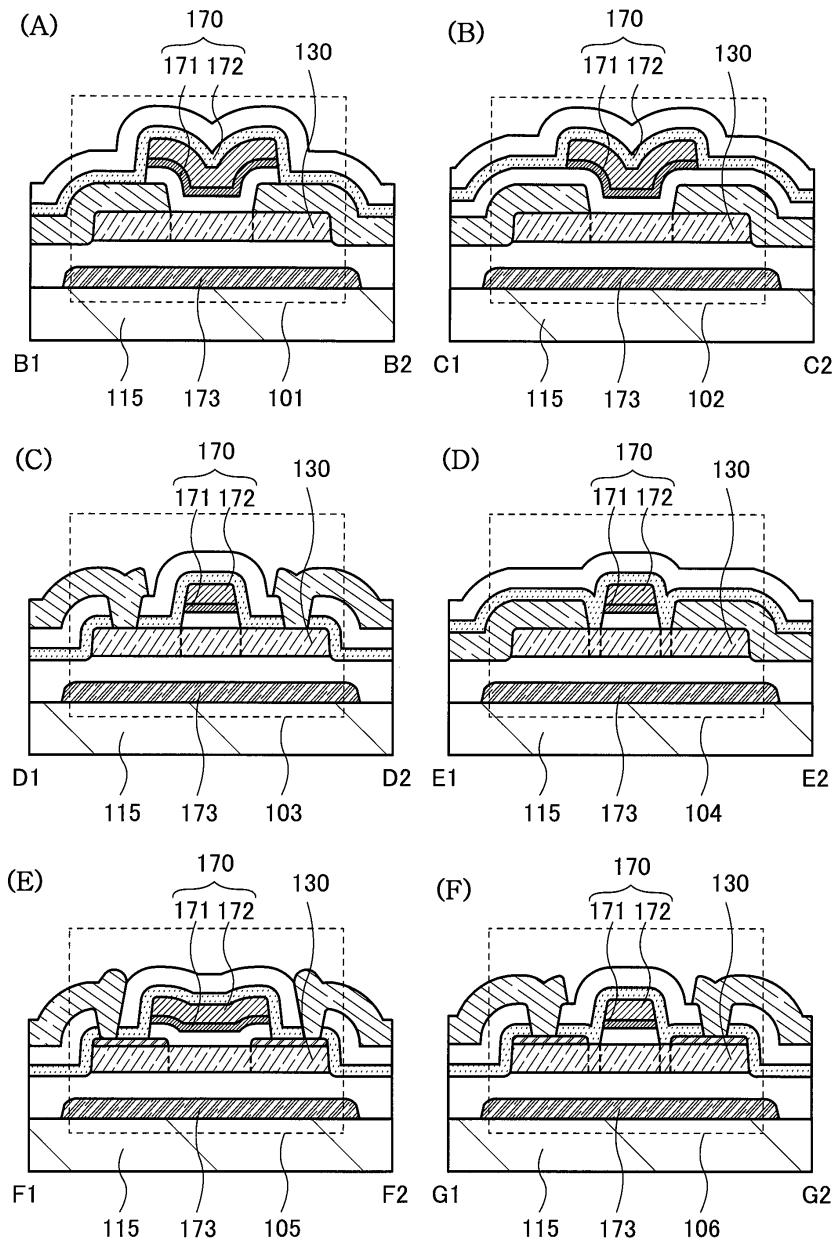
(C)



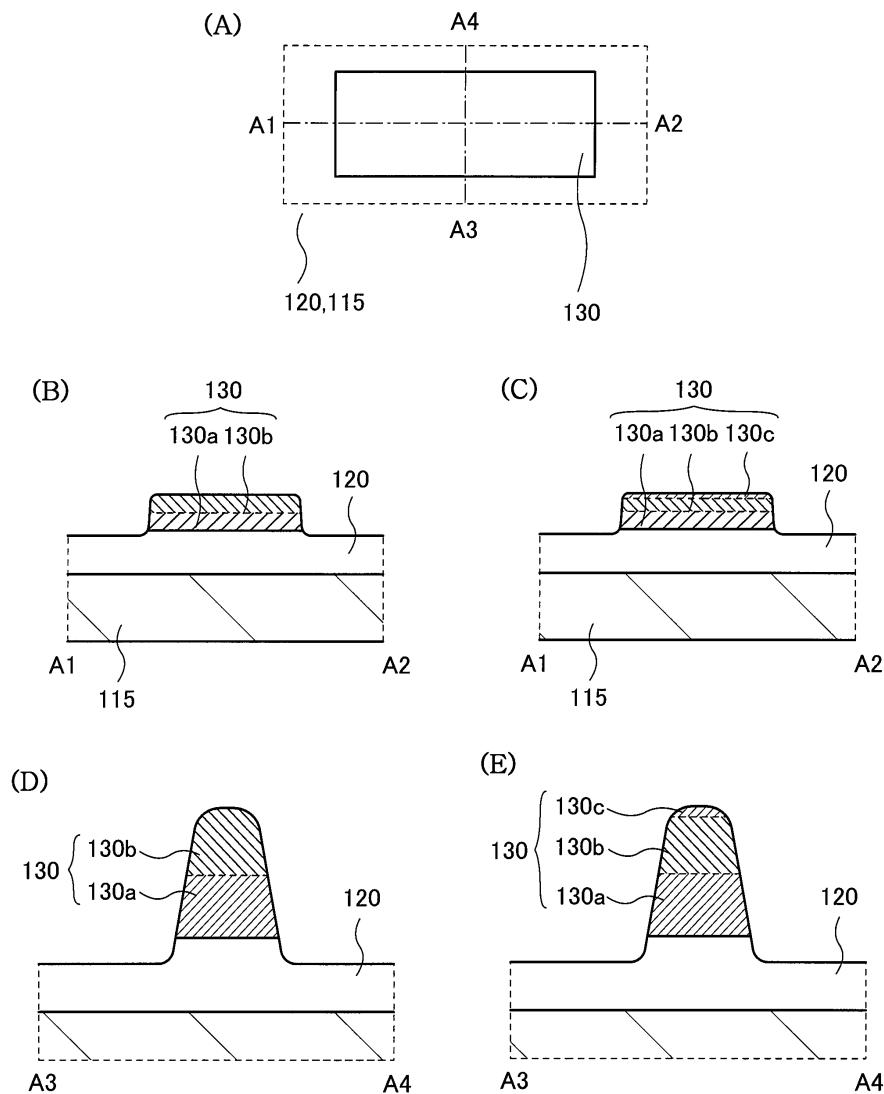
(D)



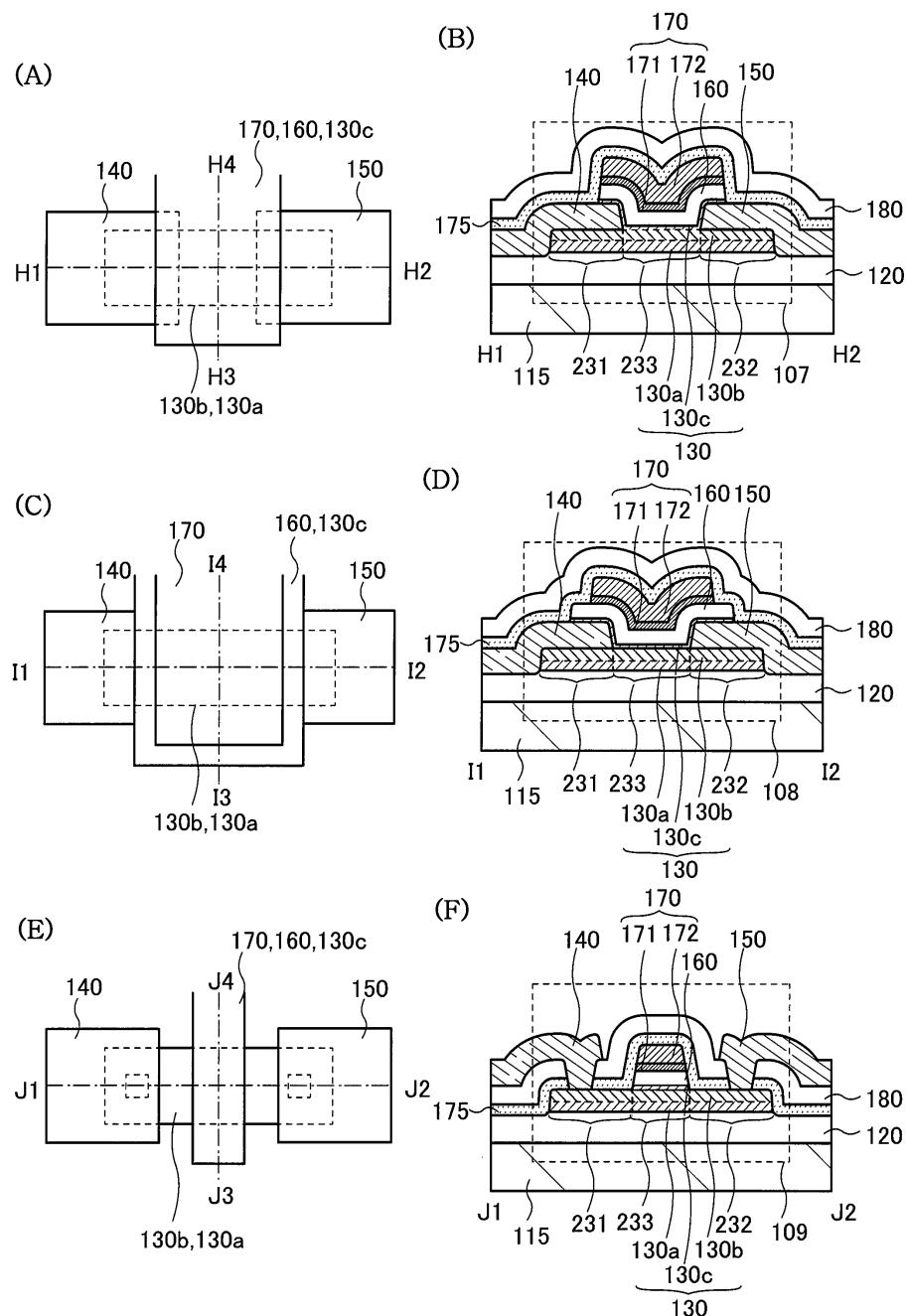
도면27



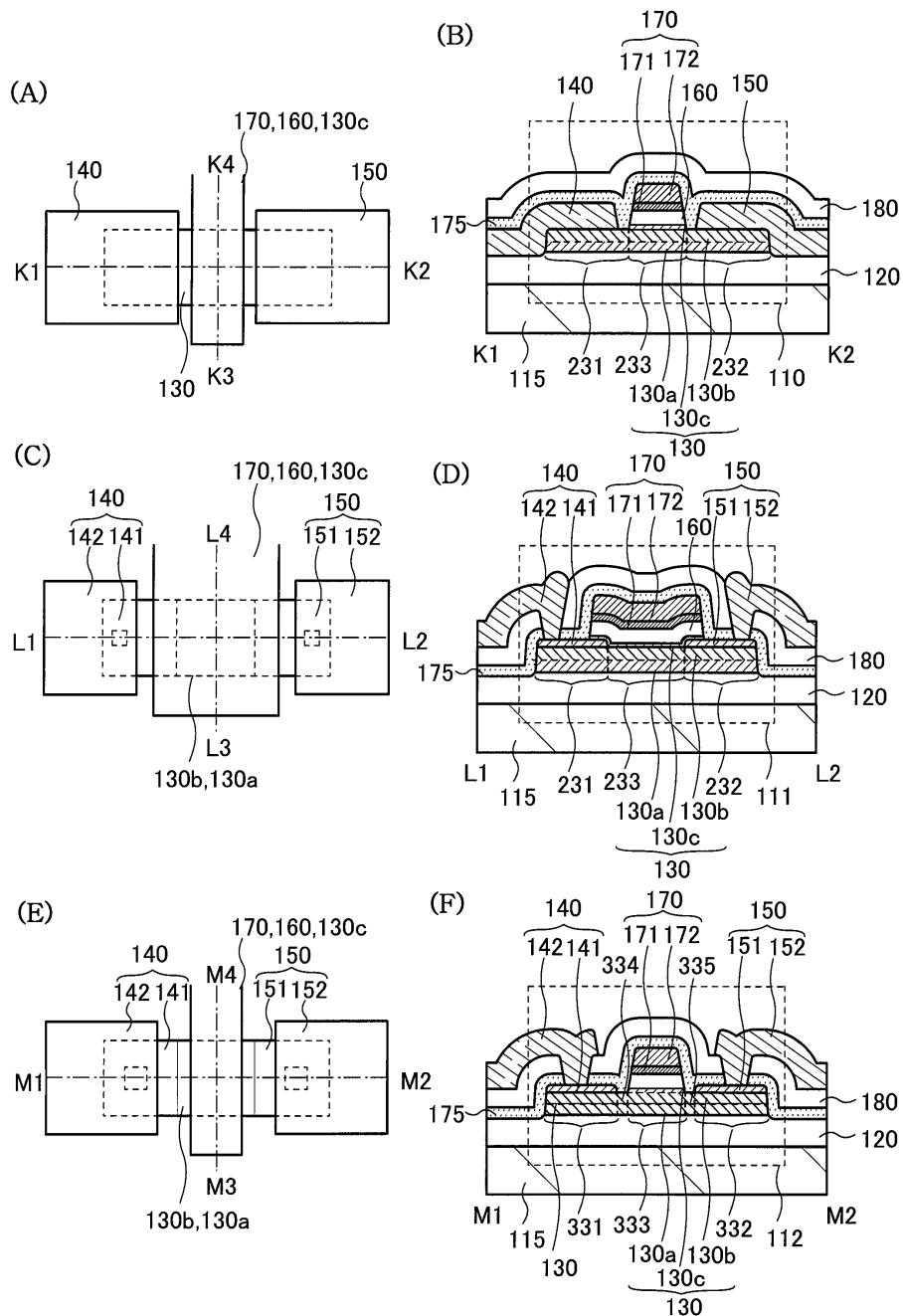
도면28



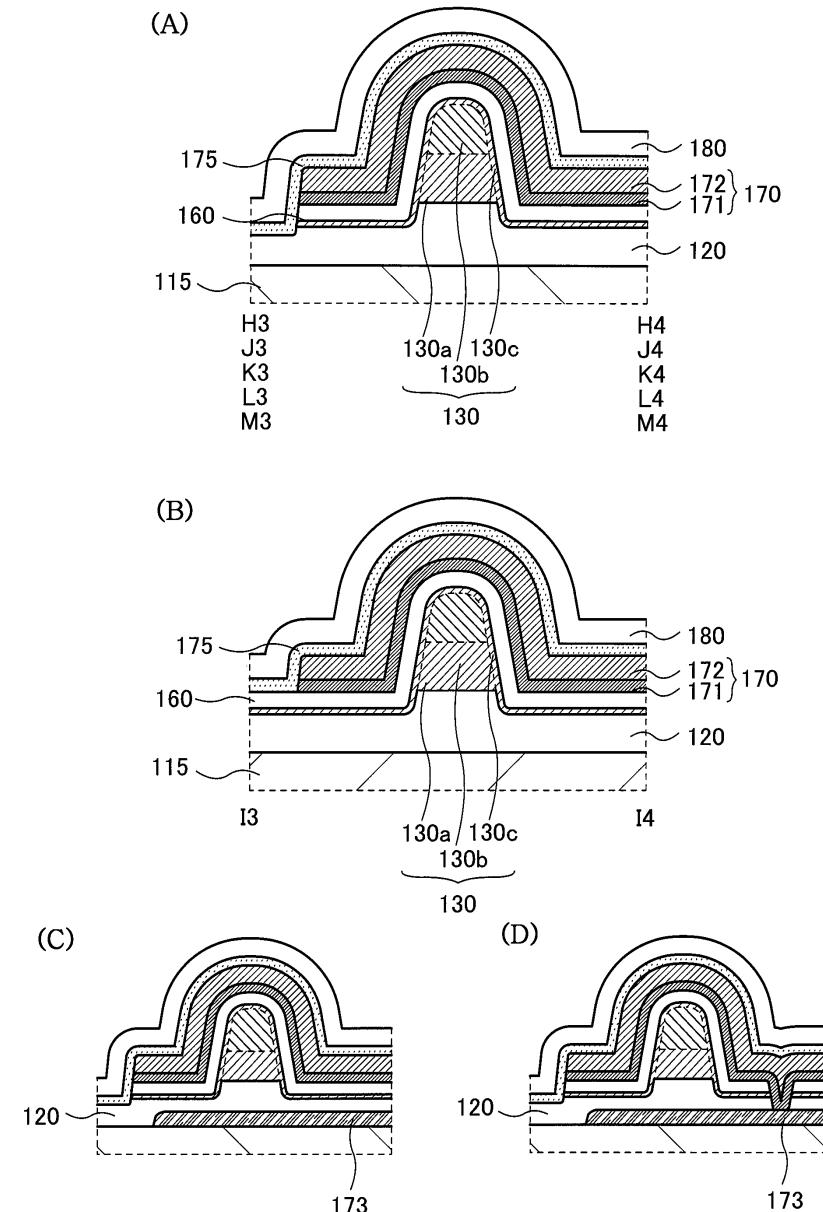
도면29



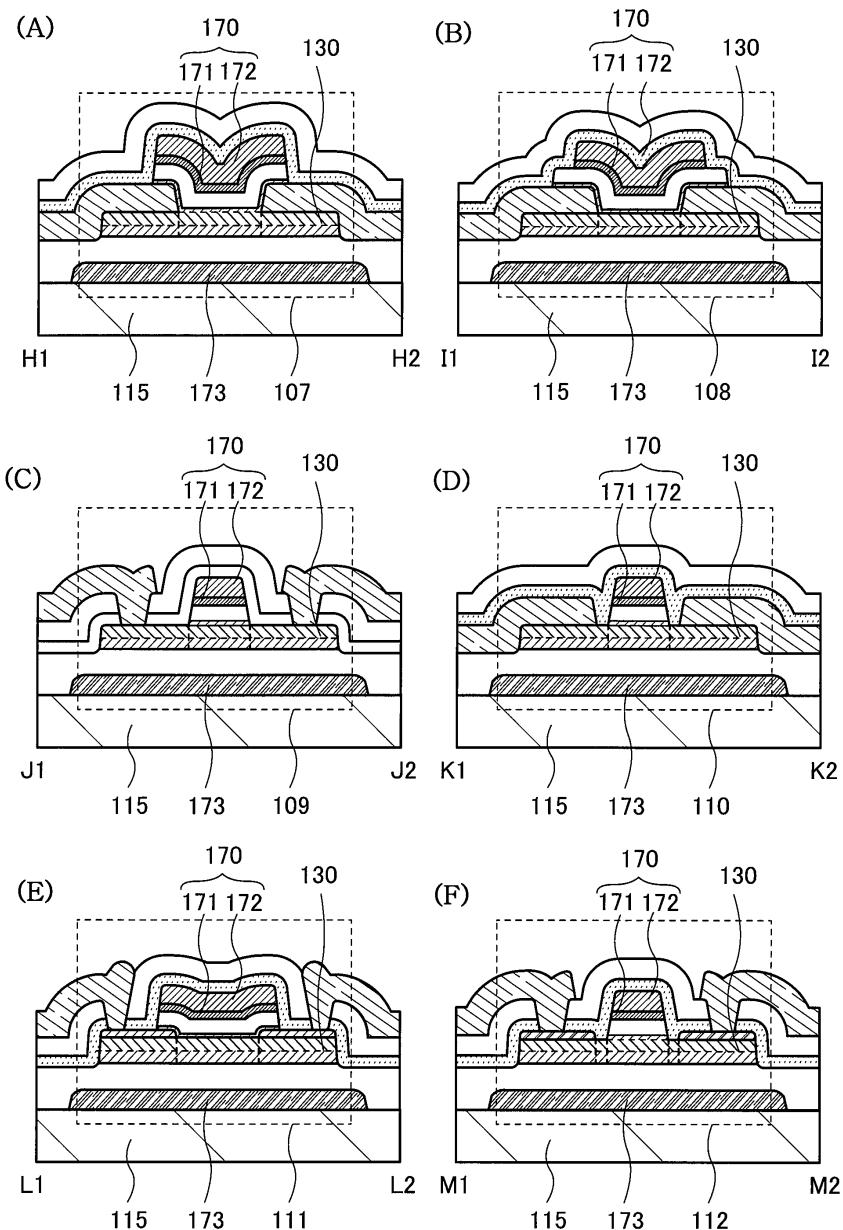
도면30



도면31

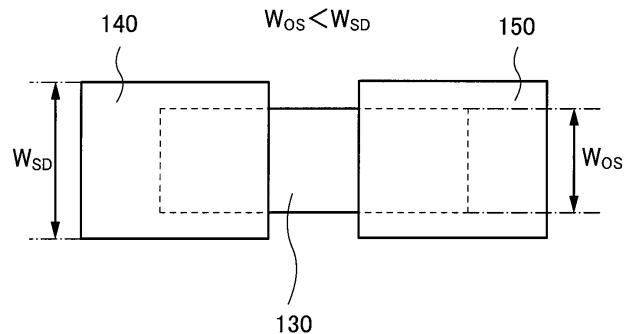


도면32

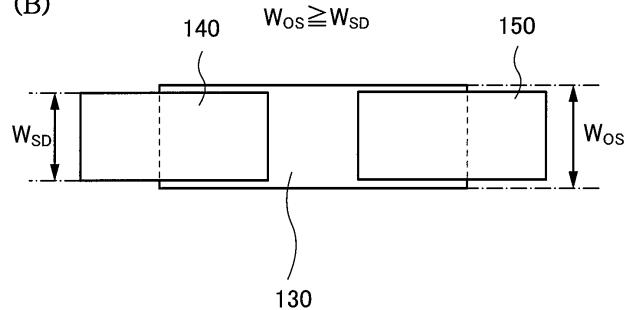


도면33

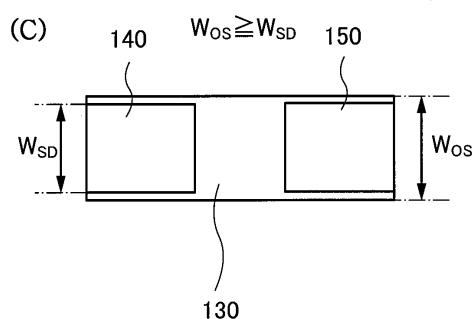
(A)



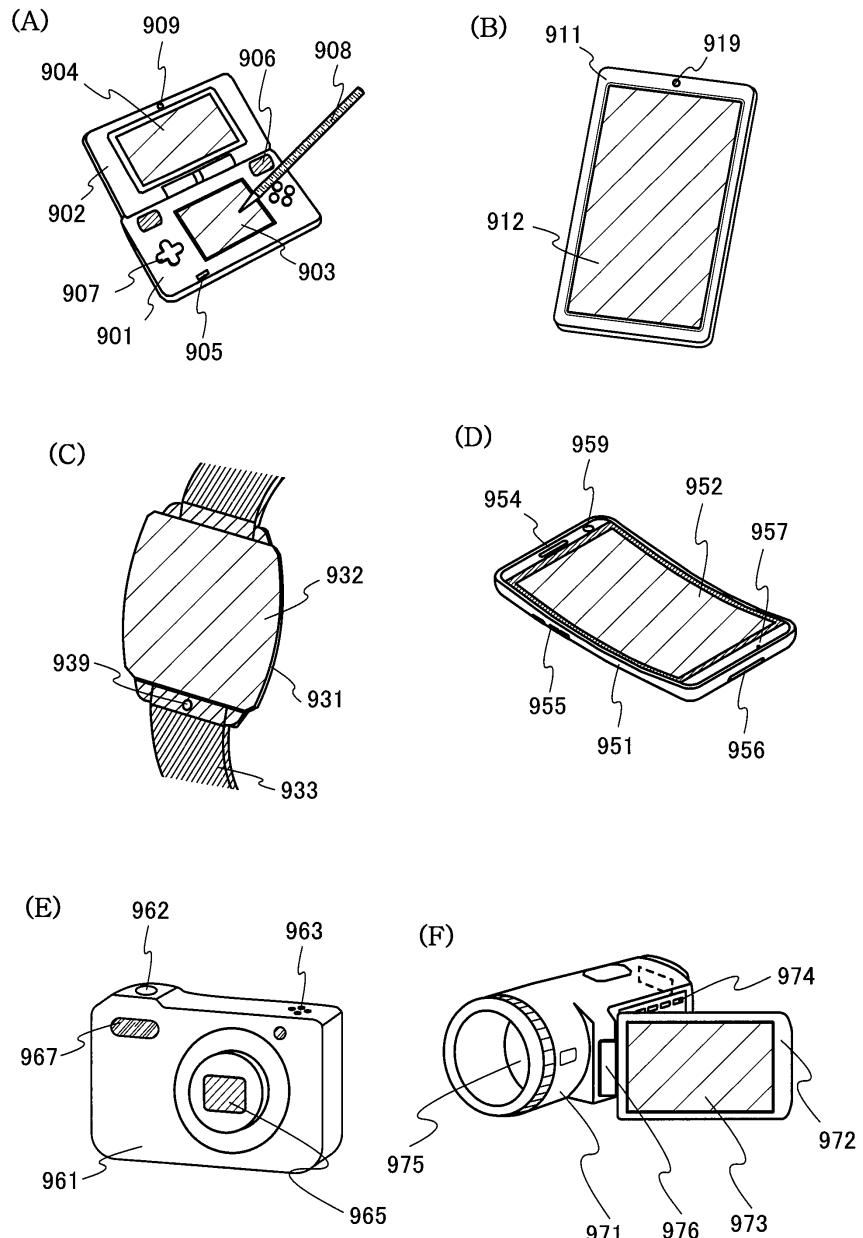
(B)



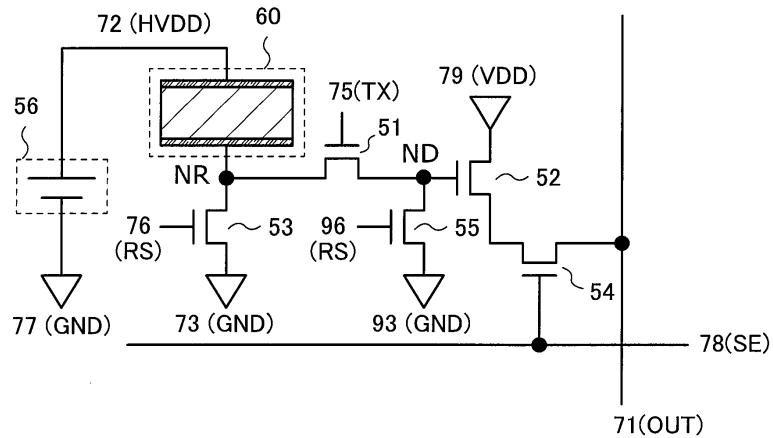
(C)



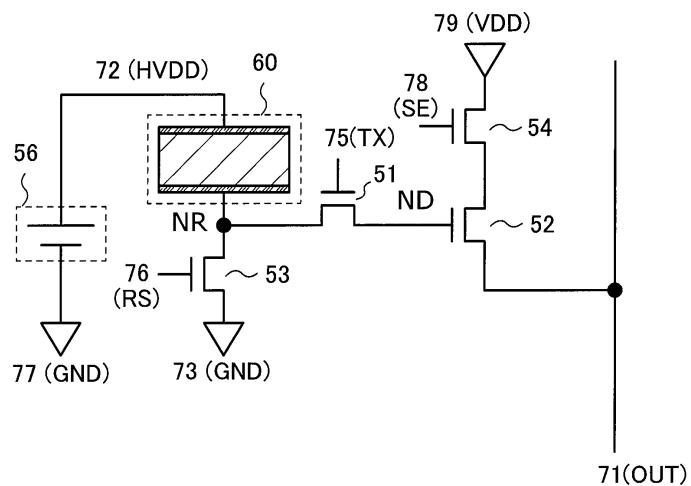
도면34



도면35

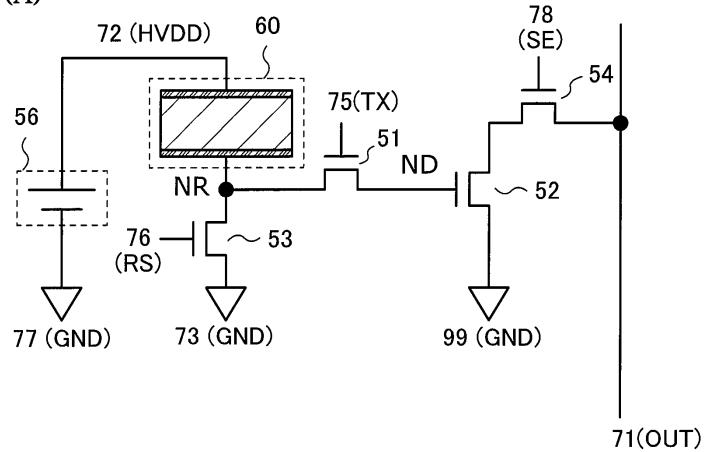


도면36

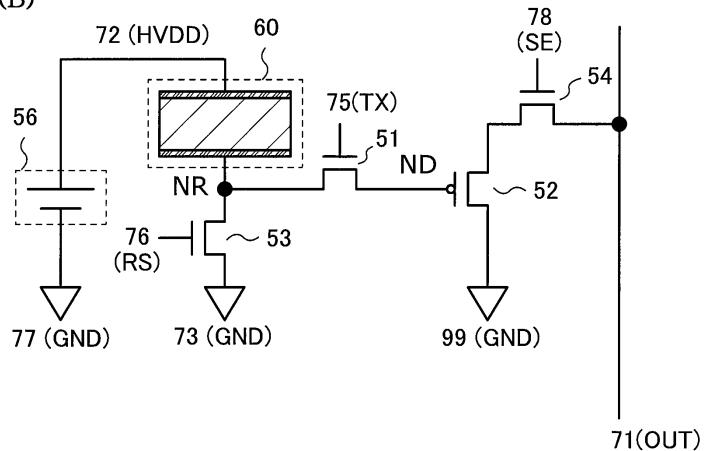


도면37

(A)



(B)



도면38

