



(12) 发明专利

(10) 授权公告号 CN 102999081 B

(45) 授权公告日 2015. 02. 04

(21) 申请号 201110276291. 3

(22) 申请日 2011. 09. 16

(73) 专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园区祖冲之路 1399 号

(72) 发明人 陈涛

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 丁纪铁

(51) Int. Cl.

G05F 3/26 (2006. 01)

(56) 对比文件

JP 2000330657 A, 2000. 11. 30, 全文 .

EP 0429268 A2, 1991. 05. 29, 全文 .

US 7030685 B1, 2006. 04. 18, 全文 .

CN 101067753 A, 2007. 11. 07, 全文 .

US 7593249 B2, 2009. 09. 22, 全文 .

审查员 王佳玉

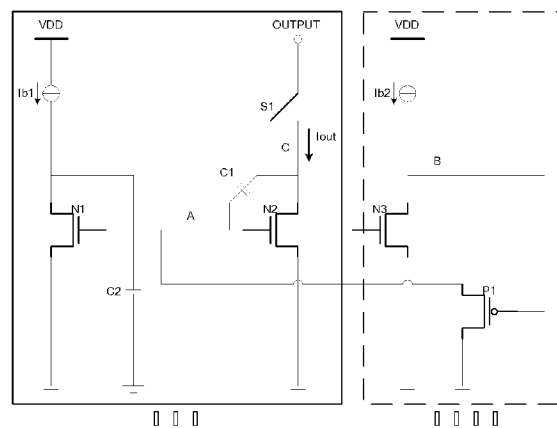
权利要求书1页 说明书3页 附图3页

(54) 发明名称

一种电流镜像电路

(57) 摘要

本发明公开了一种电流镜像电路,包括 :NMOS 管 N1,其漏极通过恒流源 Ib1 接电路电源 VDD,其栅极与其漏极短接,其栅极通过电容 C2 接地,其源极接地 ;NMOS 管 N2,其漏极通过开关 S1 接输出端 OUTPUT,其栅极通过电容 C1 与其漏极短接,其源极接地 ;NMOS 管 N3,其漏极通过恒流源 Ib2 接电路电源 VDD,其栅极接 NMOS 管 N1 和 NMOS 管 N2 的栅极,其源极接地 ;PMOS 管 P1,其源极接 NMOS 管 N1 的栅极,其栅极接 NMOS 管 N3 的漏极,其漏极接地。本发明的电流镜像电路当节点 A 电压超过一定值时,通过加速电路内部的反馈回路增加节点 A 的电流泄放能力实现快速稳定输出电流,能缩短输出稳定电流所需时间。



1. 一种电流镜像电路,其特征是,包括:

NMOS 管 N1,其漏极通过恒流源 Ib1 接电路电源 VDD,其栅极与其漏极短接,其栅极通过电容 C2 接地,其源极接地;

NMOS 管 N2,其漏极通过开关 S1 接输出端 OUTPUT,其栅极通过电容 C1 与其漏极短接,其源极接地;

NMOS 管 N3,其漏极通过恒流源 Ib2 接电路电源 VDD,其栅极接 NMOS 管 N1 和 NMOS 管 N2 的栅极,其源极接地;

PMOS 管 P1,其源极接 NMOS 管 N1 的栅极,其栅极接 NMOS 管 N3 的漏极,其漏极接地。

2. 如权利要求 1 所述的镜像电路,其特征是:所述 PMOS 管 P1 由 NMOS 管 N4 代替,NMOS 管 N4 的漏极接 NMOS 管 N1 的栅极,其栅极通过反向放大器 I1 接 MOS 管 N3 的漏极,其源极接地;

反相放大器 I1,其输入接 NMOS 管 N3 的漏极,其输出接 MOS 管 N4 的栅极。

一种电流镜像电路

技术领域

[0001] 本发明涉及模拟集成电路领域,特别是涉及一种电流镜像电路。

背景技术

[0002] 如图 1 所示,一种常用的电流镜像电路,包括:恒流源 I_{b1} 、NMOS 管 N1、NMOS 管 N2 和开关 S1。其中,NMOS 管 N1 和 NMOS 管 N2 组成电流镜像,将 I_{b1} 按一定比例镜像为输出电流 I_{out} ,开关 S1 用于控制是否输出 I_{out} 。

[0003] 当不需要输出电流时,S1 断开,节点 C 电压为 0V。当需要输出电流时,S1 闭合,节点 C 的电压从 0V 上升到 OUTPUT 电压,同时 NMOS 管 N2 输出电流 I_{out} 。由于 N2 的寄生电容 C1 的作用,节点 C 的电压上升的时候,同时会拉高节点 A 的电压,引起 N2 的电流偏大。只有当 C1 上的电荷通过 NMOS 管 N1 释放后,节点 A 的电压降低到稳定值,NMOS 管 N2 也输出稳定电流。由于 NMOS 管 N1 放电时间较慢,因此该电路能输出稳定电流所需时间较长。

发明内容

[0004] 本发明要解决的技术问题是提供一种电流镜像电路能缩短输出稳定电流所需时间。

[0005] 为解决上述技术问题,本发明的电流镜像电路,包括:

[0006] NMOS 管 N1,其漏极通过恒流源 I_{b1} 接电路电源 VDD,其栅极与其漏极短接,其栅极通过电容 C2 接地,其源极接地;

[0007] NMOS 管 N2,其漏极通过开关 S1 接输出端 OUTPUT,其栅极通过电容 C1 与其漏极短接,其源极接地;

[0008] NMOS 管 N3,其漏极通过恒流源 I_{b2} 接电路电源 VDD,其栅极接 NMOS 管 N1 和 NMOS 管 N2 的栅极,其源极接地;

[0009] PMOS 管 P1,其源极接 NMOS 管 N1 的栅极,其栅极接 NMOS 管 N3 的漏极,其漏极接地。

[0010] 进一步改进本发明的电流镜像电路,所述 PMOS 管 P1 由 NMOS 管 N4 代替,NMOS 管 N4 的漏极接 NMOS 管 N1 的栅极,其栅极通过反向放大器 I1 接 MOS 管 N3 的漏极,其源极接地;

[0011] 反相放大器 I1,其输入接 NMOS 管 N3 的漏极,其输出接 MOS 管 N4 的栅极。

[0012] 本发明的电流镜像电路当节点 A 电压超过一定值时,通过加速电路内部的反馈回路增加节点 A 的电流泄放能力实现快速稳定输出电流,能缩短输出稳定电流所需时间。

附图说明

[0013] 下面结合附图与具体实施方式对本发明作进一步详细的说明:

[0014] 图 1 是一种常用的电流镜像电路示意图。

[0015] 图 2 是本发明第一实施例的示意图。

[0016] 图 3 是本发明第二实施例的示意图。

- [0017] 图 4 是本发明第一实施例的仿真结果波形图。
- [0018] 附图标记说明
- [0019] VDD 是电路电源
- [0020] OUTPUT 是输出端
- [0021] N1、N2、N3、N4 是 NMOS 管
- [0022] P1 是 PMOS 管
- [0023] S1 是开关
- [0024] Ib1、Ib2 是恒流源
- [0025] I1 是反相放大器
- [0026] A、B 是节点。

具体实施方式

[0027] 如图 2 所示,本发明的第一实施例,包括:

[0028] NMOS 管 N1,其漏极通过恒流源 Ib1 接电路电源 VDD,其栅极与其漏极短接,其栅极通过电容 C2 接地,其源极接地;

[0029] NMOS 管 N2,其漏极通过开关 S1 接输出端 OUTPUT,其栅极通过电容 C1 与其漏极短接,其源极接地;

[0030] NMOS 管 N3,其漏极通过恒流源 Ib2 接电路电源 VDD,其栅极接 NMOS 管 N1 和 NMOS 管 N2 的栅极,其源极接地;

[0031] PMOS 管 P1,其源极接 NMOS 管 N1 的栅极,其栅极接 NMOS 管 N3 的漏极,其漏极接地。

[0032] 当不需要输出电流时,打开开关 S1, NMOS 管 N3 的电流值为稳定值,且小于恒流源 Ib2 的电流,节点 B 为高电平,PMOS 管 P1 关闭。当需要输出电流时,闭合开关 S1 时,节点 A 电压升高, NMOS 管 N3 电流增大,且大于恒流源 Ib2 的电流,节点 B 电压降低,PMOS 管 P1 打开,快速释放电容 C2 上的电荷,加快节点 A 的电压降低达到稳定值,输出端 OUTPUT 电流也快速稳定。当 NMOS 管 N3 的电流也快速达到稳定值,且小于恒流源 Ib2 的电流,节点 B 电压为高时,PMOS 管 P1 关闭。

[0033] 如图 4 所示,本发明第一实施例的仿真结果波形图,本发明的电流镜像电路相对常用电流镜像电路能缩短输出稳定电流所需时间。

[0034] 如图 3 所示,本发明的第二实施例,包括:

[0035] NMOS 管 N1,其漏极通过恒流源 Ib1 接电路电源 VDD,其栅极与其漏极短接,其栅极通过电容 C2 接地,其源极接地;

[0036] NMOS 管 N2,其漏极通过开关 S1 接输出端 OUTPUT,其栅极通过电容 C1 与其漏极短接,其源极接地;

[0037] NMOS 管 N3,其漏极通过恒流源 Ib2 接电路电源 VDD,其栅极接 NMOS 管 N1 和 NMOS 管 N2 的栅极,其源极接地;

[0038] NMOS 管 N4,其漏极接 NMOS 管 N1 的栅极,其栅极通过反向放大器 I1 接 MOS 管 N3 的漏极,其源极接地;

[0039] 反相放大器 I1,其输入接 NMOS 管 N3 的漏极,其输出接 MOS 管 N4 的栅极。

[0040] 当不需要输出电流时, NMOS 管 N3 的电流值为稳定值,且小于恒流源 Ib2 的电流,

因此节点 B 为高电平,节点 C 为低电平, NMOS 管 N4 关闭。当需要输出电流时,闭合开关 S1 时,节点 A 电压升高, NMOS 管 N3 电流增大,且大于恒流源 Ib2 的电流,节点 B 电压降低,经过反相器 I1 后,节点 C 电压升高, NMOS 管 N4 打开,快速释放电容 C2 上的电荷,从而加快节点 A 的电压降低达到稳定值,输出电流也快速稳定。当 NMOS 管 N3 的电流也达到稳定值,且小于恒流源 Ib2 的电流,节点 B 电压为高,节点 C 电压为低, NMOS 管 N4 关闭。

[0041] 以上通过具体实施方式和实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

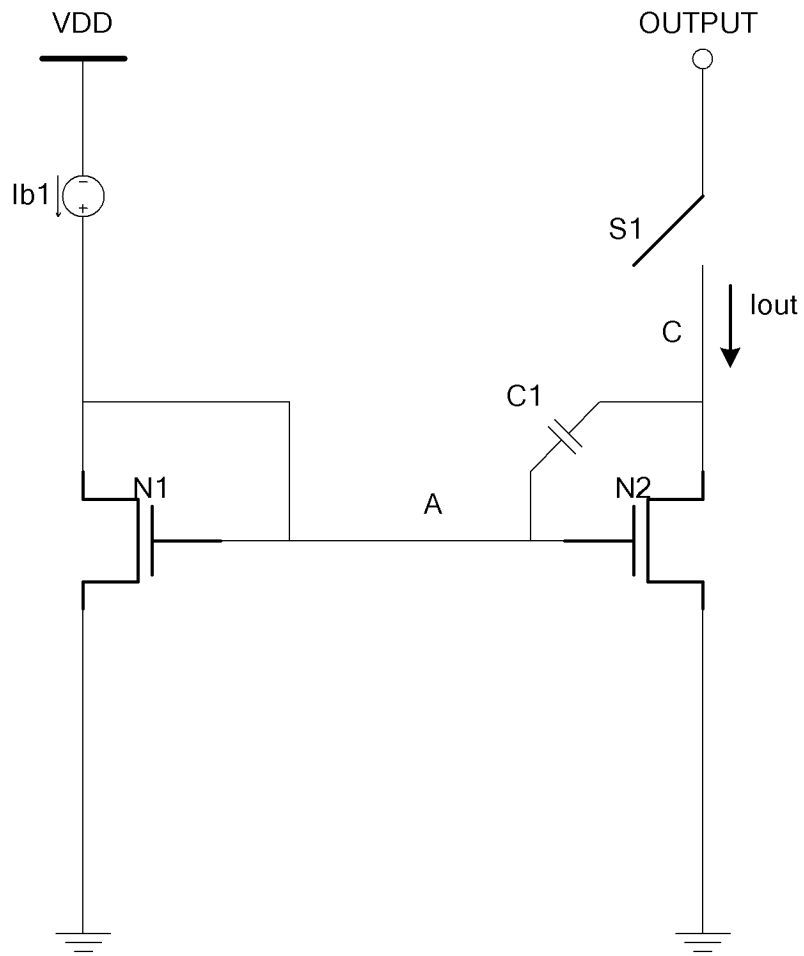


图 1

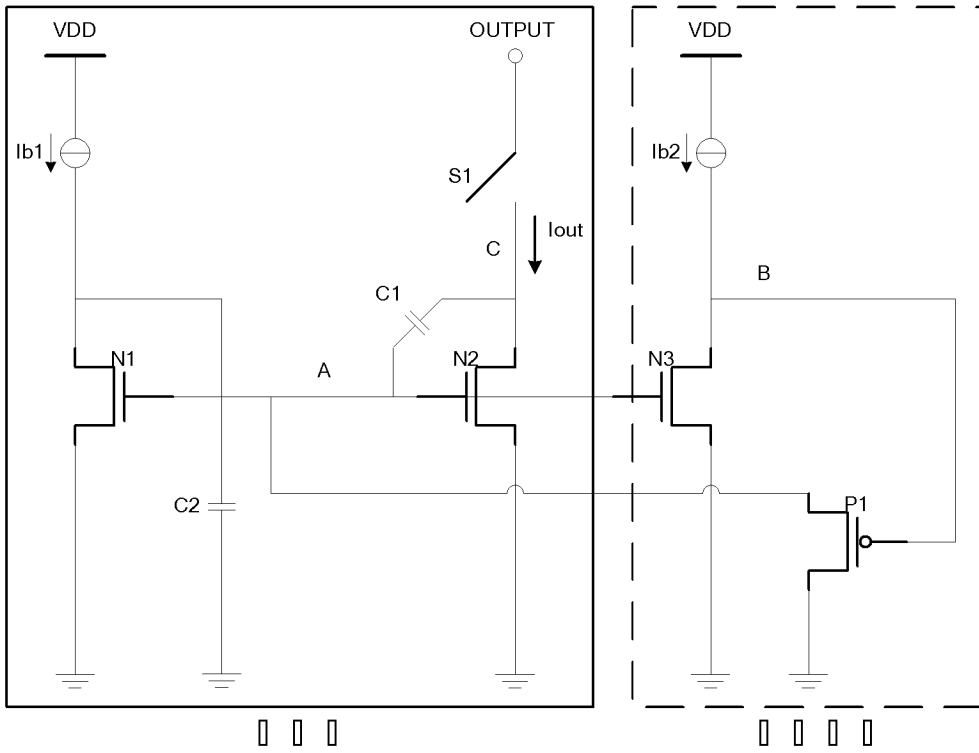


图 2

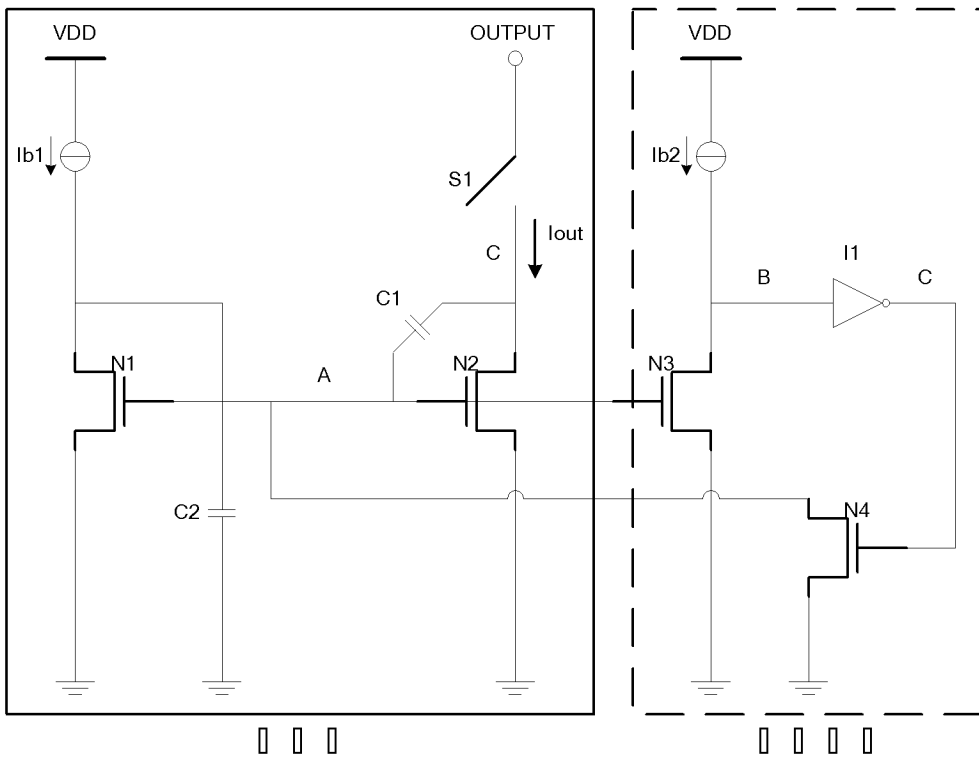


图 3

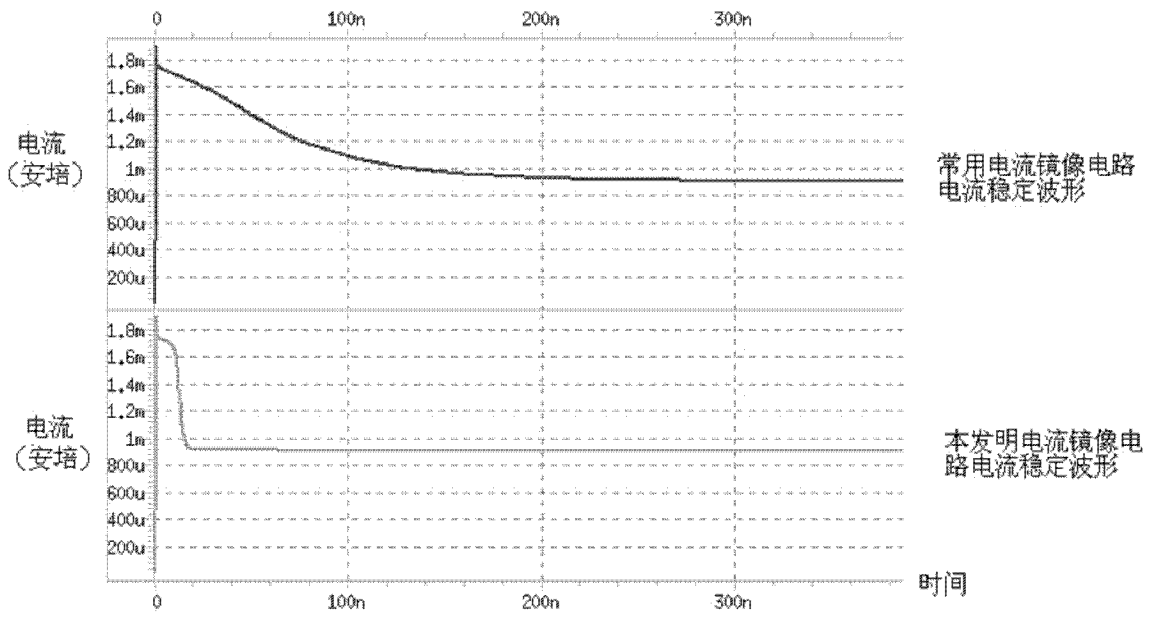


图 4