(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022 년 3 월 31 일 (31.03.2022)

WIPO | PCT

(10) 국제공개번호
WO 2022/065865 A1

(51) 국제특허분류:
H01L 33/46 (2010.01) *H01L 27/15* (2006.01)
H01L 33/36 (2010.01) *H01L 25/075* (2006.01)
H01L 33/52 (2010.01)

(21) 국제출원번호: PCT/KR2021/012934

(22) 국제출원일: 2021 년 9 월 23 일 (23.09.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
63/082,562 2020 년 9 월 24 일 (24.09.2020) US
17/473,548 2021 년 9 월 13 일 (13.09.2021) US

(71) 출원인: 서울바이오시스주식회사 (**SEOUL VIOSYS CO., LTD.**) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

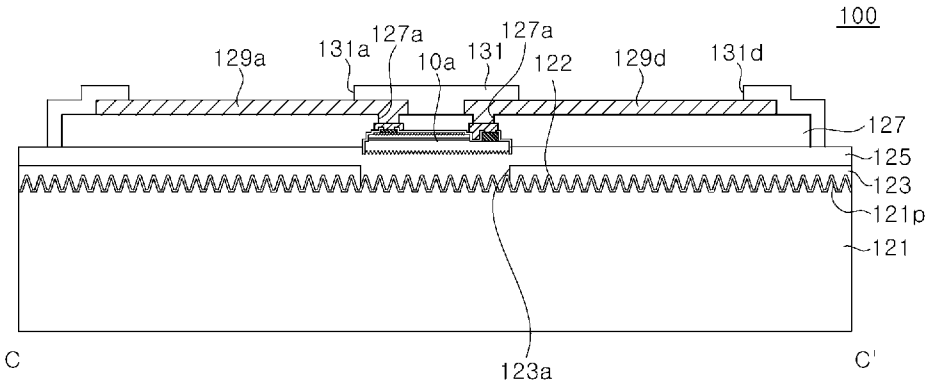
(72) 발명자: 차남구 (**CHA, Namgoo**); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 박연규 (**PARK, Yeonkyu**); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 김상민 (**KIM, Sang Min**); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

(74) 대리인: 특허법인에이아이피 (**AIP PATENT & LAW FIRM**); 06239 서울시 강남구 테헤란로 14길 30-1, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) **Title:** HIGH-EFFICIENCY LIGHT EMITTING ELEMENT, UNIT PIXEL HAVING SAME, AND DISPLAY DEVICE HAVING SAME

(54) **발명의 명칭:** 고효율 발광 소자, 그것을 갖는 유닛 픽셀, 및 그것을 갖는 디스플레이 장치



(57) **Abstract:** A light-emitting element according to one embodiment is a micro-scale light emitting element comprising: a semiconductor stack comprising a first conductivity type semiconductor layer, a second conductivity type semiconductor layer, and an active layer disposed between the first conductivity type semiconductor layer and the second conductivity type semiconductor layer; an insulating layer covering a top surface and a side surface of the semiconductor stack; and a metal reflecting layer disposed on the insulating layer and covering at least a portion of the side surface of the semiconductor stack, wherein the insulating layer comprises a distributed Bragg reflector.

(57) **요약서:** 일 실시예에 따른 발광 소자는, 마이크로 스케일의 발광 소자로서, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

[다음 쪽 계속]

WO 2022/065865 A1

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 고효율 발광 소자, 그것을 갖는 유닛 픽셀, 및 그것을 갖는 디스플레이 장치

기술분야

[1] 예시적인 실시예들은 마이크로 LED 디스플레이 장치에 관한 것으로, 특히, 고효율 발광 소자, 그것을 갖는 유닛 픽셀, 및 그것을 갖는 디스플레이 장치에 관한 것이다.

배경기술

[2] 발광소자는 무기 광원인 발광 다이오드를 이용한 반도체 소자로, 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.

[3] 한편, 종래의 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되었는데, 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 디스플레이 장치가 개발되고 있다. 이러한 디스플레이는 마이크로 LED 디스플레이로 지칭되기도 한다.

[4] 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합 색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치는 다양한 이미지를 구현하기 위해 복수의 픽셀을 포함하고, 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비한다. 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.

[5] 마이크로 LED 디스플레이의 경우, 각 서브 픽셀에 대응하여 마이크로 LED가 2차원 평면상에 배열되고, 이에 따라 하나의 기판 상에 수많은 개수의 마이크로 LED가 배치될 필요가 있다. 그런데 마이크로 LED는 그 크기가 예컨대 200 마이크로미터 이하, 나아가 100 마이크로미터 이하로 대단히 작으며, 이러한 작은 크기로 인해 다양한 문제점이 발생한다. 특히, 작은 크기의 발광 다이오드를 핸들링하는 것이 어려워 디스플레이 기판 상에 발광 다이오드를 직접 실장하는 것이 용이하지 않다.

[6] 한편, 마이크로 LED에서 생성된 광 중 상당 부분이 외부로 방출되지 못하고 손실되며, 이에 따라, 마이크로 LED의 광 효율이 일반 LED에 비해 상대적으로 낮다. 따라서, 마이크로 LED의 광 효율을 개선할 필요가 있다.

발명의 상세한 설명

기술적 과제

[7] 예시적인 실시예들은 광 효율이 개선된 마이크로 스케일의 발광 소자를 제공한다.

[8] 예시적인 실시예들은 고효율 발광 소자들을 채택한 유닛 픽셀, 및 또는 투명

몰딩부를 쉽게 구현할 수 있으며, 대량 생산에 적합한 발광 모듈 제조 방법을 제공한다.

과제 해결 수단

[9] 예시적인 실시예는 마이크로 스케일의 발광 소자를 제공하는데, 이 발광 소자는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

[10] 예시적인 실시예는 마이크로 스케일의 발광 소자를 제공하는데, 이 발광 소자는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 반도체 적층의 상면에 배치된 절연층의 두께는 상기 반도체 적층의 측면에 배치된 절연층의 두께에 비해 더 크다.

[11] 예시적인 실시예는 유닛 픽셀을 제공하는데, 이 유닛 픽셀은, 투명 기판; 상기 투명 기판 상에 배치되고 광을 투과시키는 창들을 갖는 광 차단층; 및 상기 창들에 정렬되도록 상기 광 차단층 상에 배치된 복수의 발광 소자들을 포함하되, 상기 발광 소자들은 각각, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

[12] 예시적인 실시예는 디스플레이 장치를 제공하는데, 이 디스플레이 장치는, 회로 기판; 상기 회로 기판 상에 실장된 유닛 픽셀들; 및 상기 유닛 픽셀들을 덮는 몰딩부를 포함하고, 상기 유닛 픽셀들은 투명 기판 및 상기 투명 기판 상에 배치된 복수의 발광 소자들을 포함하며, 상기 발광 소자들은 각각, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

도면의 간단한 설명

[13] 도 1A는 일 실시예에 따른 디스플레이 장치를 설명하기 위한 개략적인 평면도이다.

[14] 도 1B는 도 1A의 절취선 A-A'를 따라 취해진 개략적인 단면도이다.

[15] 도 2A는 일 실시예에 따른 발광 모듈을 설명하기 위한 개략적인 평면도이다.

[16] 도 2B는 도 2A의 절취선 B-B'를 따라 취해진 개략적인 단면도이다.

[17] 도 3A는 일 실시예에 따른 유닛 픽셀을 설명하기 위한 개략적인 평면도이다.

[18] 도 3B는 도 3A의 절취선 C-C'를 따라 취해진 개략적인 단면도이다.

[19] 도 4A는 일 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다.

[20] 도 4B는 도 4A의 절취선 D-D'를 따라 취해진 개략적인 단면도이다.

[21] 도 5A는 또 다른 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다.

[22] 도 5B는 또 다른 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다.

[23] 도 6A 및 도 6B는 일 실시예에 따른 금속 반사층을 형성하는 방법을 설명하기 위한 개략적인 평면도들이다.

발명의 실시를 위한 최선의 형태

[24] 이하, 첨부한 도면들을 참조하여 본 개시의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 개시가 속하는 기술분야의 통상의 기술자에게 본 개시의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서 본 개시는 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분에 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[25] 예시적인 실시예에 따른 발광 소자는, 마이크로 스케일의 발광 소자로서, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

[26] 본 명세서에서 마이크로 스케일의 발광 소자는 일반적으로 마이크로 LED 디스플레이에 사용되는 크기를 갖는다. 마이크로 스케일의 발광 소자는 예를 들어, 장축의 길이가 200 um 이하의 크기를 가질 수 있으며, 나아가, 100 um 이하의 크기를 가질 수 있다.

[27] 상기 반도체 적층의 상면을 덮는 상기 절연층의 두께가 상기 반도체 적층의 측면을 덮는 상기 절연층의 두께보다 클 수 있다.

[28] 상기 반도체 적층의 상면을 덮는 상기 절연층은 상기 반도체 적층의 측면을 덮는 절연층에 비해 더 높은 반사율을 가질 수 있다.

[29] 상기 금속 반사층은 서로 이격된 제1 금속 반사층 및 제2 금속 반사층을 포함할 수 있으며, 상기 제1 및 제2 금속 반사층들은 각각 상기 반도체 적층의 측면을 부분적으로 덮을 수 있다.

[30] 상기 발광 소자는, 상기 절연층 상에 배치되며, 각각 제1 도전형 반도체층 및 제2 도전형 반도체층에 전기적으로 접속된 제1 전극 패드 및 제2 전극 패드를 더 포함할 수 있으며, 상기 제1 금속 반사층은 상기 제1 전극 패드를 덮을 수 있고, 상기 제2 금속 반사층은 상기 제2 전극 패드를 덮을 수 있다.

[31] 상기 발광 소자는, 상기 절연층 상에 배치되며, 각각 제1 도전형 반도체층 및 제2 도전형 반도체층에 전기적으로 접속된 제1 전극 패드 및 제2 전극 패드를 더 포함할 수 있다.

[32] 일 실시예에 있어서, 상기 금속 반사층은 상기 제1 및 제2 전극 패드로부터 이격될 수 있다.

[33] 상기 금속 반사층은 상기 발광 소자의 측면을 따라 고리 모양으로 배치될 수 있다.

[34] 상기 금속 반사층은 상기 제1 전극 패드를 덮을 수 있고, 상기 제2 전극 패드로부터 이격될 수 있다.

[35] 상기 반도체 적층은 상기 제1 도전형 반도체층 상에 배치된 메사를 더 포함할 수 있으며, 상기 메사는 상기 활성층 및 상기 제2 도전형 반도체층을 포함하고, 상기 제1 전극 패드의 일부는 상기 메사 상에 위치할 수 있으며, 상기 제2 전극 패드는 상기 메사 상에 위치할 수 있다.

[36] 상기 발광 소자는 상기 메사에 인접하여 상기 제1 도전형 반도체층 상에 배치된 제1 콘택 패드를 더 포함할 수 있으며, 상기 제1 전극 패드는 상기 절연층의 개구부를 통해 상기 제1 콘택 패드에 전기적으로 접속될 수 있다.

[37] 상기 발광 소자는 상기 제2 도전형 반도체층 상에 배치된 오믹 콘택층; 및 상기 오믹 콘택층 상에 배치된 제2 콘택 패드를 더 포함할 수 있으며, 상기 제2 전극 패드는 상기 절연층의 개구부를 통해 상기 제2 콘택 패드에 전기적으로 접속될 수 있다.

[38] 예시적인 실시예에 따른 발광 소자는, 마이크로 스케일의 발광 소자로서, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 반도체 적층의 상면에 배치된 절연층은 상기 반도체 적층의 측면에 배치된 절연층에 비해 더 두껍다.

[39] 상기 반도체 적층의 상면에 배치된 절연층은 상기 반도체 적층의 측면에 배치된 절연층에 비해 높은 반사율을 가질 수 있다.

[40] 상기 금속 반사층은 서로 이격된 제1 금속 반사층 및 제2 금속 반사층을 포함할 수 있다.

[41] 상기 발광 소자는, 상기 제1 도전형 반도체층에 전기적으로 접속된 제1 전극

패드; 및 상기 제2 도전형 반도체층에 전기적으로 접속된 제2 전극 패드를 더 포함할 수 있으며, 상기 제1 금속 반사층은 상기 제1 전극 패드를 덮을 수 있고, 상기 제2 금속 반사층은 상기 제2 전극 패드를 덮을 수 있다.

[42] 상기 금속 반사층은 상기 발광 소자의 측면을 따라 측면 전체를 덮을 수 있다.

[43] 예시적인 실시예에 따른 유닛 픽셀은, 투명 기판; 상기 투명 기판 상에 배치되고 광을 투과시키는 창들을 갖는 광 차단층; 및 상기 창들에 정렬되도록 상기 광 차단층 상에 배치된 복수의 발광 소자들을 포함하되, 상기 발광 소자들은 각각, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

[44] 상기 금속 반사층은 서로 이격된 제1 금속 반사층 및 제2 금속 반사층을 포함할 수 있다.

[45] 예시적인 실시예에 따른 디스플레이 장치는, 회로 기판; 상기 회로 기판 상에 실장된 유닛 픽셀들; 및 상기 유닛 픽셀들을 덮는 몰딩부를 포함하고, 상기 유닛 픽셀들은 투명 기판 및 상기 투명 기판 상에 배치된 복수의 발광 소자들을 포함하며, 상기 발광 소자들은 각각, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층; 상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및 상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고, 상기 절연층은 분포 브래그 반사기를 포함한다.

[46] 이하, 첨부한 도면들을 참조하여 본 개시의 실시예를 보다 상세하게 설명한다.

[47] 도 1A는 본 개시의 일 실시예에 따른 디스플레이 장치를 설명하기 위한 개략적인 평면도이고, 도 1B는 도 1A의 절취선 A-A'를 따라 취해진 개략적인 단면도이다.

[48] 도 1A 및 도 1B를 참조하면, 디스플레이 장치(10000)는 패널 기판(2100) 및 복수의 발광 모듈(1000)을 포함할 수 있다.

[49] 디스플레이 장치(10000)는, 특별히 한정되는 것은 아니나, 마이크로 LED TV, 스마트 워치, VR 헤드셋과 같은 VR 디스플레이 장치, 또는 증강 현실 안경과 같은 AR 디스플레이 장치를 포함할 수 있다.

[50] 패널 기판(2100)은 수동 매트릭스 구동 또는 능동 매트릭스 구동을 위한 회로를 포함할 수 있다. 일 실시예에서, 패널 기판(2100)은 내부에 배선 및 저항을 포함할 수 있으며, 다른 실시예에서, 패널 기판(2100)은 배선, 트랜지스터 및 커패시터들을 포함할 수 있다. 패널 기판(2100)은 또한 배치된 회로에 전기적으로 접속할 수 있는 패드들을 상면에 가질 수 있다.

[51] 일 실시예에 있어서, 복수의 발광 모듈들(1000)이 패널 기판(2100) 상에 정렬된다. 각 발광 모듈(1000)은, 도 2A에 도시된 바와 같이, 회로 기판(1001) 및

회로 기판(1001) 상에 배치된 복수의 유닛 픽셀들(100)을 포함할 수 있다. 각 유닛 픽셀(100)은 복수의 발광 소자들을 포함한다. 발광소자들은 서로 다른 색상의 광을 방출할 수 있다.

[52] 이하에서, 디스플레이 장치(10000) 내에 배치된 발광 모듈(1000), 발광 모듈(1000) 내에 정렬된 유닛 픽셀(100), 및 발광 소자들의 순서로 디스플레이 장치(10000)의 각 구성 요소를 상세히 설명한다.

[53] 도 2A는 본 개시의 일 실시예에 따른 발광 모듈(1000)을 설명하기 위한 개략적인 평면도이고, 도 2B는 도 2A의 절취선 B-B'를 따라 취해진 개략적인 단면도이다.

[54] 도 2A 및 도 2B를 참조하면, 발광 모듈(1000)은 회로 기판(1001) 및 회로 기판(1001) 상에 배열된 유닛 픽셀들(100), 유닛 픽셀들(100)을 덮는 몰딩부(1003), 및 안티 글래어층(1005)을 더 포함할 수 있다.

[55] 회로 기판(1001)은 패널 기판(2100)과 유닛 픽셀들(100)을 전기적으로 연결하기 위한 회로를 가질 수 있다. 회로 기판(1001) 내의 회로는 다층 구조로 형성될 수 있다. 회로 기판(1001)은 또한 유닛 픽셀들(100)을 수동 매트릭스 구동 방식으로 구동하기 위한 수동 회로 또는 능동 매트릭스 구동 방식으로 구동하기 위한 능동 회로를 포함할 수도 있다. 회로 기판(1001)은 표면에 노출된 패드들을 가질 수 있으며, 유닛 픽셀들(100)은 본딩재를 통해 회로 기판(1001)의 패드들에 본딩될 수 있다.

[56] 유닛 픽셀들(100)은 회로 기판(1001) 상에 정렬될 수 있다. 유닛 픽셀들(100)은 도 2A에 도시한 바와 같이 4×4 행렬로 배열될 수 있으나, 이에 한정되는 것은 아니며, 2×2, 3×3, 5×5 등 다양한 행렬로 배열될 수 있다.

[57] 유닛 픽셀들(100)은 본딩재에 의해 회로 기판(1001)에 본딩된다. 예를 들어, 본딩재는 예를 들어 솔더일 수 있으며, 솔더 페이스트를 회로 기판(1001) 상의 패드들 상에 스크린 프린팅 등의 기술을 이용하여 배치한 후 리플로우 공정을 통해 유닛 픽셀(100)과 회로 기판(1001)을 본딩할 수 있다. 유닛 픽셀들(100)의 구체적인 구성은 도 3A 및 도 3B를 참조하여 뒤에서 상세하게 설명된다.

[58] 몰딩부(1003)는 유닛 픽셀들(100)을 덮는다. 몰딩부(1003)는 회로 기판(1001)의 표면에 접하며, 또한, 유닛 픽셀들(100)의 상면을 덮을 수 있다. 또한, 몰딩부(1003)는 평탄한 상면을 가질 수 있다. 특히, 종래 기술과 달리 유닛 픽셀들(100) 사이의 영역 상에 오목부가 형성되지 않는다.

[59] 몰딩부(1003)는 자외선 경화 수지를 이용하여 형성될 수 있다. 자외선 경화 수지를 이용함으로써 열 경화 수지에 비해 몰딩부(1003)의 경도를 증가시킬 수 있다. 몰딩부(1003)는 예컨대 DFSR(dry-Film type solder resist), PSR(photoimageable solder resist), 또는 BM(black material) 등으로 형성될 수 있다. 몰딩부(1003)은 유닛 픽셀들(100) 사이의 광 간섭을 방지하여 디스플레이 장치(10000)의 콘트라스트를 향상시킬 수 있다.

[60] 안티 글래어층(1005)은 몰딩부(1003)를 덮을 수 있다. 안티 글래어층(1005)은 광

반사를 방지하여 사용자의 눈의 피로를 덜어 준다. 안티 글래어층(1005)은 예를 들어, 실리카, 멜라민, 아크릴 등의 미립자를 경화 수지와 혼합하여 잉크화해서 몰딩부(1003)의 표면에 코팅하여 형성될 수 있으며, 자외선을 이용하여 경화될 수 있다.

[61] 본 실시예에 있어서, 유닛 픽셀들(100)이 발광 모듈(1000)로 형성되고, 복수의 발광 모듈들(1000)이 패널 기판(2100) 상에 실장됨으로써 디스플레이 장치(10000)가 제공될 수 있으며, 이에 따라, 디스플레이 장치(10000)의 공정 수율이 향상될 수 있다.

[62] 도 3A는 본 개시의 일 실시예에 따른 유닛 픽셀(100)을 설명하기 위한 개략적인 평면도이고, 도 3B는 도 3A의 절취선 C-C'를 따라 취해진 개략적인 단면도이다.

[63] 도 3A 및 도 3B를 참조하면, 유닛 픽셀(100)은 투명 기판(121), 제1 내지 제3 발광 소자들(10a, 10b, 10c), 표면층(122), 광 차단층(123), 접착층(125), 단차 조절층(127), 접속층들(129a, 129b, 129c, 129d), 및 절연 물질층(131)을 포함할 수 있다.

[64] 유닛 픽셀(100)은 제1 내지 제3 발광 소자들(10a, 10b, 10c)을 포함하여 하나의 픽셀을 제공한다. 제1 내지 제3 발광 소자들(10a, 10b, 10c)은 서로 다른 색상의 광을 방출하며, 이들은 각각 서브 픽셀에 대응한다.

[65] 투명 기판(121)은 PET, 유리 기판, 쿼츠, 사파이어 기판 등 광 투과성 기판이다. 투명 기판(121)은 발광 모듈(1000)의 광 방출면에 배치되며, 발광 소자들(10a, 10b, 10c)에서 방출된 광은 투명 기판(121)을 통해 외부로 방출된다. 투명 기판(121)은 상면 및 하면을 가질 수 있다. 투명 기판(121)은 발광 소자들(10a, 10b, 10c)을 대면하는 면, 즉 상면에 요철 패턴(121p)을 포함할 수 있다. 요철 패턴(121p)은 발광 소자들(10a, 10b, 10c)에서 방출된 광을 산란시켜 지향각을 증가시킨다. 또한, 서로 다른 지향각 특성을 갖는 발광 소자들(10a, 10b, 10c)에서 방출된 광이 상기 요철 패턴(121p)에 의해 균일한 지향각으로 방출되도록 할 수 있다. 이에 따라, 보는 각도에 따라 색차가 발생하는 것을 방지할 수 있다.

[66] 요철 패턴(121p)은 규칙적일 수도 있고 불규칙적일 수도 있다. 요철 패턴(121p)은 예를 들어 3um의 피치, 2.8um의 직경, 및 1.8um의 높이를 가질 수 있다. 요철 패턴(121p)은 일반적으로 패터닝된 사파이어 기판에 적용되는 패턴일 수 있으나, 이에 한정되지 않는다.

[67] 투명 기판(121)은 또한 반사방지 코팅을 포함할 수 있으며, 또는 안티 글래어층을 포함하거나 글래어 방지 처리될 수 있다. 투명 기판(121)은, 예를 들어, 50um ~ 300um의 두께를 가질 수 있다.

[68] 투명 기판(121)이 광 방출면에 배치되므로, 투명 기판(121)은 회로를 포함하지 않는다. 그러나 본 개시가 이에 한정되는 것은 아니며, 회로를 포함할 수도 있다.

[69] 한편, 하나의 투명 기판(121)에 하나의 유닛 픽셀(100)이 형성된 것을 도시하지만, 하나의 투명 기판(121)에 복수의 유닛 픽셀들(100)이 형성될 수도 있다.

[70] 표면층(122)은 투명 기판(121)의 요철 패턴(121p)을 덮는다. 표면층(122)은 요철 패턴(121p)의 형상을 따라 형성될 수 있다. 표면층(122)은 그 위에 형성되는 광 차단층(123) 및 접착층(125)의 접착력을 향상시킬 수 있다. 예를 들어, 표면층(122)은 실리콘 산화막으로 형성될 수 있다. 표면층(122)은 투명 기판(121)의 종류에 따라 생략될 수도 있다.

[71] 광 차단층(123)은 투명 기판(121)의 상면 상에 형성된다. 광 차단층(123)은 표면층(122)에 접할 수 있다. 광 차단층(123)은 카본 블랙과 같이 광을 흡수하는 흡수 물질을 포함할 수 있다. 광 흡수 물질은 발광 소자들(10a, 10b, 10c)에서 생성된 광이 투명 기판(121)과 발광소자들(10a, 10b, 10c) 사이의 영역에서 측면측으로 누설되는 것을 방지하며, 디스플레이 장치의 콘트라스트를 향상시킨다.

[72] 광 차단층(123)은 발광 소자들(10a, 10b, 10c)에서 생성된 광이 투명 기판(121)으로 입사되도록 광 진행 경로를 위한 창(123a, 123b, 123c)을 가질 수 있으며, 이를 위해 투명 기판(121) 상에서 투명 기판(121)을 노출하도록 패터닝될 수 있다. 창(123a, 123b, 123c)의 폭은 발광 소자의 폭보다 작을 수 있으나, 이에 한정되는 것은 아니며, 발광 소자의 폭보다 크거나 같을 수도 있다.

[73] 광 차단층(123)의 창(123a)은 또한 발광 소자들(10a, 10b, 10c)의 정렬 위치를 정의한다. 따라서, 발광 소자들(10a, 10b, 10c)의 정렬 위치를 정의하기 위한 별도의 정렬 마커들을 생략할 수 있다. 그러나 본 개시가 이에 한정되는 것은 아니며, 발광 소자들(10a, 10b, 10c)을 정렬하기 위한 위치를 제공하기 위해 정렬 마커들이 투명 기판(121) 상에 또는 광 차단층(123)이나 접착층(125) 상에 제공될 수도 있다.

[74] 접착층(125)은 투명 기판(121) 상에 부착된다. 접착층(125)은 광 차단층(123)을 덮을 수 있다. 접착층(125)은 투명 기판(121)의 전면 상에 부착될 수 있으나, 이에 한정되는 것은 아니며, 투명 기판(121)의 가장자리 근처 영역을 노출하도록 일부 영역에 부착될 수도 있다. 접착층(125)은 발광 소자들(10a, 10b, 10c)을 투명 기판(121)에 부착하기 위해 사용된다. 접착층(125)은 광 차단층(123)에 형성된 창들(123a, 123b, 123c)을 채울 수 있다.

[75] 접착층(125)은 광 투과성 층으로 형성될 수 있으며, 발광 소자들(10a, 10b, 10c)에서 방출된 광을 투과시킨다. 접착층(125)은 유기 접착제를 이용하여 형성될 수 있다. 예를 들어, 접착층(125)은 투명 에폭시를 이용하여 형성될 수 있다. 또한, 접착층(125)은 광을 확산시키기 위해, SiO_2, TiO_2, ZnO 등의 확산 물질(diffuser)을 포함할 수 있다. 광 확산 물질은 발광 소자들(10a, 10b, 10c)이 광 방출면으로부터 관찰되는 것을 방지한다.

[76] 한편, 제1 내지 제3 발광 소자들(10a, 10b, 10c)이 투명 기판(121) 상에 배치된다. 제1 내지 제3 발광 소자들(10a, 10b, 10c)은 접착층(125)에 의해 투명 기판(121)에 부착될 수 있다. 제1 내지 제3 발광 소자들(10a, 10b, 10c)은 광 차단층(123)의 창들(123a, 123b, 123c)에 대응하여 배치될 수 있다. 광 차단층(123)이 생략된

경우, 정렬 마커들이 발광 소자들(10a, 10b, 10c)의 정렬 위치를 제공하기 위해 추가될 수 있다.

[77] 제1 내지 제3 발광 소자들(10a, 10b, 10c)은 예컨대, 적색 발광 소자, 녹색 발광 소자, 청색 발광 소자일 수 있다. 발광 소자들(10a, 10b, 10c)은 각각 장축 길이가 200 um 이하, 나아가 100um 이하의 크기를 가질 수 있다. 제1 내지 제3 발광 소자들(10a, 10b, 10c) 각각의 구체적인 구성은 도 4A 및 도 4B를 참조하여 뒤에서 상세하게 설명된다.

[78] 제1 내지 제3 발광 소자들(10a, 10b, 10c)은 도 3A에 도시한 바와 같이, 일렬로 배열될 수 있다. 특히, 투명 기판(121)이 사파이어 기판인 경우, 사파이어 기판은 절단 방향에 따라 결정면에 의해 깨끗한 절단면들(예컨대, m면)과 그렇지 않은 절단면들(예컨대, a면)을 포함할 수 있다. 예를 들어, 4각형 형상으로 절단될 경우, 양측 두 개의 절단면들(예컨대, m면)은 결정면을 따라 깨끗하게 절단될 수 있으며, 이들 절단면들에 수직하게 배치된 다른 두 개의 절단면들(예컨대, a면)은 그렇지 않을 수 있다. 이 경우, 사파이어 기판(121)의 깨끗한 절단면들이 발광 소자들(10a, 10b, 10c)의 정렬 방향에 나란할 수 있다. 예를 들어, 도 3A에서는 깨끗한 절단면들(예컨대, m면)이 상하에 배치되고, 다른 두 개의 절단면들(예컨대, a면)이 좌우에 배치될 수 있다.

[79] 단차 조절층(127)은 제1 내지 제3 발광 소자들(10a, 10b, 10c)을 덮는다. 단차 조절층(127)은 발광 소자들(10a, 10b, 10c)의 전극 패드들을 노출시키는 개구부들(127a)을 갖는다. 단차 조절층(127)은 접속층들(129a, 129b, 129c, 129d)이 형성되는 면의 높이를 일정하게 조절하여 접속층들을 안전하게 형성할 수 있도록 돕는다. 단차 조절층(127)은 예컨대 감광성 폴리이미드로 형성될 수 있다.

[80] 단차 조절층(127)은 접착층(125)의 가장자리로 둘러싸인 영역 내에 배치될 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 단차 조절층(127)은 접착층(125)의 가장자리를 부분적으로 노출시키도록 형성될 수도 있다.

[81] 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 단차 조절층(127) 상에 형성된다. 접속층들(129a, 129b, 129c, 129d)은 단차 조절층(127)의 개구부들(127a)을 통해 제1 내지 제3 발광 소자들(10a, 10b, 10c)의 전극 패드들에 접속할 수 있다.

[82] 일 실시예에서, 도 3A 및 도 3B에 도시한 바와 같이, 제1 접속층(129a)은 제1 발광 소자(10a)의 제2 도전형 반도체층에 전기적으로 접속하고, 제2 접속층(129b)은 제2 발광 소자(10b)의 제2 도전형 반도체층에 전기적으로 접속하고, 제3 접속층(129c)은 제3 발광 소자(10c)의 제2 도전형 반도체층에 전기적으로 접속할 수 있으며, 제4 접속층(129d)은 제1 내지 제3 발광 소자들(10a, 10b, 10c)의 제1 도전형 반도체층들에 전기적으로 공통 접속할 수 있다. 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 단차 조절층(127) 상에 함께 형성될 수 있으며, 단일층 혹은 다중층을 가질 수 있다. 예컨대, Cr, Ti, Ni, Cu, Al, Pt, Au 중

적어도 하나를 포함할 수 있다.

[83] 다른 실시예에서, 제1 접속층(129a)은 제1 발광 소자(10a)의 제1 도전형 반도체층에 전기적으로 접속하고, 제2 접속층(129b)은 제2 발광 소자(10b)의 제1 도전형 반도체층에 전기적으로 접속하고, 제3 접속층(129c)은 제3 발광 소자(10c)의 제1 도전형 반도체층에 전기적으로 접속할 수 있으며, 제4 접속층(129d)은 제1 내지 제3 발광 소자들(10a, 10b, 10c)의 제2 도전형 반도체층들에 전기적으로 공통 접속할 수 있다. 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 단차 조절층(127) 상에 함께 형성될 수 있다.

[84] 절연 물질층(131)은 단차 조절층(127)보다 얇은 두께로 형성될 수 있다. 절연 물질층(131)과 단차 조절층(127)의 두께의 합은 1um 이상 50um 이하일 수 있으나, 이에 한정되는 것은 아니다.

[85] 절연 물질층(131)은 단차 조절층(127)의 측면 및 접속층들(129a, 129b, 129c, 129d)을 덮는다. 또한, 절연 물질층(131)은 접착층(125)의 일부를 덮을 수 있다. 절연 물질층(131)은 접속층들(129a, 129b, 129c, 129d)을 노출시키는 개구부들(131a, 131b, 131c, 131d)을 가지며, 이에 따라 유닛 픽셀(100)의 패드 영역들이 정의될 수 있다.

[86] 일 실시예에 있어서, 절연 물질층(131)은 반투명 물질일 수 있으며, 유기 또는 무기 물질로 형성될 수 있다. 절연 물질층(131)은 예를 들어, 폴리이미드로 형성될 수 있다. 단차 조절층(127)과 함께 절연 물질층(131)이 폴리이미드로 형성된 경우, 접속층들(129a, 129b, 129c, 129d)은, 패드 영역들을 제외하고, 하부면, 측면, 및 상부면이 모두 폴리이미드로 둘러싸일 수 있다.

[87] 한편, 유닛 픽셀(100)은 솔더 등의 본딩재를 이용하여 회로 기판에 실장될 수 있으며, 본딩재는 절연 물질층(131)의 개구부들(131a, 131b, 131c, 131d)에 노출된 접속층들(129a, 129b, 129c, 129d)과 회로 기판 상의 패드들을 본딩할 수 있다.

[88] 본 실시예에 따르면, 유닛 픽셀(100)은 별도의 범프들을 포함하지 않으며, 접속층들(129a, 129b, 129c, 129d)이 본딩 패드로 사용된다. 그러나 본 발명이 이에 한정되는 것은 아니며, 절연 물질층(131)의 개구부들(131a, 131b, 131c, 131d)을 덮는 본딩 패드들이 형성될 수도 있다. 일 실시에에 있어서, 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)의 상부 영역을 벗어나 발광 소자들(10a, 10b, 10c)을 부분적으로 덮도록 형성될 수 있다.

[89] 본 실시예에 있어서, 발광 소자들(10a, 10b, 10c)이 접착층(125)에 의해 투명 기판(121)에 부착된 것으로 설명하지만, 접착층(125) 대신 다른 결합기(coupler)를 이용하여 발광 소자들(10a, 10b, 10c)이 투명 기판(121)에 결합될 수도 있다. 예를 들어, 발광 소자들(10a, 10b, 10c)을 스페이서들을 이용하여 투명 기판(121)에 결합시킬 수 있으며, 따라서, 발광 소자들(10a, 10b, 10c)과 투명 기판(121) 사이의 영역에 기체 또는 액체가 채워질 수 있다. 이들 기체 또는 액체에 의해 발광 소자들(10a, 10b, 10c)에서 방출된 광을 투과시키는 광학층이 형성될 수 있다. 앞서 설명한 접착층(125)도 광학층의 일 예이다.

여기서, 광학층은 발광 소자들(10a, 10b, 10c)과는 다른 재료, 예컨대, 기체, 액체, 또는 고체로 형성되며, 따라서, 발광 소자들(10a, 10b, 10c) 내의 반도체층들의 재료와 구별된다.

[90] 본 실시예에 따르면, 발광 소자들(10a, 10b, 10c)을 동일 평면 상에 배열한 유닛 픽셀(100)이 제공된다. 유닛 픽셀(100)은 발광 소자들(10a, 10b, 10c)을 이용하여 다양한 색상의 광을 구현할 수 있다. 이하에서, 일 실시예에 따른 발광 소자들(10a, 10b, 10c)에 대해 상세하게 설명한다.

[91] 도 4A는 본 개시의 일 실시예에 따른 발광 소자(10a)를 설명하기 위한 개략적인 평면도이고, 도 4B는 도 4A의 절취선 D-D'를 따라 취해진 개략적인 단면도이다. 여기서 발광 소자(10a)를 예를 들어 설명하지만, 발광 소자들(10b, 10c)도 대체로 유사한 구조를 가지므로, 서로 중복되는 설명은 생략한다.

[92] 도 4A 및 도 4B를 참조하면, 발광 소자(10a)는 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)을 포함하는 발광 구조체, 오믹 콘택층(27), 제1 콘택 패드(53), 제2 콘택 패드(55), 절연층(59), 제1 전극 패드(61), 제2 전극 패드(63), 제1 반사 금속층(65a), 및 제2 반사 금속층(65b)를 포함할 수 있다.

[93] 발광 구조체, 즉, 제1 도전형 반도체층(21), 활성층(23) 및 제2 도전형 반도체층(25)은 기판 상에 성장될 수 있다. 상기 기판은 질화갈륨 기판, GaAs 기판, Si 기판, 사파이어 기판, 특히 패터닝된 사파이어 기판 등 반도체 성장용으로 사용될 수 있는 다양한 기판일 수 있다. 성장 기판은 반도체층들로부터 기계적 연마, 레이저 리프트 오프, 케미컬 리프트 오프 등의 기술을 이용하여 분리될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 기판의 일부가 잔류하여 제1 도전형 반도체층(21)의 적어도 일부를 구성할 수도 있다.

[94] 일 실시예에서, 적색 광을 방출하는 발광 소자(10a)의 경우, 반도체층들은 알루미늄 갈륨 비소(aluminum gallium arsenide, AlGaAs), 갈륨 비소 인화물(gallium arsenide phosphide, GaAsP), 알루미늄 갈륨 인듐 인화물(aluminum gallium indium phosphide, AlGaInP), 또는 갈륨 인화물(gallium phosphide, GaP)을 포함할 수 있다.

[95] 녹색 광을 방출하는 발광 소자(10b)의 경우, 반도체층들은 인듐 갈륨 질화물(InGaN), 갈륨 질화물(GaN), 갈륨 인화물(GaP), 알루미늄 갈륨 인듐 인화물(AlGaInP), 또는 알루미늄 갈륨 인화물(AlGaP)을 포함할 수 있다.

[96] 일 실시예에서, 청색 광을 방출하는 발광 소자(10c)의 경우, 반도체층은 갈륨 질화물(GaN), 인듐 갈륨 질화물(InGaN), 또는 아연 셀렌화물(zinc selenide, ZnSe)을 포함할 수 있다.

[97] 제1 도전형과 제2 도전형은 서로 반대 극성으로서, 제1 도전형이 n형인 경우, 제2 도전형은 p형이며, 제1 도전형이 p형인 경우, 제2 도전형은 n형이 된다.

[98] 제1 도전형 반도체층(21), 활성층(23) 및 제2 도전형 반도체층(25)은

금속유기화학 기상 성장법(MOCVD)과 같은 공지의 방법을 이용하여 챔버 내에서 기판 상에 성장될 수 있다. 또한, 제1 도전형 반도체층(21)은 n형 불순물(예를 들어, Si, Ge, Sn)을 포함하고, 제2 도전형 반도체층(25)은 p형 불순물(예를 들어, Mg, Sr, Ba)을 포함한다. 일 실시예에서, 제1 도전형 반도체층(21)은 도펀트로서 Si를 포함하는 GaN 또는 AlGaN을 포함할 수 있고, 제2 도전형 반도체층(25)은 도펀트로서 Mg을 포함하는 GaN 또는 AlGaN을 포함할 수 있다.

[99] 도면에서 제1 도전형 반도체층(21) 및 제2 도전형 반도체층(25)이 각각 단일층인 것으로 도시하지만, 이들 층들은 다중층일 수 있으며, 또한 초격자층을 포함할 수도 있다. 활성층(23)은 단일양자우물 구조 또는 다중양자우물 구조를 포함할 수 있고, 원하는 파장을 방출하도록 질화물계 반도체의 조성비가 조절된다. 예를 들어, 활성층(23)은 청색광, 녹색광, 적색광 또는 자외선을 방출할 수 있다.

[100] 제2 도전형 반도체층(25) 및 활성층(23)은 메사(M) 구조를 가지고 제1 도전형 반도체층(21) 상에 배치될 수 있다. 메사(M)는 제2 도전형 반도체층(25) 및 활성층(23)을 포함하며, 도 4B에 도시한 바와 같이, 제1 도전형 반도체층(21)의 일부를 포함할 수도 있다. 메사(M)는 제1 도전형 반도체층(21)의 일부 영역 상에 위치하며, 메사(M) 주위에 제1 도전형 반도체층(21)의 상면이 노출될 수 있다.

[101] 본 실시예에 있어서, 메사(M)는 그 주변에 제1 도전형 반도체층(21)을 노출시키도록 형성된다. 다른 실시예에서, 메사(M)를 관통하여 제1 도전형 반도체층(21)을 노출시키는 관통홀이 형성될 수도 있다.

[102] 한편, 상기 제1 도전형 반도체층(21)은 표면 텍스쳐링에 의한 요철 패턴(21p)을 가질 수 있다. 요철 패턴(21p)은 제1 도전형 반도체층(21)의 광 방출면 측에 형성될 수 있다. 표면 텍스쳐링은 예를 들어 건식 또는 습식 식각 공정을 이용한 패터닝에 의해 수행될 수 있다.

[103] 일 실시예에 있어서, 콘 형상의 돌출부들이 형성될 수 있으며, 콘의 높이는 2 내지 3um, 콘 간격은 1.5 내지 2um, 콘의 바닥 직경은 약 3um 내지 5um 일 수 있다. 콘은 또한 절두형일 수 있으며, 이 경우, 콘의 상면 직경은 약 2 내지 3um 일 수 있다.

[104] 다른 실시예에 있어서, 요철 패턴(21p)은 제1 요철 패턴과 제1 요철 패턴 상에 추가로 형성된 제2 요철 패턴을 포함할 수 있다. 제2 요철 패턴은 제1 요철 패턴에 비해 미세한 크기로 형성될 수 있다.

[105] 제1 도전형 반도체층(21)의 표면에 요철 패턴(21p)을 형성함으로써 내부 전반사를 줄여 광 추출 효율을 증가시킬 수 있다. 제1 내지 제3 발광 소자들(10a, 10b, 10c) 모두 제1 도전형 반도체층에 표면 텍스쳐링이 수행될 수 있으며, 이에 따라, 제1 내지 제3 발광 소자들(10a, 10b, 10c)에서 방출되는 광의 지향각을 균일화할 수 있다. 그러나, 본 발명이 이에 한정되는 것은 아니며, 일부 발광 소자는 요철 패턴(21p)을 포함하지 않고 평탄한 면을 가질 수도 있다.

[106] 발광 소자들(10a, 10b, 10c)의 제1 도전형 반도체층들(21) 중 적어도 하나는 도

4B에 도시한 바와 같이, 경사진 측면을 가질 수 있다. 제1 도전형 반도체층(21)의 경사진 측면은 소자 분리 공정에 의해 형성될 수 있다. 제1 도전형 반도체층(21)의 측면의 경사각은 제1 도전형 반도체층(21)의 바닥면에 대해 약 40 내지 약 80도 범위 내일 수 있다. 메사(M) 또한 경사진 측면을 가질 수 있으며, 메사(M)의 바닥면에 대해 약 40 내지 약 80도 범위 내일 수 있다. 제1 도전형 반도체층(21) 및 메사(M)가 경사진 측면을 가짐에 따라 후술하는 금속 반사층들(65a, 65b)이 쉽게 형성될 수 있다.

[107] 오믹 콘택층(27)은 제2 도전형 반도체층(25) 상에 배치되어 제2 도전형 반도체층(25)에 오믹 콘택한다. 오믹 콘택층(27)은 단일 층, 또는 다중 층으로 형성될 수 있으며, 투명 도전성 산화막 또는 금속막으로 형성될 수 있다. 투명 도전성 산화막은 예를 들어 ITO 또는 ZnO 등을 예로 들 수 있으며, 금속막으로는 Al, Ti, Cr, Ni, Au 등의 금속 및 이들의 합금을 예로 들 수 있다.

[108] 제1 콘택 패드(53)는 노출된 제1 도전형 반도체층(21) 상에 배치된다. 제1 콘택 패드(53)는 제1 도전형 반도체층(21)에 오믹 콘택할 수 있다. 예를 들어, 제1 콘택 패드(53)는 제1 도전형 반도체층(21)에 오믹 콘택하는 오믹 금속층으로 형성될 수 있다. 제1 콘택 패드(53)의 오믹 금속층은 제1 도전형 반도체층(21)의 반도체 재료에 따라 적합하게 선정될 수 있다. 제1 콘택 패드(53)는 생략될 수도 있다.

[109] 제2 콘택 패드(55)는 오믹 콘택층(27) 상에 배치될 수 있다. 제2 콘택 패드(55)는 오믹 콘택층(27)에 전기적으로 접속한다. 제2 콘택 패드(55)는 생략될 수도 있다.

[110] 절연층(59)은 메사(M), 오믹 콘택층(27), 제1 콘택 패드(53), 및 제2 콘택 패드(55)를 덮는다. 절연층(59)은 제1 콘택 패드(53) 및 제2 콘택 패드(55)를 노출시키는 개구부들(59a, 59b)을 갖는다. 절연층(59)은 굴절률이 서로 다른 절연층들을 적층한 분포 브래그 반사기를 포함할 수 있다. 예를 들어, 분포 브래그 반사기는 SiO_2, Si_3N_4, SiON, TiO_2, Ta_2O_5, Nb_2O_5, MgF_2 등에서 선택된 적어도 2 종류의 절연층을 포함할 수 있다.

[111] 분포 브래그 반사기는 예를 들어 저굴절률층과 고굴절률층의 쌍을 복수개 포함할 수 있다. 예를 들어, 분포 브래그 반사기는 예를 들어, 10쌍 이상의 저굴절률층과 고굴절률층의 쌍들을 포함할 수 있다.

[112] 분포 브래그 반사기는 활성층(23)에서 방출되는 광을 반사한다. 분포 브래그 반사기는 활성층(23)에서 방출되는 광의 피크 파장을 포함하여 상대적으로 넓은 파장 범위에 걸쳐 높은 반사율을 나타낼 수 있으며, 광의 입사각을 고려하여 설계될 수 있다. 일 실시예에 있어서, 분포 브래그 반사기는 다른 입사각으로 입사되는 광에 비해 입사각 0도로 입사되는 광에 대해 더 높은 반사율을 가질 수 있다. 다른 실시예에 있어서, 분포 브래그 반사기는 입사각 0도로 입사되는 광에 비해 다른 특정 입사각으로 입사되는 광에 대해 더 높은 반사율을 가질 수 있다. 예를 들어, 분포 브래그 반사기는 입사각 0도로 입사되는 광에 비해 입사각 10도로 입사되는 광에 대해 더 높은 반사율을 가질 수 있다.

[113] 한편, 청색 발광 소자(10c)의 발광 구조체는 적색 발광 소자(10a) 및 녹색 발광

소자(10b)의 발광 구조체들에 비해 높은 내부 양자 효율을 갖는다. 이에 따라, 청색 발광 소자(10c)는 적색 및 녹색 발광 소자들(10a, 10b)에 비해 높은 광 추출 효율을 나타낼 수 있다. 이에 따라, 적색광, 녹색광, 및 청색광의 색 혼합 비율을 적정하게 유지하는 것이 어려울 수 있다.

[114] 적색광, 녹색광, 및 청색광의 색 혼합 비율을 조절하기 위해, 발광 소자들(10a, 10b, 10c)에 적용되는 분포 브래그 반사기들이 서로 다른 반사율을 갖도록 형성될 수 있다. 예를 들어, 청색 발광 소자(10c)는 적색 및 녹색 발광 소자들(10a, 10b)에 비해 상대적으로 낮은 반사율을 갖는 분포 브래그 반사기를 가질 수 있다. 예를 들어, 청색 발광 소자(10c)에 형성되는 분포 브래그 반사기는 활성층(23)에서 생성되는 청색광에 대해 입사각 0도에서 약 95% 미만, 나아가 90% 미만의 반사율을 가질 수 있으며, 녹색 발광 소자(10b)는 녹색광에 대해 입사각 0도에서 약 95% 이상 99% 이하의 반사율을 가질 수 있으며, 적색 발광 소자(10a)는 적색광에 대해 입사각 0도에서 99% 이상의 반사율을 가질 수 있다.

[115] 일 실시예에 있어서, 적색, 녹색, 및 청색 발광 소자들(10a, 10b, 10c)에 적용되는 분포 브래그 반사기들은 대체로 유사한 두께를 가질 수 있다. 예를 들어, 이들 발광 소자들(10a, 10b, 10c)에 적용된 분포 브래그 반사기들 사이의 두께 차이는 가장 두꺼운 분포 브래그 반사기 두께의 10% 미만일 수 있다. 분포 브래그 반사기들의 두께 차이를 작게 함으로서 적색, 녹색, 및 청색 발광 소자들(10a, 10b, 10c)에 적용되는 공정 조건, 예를 들어, 절연층(59)을 패터닝하는 공정을 유사하게 설정할 수 있으며, 나아가, 유닛 픽셀 제조 공정이 복잡해지는 것을 방지할 수 있다. 나아가, 적색, 녹색, 및 청색 발광 소자들(10a, 10b, 10c)에 적용되는 분포 브래그 반사기들은 대체로 유사한 적층 수를 가질 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

[116] 제1 전극 패드(61) 및 제2 전극 패드(63)는 절연층(59) 상에 배치된다. 제1 전극 패드(61)는 제1 콘택 패드(53)의 상부로부터 메사(M)의 상부로 연장될 수 있으며, 제2 전극 패드(63)는 메사(M) 상부 영역 내에 배치될 수 있다. 제1 전극 패드(61)는 개구부(59a)를 통해 제1 콘택 패드(53)에 접속할 수 있으며, 제2 전극 패드(63)는 제2 콘택 패드(55)에 전기적으로 접속될 수 있다. 제1 전극 패드(61)가 직접 제1 도전형 반도체층(21)에 오믹 콘택할 수도 있으며, 이 경우, 제1 콘택 패드(53)은 생략될 수 있다. 또한, 제2 콘택 패드(55)가 생략된 경우, 제2 전극 패드(63)는 오믹 콘택층(27)에 직접 접속할 수 있다.

[117] 제1 및/또는 제2 전극 패드들(61, 63)은 단일 층, 또는 다중층 금속으로 형성될 수 있다. 제1 및/또는 제2 전극 패드들(61, 63)의 재료로는 Al, Ti, Cr, Ni, Au 등의 금속 및 이들의 합금 등이 사용될 수 있다.

[118] 한편, 저굴절률층과 고굴절률층을 교번하여 형성할 경우, 메사(M)의 측면 및 제1 도전형 반도체층(21)의 측면에 형성된 절연층(59)의 두께가 제2 도전형 반도체층(25) 상부에 형성된 절연층(59)의 두께보다 작을 것이다. 즉, 발광 소자(10a)의 측면에 형성된 절연층(59)은 상면에 형성된 절연층(59)에 비해

상대적으로 얇다. 특히, 절연층(59)이 분포 브래그 반사기를 포함하는 경우, 발광 소자(10a) 상면에 광학 두께들이 잘 제어된 분포 브래그 반사기가 형성될 수 있으나, 발광 소자(10a)의 측면에는 광학 두께들이 잘 제어된 분포 브래그 반사기가 형성되기 어렵다. 이에 따라, 발광 소자(10a)의 측면에 형성된 절연층(59)과 그 상면에 형성된 절연층(59)은 서로 다른 반사율을 나타내며, 발광 소자(10a)의 측면을 통해 빛샘(light leakage)이 발생될 수 있다.

[119] 발광 소자(10a)의 측면에서 절연층(59)을 통한 광 누설은 제1 및 제2 금속 반사층들(65a, 65b)을 이용하여 방지될 수 있다. 제1 및 제2 금속 반사층들(65a, 65b)은 상기 절연층(59)과 함께 전방향(omni-directional) 반사기를 형성할수 있어, 광누설을 방지할 뿐만 아니라 발광 방향으로 광효율을 높일수 있다. 제1 금속 반사층(65a)은 제1 전극 패드(61)를 덮을 수 있으며, 제1 전극 패드(61) 주위에서 발광 소자(10a)의 측면을 덮을 수 있다. 도 4A에 도시되듯이, 제1 금속 반사층(65a)은 제1 전극 패드(61)를 덮을 수 있으며, 나아가, 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)의 측면들을 덮을 수 있다. 또한, 제2 금속 반사층(65b)은 제2 전극 패드(63)를 덮을 수 있으며, 제2 전극 패드(63) 주위에서 발광 소자(10a)의 측면을 덮을 수 있다. 더욱이, 제1 전극 패드(61)는 메사(M)의 일부 측면, 특히, 제1 전극 패드(61)과 메사(M) 사이에 위치하는 메사(M)의 측면을 덮을 수 있다. 도 4A에 도시되듯이, 제2 금속 반사층(65b)은 제2 전극 패드(63)를 덮을 수 있으며, 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)의 측면들을 덮을 수 있다.

[120] 제1 금속 반사층(65a)과 제2 금속 반사층(65b)은 전기적 단락을 방지하기 위해 서로 이격된다. 제1 금속 반사층(65a)과 제2 금속 반사층(65b) 사이의 이격 거리는 제1 전극 패드(61)와 제2 전극 패드(63) 사이의 이격 거리보다 가까울 수 있으나, 이에 한정되는 것은 아니다. 제1 금속 반사층(65a) 및 제2 금속 반사층(65b)은 Cr, Ni, Al, Pt, Ag, 또는 Au를 포함할 수 있다.

[121] 본 개시의 일 실시예에 따른 발광 소자(10a)가 도면과 함께 간략하게 설명되었으나, 발광 소자(10a)는 상술한 층 이외에도 부가적인 기능을 갖는 층을 더 포함할 수 있다. 예를 들어, 특정 구성 요소를 절연하기 위한 추가 절연층, 솔더의 확산을 방지하는 솔더 방지층 등 다양한 층이 더 포함될 수 있다.

[122] 또한, 플립칩 타입의 발광 소자를 형성함에 있어, 다양한 형태로 메사를 형성할 수 있으며, 제1 및 제2 전극 패드들(61, 63)의 위치나 형상 또한 다양하게 변경될 수 있다. 또한, 오믹 콘택층(27)은 생략될 수도 있으며, 제2 콘택 패드(55) 또는 제2 전극 패드(63)가 제2 도전형 반도체층(25)에 직접 접촉할 수도 있다.

[123] 본 실시예에 있어서, 제1 내지 제3 발광 소자들(10a, 10b, 10c)이 플립칩 구조인 것을 예를 들어 설명하지만, 본 발명은 이에 한정되는 것은 아니며, 수평형 구조의 발광 소자를 포함할 수도 있다.

[124] 도 5A는 또 다른 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다.

[125] 도 5A를 참조하면, 본 실시예에 따른 발광 소자는 앞서 설명한 발광 소자(10a)와 대체로 유사하나, 금속 반사층(165)의 형상에 차이가 있다.

[126] 본 실시예에 있어서, 금속 반사층(165)은 발광 소자의 측면을 따라 고리 형상으로 배치되며, 제1 및 제2 전극 패드들(61, 63)로부터 이격된다. 금속 반사층(165)은 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)의 측면을 덮는다.

[127] 본 실시예에 따르면, 금속 반사층(165)은 발광 소자의 측면 전체를 덮을 수 있어 발광 소자의 측면을 통한 빛샘을 더욱 방지할 수 있다. 나아가, 금속 반사층(165)이 제1 및 제2 전극 패드들(61, 63)로부터 이격되므로, 전기적으로 안정한 마이크로 LED를 제공할 수 있다.

[128] 도 5B는 또 다른 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다.

[129] 도 5B를 참조하면, 본 실시예에 따른 발광 소자는 도 5A를 참조하여 설명한 발광 소자와 대체로 유사하나, 금속 반사층(265)이 제1 전극 패드(61)를 덮는 것에 차이가 있다.

[130] 도 5B에 도시된 바와 같이, 제 2 전극 패드(63)는 제2 전극 패드(63)와 금속 반사층(265)을 분리시키는 백색공간으로 둘러싸여 있다. 제 2 전극 패드(63)는 금속 반사층(265)과 금속 반사층(265)으로 덮힌 제 1 전극 패드(61)로부터 이격되어 있다.

[131] 금속 반사층(265)은 발광 소자의 측면을 따라 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)의 측면을 덮을 수 있으며, 나아가, 제1 전극 패드(61)를 적어도 부분적으로 덮을 수 있다. 또한, 금속 반사층(265)은 제1 전극 패드(61)와 메사(M) 사이에 위치하는 메사(M)의 측면을 덮을 수 있다. 이에 따라, 발광 소자의 빛샘을 더욱 방지할 수 있다.

[132] 금속 반사층(265)은 제1 전극 패드(61) 대신에 제2 전극 패드(63)를 덮을 수도 있다. 다만, 제1 도전형 반도체층(21)의 두께가 활성층(23) 및 제2 도전형 반도체층(25)의 두께에 비해 더 크기 때문에, 절연층(59)에 핀홀과 같은 결함이 발생할 경우, 금속 반사층(265)이 발광 소자의 측면에서 제1 도전형 반도체층(21)에 단락될 수 있다. 따라서, 금속 반사층(265)이 제1 전극 패드(61)에 전기적으로 연결되도록 하는 것이 전기적으로 안전한 발광 소자를 제공할 수 있다.

[133] 도 6A 및 도 6B는 제1 및 제2 금속 반사층들(65a, 65b)을 형성하는 방법을 설명하기 위한 개략적인 평면도들이다.

[134] 우선, 제1 전극 패드(61) 및 제2 전극 패드(63)가 형성된 발광 소자들이 기판(11) 상에 배열된다. 기판(11)은 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)을 성장시키기 위한 성장기판일 수도 있고, 제1 전극 패드(61) 및 제2 전극 패드(63)가 형성된 발광 소자들이 성장 기판에서 분리되어 부착된 임시 기판일 수도 있다.

[135] 이어서, 발광 소자들을 덮는 금속 반사층들(65)이 형성된다. 금속 반사층들(65)을 리프트 오프 기술을 이용하여 서로 평행하게 형성될 수 있다.

[136] 금속 반사층들(65)은 광을 반사시키는 금속 물질, 예컨대 Ni, Cr, Pt, Al, Ag, Au 등의 단일층 또는 다중층으로 형성될 수 있으며, 예를 들어, 약 100nm의 두께로 형성될 수 있다.

[137] 도 6B를 참조하면, 이어서, 발광 소자들 주위의 금속 반사층들(65)을 사진 및 식각 기술을 이용하여 제거함으로써 각각의 발광 소자들 상에 제1 금속 반사층(65a) 및 제2 금속 반사층(65b)을 형성할 수 있다.

[138] 본 실시예에 따르면, 좁은 간격으로 배열된 발광 소자들 상에 제1 및 제2 금속 반사층들(65a, 65b)을 안전하게 형성할 수 있다.

[139] 앞의 실시예에서, 금속 반사층들(65a, 65b)이 리프트 오프 기술 및 식각 기술을 함께 사용하여 2단계 공정으로 형성되는 것을 설명하지만, 금속 반사층들(65a, 65b)은 리프트 오프 기술 또는 사진 및 식각 기술을 이용하여 한 번의 공정으로 형성될 수도 있다.

[140] 이상에서, 본 개시의 다양한 실시예들에 대해 설명하였으나, 본 개시는 이들 실시예들에 한정되는 것은 아니다. 또한, 하나의 실시예에 대해서 설명한 사항이나 구성요소는 본 개시의 기술적 사상을 벗어나지 않는 한, 다른 실시예에도 적용될 수 있다.

청구범위

[청구항 1] 마이크로 스케일의 발광 소자로서,
제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층;
상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및
상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고,
상기 절연층은 분포 브래그 반사기를 포함하는 발광 소자.

[청구항 2] 청구항 1에 있어서,
상기 반도체 적층의 상면을 덮는 상기 절연층의 두께가 상기 반도체 적층의 측면을 덮는 상기 절연층의 두께보다 큰 발광 소자.

[청구항 3] 청구항 2에 있어서,
상기 반도체 적층의 상면을 덮는 상기 절연층은 상기 반도체 적층의 측면을 덮는 절연층에 비해 더 높은 반사율을 갖는 발광 소자.

[청구항 4] 청구항 1에 있어서,
상기 금속 반사층은 서로 이격된 제1 금속 반사층 및 제2 금속 반사층을 포함하고,
상기 제1 및 제2 금속 반사층들은 각각 상기 반도체 적층의 측면을 부분적으로 덮는 발광 소자.

[청구항 5] 청구항 4에 있어서,
상기 절연층 상에 배치되며, 각각 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층에 전기적으로 접속된 제1 전극 패드 및 제2 전극 패드를 더 포함하고,
상기 제1 금속 반사층은 상기 제1 전극 패드를 덮고,
상기 제2 금속 반사층은 상기 제2 전극 패드를 덮는 발광 소자.

[청구항 6] 청구항 1에 있어서,
상기 절연층 상에 배치되며, 각각 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층에 전기적으로 접속된 제1 전극 패드 및 제2 전극 패드를 더 포함하는 발광 소자.

[청구항 7] 청구항 6에 있어서,
상기 금속 반사층은 상기 제1 및 제2 전극 패드로부터 이격된 발광 소자.

[청구항 8] 청구항 7에 있어서,
상기 금속 반사층은 상기 발광 소자의 측면을 따라 고리 모양으로 배치된 발광 소자.

[청구항 9] 청구항 6에 있어서,
상기 금속 반사층은 상기 제1 전극 패드를 덮고, 상기 제2 전극

패드로부터 이격된 발광 소자.

[청구항 10] 청구항 6에 있어서,
상기 반도체 적층은 상기 제1 도전형 반도체층 상에 배치된 메사를 더 포함하되,
상기 메사는 상기 활성층 및 상기 제2 도전형 반도체층을 포함하고,
상기 제1 전극 패드의 일부는 상기 메사 상에 위치하고,
상기 제2 전극 패드는 상기 메사 상에 위치하는 발광 소자.

[청구항 11] 청구항 10 있어서,
상기 메사에 인접하여 상기 제1 도전형 반도체층 상에 배치된 제1 콘택 패드를 더 포함하고,
상기 제1 전극 패드는 상기 절연층의 개구부를 통해 상기 제1 콘택 패드에 전기적으로 접속된 발광 소자.

[청구항 12] 청구항 6에 있어서,
상기 제2 도전형 반도체층 상에 배치된 오믹 콘택층; 및
상기 오믹 콘택층 상에 배치된 제2 콘택 패드를 더 포함하되,
상기 제2 전극 패드는 상기 절연층의 개구부를 통해 상기 제2 콘택 패드에 전기적으로 접속된 발광 소자.

[청구항 13] 마이크로 스케일의 발광 소자로서,
제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층;
상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및
상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고,
상기 반도체 적층의 상면에 배치된 절연층의 두께는 상기 반도체 적층의 측면에 배치된 절연층의 두께에 비해 더 큰 발광 소자.

[청구항 14] 청구항 13에 있어서,
상기 반도체 적층의 상면에 배치된 절연층은 상기 반도체 적층의 측면에 배치된 절연층에 비해 높은 반사율을 갖는 발광 소자.

[청구항 15] 청구항 13에 있어서,
상기 금속 반사층은 서로 이격된 제1 금속 반사층 및 제2 금속 반사층을 포함하는 발광 소자.

[청구항 16] 청구항 15에 있어서,
상기 제1 도전형 반도체층에 전기적으로 접속된 제1 전극 패드; 및
상기 제2 도전형 반도체층에 전기적으로 접속된 제2 전극 패드를 더 포함하고,
상기 제1 금속 반사층은 상기 제1 전극 패드를 덮고, 상기 제2 금속 반사층은 상기 제2 전극 패드를 덮는 발광 소자.

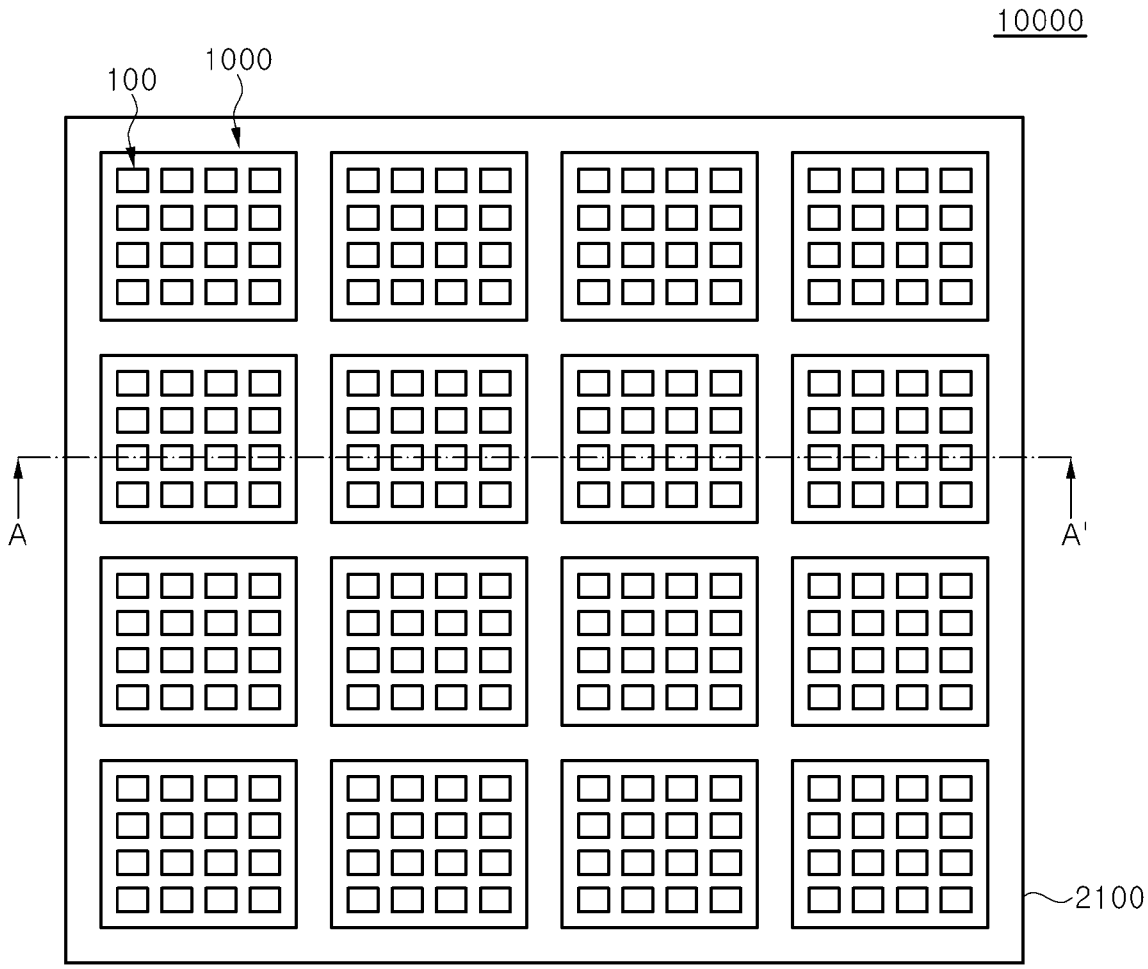
[청구항 17] 청구항 13에 있어서,
상기 금속 반사층은 상기 발광 소자의 측면을 따라 측면 전체를 덮는 발광 소자.

[청구항 18] 투명 기판;
상기 투명 기판 상에 배치되고 광을 투과시키는 창들을 갖는 광 차단층; 및
상기 창들에 정렬되도록 상기 광 차단층 상에 배치된 복수의 발광 소자들을 포함하되,
상기 발광 소자들은 각각,
제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층;
상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및
상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고,
상기 절연층은 분포 브래그 반사기를 포함하는, 유닛 픽셀.

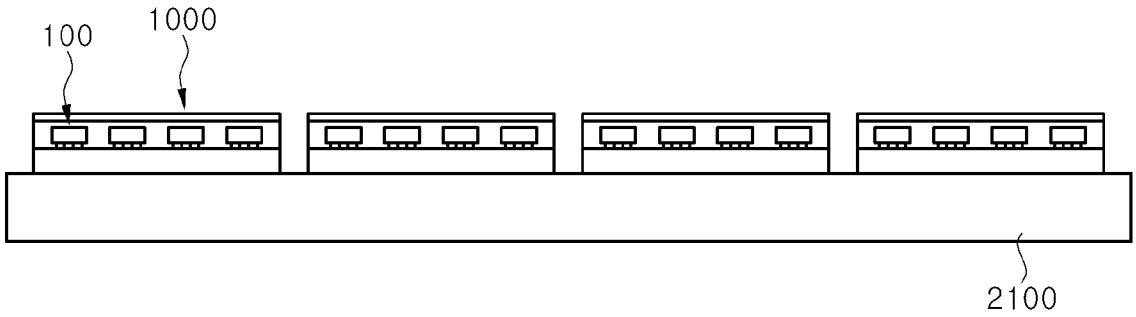
[청구항 19] 청구항 18에 있어서,
상기 금속 반사층은 서로 이격된 제1 금속 반사층 및 제2 금속 반사층을 포함하는 유닛 픽셀.

[청구항 20] 회로 기판;
상기 회로 기판 상에 실장된 유닛 픽셀들; 및
상기 유닛 픽셀들을 덮는 몰딩부를 포함하고,
상기 유닛 픽셀들은 투명 기판 및 상기 투명 기판 상에 배치된 복수의 발광 소자들을 포함하며,
상기 발광 소자들은 각각,
제1 도전형 반도체층, 제2 도전형 반도체층, 및 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치된 활성층을 포함하는 반도체 적층;
상기 반도체 적층의 상면 및 측면을 덮는 절연층; 및
상기 절연층 상에 배치되며, 상기 반도체 적층의 측면의 적어도 일부를 덮는 금속 반사층을 포함하고,
상기 절연층은 분포 브래그 반사기를 포함하는, 디스플레이 장치.

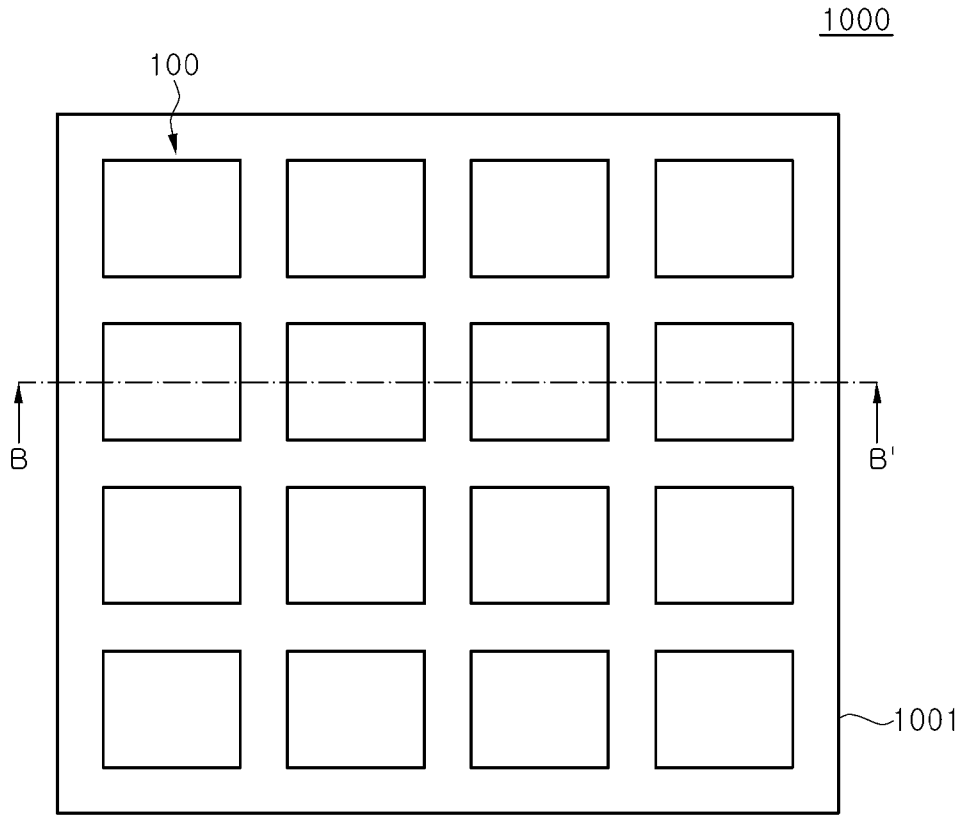
[도1a]



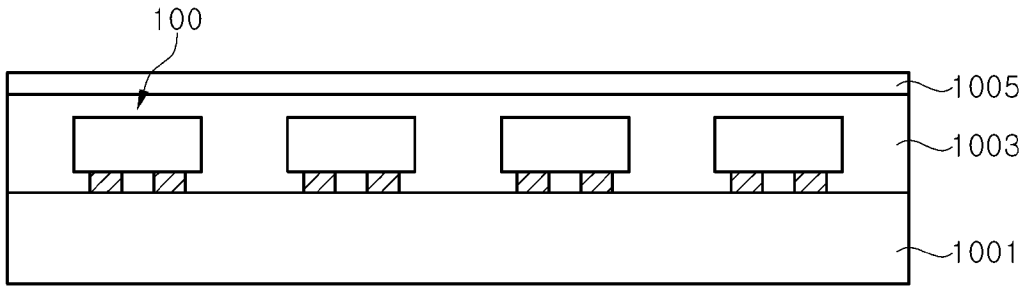
[도1b]



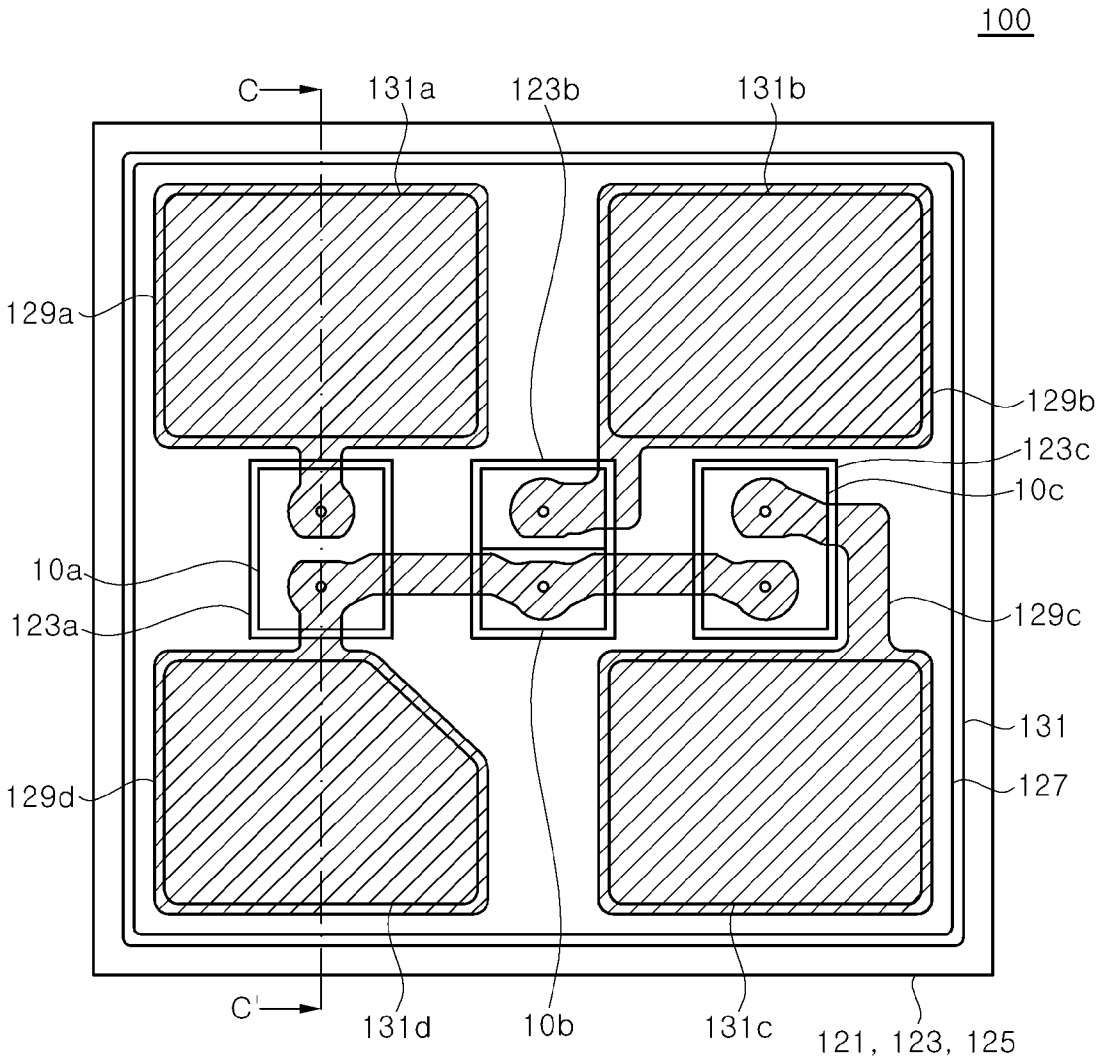
[도2a]



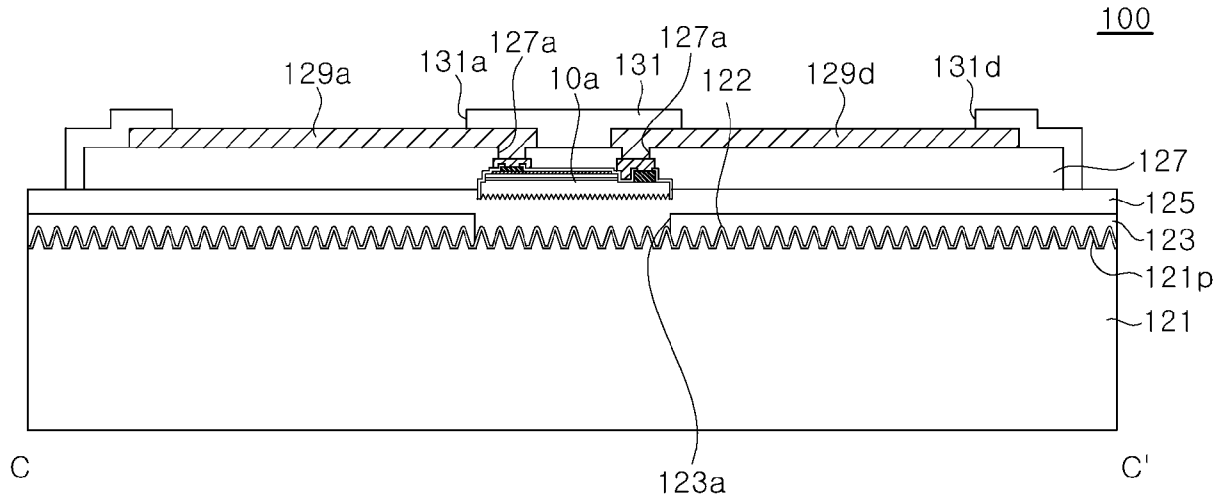
[도2b]



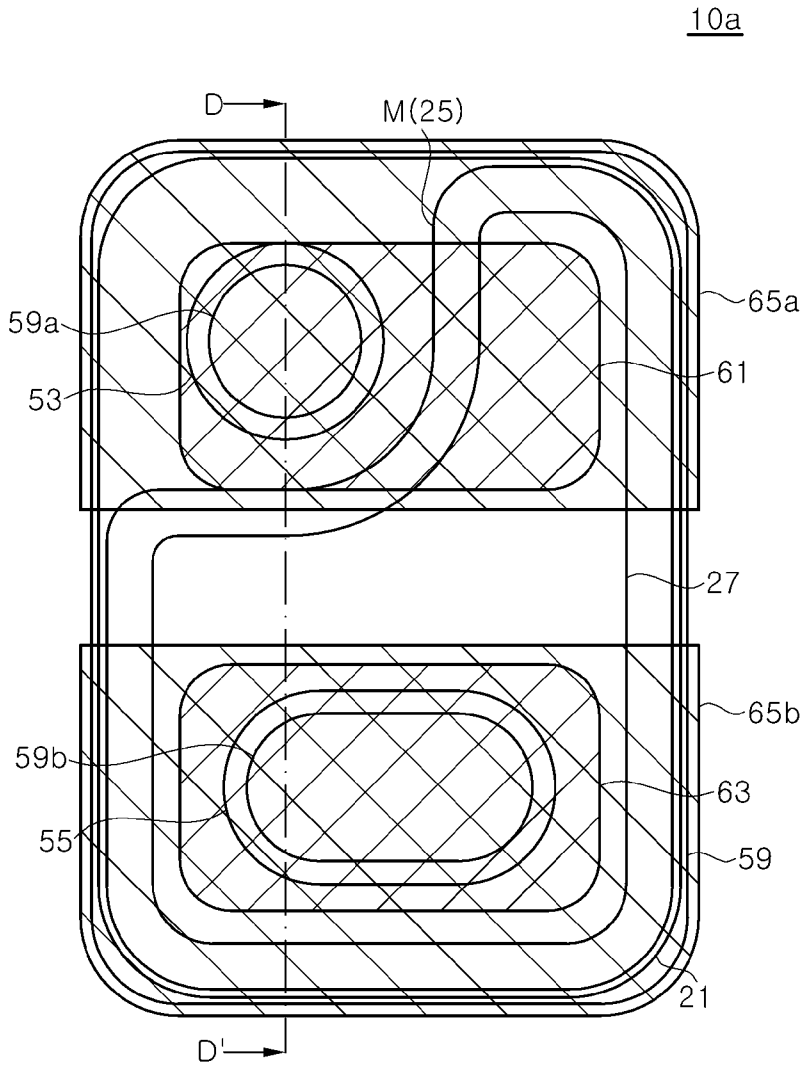
[도3a]


100
C
131a
123b
131b
129a
129b
123c
10c
10a
123a
129c
131
129d
127
C'
131d
10b
131c
121, 123, 125

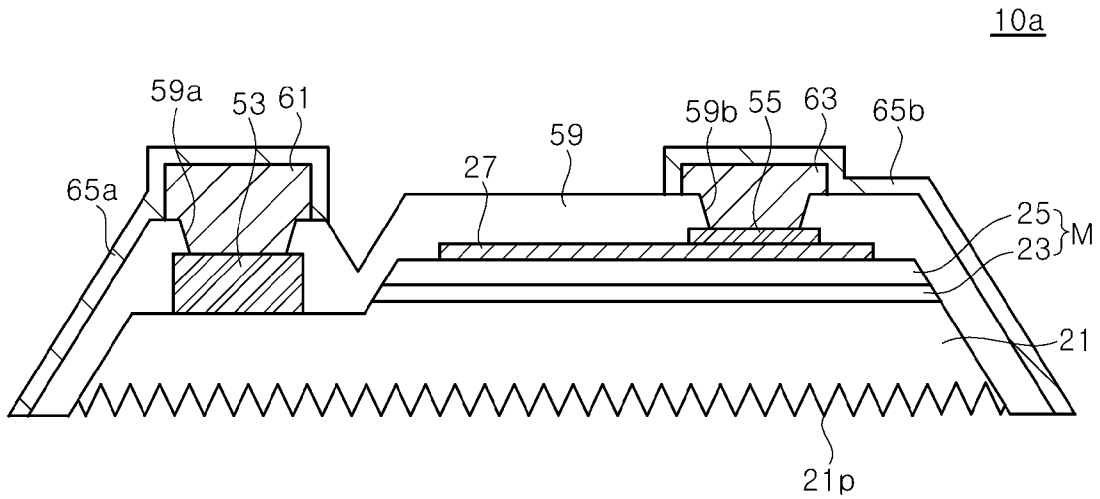
[도3b]


100
129a
131a
127a
10a
131
127a
122
129d
131d
127
125
123
121p
121
C
123a
C'

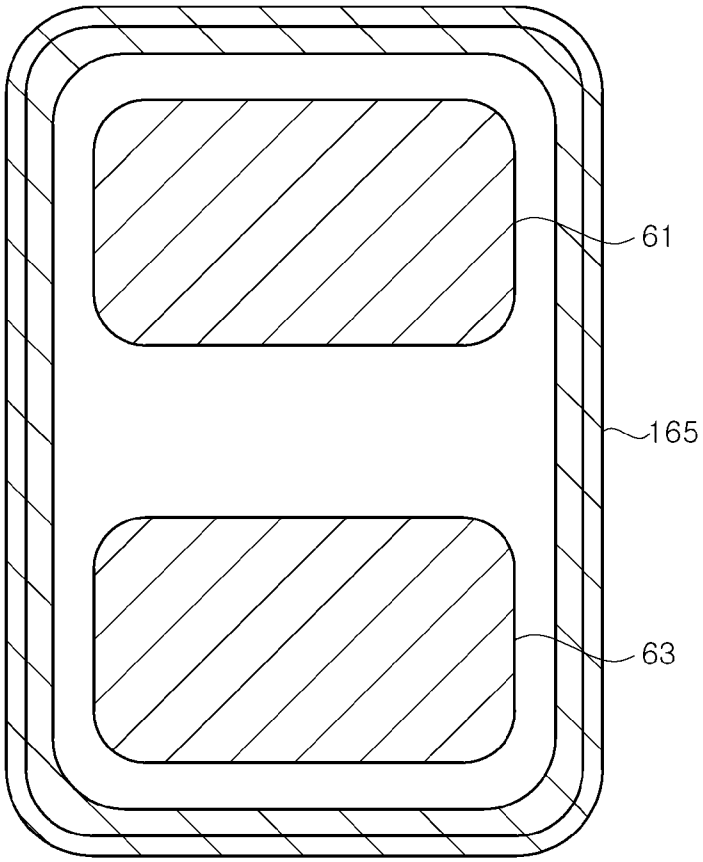
[도4a]


10a
D
M(25)
65a
59a
61
53
27
65b
59b
63
55
59
21
D'

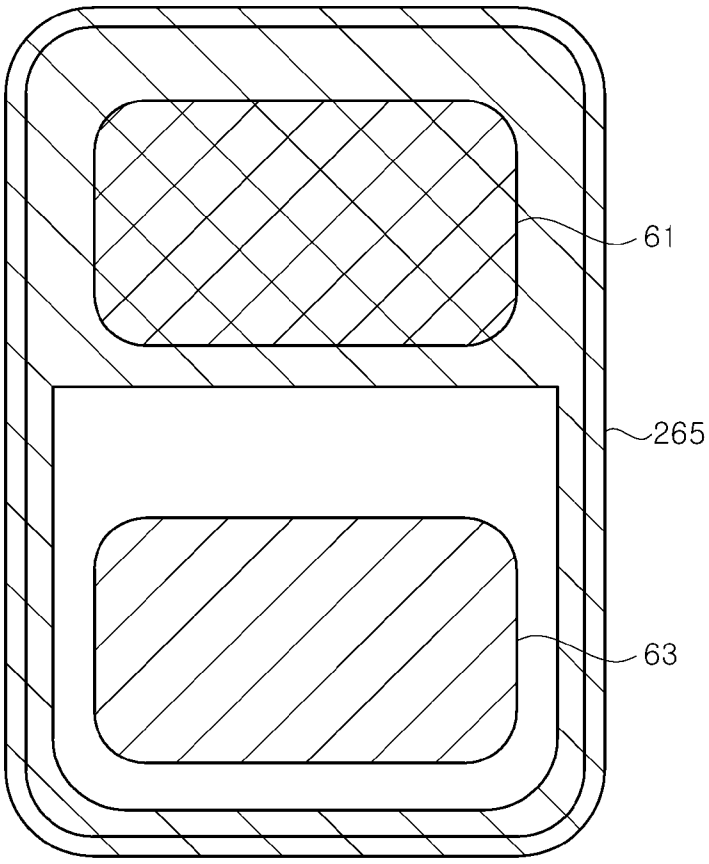
[도4b]


10a
59a
53
61
59b
55
63
65b
59
27
65a
25
M
23
21
21p

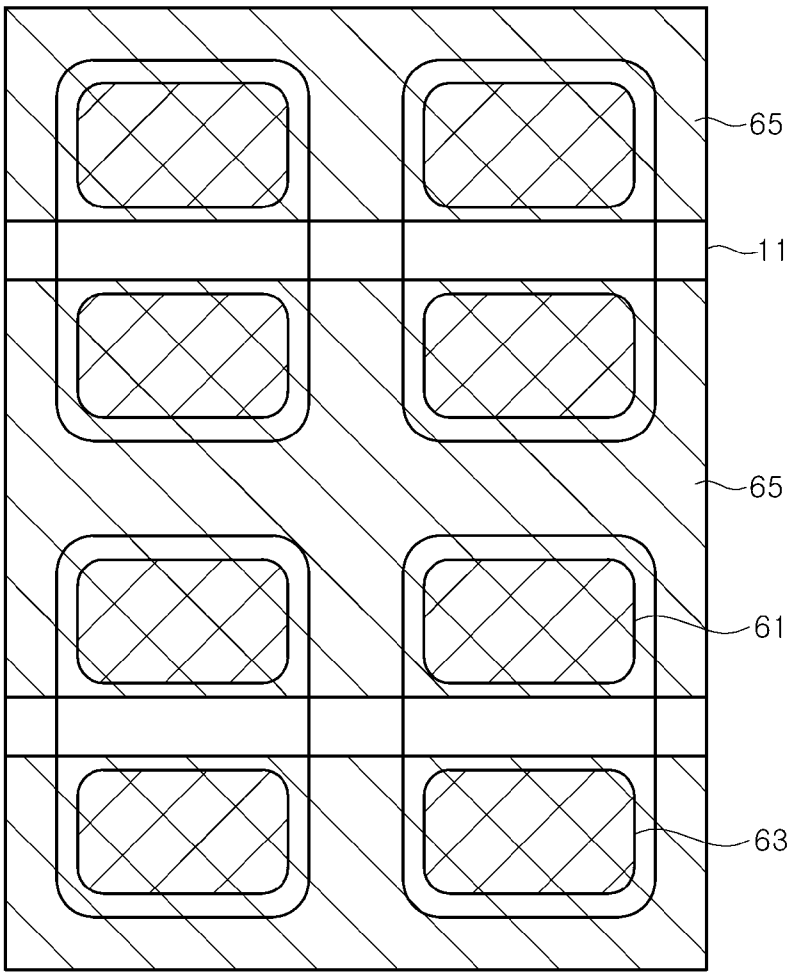
[도5a]



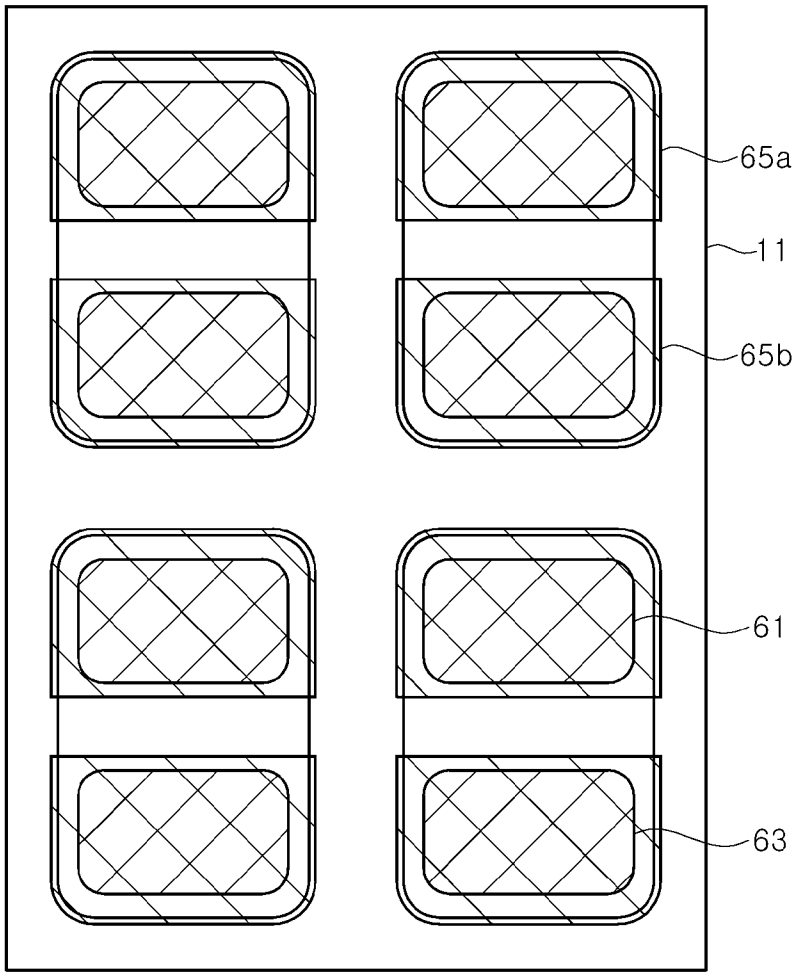
[도5b]



[도6a]



[도6b]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2021/012934

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/46(2010.01)i; **H01L 33/36**(2010.01)i; **H01L 33/52**(2010.01)i; **H01L 27/15**(2006.01)i; **H01L 25/075**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/46(2010.01); H01L 33/00(2010.01); H01L 33/10(2010.01); H01L 33/12(2010.01); H01L 33/22(2010.01); H01L 33/24(2010.01); H01L 33/36(2010.01); H01L 33/44(2010.01); H01L 33/50(2010.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 발광 소자(light emitting diode), 금속 반사층(metal reflective layer), 전극 패드(electrode pad), 덮음(covering), 절연층(insulation layer), 다른(different), 두께(thickness), 반사율(reflectivity), 브래그 반사기(bragg reflector)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2016-0141362 A (SAMSUNG ELECTRONICS CO., LTD.) 08 December 2016 (2016-12-08) See paragraphs [0061], [0191]-[0200], [0243] and [0276]; claims 1 and 10; and figures 3, 26a and 34.	1-20
Y	KR 10-2015-0138977 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 11 December 2015 (2015-12-11) See paragraphs [0052]-[0053]; claim 1; and figure 2.	1-20
Y	WO 2019-066339 A1 (SEOUL VIOSYS CO., LTD.) 04 April 2019 (2019-04-04) See paragraph [0068]; and figure 3.	1-12,18-20
Y	KR 10-2017-0007117 A (SEOUL VIOSYS CO., LTD.) 18 January 2017 (2017-01-18) See paragraph [0149]; and figures 1 and 22.	2-3,13-17

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 January 2022	**04 January 2022**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2013-0008478 A (KABUSHIKI KAISHA TOSHIBA) 22 January 2013 (2013-01-22) See claim 12.	5,9,16
Y	KR 10-2018-0081378 A (LG ELECTRONICS INC.) 16 July 2018 (2018-07-16) See paragraphs [0029]-[0058]; and figures 2-3b.	18-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2021/012934

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2016-0141362 A	08 December 2016	CN 106206862 A	07 December 2016
		CN 106206862 B	07 June 2019
		DE 102016109616 A1	01 December 2016
		DE 102016109616 B4	18 February 2021
		KR 10-1881066 B1	25 July 2018
		US 10217914 B2	26 February 2019
		US 2016-0351764 A1	01 December 2016
		US 2018-0261738 A1	13 September 2018
KR 10-2015-0138977 A	11 December 2015	US 2015-0349208 A1	03 December 2015
WO 2019-066339 A1	04 April 2019	CN 110168755 A	23 August 2019
		EP 3675186 A1	01 July 2020
		EP 3675186 A4	02 June 2021
		KR 10-2019-0037105 A	05 April 2019
		US 2020-0220049 A1	09 July 2020
KR 10-2017-0007117 A	18 January 2017	US 10270007 B2	23 April 2019
		US 2018-0145224 A1	24 May 2018
		US 2019-0232520 A1	01 August 2019
		WO 2017-010705 A1	19 January 2017
KR 10-2013-0008478 A	22 January 2013	CN 102881811 A	16 January 2013
		EP 2546894 A2	16 January 2013
		JP 2013-021175 A	31 January 2013
		KR 10-1358620 B1	04 February 2014
		TW 201308691 A	16 February 2013
		US 2013-0015483 A1	17 January 2013
KR 10-2018-0081378 A	16 July 2018	None	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2021/012934

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/46(2010.01)i; **H01L 33/36**(2010.01)i; **H01L 33/52**(2010.01)i; **H01L 27/15**(2006.01)i; **H01L 25/075**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/46(2010.01); H01L 33/00(2010.01); H01L 33/10(2010.01); H01L 33/12(2010.01); H01L 33/22(2010.01); H01L 33/24(2010.01); H01L 33/36(2010.01); H01L 33/44(2010.01); H01L 33/50(2010.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광 소자(light emitting diode), 금속 반사층(metal reflective layer), 전극 패드(electrode pad), 덮음(covering), 절연층(insulation layer), 다른(different), 두께(thickness), 반사율(reflectivity), 브래그 반사기(bragg reflector)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2016-0141362 A (삼성전자주식회사) 2016.12.08 단락 61, 191-200, 243, 276; 청구항 1, 10; 및 도면 3, 26a, 34.	1-20
Y	KR 10-2015-0138977 A (한국전자통신연구원) 2015.12.11 단락 52-53; 청구항 1; 및 도면 2.	1-20
Y	WO 2019-066339 A1 (SEOUL VIOSYS CO., LTD.) 2019.04.04 단락 68; 및 도면 3.	1-12,18-20
Y	KR 10-2017-0007117 A (서울바이오시스 주식회사) 2017.01.18 단락 149; 및 도면 1, 22.	2-3,13-17
Y	KR 10-2013-0008478 A (가부시끼가이샤 도시바) 2013.01.22 청구항 12.	5,9,16

☑ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2022년01월04일(04.01.2022)	**2022년01월04일(04.01.2022)**

ISA/KR의 명칭 및 우편주소	심사관
대한민국 특허청 **(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)**	**박혜련**
팩스 번호 **+82-42-481-8578**	전화번호 **+82-42-481-3463**

국 제 조 사 보 고 서

국제출원번호
PCT/KR2021/012934

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2018-0081378 A (엘지전자 주식회사) 2018.07.16 단락 29-58; 및 도면 2-3b.	18-20

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2021/012934

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0141362 A	2016/12/08	CN 106206862 A	2016/12/07
		CN 106206862 B	2019/06/07
		DE 102016109616 A1	2016/12/01
		DE 102016109616 B4	2021/02/18
		KR 10-1881066 B1	2018/07/25
		US 10217914 B2	2019/02/26
		US 2016-0351764 A1	2016/12/01
		US 2018-0261738 A1	2018/09/13
KR 10-2015-0138977 A	2015/12/11	US 2015-0349208 A1	2015/12/03
WO 2019-066339 A1	2019/04/04	CN 110168755 A	2019/08/23
		EP 3675186 A1	2020/07/01
		EP 3675186 A4	2021/06/02
		KR 10-2019-0037105 A	2019/04/05
		US 2020-0220049 A1	2020/07/09
KR 10-2017-0007117 A	2017/01/18	US 10270007 B2	2019/04/23
		US 2018-0145224 A1	2018/05/24
		US 2019-0232520 A1	2019/08/01
		WO 2017-010705 A1	2017/01/19
KR 10-2013-0008478 A	2013/01/22	CN 102881811 A	2013/01/16
		EP 2546894 A2	2013/01/16
		JP 2013-021175 A	2013/01/31
		KR 10-1358620 B1	2014/02/04
		TW 201308691 A	2013/02/16
		US 2013-0015483 A1	2013/01/17
KR 10-2018-0081378 A	2018/07/16	없음	