

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年1月21日 (21.01.2016)



(10) 国际公布号
WO 2016/008191 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
- (21) 国际申请号: PCT/CN2014/084342
- (22) 国际申请日: 2014年8月14日 (14.08.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410342374.1 2014年7月17日 (17.07.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市深南中路新闻大厦1号楼3楼307室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: GATE DRIVE CIRCUIT HAVING SELF-COMPENSATION FUNCTION

(54) 发明名称: 具有自我补偿功能的栅极驱动电路

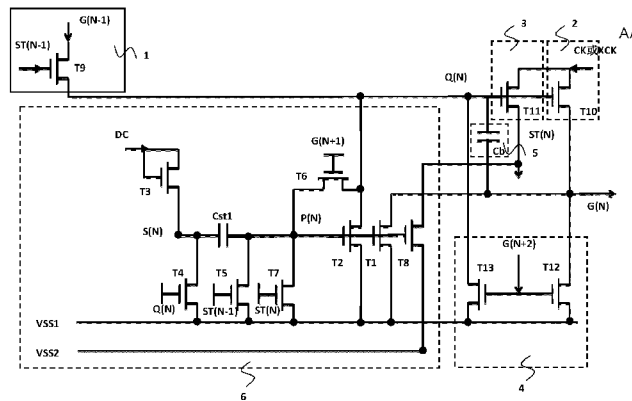


图3 / Fig. 3

AA CK or XCK

(57) Abstract: A gate drive circuit having a self-compensation function, comprising: a plurality of cascaded GOA units, charging of an Nth level horizontal scanning line G (N) of a display area being controlled according to an Nth level GOA unit, the Nth level GOA unit comprising: a pull-up control module (1), a pull-up module (2), a transfer-down module (3), a first pull-down module (4), a bootstrap capacitance module (5) and a pull-down holding module (6). The pull-up module (2), the first pull-down module (4), the bootstrap capacitance module (5) and the pull-down holding module (6) are respectively electrically connected to an Nth level gate signal point Q (N) and the Nth level horizontal scanning line G (N), the pull-up control module (1) and the transfer-down module (3) are respectively electrically connected to the Nth level gate signal point Q (N), and the pull-down holding module (6) inputs a first direct current low voltage VSS1 and a second direct current low voltage VSS2. The drive circuit improves the reliability of a long-term operation of the gate drive circuit via the pull-down holding module (6), said module having a self-compensation function. A pull-down holding module (6) directly controlled by a set of direct current signal sources DC may also be designed, saving circuit layout design space and reducing overall power consumption of the circuit.

(57) 摘要:

[见续页]

WO 2016/008191 A1



本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

一种具有自我补偿功能的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域的第 N 级水平扫描线 G(N) 充电，该第 N 级 GOA 单元包括：上拉控制模块 (1)、上拉模块 (2)、下传模块 (3)、第一下拉模块 (4)、自举电容模块 (5) 及下拉维持模块 (6)；所述上拉模块 (2)、第一下拉模块 (4)、自举电容模块 (5)、下拉维持模块 (6) 分别与第 N 级栅极信号点 Q(N) 和该第 N 级水平扫描线 G(N) 电性连接，所述上拉控制模块 (1) 与下传模块 (3) 分别与该第 N 级栅极信号点 Q(N) 电性连接，所述下拉维持模块 (6) 输入第一直流低电压 VSS1 及第二直流低电压 VSS2。所述驱动电路通过具有自我补偿功能的下拉维持模块 (6) 来提高栅极驱动电路长期操作的可靠性；还可以设计成直接由一组直流信号源 DC 控制的下拉维持模块 (6)，既可以节省电路版图设计空间，又可以降低电路的整体功耗。

具有自我补偿功能的栅极驱动电路

技术领域

5 本发明涉及液晶技术领域，尤其涉及一种具有自我补偿功能的栅极驱动电路。

背景技术

GOA (Gate Driver on Array, 阵列基板行驱动) 技术是将作为栅极开关电路的 TFT (Thin Film Transistor, 薄膜场效应晶体管) 集成于阵列基板上, 10 从而省掉原先设置在阵列基板外的栅极驱动集成电路部分, 从材料成本和工艺步骤两个方面来降低产品的成本。GOA 技术是目前 TFT-LCD (Thin Film Transistor-Liquid Crystal Display, 薄膜场效应晶体管液晶显示器) 技术领域常用的一种栅极驱动电路技术, 其制作工艺简单, 具有良好的应用前景。GOA 电路的功能主要包括: 利用上一行栅线输出的高电平信号对移位 15 寄存器单元中的电容充电, 以使本行栅线输出高电平信号, 再利用下一行栅线输出的高电平信号实现复位。

请参阅图 1, 图 1 为目前常采用的栅极驱动电路架构示意图。包括: 级联的多个 GOA 单元, 按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 G(N) 充电, 该第 N 级 GOA 单元包括上拉控制模块 1'、上拉模块 2'、 20 下传模块 3'、第一下拉模块 4' (Key pull-down part)、自举电容模块 5'、及下拉维持模块 6' (Pull-down holding part)。所述上拉模块 2'、第一下拉模块 4'、自举电容模块 5'、下拉维持电路 6' 分别与第 N 级栅极信号点 Q(N) 和该第 N 级水平扫描线 G(N) 电性连接, 所述上拉控制模块 1' 与下传模块 3' 分别与该第 N 级栅极信号点 Q(N) 电性连接, 所述下拉维持模块 6' 输入直流 25 低电压 VSS。

所述上拉控制模块 1' 包括第一薄膜晶体管 T1', 其栅极输入来自第 N-1 级 GOA 单元的下传信号 ST(N-1), 漏极电性连接于第 N-1 级水平扫描线 G(N-1), 源极电性连接于该第 N 级栅极信号点 Q(N); 所述上拉模块 2' 包括 30 第二薄膜晶体管 T2', 其栅极电性连接该第 N 级栅极信号点 Q(N), 漏极输入第一高频时钟信号 CK 或第二高频时钟信号 XCK, 源极电性连接于第 N 级水平扫描线 G(N); 所述下传模块 3' 包括第三薄膜晶体管 T3', 其栅极电性连接该第 N 级栅极信号点 Q(N), 漏极输入第一高频时钟信号 CK 或第二高频时钟信号 XCK, 源极输出第 N 级下传信号 ST(N); 所述第一下拉模块

4'包括第四薄膜晶体管 T4', 其栅极电性连接第 N+1 级水平扫描线 G(N+1), 漏极电性连接于第 N 级水平扫描线 G(N), 源极输入直流低电压 VSS; 第五薄膜晶体管 T5', 其栅极电性连接第 N+1 级水平扫描线 G(N+1), 漏极电性连接于该第 N 级栅极信号点 Q(N), 源极输入直流低电压 VSS; 所述自举电容模块 5'包括自举电容 Cb'; 所述下拉维持模块 6'包括: 第六薄膜晶体管 T6', 其栅极电性连接第一电路点 P(N)', 漏极电性连接第 N 级水平扫描线 G(N), 源极输入直流低电压 VSS; 第七薄膜晶体管 T7', 其栅极电性连接第一电路点 P(N)', 漏极电性连接该第 N 级栅极信号点 Q(N), 源极输入直流低电压 VSS; 第八薄膜晶体管 T8', 其栅极电性连接第二电路点 K(N)', 漏极电性连接第 N 级水平扫描线 G(N), 源极输入直流低电压 VSS; 第九薄膜晶体管 T9', 其栅极电性连接第二电路点 K(N)', 漏极电性连接该第 N 级栅极信号点 Q(N), 源极输入直流低电压 VSS; 第十薄膜晶体管 T10', 其栅极输入第一低频时钟信号 LC1, 漏极输入第一低频时钟信号 LC1, 源极电性连接第一电路点 P(N)'; 第十一薄膜晶体管 T11', 其栅极输入第二低频时钟信号 LC2, 漏极输入第一低频时钟信号 LC1, 源极电性连接第一电路点 P(N)'; 第十二薄膜晶体管 T12', 其栅极输入第二低频时钟信号 LC2, 漏极输入第二低频时钟信号 LC2, 源极电性连接第二电路点 K(N)'; 第十三薄膜晶体管 T13', 其栅极输入第一低频时钟信号 LC1, 漏极输入第二低频时钟信号 LC2, 源极电性连接第二电路点 K(N)'; 第十四薄膜晶体管 T14', 其栅极电性连接该第 N 级栅极信号点 Q(N), 漏极电性连接第一电路点 P(N)', 源极输入直流低电压 VSS; 第十五薄膜晶体管 T15', 其栅极电性连接该第 N 级栅极信号点 Q(N), 漏极电性连接第二电路点 K(N)', 源极输入直流低电压 VSS; 其中, 第六薄膜晶体管 T6'与第八薄膜晶体管 T8'负责非作用期间维持第 N 级水平扫描线 G(N)的低电位, 第七薄膜晶体管 T7'与第九薄膜晶体管 T9'负责非作用期间维持第 N 级栅极信号点 Q(N)的低电位。

从整个电路架构上来看, 下拉维持模块 6'处于较长的工作状态, 也就是第一电路点 P(N)'与第二电路点 K(N)'会长时间处于一个正向的高电位状态, 这样电路中受到电压应力作用 (Stress) 最严重的几个元件就是薄膜晶体管 T6'、T7'、T8'、T9'。随着栅极驱动电路工作时间的增加, 薄膜晶体管 T6'、T7'、T8'、T9'的阈值电压 V_{th} 会逐渐增加, 开态电流会逐渐降低, 这就会导致第 N 级水平扫描线 G(N)和第 N 级栅极信号点 Q(N)无法很好地维持在一个稳定的低电位状态, 这也是影响栅极驱动电路可靠性最重要的因素。

对于非晶硅薄膜晶体管栅极驱动电路而言, 下拉维持模块是必不可少

的，通常可以设计为一组下拉维持模块，或者两组交替作用的下拉维持模块。设计成两组下拉维持模块主要目的是为了减轻下拉维持模块中第一电路点 P(N)' 与第二电路点 K(N)' 控制的薄膜晶体管 T6'、T7'、T8'、T9' 受到的电压应力作用。但是实际量测发现，即使设计成两组下拉维持模块，

5 薄膜晶体管 T6'、T7'、T8'、T9' 这四颗薄膜晶体管依然是整个栅极驱动电路电路中受到电压应力最严重的部分，也就是说薄膜晶体管的阈值电压 (V_{th}) 漂移最大。

请参阅图 2a，为阈值电压漂移前后薄膜晶体管整体电流对数与电压曲线关系变化示意图，其中，实线是未发生阈值电压漂移的电流对数与电压

10 关系曲线，虚线是阈值电压漂移后的电流对数与电压关系曲线。由图 2a 可知，在同一栅源极电压 V_{gs} 下，未发生阈值电压漂移的电流对数 $\text{Log}(I_{ds})$ 大于阈值电压漂移后的电流对数。请参阅图 2b，为阈值电压漂移前后薄膜晶体管整体电流与电压曲线关系变化示意图。由图 2b 可知，在同一漏源极

15 电流 I_{ds} 下，未发生阈值电压漂移的栅极电压 V_{g1} 小于阈值电压漂移后的栅极电压 V_{g2} ，即阈值电压漂移后，想要达到同等的漏源极电流 I_{ds} ，需要更大的栅极电压。

由图 2a 与图 2b 可以看出，阈值电压 V_{th} 往正向漂移会导致薄膜晶体管的开态电流 I_{on} 逐渐降低，随着阈值电压 V_{th} 的增加，薄膜晶体管的开态

20 电流 I_{on} 会持续降低，那么，对于电路而言，就无法很好地维持第 N 级栅极信号点 Q(N) 与第 N 级水平扫描线 G(N) 电位的稳定，这样就会导致液晶显示器画面显示的异常。

如上所述，栅极驱动电路中最容易失效的元件就是下拉维持模块的薄膜晶体管 T6'、T7'、T8'、T9'，因此，为了提高栅极驱动电路和液晶显示

25 面板的可靠性必须要解决这个问题。通常设计上的做法是增加这四颗薄膜晶体管的尺寸，但是，增加薄膜晶体管尺寸的同时也会增加薄膜晶体管工作的关态漏电流，无法从本质上解决问题。

发明内容

本发明的目的在于提供一种具有自我补偿功能的栅极驱动电路，通过

30 具有自我补偿功能的下拉维持模块来提高栅极驱动电路长期操作的可靠性，降低阈值电压漂移对栅极驱动电路运作的影响。

为实现上述目的，本发明提供一种具有自我补偿功能的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 G(N) 充电，该第 N 级 GOA 单元包括：上拉控制模块、上拉

模块、下传模块、第一下拉模块、自举电容模块、及下拉维持模块；所述上拉模块、第一下拉模块、自举电容模块、下拉维持电路分别与第 N 级栅极信号点 Q(N)和该第 N 级水平扫描线 G(N)电性连接，所述上拉控制模块与下传模块分别与该第 N 级栅极信号点 Q(N)电性连接，所述下拉维持模块

5 输入第一直流低电压 VSS1 及第二直流低电压 VSS2；

所述下拉维持模块包括：第一薄膜晶体管 T1，其栅极电性连接第一电路点 P(N)，漏极电性连接第 N 级水平扫描线 G(N)，源极输入第一直流低电压 VSS1；第二薄膜晶体管 T2，其栅极电性连接第一电路点 P(N)，漏极电性连接第 N 级栅极信号点 Q(N)，源极输入第一直流低电压 VSS1；第三薄

10 膜晶体管 T3，其栅极电性连接直流信号源 DC，漏极电性连接直流信号源 DC，源极电性连接第二电路点 S(N)；第四薄膜晶体管 T4，其栅极电性连接第 N 级栅极信号点 Q(N)，漏极电性连接第二电路点 S(N)，源极输入第一直流低电压 VSS1；第五薄膜晶体管 T5，其栅极电性连接第 N-1 级下传信号 ST(N-1)，漏极电性连接第一电路点 P(N)，源极输入第一直流低电压

15 VSS1；第六薄膜晶体管 T6，其栅极电性连接第 N+1 级水平扫描线 G(N+1)，漏极电性连接第一电路点 P(N)，源极电性连接第 N 级栅极信号点 Q(N)；第七薄膜晶体管 T7，其栅极电性连接第 N 级下传信号 ST(N)，漏极电性连接第一电路点 P(N)，源极输入第一直流低电压 VSS1；第八薄膜晶体管 T8，其栅极电性连接第一电路点 P(N)，漏极电性连接第 N 级下传信号 ST(N)，

20 源极输入第二直流低电压 VSS2；第一电容 Cst1，其上极板电性连接第二电路点 S(N)，下极板电性连接第一电路点 P(N)。

所述上拉控制模块包括第九薄膜晶体管 T9，其栅极输入来自第 N-1 级 GOA 单元的下传信号 ST(N-1)，漏极电性连接于第 N-1 级水平扫描线 G(N-1)，源极电性连接于该第 N 级栅极信号点 Q(N)；所述上拉模块包括第

25 十薄膜晶体管 T10，其栅极电性连接该第 N 级栅极信号点 Q(N)，漏极输入第一高频时钟信号 CK 或第二高频时钟信号 XCK，源极电性连接于第 N 级水平扫描线 G(N)；所述下传模块包括第十一薄膜晶体管 T11，其栅极电性连接该第 N 级栅极信号点 Q(N)，漏极输入第一高频时钟信号 CK 或第二高频时钟信号 XCK，源极输出第 N 级下传信号 ST(N)；所述第一下拉模块包

30 括第十二薄膜晶体管 T12，其栅极电性连接第 N+2 级水平扫描线 G(N+2)，漏极电性连接于第 N 级水平扫描线 G(N)，源极输入第一直流低电压 VSS1；第十三薄膜晶体管 T13，其栅极电性连接第 N+2 级水平扫描线 G(N+2)，漏极电性连接于该第 N 级栅极信号点 Q(N)，源极输入第一直流低电压 VSS1；所述自举电容模块包括自举电容 Cb。

所述栅极驱动电路的第一级连接关系中，第五薄膜晶体管 T5 的栅极电性连接于电路启动信号 STV；第九薄膜晶体管 T9 的栅极和漏极均电性连接于电路启动信号 STV。

5 所述栅极驱动电路的最后一级连接关系中，第六薄膜晶体管 T6 的栅极电性连接于电路启动信号 STV；第十二薄膜晶体管 T12 的栅极电性连接于第二级水平扫描线 G(2)；第十三薄膜晶体管 T13 的栅极电性连接于第二级水平扫描线 G(2)。

所述下拉维持模块还包括：第二电容 Cst2，其上极板电性连接第一电路点 P(N)，下极板输入第一直流低电压 VSS1。

10 所述下拉维持模块还包括：第十四薄膜晶体管 T14，其栅极电性连接第 N+1 级水平扫描线 G(N+1)，漏极电性连接第二电路点 S(N)，源极输入第一直流低电压 VSS1。

所述下拉维持模块还包括：第二电容 Cst2，其上极板电性连接第一电路点 P(N)，下极板输入第一直流低电压 VSS1；第十四薄膜晶体管 T14，其栅极电性连接第 N+1 级水平扫描线 G(N+1)，漏极电性连接第二电路点 S(N)，源极输入第一直流低电压 VSS1。

所述第一高频时钟信号 CK 与第二高频时钟信号 XCK 是两个相位完全相反的高频时钟信号源。

20 所述第一下拉模块中第十二薄膜晶体管 T12 的栅极与第十三薄膜晶体管 T13 的栅极均电性连接第 N+2 级水平扫描线 G(N+2)，主要为了实现第 N 级栅极信号点 Q(N) 电位呈三个阶段，第一阶段是上升至一个高电位并维持一段时间，第二阶段在第一阶段的基础上又上升一个高电位并维持一段时间，第三阶段在第二阶段的基础上下降到与第一阶段基本持平的高电位，然后利用三个阶段中的第三阶段进行阈值电压的自我补偿。

25 所述第 N 级栅极信号点 (Q(N)) 电位呈三个阶段，其中第三阶段的变化主要受第六薄膜晶体管 T6 的影响。

所述第六薄膜晶体管 T6 的栅极可以电性连接于第 N+1 级下传信号 ST(N+1)。

30 所述第二直流低电压 VSS2 为负压源，该第二直流低电压 VSS2 的电位低于第一直流低电压 VSS1。

本发明的有益效果：本发明提供一种具有自我补偿功能的栅极驱动电路，利用电容的自举作用来控制下拉维持模块的第一电路点 P(N)，设计能够检测薄膜晶体管阈值电压的功能，并将阈值电压存贮在第一电路点 P(N)，进而实现第一电路点 P(N) 的控制电压随着薄膜晶体管的阈值电压漂移而变

化。本发明通过设计具有自我补偿功能的下拉维持模块来提高栅极驱动电路长期操作的可靠性，降低阈值电压漂移对栅极驱动电路运作的影响；还可以设计成直接由一组直流信号源 DC 控制的下拉维持模块，既可以节省电路版图设计空间，又可以降低电路的整体功耗。

- 5 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

- 10 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为目前常采用的栅极驱动电路架构示意图；

- 15 图 2a 为阈值电压漂移前后薄膜晶体管整体电流对数与电压曲线关系变化示意图；

图 2b 为阈值电压漂移前后薄膜晶体管整体电流与电压曲线关系变化示意图；

图 3 为本发明具有自我补偿功能的栅极驱动电路单级架构示意图；

- 20 图 4 为本发明具有自我补偿功能的栅极驱动电路单级架构第一级连接关系示意图；

图 5 为本发明具有自我补偿功能的栅极驱动电路单级架构最后一级连接关系示意图；

图 6 为图 3 中采用的下拉维持模块第一实施例的电路图；

图 7a 为阈值电压漂移前图 3 所示的栅极驱动电路时序图；

- 25 图 7b 为阈值电压漂移后图 3 所示的栅极驱动电路时序图；

图 8 为图 3 中采用的下拉维持模块第二实施例的电路图；

图 9 为图 3 中采用的下拉维持模块第三实施例的电路图；

图 10 为图 3 中采用的下拉维持模块第四实施例的电路图。

30 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 3，为本发明具有自我补偿功能的栅极驱动电路单级架构示意图。包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域

第 N 级水平扫描线 G(N) 充电, 该第 N 级 GOA 单元包括: 上拉控制模块 1、上拉模块 2、下传模块 3、第一下拉模块 4、自举电容模块 5、及下拉维持模块 6; 所述上拉模块 2、第一下拉模块 4、自举电容模块 5、下拉维持电路 6 分别与第 N 级栅极信号点 Q(N) 和该第 N 级水平扫描线 G(N) 电性连接, 5 所述上拉控制模块 1 与下传模块 3 分别与该第 N 级栅极信号点 Q(N) 电性连接, 所述下拉维持模块 6 输入第一直流低电压 VSS1 及第二直流低电压 VSS2。

所述下拉维持模块 6 包括: 第一薄膜晶体管 T1, 其栅极电性连接第一电路点 P(N), 漏极电性连接第 N 级水平扫描线 G(N), 源极输入第一直流低电压 VSS1; 第二薄膜晶体管 T2, 其栅极电性连接第一电路点 P(N), 漏极电性连接第 N 级栅极信号点 Q(N), 源极输入第一直流低电压 VSS1; 第三薄膜晶体管 T3, 其采用二极管接法, 栅极电性连接直流信号源 DC, 漏极电性连接直流信号源 DC, 源极电性连接第二电路点 S(N); 第四薄膜晶体管 T4, 其栅极电性连接第 N 级栅极信号点 Q(N), 漏极电性连接第二电路点 S(N), 源极输入第一直流低电压 VSS1; 第五薄膜晶体管 T5, 其栅极电性连接第 N-1 级下传信号 ST(N-1), 漏极电性连接第一电路点 P(N), 源极输入第一直流低电压 VSS1; 第六薄膜晶体管 T6, 其栅极电性连接第 N+1 级水平扫描线 G(N+1), 漏极电性连接第一电路点 P(N), 源极电性连接第 N 级栅极信号点 Q(N), 所述第六薄膜晶体管 T6 的控制端, 第 N+1 级水平扫描线 G(N+1) 也可以替换成接第 N+1 级下传信号 ST(N+1), 即第六薄膜晶体管 T6 的栅极可以电性连接于第 N+1 级下传信号 ST(N+1), 这样也可以降低第六薄膜晶体管 T6 的漏电影响; 第七薄膜晶体管 T7, 其栅极电性连接第 N 级下传信号 ST(N), 漏极电性连接第一电路点 P(N), 源极输入第一直流低电压 VSS1; 第八薄膜晶体管 T8, 其栅极电性连接第一电路点 P(N), 漏极电性连接第 N 级下传信号 ST(N), 源极输入第二直流低电压 VSS2; 第一电容 Cst1, 其上极板电性连接第二电路点 S(N), 下极板电性连接第一电路点 P(N)。

所述上拉控制模块 1 包括第九薄膜晶体管 T9, 其栅极输入来自第 N-1 级 GOA 单元的下传信号 ST(N-1), 漏极电性连接于第 N-1 级水平扫描线 G(N-1), 源极电性连接于该第 N 级栅极信号点 Q(N); 所述上拉模块 2 包括第十薄膜晶体管 T10, 其栅极电性连接该第 N 级栅极信号点 Q(N), 漏极输入第一高频时钟信号 CK 或第二高频时钟信号 XCK, 源极电性连接于第 N 级水平扫描线 G(N); 所述下传模块 3 包括第十一薄膜晶体管 T11, 其栅极电性连接该第 N 级栅极信号点 Q(N), 漏极输入第一高频时钟信号 CK 或第

二高频时钟信号 XCK，源极输出第 N 级下传信号 ST(N)；所述第一下拉模块 4 包括第十二薄膜晶体管 T12，其栅极电性连接第 N+2 级水平扫描线 G(N+2)，漏极电性连接于第 N 级水平扫描线 G(N)，源极输入第一直流低电压 VSS1；第十三薄膜晶体管 T13，其栅极电性连接第 N+2 级水平扫描线 G(N+2)，漏极电性连接于该第 N 级栅极信号点 Q(N)，源极输入第一直流低电压 VSS1；所述第一下拉模块 4 中第十二薄膜晶体管 T12 的栅极与第十三薄膜晶体管 T13 的栅极均电性连接第 N+2 级水平扫描线 G(N+2)，主要是为了实现第 N 级栅极信号点 Q(N) 电位呈三个阶段，第一阶段是上升至一个高电位并维持一段时间，第二阶段在第一阶段的基础上又上升一个高电位并维持一段时间，第三阶段在第二阶段的基础上下降到与第一阶段基本持平的高电位，然后利用三个阶段中的第三阶段进行阈值电压的自我补偿；所述自举电容模块 5 包括自举电容 Cb。

所述多级水平扫描线之间的级数是循环的，即当第 N 级水平扫描线 G(N) 中的 N 为最后一级 Last 时，第 N+2 级水平扫描线 G(N+2) 代表第二级水平扫描线 G(2)；当第 N 级水平扫描线 G(N) 中的 N 为倒数第二级 Last-1 时，第 N+2 级水平扫描线 G(N+2) 代表第一级水平扫描线 G(1)，以此类推。

请参阅图 4 并结合图 3，图 4 为本发明具有自我补偿功能的栅极驱动电路单级架构第一级连接关系示意图，即 N 为 1 时的栅极驱动电路连接关系示意图。其中，第五薄膜晶体管 T5 的栅极电性连接于电路启动信号 STV；第九薄膜晶体管 T9 的栅极和漏极均电性连接于电路启动信号 STV。

请参阅图 5 并结合图 3，图 5 为本发明具有自我补偿功能的栅极驱动电路单级架构最后一级连接关系示意图，即 N 为最后一级 Last 时的栅极驱动电路连接关系示意图。其中，第六薄膜晶体管 T6 的栅极电性连接于电路启动信号 STV；第十二薄膜晶体管 T12 的栅极电性连接于第二级水平扫描线 G(2)；第十三薄膜晶体管 T13 的栅极电性连接于第二级水平扫描线 G(2)。

请参阅图 6，为图 3 中采用的下拉维持模块第一实施例的电路图，其中控制信号源仅采用直流信号源 DC。包括：第一薄膜晶体管 T1，其栅极电性连接第一电路点 P(N)，漏极电性连接第 N 级水平扫描线 G(N)，源极输入第一直流低电压 VSS1；第二薄膜晶体管 T2，其栅极电性连接第一电路点 P(N)，漏极电性连接第 N 级栅极信号点 Q(N)，源极输入第一直流低电压 VSS1；第三薄膜晶体管 T3，其采用二极管接法，栅极电性连接直流信号源 DC，漏极电性连接直流信号源 DC，源极电性连接第二电路点 S(N)；第四薄膜晶体管 T4，其栅极电性连接第 N 级栅极信号点 Q(N)，漏极电性连接第二电路点 S(N)，源极输入第一直流低电压 VSS1，第四薄膜晶体管 T4 主

要在作用期间拉低第二电路点 $S(N)$ ，这样就可以实现通过第二电路点 $S(N)$ 来控制第一电路点 $P(N)$ 电位的目的；第五薄膜晶体管 $T5$ ，其栅极电性连接第 $N-1$ 级下传信号 $ST(N-1)$ ，漏极电性连接第一电路点 $P(N)$ ，源极输入第一直流低电压 $VSS1$ ；第六薄膜晶体管 $T6$ ，其栅极电性连接第 $N+1$ 级水平扫描线 $G(N+1)$ ，漏极电性连接第一电路点 $P(N)$ ，源极电性连接第 N 级栅极信号点 $Q(N)$ ，所述第六薄膜晶体管 $T6$ 的控制端第 $N+1$ 级水平扫描线 $G(N+1)$ 也可以替换成接第 $N+1$ 级下传信号 $ST(N+1)$ ，这样也可以降低第六薄膜晶体管 $T6$ 的漏电影响；这样设计的目的就是利用第 N 级栅极信号点 $Q(N)$ 的三个阶段中的第三阶段的电位进行阈值电压的侦测，并将其电位存贮在第一电路点 $P(N)$ ；第七薄膜晶体管 $T7$ ，其栅极电性连接第 N 级下传信号 $ST(N)$ ，漏极电性连接第一电路点 $P(N)$ ，源极输入第一直流低电压 $VSS1$ ；第八薄膜晶体管 $T8$ ，其栅极电性连接第一电路点 $P(N)$ ，漏极电性连接第 N 级下传信号 $ST(N)$ ，源极输入第二直流低电压 $VSS2$ ，所述第八薄膜晶体管 $T8$ 主要负责将第 N 级下传信号 $ST(N)$ 拉低到负电位第二直流低电压 $VSS2$ 。；第一电容 $Cst1$ ，其上极板电性连接第二电路点 $S(N)$ ，下极板电性连接第一电路点 $P(N)$ 。

所述第三薄膜晶体管 $T3$ 栅极电性连接直流信号源 DC ，采用直流信号源 DC 可以降低电路整体的功耗，但是同时也会增加下拉维持模块 6 的电压应力作用。

请参阅图 7a、7b 并结合图 3，图 7a 为阈值电压漂移前图 3 所示的栅极驱动电路时序图，图 7b 为阈值电压漂移后图 3 所示的栅极驱动电路时序图。在图 7a、7b 中， STV 信号是电路启动信号，第一高频时钟信号 CK 与第二高频时钟信号 XCK 是一组相位完全相反的高频时钟信号源， DC 是一个处于高电位的直流信号源， $G(N-1)$ 是第 $N-1$ 级水平扫描线，即前一级的扫描输出信号， $ST(N-1)$ 是第 $N-1$ 级下传信号，即前一级的下传信号， $Q(N-1)$ 是第 $N-1$ 级栅极信号点，即前一级的栅极信号点， $Q(N)$ 是第 N 级栅极信号点，即本级的栅极信号点。

如图 7a、7b 所示，第 N 级栅极信号点 $Q(N)$ 电位呈三个阶段，其中三个阶段中的第三阶段的变化主要受第六薄膜晶体管 $T6$ 的影响。由图 7a 可知，在液晶面板刚点亮的初始时间 $T0$ 时，阈值电压 V_{th} 较小，即栅极驱动电路没经过长期操作时，阈值电压 V_{th} 未发生漂移，第 N 级栅极信号点 $Q(N)$ 的第三阶段电位较低，与之对应的第一电路点 $P(N)$ 的电位也较低。由图 7b 可知，第 N 级栅极信号点 $Q(N)$ 的第三阶段电位在电压应力作用下阈值电压 V_{th} 漂移后随之抬升，这样就可以实现利用该部分来侦测第一薄膜晶体管

T1 与第二薄膜晶体管 T2 的阈值电压的目的。

由图 7a 与 7b 可知图 3 所示栅极驱动电路的工作过程为：第 N+1 级水平扫描线 G(N+1)导通时，第六薄膜晶体管 T6 打开，此时第 N 级栅极信号点 Q(N)与第一电路点 P(N)的电位相同，第二薄膜晶体管 T2 等效成二极管接法，第一电路点 P(N)在第 N 级栅极信号点 Q(N)的第三阶段，可以通过第六薄膜晶体管 T6 存储第一薄膜晶体管 T1 与第二薄膜晶体管 T2 的阈值电压的值，那么，随着阈值电压 V_{th} 的漂移，第 N 级栅极信号点 Q(N)的第三阶段的电位抬升，第一电路点 P(N)存储的阈值电压的电位值也抬升，然后，第二电路点 S(N)再通过第一电容 Cst1 来抬升第一电路点 P(N)，这样就可以补偿阈值电压的变化。

如图 7a、7b 所示，阈值电压漂移前后，第 N 级栅极信号点 Q(N)与第一电路点 P(N)的电位也发生了明显的变化，尤其是第一电路点 P(N)的电位的增加能够有效地降低阈值电压漂移对第一薄膜晶体管 T1 与第二薄膜晶体管 T2 开态电流的影响，从而确保第 N 级水平扫描线 G(N)和第 N 级栅极信号点 Q(N)能够在长期操作后，依然很好地维持在低电位状态。

如果第一薄膜晶体管 T1 与第二薄膜晶体管 T2 的阈值电压 V_{th} 发生正向的漂移，逐渐变大的话，第六薄膜晶体管 T6 就会存储一个较高的阈值电压值到第一电路点 P(N)，那么，在自举抬升之后第一电路点 P(N)的电位会变得更高，这样就可以补偿阈值电压 V_{th} 增加带来的负面效果，实现下拉维持模块自我补偿的作用，可以有效地提高下拉维持模块的可靠性；而且采用这种自我补偿式的双下拉维持模块设计，可以不需要设计两个交替工作的模块，仅设计一个由直流信号源控制的下拉维持模块即可，这样即可以降低功耗，又可以节省版图设计空间。

请参阅图 8 并结合图 6，图 8 为图 3 采用的下拉维持模块第二实施例的电路图。图 8 是在图 6 的基础上增加一个第二电容 Cst2，其上极板电性连接第一电路点 P(N)，下极板输入第一直流低电压 VSS1，第二电容 Cst2 的主要作用就是存储阈值电压。由于第一薄膜晶体管 T1 与第二薄膜晶体管 T2 本身存在一定的寄生电容，可以起到第二电容 Cst2 的作用，因此，在实际电路设计中第二电容 Cst2 可以去掉。

请参阅图 9 并结合图 6，图 9 为图 3 采用的下拉维持模块第三实施例的电路图。图 9 是在图 6 的基础上增加一个第十四薄膜晶体管 T14，其栅极电性连接第 N+1 级水平扫描线 G(N+1)，漏极电性连接第二电路点 S(N)，源极输入第一直流低电压 VSS1；该第十四薄膜晶体管 T14 的主要目的是弥补第 N 级栅极信号点 Q(N)第一阶段电位不高，而导致的第二电路点 S(N)作用

期间电位下拉不够低。

请参阅图 10 并结合图 6, 图 10 为图 3 采用的下拉维持模块第四实施例的电路图。图 10 是在图 6 的基础上增加: 第二电容 Cst2, 其上极板电性连接第一电路点 P(N), 下极板输入第一直流低电压 VSS1; 第十四薄膜晶体管 T14, 其栅极电性连接第 N+1 级水平扫描线 G(N+1), 漏极电性连接第二电路点 S(N), 源极输入第一直流低电压 VSS1。

图 3 所示的栅极驱动电路单级架构中下拉维持模块 6 可以替换为图 6、图 8、图 9、图 10 中的任意一种下拉维持模块设计方案, 其替换后的栅极驱动电路时序图与图 7a、图 7b 相同, 其工作过程与图 3 所示的栅极驱动电路相同, 因此不再赘述。

综上所述, 本发明提供一种具有自我补偿功能的栅极驱动电路, 针对现有栅极驱动电路架构中下拉维持模块受到电压应力严重、最容易失效的问题, 利用电容的自举作用来控制下拉维持模块的第一电路点 P(N), 设计能够检测薄膜晶体管阈值电压的功能, 并将阈值电压存贮在第一电路点 P(N), 进而实现第一电路点 P(N) 的控制电压随着薄膜晶体管的阈值电压漂移而变化。本发明通过设计具有自我补偿功能的下拉维持模块来提高栅极驱动电路长期操作的可靠性, 降低阈值电压漂移对栅极驱动电路运作的影响; 还可以设计成直接由一组直流信号源 DC 控制的下拉维持模块, 既可以节省电路版图设计空间, 又可以降低电路的整体功耗。

以上所述, 对于本领域的普通技术人员来说, 可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形, 而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种具有自我补偿功能的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，该第 N 级 GOA 单元包括：上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、及下拉维持模块；所述上拉模块、第一下拉模块、自举电容模块、下拉维持电路分别与第 N 级栅极信号点和该第 N 级水平扫描线电性连接，所述上拉控制模块与下传模块分别与该第 N 级栅极信号点电性连接，所述下拉维持模块输入第一直流低电压及第二直流低电压；

10 所述下拉维持模块包括：第一薄膜晶体管，其栅极电性连接第一电路点，漏极电性连接第 N 级水平扫描线，源极输入第一直流低电压；第二薄膜晶体管，其栅极电性连接第一电路点，漏极电性连接第 N 级栅极信号点，源极输入第一直流低电压；第三薄膜晶体管，其栅极电性连接直流信号源，漏极电性连接直流信号源，源极电性连接第二电路点；第四薄膜晶体管，其栅极电性连接第 N 级栅极信号点，漏极电性连接第二电路点，源极输入第一直流低电压；第五薄膜晶体管，其栅极电性连接第 N-1 级下传信号，漏极电性连接第一电路点，源极输入第一直流低电压；第六薄膜晶体管，其栅极电性连接第 N+1 级水平扫描线，漏极电性连接第一电路点，源极电性连接第 N 级栅极信号点；第七薄膜晶体管，其栅极电性连接第 N 级下传信号，漏极电性连接第一电路点，源极输入第一直流低电压；第八薄膜晶体管，其栅极电性连接第一电路点，漏极电性连接第 N 级下传信号，源极输入第二直流低电压；第一电容，其上极板电性连接第二电路点，下极板电性连接第一电路点。

25 2、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述上拉控制模块包括第九薄膜晶体管，其栅极输入来自第 N-1 级 GOA 单元的下传信号，漏极电性连接于第 N-1 级水平扫描线，源极电性连接于该第 N 级栅极信号点；所述上拉模块包括第十薄膜晶体管，其栅极电性连接该第 N 级栅极信号点，漏极输入第一高频时钟信号或第二高频时钟信号，源极电性连接于第 N 级水平扫描线；所述下传模块包括第十一薄膜晶体管，其栅极电性连接该第 N 级栅极信号点，漏极输入第一高频时钟信号或第二高频时钟信号，源极输出第 N 级下传信号；所述第一下拉模块包括第十二薄膜晶体管，其栅极电性连接第 N+2 级水平扫描线，漏极电性连接于第 N 级水平扫描线，源极输入第一直流低电压；第十三薄膜晶体管，其栅极电

性连接第 N+2 级水平扫描线，漏极电性连接于该第 N 级栅极信号点，源极输入第一直流低电压；所述自举电容模块包括自举电容。

3、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述栅极驱动电路的第一级连接关系中，第五薄膜晶体管的栅极电性连接于电路启动信号；第九薄膜晶体管的栅极和漏极均电性连接于电路启动信号。

4、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述栅极驱动电路的最后一级连接关系中，第六薄膜晶体管的栅极电性连接于电路启动信号；第十二薄膜晶体管的栅极电性连接于第二级水平扫描线；第十三薄膜晶体管的栅极电性连接于第二级水平扫描线。

5、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述下拉维持模块还包括：第二电容，其上极板电性连接第一电路点，下极板输入第一直流低电压。

6、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述下拉维持模块还包括：第十四薄膜晶体管，其栅极电性连接第 N+1 级水平扫描线，漏极电性连接第二电路点，源极输入第一直流低电压。

7、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述下拉维持模块还包括：第二电容，其上极板电性连接第一电路点，下极板输入直流低电压；第十四薄膜晶体管，其栅极电性连接第 N+1 级水平扫描线，漏极电性连接第二电路点，源极输入第一直流低电压。

8、如权利要求 2 所述的具有自我补偿功能的栅极驱动电路，其中，所述第一高频时钟信号与第二高频时钟信号是两个相位完全相反的高频时钟信号源。

9、如权利要求 2 所述的具有自我补偿功能的栅极驱动电路，其中，所述第一下拉模块中第十二薄膜晶体管的栅极与第十三薄膜晶体管的栅极均电性连接第 N+2 级水平扫描线，主要为了实现第 N 级栅极信号点电位呈三个阶段，第一阶段是上升至一个高电位并维持一段时间，第二阶段在第一阶段的基础上又上升一个高电位并维持一段时间，第三阶段在第二阶段的基础上下降到与第一阶段基本持平的高电位，然后利用三个阶段中的第三阶段进行阈值电压的自我补偿。

10、如权利要求 9 所述的具有自我补偿功能的栅极驱动电路，其中，所述第 N 级栅极信号点电位呈三个阶段，其中第三阶段的变化主要受第六薄膜晶体管的影响。

11、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述第六薄膜晶体管的栅极可以电性连接于第 N+1 级下传信号。

12、如权利要求 1 所述的具有自我补偿功能的栅极驱动电路，其中，所述第二直流低电压为负压源，该第二直流低电压的电位低于第一直流低电压。

13、一种具有自我补偿功能的栅极驱动电路，包括：级联的多个 GOA
5 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，该第 N 级 GOA 单元包括：上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、及下拉维持模块；所述上拉模块、第一下拉模块、自举电容模块、下拉维持电路分别与第 N 级栅极信号点和该第 N 级水平扫描线电性连接，所述上拉控制模块与下传模块分别与该第 N 级栅极信号点电
10 性连接，所述下拉维持模块输入第一直流低电压及第二直流低电压；

所述下拉维持模块包括：第一薄膜晶体管，其栅极电性连接第一电路点，漏极电性连接第 N 级水平扫描线，源极输入第一直流低电压；第二薄膜晶体管，其栅极电性连接第一电路点，漏极电性连接第 N 级栅极信号点，源极输入第一直流低电压；第三薄膜晶体管，其栅极电性连接直流信号源，漏极电性连接直流信号源，源极电性连接第二电路点；第四薄膜晶体管，
15 其栅极电性连接第 N 级栅极信号点，漏极电性连接第二电路点，源极输入第一直流低电压；第五薄膜晶体管，其栅极电性连接第 N-1 级下传信号，漏极电性连接第一电路点，源极输入第一直流低电压；第六薄膜晶体管，其栅极电性连接第 N+1 级水平扫描线，漏极电性连接第一电路点，源极电性连接第 N 级栅极信号点；第七薄膜晶体管，其栅极电性连接第 N 级下传信号，漏极电性连接第一电路点，源极输入第一直流低电压；第八薄膜晶体管，其栅极电性连接第一电路点，漏极电性连接第 N 级下传信号，源极输入第二直流低电压；第一电容，其上极板电性连接第二电路点，下极板电性连接第一电路点；

25 其中，所述上拉控制模块包括第九薄膜晶体管，其栅极输入来自第 N-1 级 GOA 单元的下传信号，漏极电性连接于第 N-1 级水平扫描线，源极电性连接于该第 N 级栅极信号点；所述上拉模块包括第十薄膜晶体管，其栅极电性连接该第 N 级栅极信号点，漏极输入第一高频时钟信号或第二高频时钟信号，源极电性连接于第 N 级水平扫描线；所述下传模块包括第十一薄膜晶体管，其栅极电性连接该第 N 级栅极信号点，漏极输入第一高频时钟信号或第二高频时钟信号，源极输出第 N 级下传信号；所述第一下拉模块包括第十二薄膜晶体管，其栅极电性连接第 N+2 级水平扫描线，漏极电性连接于第 N 级水平扫描线，源极输入第一直流低电压；第十三薄膜晶体管，其栅极电性连接第 N+2 级水平扫描线，漏极电性连接于该第 N 级栅极信号
30

点，源极输入第一直流低电压；所述自举电容模块包括自举电容；

其中，所述栅极驱动电路的第一级连接关系中，第五薄膜晶体管的栅极电性连接于电路启动信号；第九薄膜晶体管的栅极和漏极均电性连接于电路启动信号。

5 其中，所述栅极驱动电路的最后一级连接关系中，第六薄膜晶体管的栅极电性连接于电路启动信号；第十二薄膜晶体管的栅极电性连接于第二级水平扫描线；第十三薄膜晶体管的栅极电性连接于第二级水平扫描线；

其中，所述第一高频时钟信号与第二高频时钟信号是两个相位完全相反的高频时钟信号源；

10 其中，所述第一下拉模块中第十二薄膜晶体管的栅极与第十三薄膜晶体管的栅极均电性连接第 $N+2$ 级水平扫描线，主要为了实现第 N 级栅极信号点电位呈三个阶段，第一阶段是上升至一个高电位并维持一段时间，第二阶段在第一阶段的基础上又上升一个高电位并维持一段时间，第三阶段在第二阶段的基础上下降到与第一阶段基本持平的高电位，然后利用三个阶段中的第三阶段进行阈值电压的自我补偿；

15 其中，所述第 N 级栅极信号点电位呈三个阶段，其中第三阶段的变化主要受第六薄膜晶体管的影响；

其中，所述第六薄膜晶体管的栅极可以电性连接于第 $N+1$ 级下传信号；

20 其中，所述第二直流低电压为负压源，该第二直流低电压的电位低于第一直流低电压。

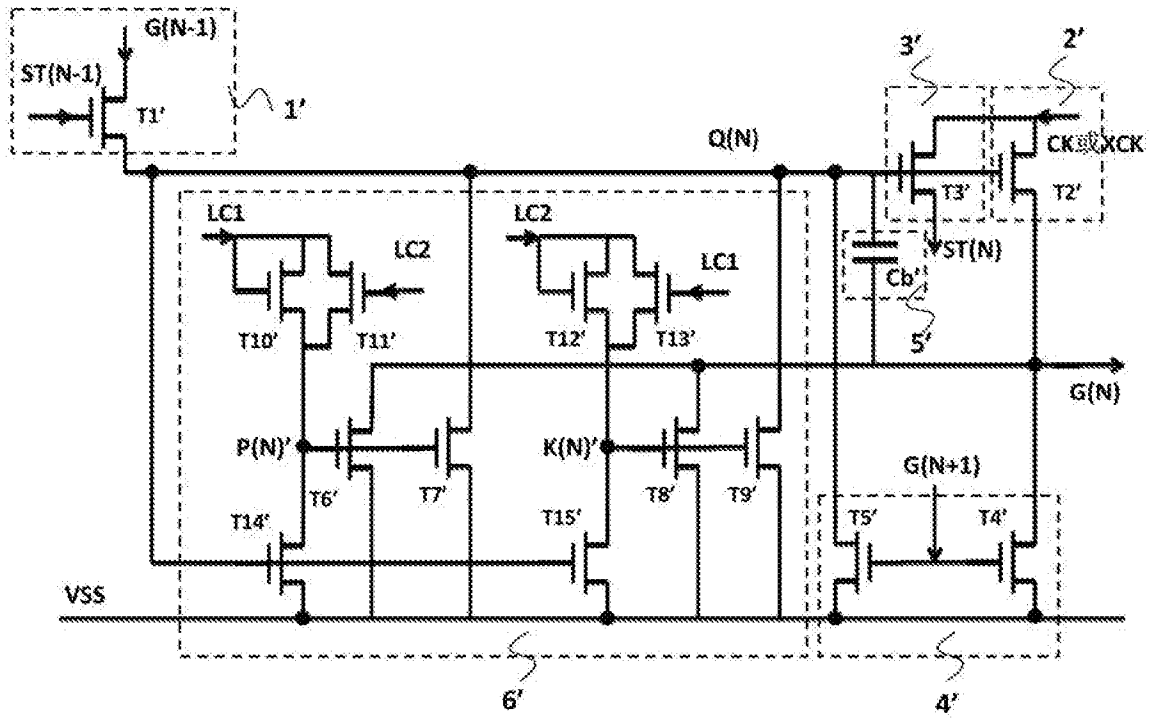


图 1

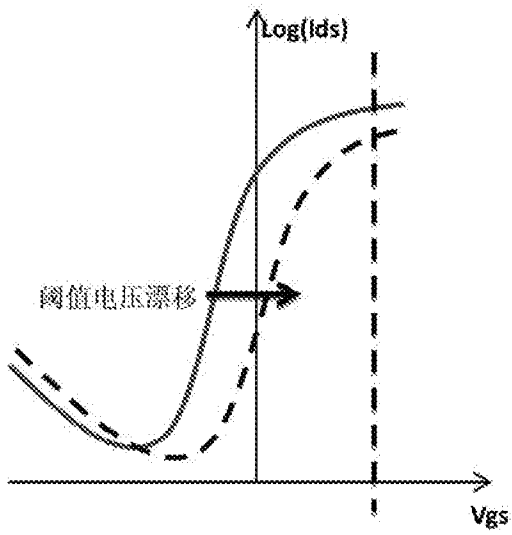


图 2a

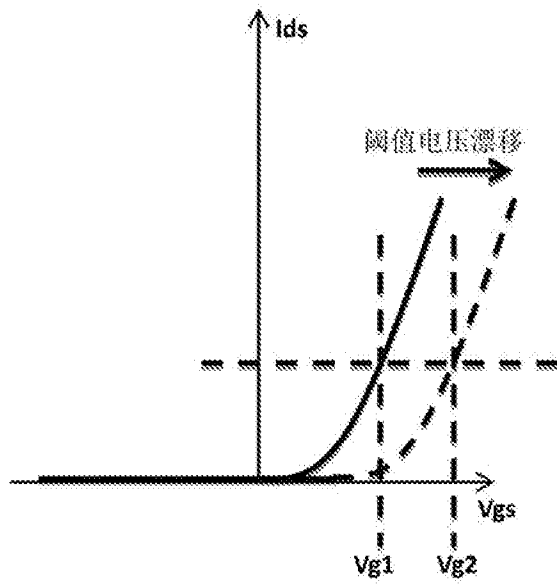


图 2b

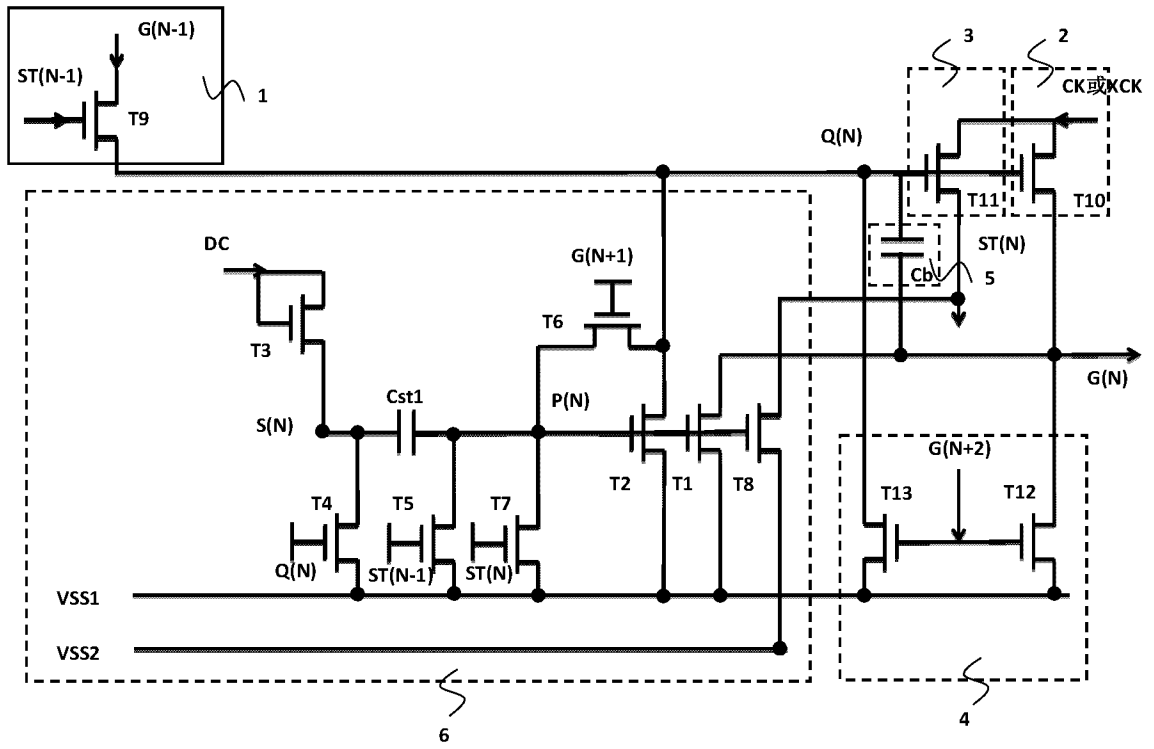


图 3

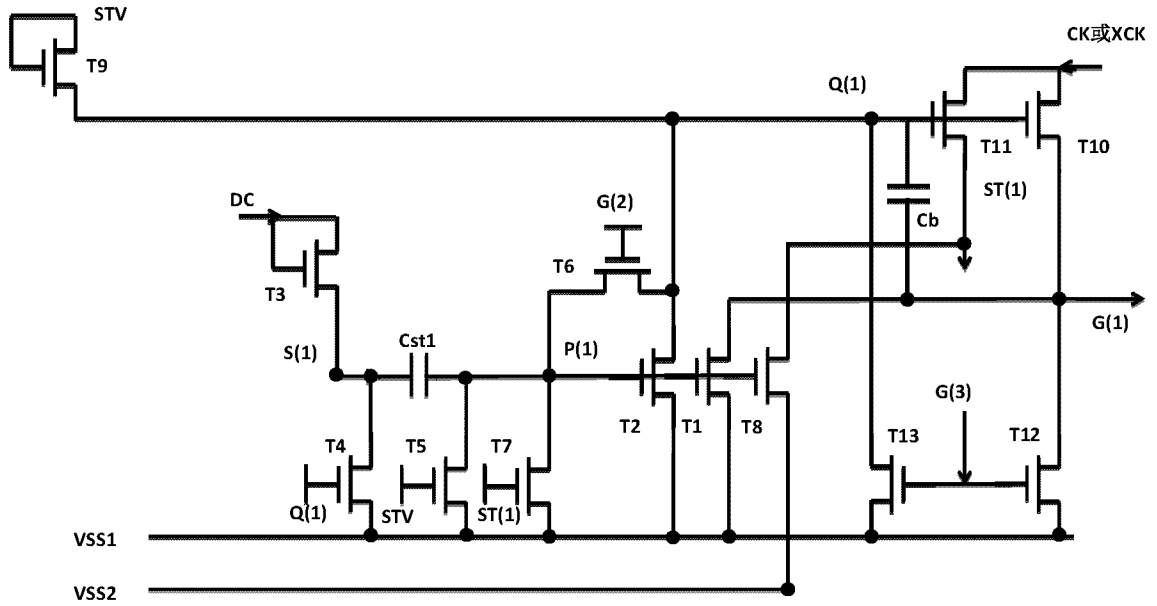


图 4

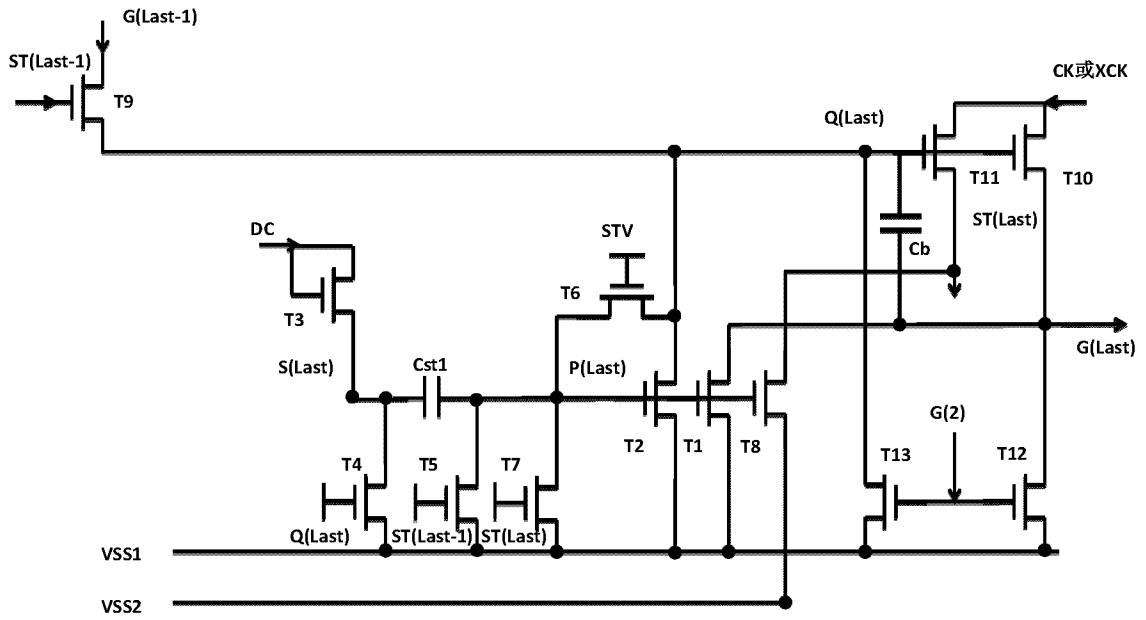


图 5

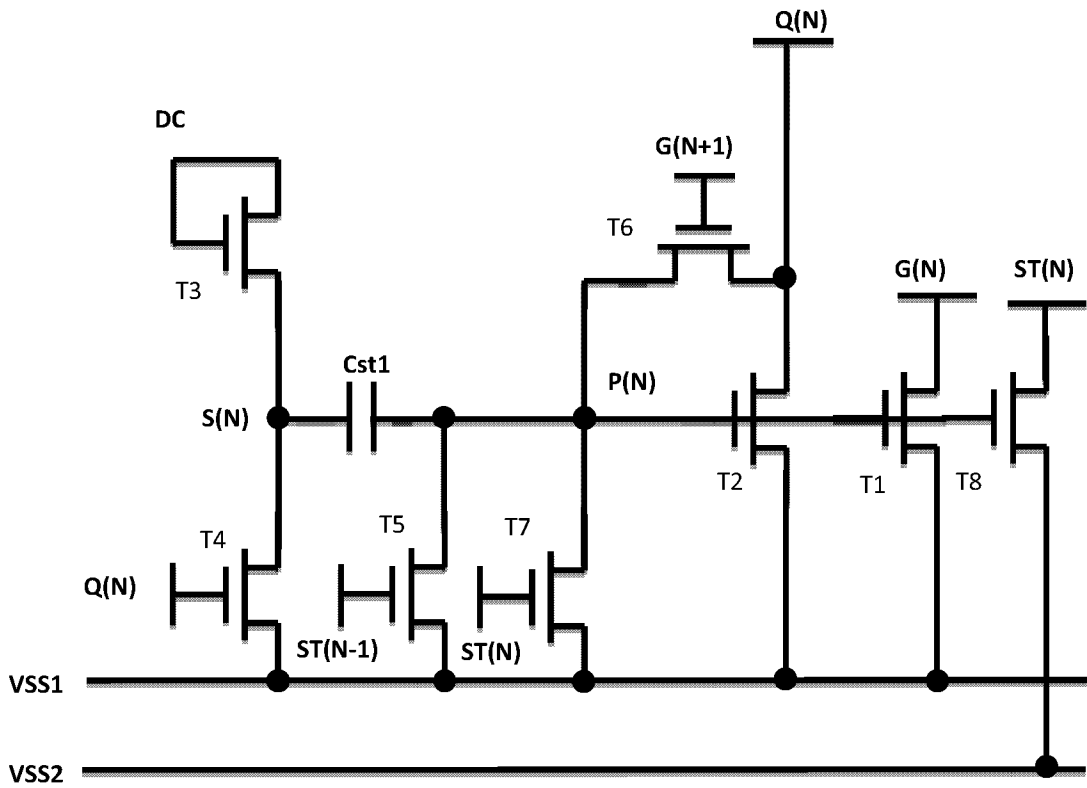


图 6

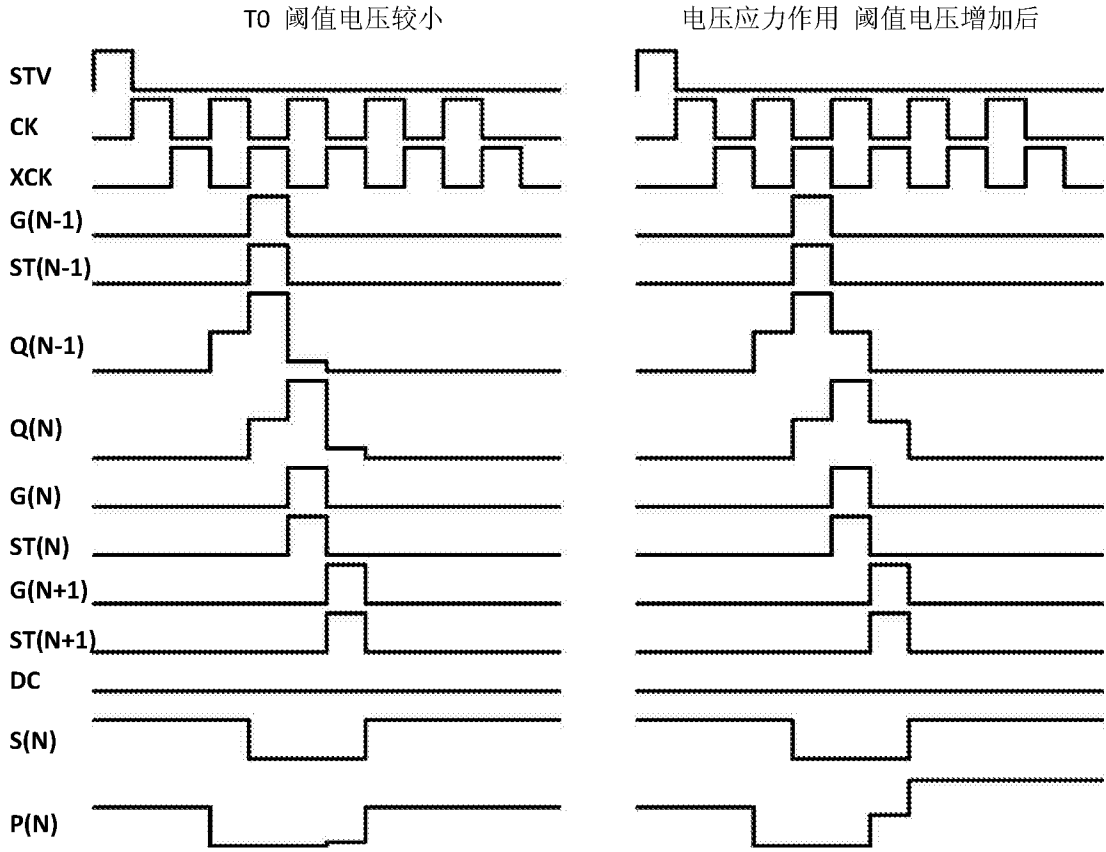


图 7a

图 7b

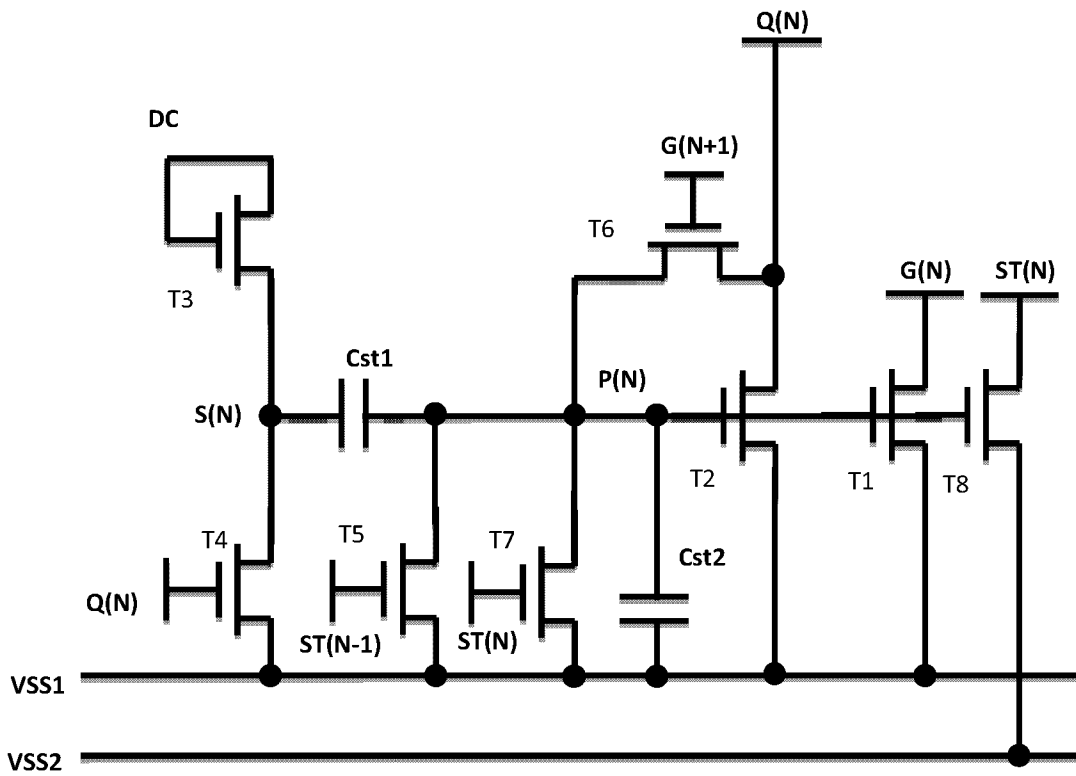


图 8

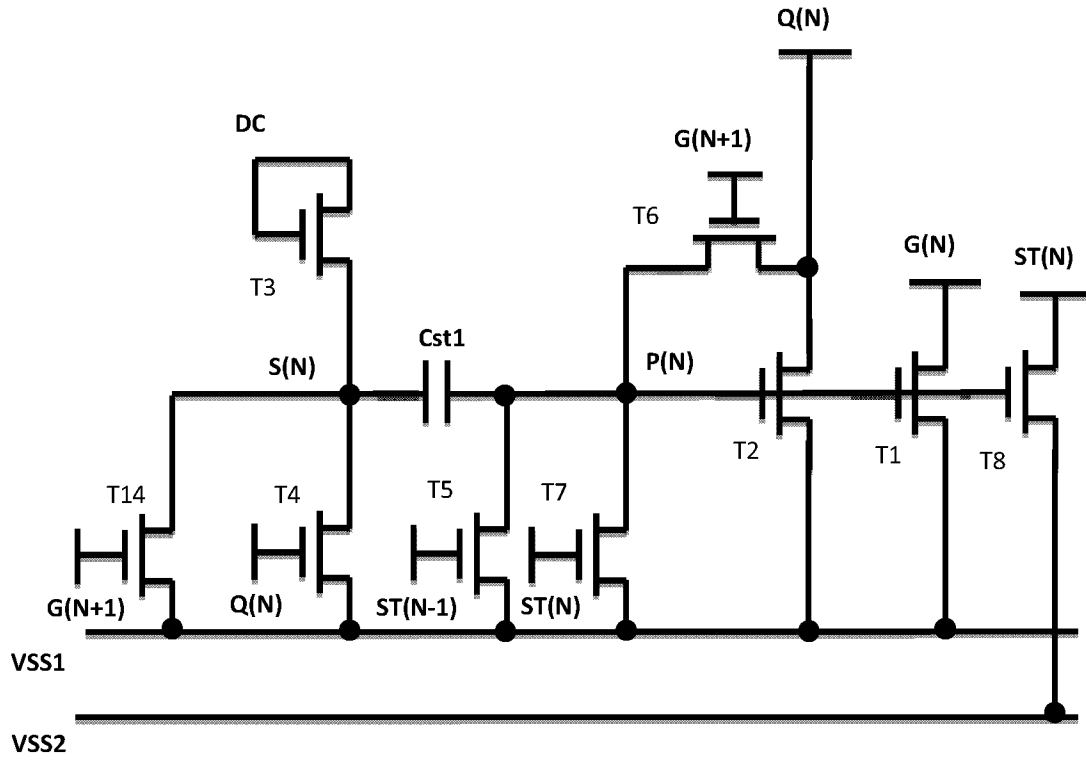


图 9

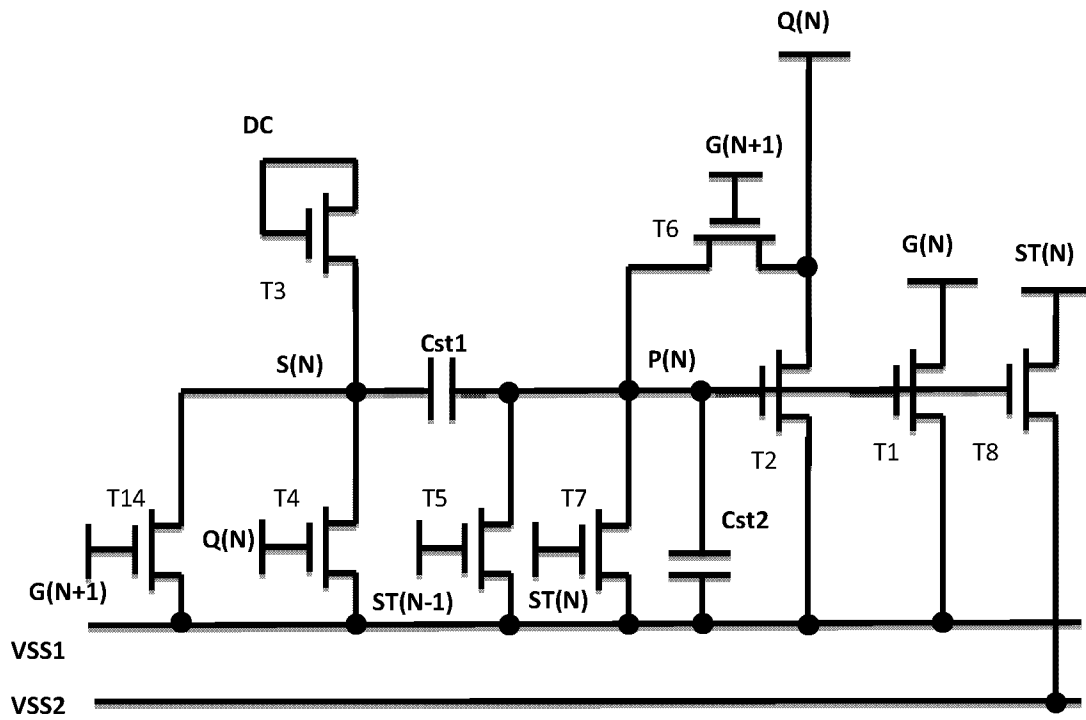


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/084342

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006. 01) i; G02F 1/133 (2006. 01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, SIPOABS, VEN, ISI, GOOGLE, IEEE: shenzhen china star optoelectronics technology co. , ltd, dai chao, GOV, gate w driver, grid, driv+, array, TFT, thin w film, transistor, cascaded, pull w upward, pull w downward, maintain+, bootstrap, capacitor, scan+ w line, compensat+, threshold, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103928009 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) 16 July 2014 (16.07.2014) description, paragraphs [0006]-[0017], [0039]-[0057], and figures 2 and 3A	1-13
A	CN 103745700 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) 23 April 2014 (23.04.2014) the whole document	1-13
A	CN 102109696 A (AU OPTRONICS CORP.) 29 June 2011 (29.06.2011) the whole document	1-13
A	CN 102184719 A (AU OPTRONICS CORP.) 14 September 2011 (14.09.2011) the whole document	1-13
A	CN 102945650 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD et al.) 27 February 2013 (27.02.2013) the whole document	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&”document member of the same patent family</p>
---	--

Date of the actual completion of the international search
30 March 2015

Date of mailing of the international search report
22 April 2015

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer

YANG, Bin

Telephone No. (86-10) 62413474

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/084342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102915714 A (BOE TECHNOLOGY GROUP CO., LTD et al.) 6 February 2013 (06.02.2013) the whole document	1-13
A	US 2011115775 A1 (KI SEMICONDUCTOR CO., LTD.) 19 May 2011 (19.05.2011) the whole document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/084342

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103928009 A	16 July 2014	None	
CN 103745700 A	23 April 2014	None	
CN 102109696 A	29 June 2011	CN 102109696 B	3 April 2013
		TW 201227699 A	1 July 2012
		TWI 421849 B	1 January 2014
		US 2012169679 A1	5 July 2012
		US 8890790 B2	18 November 2014
CN 102184719 A	14 September 2011	CN 102184719 B	7 November 2012
		US 2012153996 A1	21 June 2012
		TW 201227655 A	1 July 2012
		TWI 426486 B	11 February 2014
CN 102945650 A	27 February 2013	US 20141 19493 A1	1 May 2014
CN 102915714 A	6 February 2013	US 2014104152 A1	17 April 2014
US 2011115775 A1	19 May 2011	US 8723757 B2	13 May 2014
		JP 2011107338 A	2 June 2011
		JP 5431125 B2	5 March 2014

<p>A. 主题的分类</p> <p>G09G 3/36(2006.01)i; G02F 1/133(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G;G02F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPDOC, CNKI, SIPOABS, VEN, ISI, GOOGLE, IEEE, 深圳市华星光电技术有限公司, 戴超, 栅极, 驱动, 阵列基板, 薄膜晶体管, 级联, 上拉, 下传, 保持, 自举, 电容, 扫描线, 补偿, 阈值, 电压, GOV, gate w driver, grid, driv+, array, TFT, thin w film, transistor, cascaded, pull w upward, pull w downward, maintain+, bootstrap, capacitor, scan+ w line, compensat+, threshold, voltage</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103928009 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0006-0017, 0039-0057段、图2, 3A</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102109696 A (友达光电股份有限公司) 2011年 6月 29日 (2011 - 06 - 29) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102184719 A (友达光电股份有限公司) 2011年 9月 14日 (2011 - 09 - 14) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102945650 A (合肥京东方光电科技有限公司 等) 2013年 2月 27日 (2013 - 02 - 27) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102915714 A (京东方科技集团股份有限公司 等) 2013年 2月 6日 (2013 - 02 - 06) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 103928009 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0006-0017, 0039-0057段、图2, 3A	1-13	A	CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 全文	1-13	A	CN 102109696 A (友达光电股份有限公司) 2011年 6月 29日 (2011 - 06 - 29) 全文	1-13	A	CN 102184719 A (友达光电股份有限公司) 2011年 9月 14日 (2011 - 09 - 14) 全文	1-13	A	CN 102945650 A (合肥京东方光电科技有限公司 等) 2013年 2月 27日 (2013 - 02 - 27) 全文	1-13	A	CN 102915714 A (京东方科技集团股份有限公司 等) 2013年 2月 6日 (2013 - 02 - 06) 全文	1-13
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 103928009 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0006-0017, 0039-0057段、图2, 3A	1-13																					
A	CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 全文	1-13																					
A	CN 102109696 A (友达光电股份有限公司) 2011年 6月 29日 (2011 - 06 - 29) 全文	1-13																					
A	CN 102184719 A (友达光电股份有限公司) 2011年 9月 14日 (2011 - 09 - 14) 全文	1-13																					
A	CN 102945650 A (合肥京东方光电科技有限公司 等) 2013年 2月 27日 (2013 - 02 - 27) 全文	1-13																					
A	CN 102915714 A (京东方科技集团股份有限公司 等) 2013年 2月 6日 (2013 - 02 - 06) 全文	1-13																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2015年 3月 30日</p>		<p>国际检索报告邮寄日期</p> <p>2015年 4月 22日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>杨彬</p> <p>电话号码 (86-10)62413474</p>																					

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2011115775 A1 (KI SEMICONDUCTOR CO., LTD.) 2011年 5月 19日 (2011 - 05 - 19) 全文	1-13

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/084342

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103928009	A	2014年 7月 16日	无	
CN	103745700	A	2014年 4月 23日	无	
CN	102109696	A	2011年 6月 29日	CN	102109696 B 2013年 4月 3日
				TW	201227699 A 2012年 7月 1日
				TW	1421849 B 2014年 1月 1日
				US	2012169679 A1 2012年 7月 5日
				US	8890790 B2 2014年 11月 18日
CN	102184719	A	2011年 9月 14日	CN	102184719 B 2012年 11月 7日
				US	2012153996 A1 2012年 6月 21日
				TW	201227655 A 2012年 7月 1日
				TW	1426486 B 2014年 2月 11日
CN	102945650	A	2013年 2月 27日	US	2014119493 A1 2014年 5月 1日
CN	102915714	A	2013年 2月 6日	US	2014104152 A1 2014年 4月 17日
US	2011115775	A1	2011年 5月 19日	US	8723757 B2 2014年 5月 13日
				JP	2011107338 A 2011年 6月 2日
				JP	5431125 B2 2014年 3月 5日