

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月15日(15.02.2018)



(10) 国際公開番号

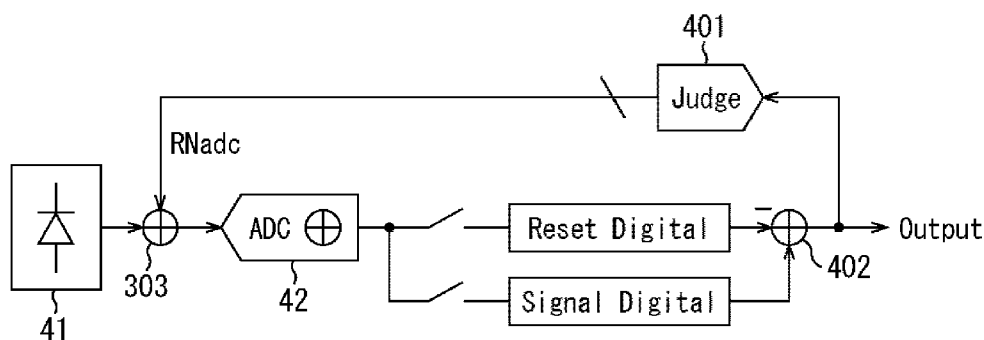
WO 2018/030137 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/32 (2006.01)
H01L 27/146 (2006.01) H04N 5/33 (2006.01)
H03M 1/08 (2006.01) H04N 5/357 (2011.01)
H03M 1/56 (2006.01) H04N 5/3745 (2011.01)
- (21) 国際出願番号: PCT/JP2017/026765
- (22) 国際出願日: 2017年7月25日(25.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-155291 2016年8月8日(08.08.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 榊原 雅樹 (SAKAKIBARA Masaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: IMAGE CAPTURING DEVICE AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 撮像装置、電子機器

FIG. 10



(57) **Abstract:** The present technology relates to an image capturing device and an electronic instrument which enable a reduction in noise. The image capturing device is provided with: a photoelectric conversion element; a converting unit which converts a signal from the photoelectric conversion element into a digital signal; and a control unit which controls a current flowing into an analog circuit on the basis of an output signal from the converting unit. The converting unit uses a slope signal having a level which decreases monotonically over time to convert the signal from the photoelectric conversion element into the digital signal. The control unit effects control to increase or decrease the current flowing into the analog circuit if the level of the output signal is high. This technology is applicable, for example, to image capturing devices.

(57) 要約: 本技術は、ノイズを低減させることができるようにする撮像装置、電子機器に関する。光電変換素子と、光電変換素子からの信号をデジタル信号に変換する変換部と、変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部とを備える。変換部は、時間経過に応じてレベルが単調減少するスロープ信号を用いて、光電変換素子からの信号をデジタル信号に変換する。制御部は、出力信号のレベルが大きい場合、アナログ回路に流す電流を増減させる制御を行う。本技術は、例えば、撮像装置に適用できる。

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：撮像装置、電子機器

技術分野

[0001] 本技術は撮像装置、電子機器に関し、ノイズレベルを適応的に可変し、画質を向上させた画像を撮像できるようにした撮像装置、電子機器に関する。

背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの撮像素子が使用されている。

[0003] 撮像素子は、光電変換を行うPD (photodiode: フォトダイオード) と複数のトランジスタとが組み合わされた画素を有しており、平面的に配置された複数の画素から出力される画素信号に基づいて画像が構築される。また、画素から出力される画素信号は、例えば、画素の列毎に配置された複数のAD (Analog to Digital) 変換器によって並列的にAD変換されて出力される。

[0004] 特許文献1では、消費電力の低減とランダムノイズの低減を図った撮像装置について提案されている。

先行技術文献

特許文献

[0005] 特許文献1: 特開2007-151170号公報

発明の概要

発明が解決しようとする課題

[0006] 撮像素子のノイズレベルは、熱ノイズ、 $1/f$ ノイズ、量子化ノイズで規定される。熱ノイズを低減するために、回路のgmを向上させることが考えられるが、アナログ回路で消費する電流を増加させることにつながり、電力が増加してしまう可能性があった。

[0007] また $1/f$ ノイズは、電流にも感度があるが、主に面積とプロセスにより決まり、これらの対策はコスト増につながってしまう可能性があった。量子化ノイズは、A/D変換器の分解能で一意に決定されるが、低照度では、撮像素子自体のランダムノイズと、A/D変換器の量子化ノイズで規定され、ランダムノイズの熱ノイズと $1/f$ ノイズは、アナログ回路で消費する電流量に依存してしまう。

[0008] 本技術は、このような状況に鑑みてなされたものであり、アナログ回路で消費する電流を、A/D変換された出力信号から、適応的に可変調整することで高照度時に低電力、低照度時に低ノイズを実現することができるようにするものである。

課題を解決するための手段

[0009] 本技術の一側面の撮像装置は、光電変換素子と、前記光電変換素子からの信号をデジタル信号に変換する変換部と、前記変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部とを備える。

[0010] 本技術の一側面の電子機器は、光電変換素子と、前記光電変換素子からの信号をデジタル信号に変換する変換部と、前記変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部とを備える撮像装置を含む電子機器。

[0011] 本技術の一側面の撮像装置においては、光電変換素子と、光電変換素子からの信号をデジタル信号に変換する変換部と、変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部とが備えられる。

[0012] 本技術の一側面の電子機器は、前記撮像装置を含む構成とされている。

[0013] なお、撮像装置、電子機器は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

[0014] 本技術の一側面によれば、アナログ回路で消費する電流を、A/D変換された出力信号から、適応的に可変調整することで高照度時に低電力、低照度時に低ノイズを実現することができる。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本開示に係る撮像装置の概略構成を示す図である。

[図2]画素の詳細構成例を示すブロック図である。

[図3]比較回路の詳細構成例を示すブロック図である。

[図4]画素回路の詳細構成について説明する図である。

[図5]画素の動作について説明するタイミングチャートである。

[図6]ノイズを含む回路の構成について説明するための図である。

[図7]ノイズを含む回路の構成について説明するための図である。

[図8]ノイズを含む回路の構成について説明するための図である。

[図9]ノイズを含む回路の構成について説明するための図である。

[図10]判定部を含む回路の構成について説明するための図である。

[図11]判定部の構成について説明するための図である。

[図12]バイアス回路の構成について説明するための図である。

[図13]D A Cの構成について説明するための図である。

[図14]D A Cから出力される信号の波形について説明するための図である。

[図15]バイアス回路とD A Cの構成について説明するための図である。

[図16]制御のタイミングについて説明するための図である。

[図17]画素共有の場合の比較回路の構成例を示す回路図である。

[図18]制御のタイミングについて説明するための図である。

[図19]2枚の半導体基板を積層することで撮像装置を構成する概念図である。

[図20]2枚の半導体基板で撮像装置を構成する場合の回路構成例を示す図である。

[図21]3枚の半導体基板を積層することで撮像装置を構成する概念図である。

[図22]3枚の半導体基板で撮像装置を構成する場合の回路構成例を示す図で

ある。

[図23]判定部を含む回路の他の構成について説明するための図である。

[図24]判定部を含む回路の他の構成について説明するための図である。

[図25]判定部を含む回路の他の構成について説明するための図である。

[図26]判定部を含む回路の他の構成について説明するための図である。

[図27]本開示に係る電子機器としての撮像装置の構成例を示すブロック図である。

[図28]体内情報取得システムの概略的な構成の一例を示すブロック図である。

[図29]内視鏡手術システムの概略的な構成の一例を示す図である。

[図30]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図31]車両制御システムの概略的な構成例を示すブロック図である。

[図32]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0017] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0018] <撮像装置の概略構成例>

図1は、本開示に係る撮像装置の概略構成を示している。

[0019] 図1の撮像装置1は、半導体として例えばシリコン(Si)を用いた半導体基板11に、画素21が2次元アレイ状に配列された画素アレイ部22を有する。画素アレイ部22には、時刻コード発生部26で生成された時刻コードを各画素21に転送する時刻コード転送部23も設けられている。そして、半導体基板11上の画素アレイ部22の周辺には、画素駆動回路24、DAC(D/A Converter)25、時刻コード発生部26、垂直駆動回路27、出力部28、及びタイミング生成回路29が形成されている。

[0020] 2次元アレイ状に配列された画素21のそれぞれには、図2を参照して後述するように、画素回路41とADC42が設けられており、画素21は、画素内の受光素子（例えば、フォトダイオード）で受光した光量に応じた電

荷信号を生成し、デジタルの画素信号SIGに変換して出力する。

- [0021] 画素駆動回路24は、画素21内の画素回路41（図2）を駆動する。DAC25は、時間経過に応じてレベル（電圧）が単調減少するスロープ信号である参照信号（基準電圧信号）REFを生成する生成部として機能し、生成した参照信号REFを、各画素21に供給する。時刻コード発生部26は、各画素21が、アナログの画素信号SIGをデジタルの信号に変換（AD変換）する際に使用される時刻コードを生成し、対応する時刻コード転送部23に供給する。
- [0022] 時刻コード発生部26は、画素アレイ部22に対して複数個設けられており、画素アレイ部22内には、時刻コード発生部26に対応する数だけ、時刻コード転送部23が設けられている。即ち、時刻コード発生部26と、そこで生成された時刻コードを転送する時刻コード転送部23は、1対1に対応する。
- [0023] 垂直駆動回路27は、画素21内で生成されたデジタルの画素信号SIGを、タイミング生成回路29から供給されるタイミング信号に基づいて、所定の順番で出力部28に出力させる制御を行う。画素21から出力されたデジタルの画素信号SIGは、出力部28から撮像装置1の外部へ出力される。出力部28は、黒レベルを補正する黒レベル補正処理やCDS(Correlated Double Sampling；相関2重サンプリング)処理など、所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。
- [0024] タイミング生成回路29は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、生成した各種のタイミング信号を、画素駆動回路24、DAC25、垂直駆動回路27等に供給する。
- [0025] 撮像装置1は、以上のように構成されている。なお、図1では、上述したように、撮像装置1を構成する全ての回路が、1つの半導体基板11上に形成されるように説明したが、後述するように、撮像装置1を構成する回路を複数枚の半導体基板11に分けて配置する構成とすることもできる。
- [0026] <画素の詳細構成例>

図2は、画素21の詳細構成例を示すブロック図である。

[0027] 画素21は、画素回路41とADC（AD変換器）42で構成されている。

[0028] 画素回路41は、受光した光量に応じた電荷信号をアナログの画素信号SIGとしてADC42に出力する。ADC42は、画素回路41から供給されたアナログの画素信号SIGをデジタル信号に変換する。

[0029] ADC42は、比較回路51とデータ記憶部52で構成される。

[0030] 比較回路51は、DAC25から供給される参照信号REFと画素信号SIGを比較し、比較結果を表す比較結果信号として、出力信号VC0を出力する。比較回路51は、参照信号REFと画素信号SIGが同一（の電圧）になったとき、出力信号VC0を反転させる。

[0031] 比較回路51は、差動入力回路61、電圧変換回路62、及び正帰還回路（PFB:positive feedback）63により構成されるが、詳細は図3を参照して後述する。

[0032] データ記憶部52には、比較回路51から出力信号VC0が入力される他、垂直駆動回路27から、画素信号の書き込み動作であることを表すWR信号、画素信号の読み出し動作であることを表すRD信号、及び、画素信号の読み出し動作中における画素21の読み出しタイミングを制御するWORD信号が、垂直駆動回路27から供給される。また、時刻コード転送部23を介して、時刻コード発生部26で生成された時刻コードも供給される。

[0033] データ記憶部52は、WR信号及びRD信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路71と、時刻コードを記憶するラッチ記憶部72で構成される。

[0034] ラッチ制御回路71は、時刻コードの書き込み動作においては、比較回路51からHi（High）の出力信号VC0が入力されている間、時刻コード転送部23から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部72に記憶させる。

[0035] そして、参照信号REFと画素信号SIGが同一（の電圧）になり、比較回路5

1 から供給される出力信号VC0がLo(Low)に反転されたとき、供給される時刻コードの書き込み（更新）を中止し、最後にラッチ記憶部72に記憶された時刻コードをラッチ記憶部72に保持させる。ラッチ記憶部72に記憶された時刻コードは、画素信号SIGと参照信号REFが等しくなった時刻を表しており、画素信号SIGがその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

[0036] 参照信号REFの掃引が終了し、画素アレイ部22内の全ての画素21のラッチ記憶部72に時刻コードが記憶された後、画素21の動作が、書き込み動作から読み出し動作に変更される。

[0037] ラッチ制御回路71は、時刻コードの読み出し動作においては、読み出しタイミングを制御するWORD信号に基づいて、画素21が自分の読み出しタイミングとなったときに、ラッチ記憶部72に記憶されている時刻コード（デジタルの画素信号SIG）を、時刻コード転送部23に出力する。時刻コード転送部23は、供給された時刻コードを、列方向（垂直方向）に順次転送し、出力部28に供給する。

[0038] 以下では、時刻コードの書き込み動作においてラッチ記憶部72に書き込まれる時刻コードと区別するため、時刻コードの読み出し動作においてラッチ記憶部72から読み出される出力信号VC0が反転したときの反転時刻コードである、画素信号SIGがその時刻の基準電圧であったことを示すデジタル化された画素データを、AD変換画素データとも称する。

[0039] <比較回路の第1構成例>

図3は、比較回路51を構成する差動入力回路61、電圧変換回路62、及び正帰還回路63の詳細構成を示す回路図である。

[0040] 差動入力回路61は、画素21内の画素回路41から出力された画素信号SIGと、DAC25から出力された参照信号REFとを比較し、画素信号SIGが参照信号REFよりも高いときに所定の信号（電流）を出力する。

[0041] 差動入力回路61は、差動対となるトランジスタ81及び82、カレントミラーを構成するトランジスタ83及び84、入力バイアス電流Vbに応じた

電流 I_{cm} を供給する定電流源としてのトランジスタ85、並びに、差動入力回路61の出力信号HV0を出力するトランジスタ86により構成されている。

[0042] トランジスタ81、82、及び85は、NMOS(Negative Channel MOS)トランジスタで構成され、トランジスタ83、84、及び86は、PMOS(Positive Channel MOS)トランジスタで構成される。

[0043] 差動対となるトランジスタ81及び82のうち、トランジスタ81のゲートには、DAC25から出力された参照信号REFが入力され、トランジスタ82のゲートには、画素21内の画素回路41から出力された画素信号SIGが入力される。トランジスタ81と82のソースは、トランジスタ85のドレインと接続され、トランジスタ85のソースは、所定の電圧VSS ($VSS < VDD2 < VDD1$) に接続されている。

[0044] トランジスタ81のドレインは、カレントミラー回路を構成するトランジスタ83及び84のゲート及びトランジスタ83のドレインと接続され、トランジスタ82のドレインは、トランジスタ84のドレイン及びトランジスタ86のゲートと接続されている。トランジスタ83、84、及び86のソースは、第1電源電圧VDD1に接続されている。

[0045] 電圧変換回路62は、例えば、NMOS型のトランジスタ91で構成される。トランジスタ91のドレインは、差動入力回路61のトランジスタ86のドレインと接続され、トランジスタ91のソースは、正帰還回路63内の所定の接続点に接続され、トランジスタ86のゲートは、バイアス電圧VBIASに接続されている。

[0046] 差動入力回路61を構成するトランジスタ81乃至86は、第1電源電圧VDD1までの高電圧で動作する回路であり、正帰還回路63は、第1電源電圧VDD1よりも低い第2電源電圧VDD2で動作する回路である。電圧変換回路62は、差動入力回路61から入力される出力信号HV0を、正帰還回路63が動作可能な低電圧の信号(変換信号)LVIに変換して、正帰還回路63に供給する。

[0047] バイアス電圧VBIASは、定電圧で動作する正帰還回路63の各トランジスタ101乃至105を破壊しない電圧に変換する電圧であれば良い。例えば、

バイアス電圧VBIASは、正帰還回路63の第2電源電圧VDD2と同じ電圧（VBIAS=VDD2）とすることができる。

[0048] 正帰還回路63は、差動入力回路61からの出力信号HV0が第2電源電圧VDD2に対応する信号に変換された変換信号LVIに基づいて、画素信号SIGが参照信号REFよりも高いときに反転する比較結果信号を出力する。また、正帰還回路63は、比較結果信号として出力する出力信号VC0が反転するときの遷移速度を高速化する。

[0049] 正帰還回路63は、7つのトランジスタ101乃至107で構成される。ここで、トランジスタ101、102、104、および106は、PMOSトランジスタで構成され、トランジスタ103、105、および107は、NMOSトランジスタで構成される。

[0050] 電圧変換回路62の出力端であるトランジスタ91のソースは、トランジスタ102及び103のドレインと、トランジスタ104及び105のゲートに接続されている。トランジスタ101のソースは、第2電源電圧VDD2に接続され、トランジスタ101のドレインは、トランジスタ102のソースと接続され、トランジスタ102のゲートは、正帰還回路63の出力端でもあるトランジスタ104及び105のドレインと接続されている。

[0051] トランジスタ103、105、107のソースは、所定の電圧VSSに接続されている。トランジスタ101と103のゲートには、初期化信号INIが供給される。トランジスタ106のゲートとトランジスタ107のゲートには、第1の入力である変換信号LVIではない、第2の入力である制御信号TERMが供給される。

[0052] トランジスタ106のソースは第2電源電圧VDD2に接続され、トランジスタ106のドレインはトランジスタ104のソースに接続されている。トランジスタ107のドレインは、比較回路51の出力端と接続され、トランジスタ107のソースは、所定の電圧VSSに接続されている。

[0053] 以上のように構成される比較回路51では、第2の入力である制御信号TERMをHiにすると、差動入力回路61の状態に関係なく、出力信号VC0をLoにす

ることができる。

[0054] 例えば、画素信号SIGの電圧が、想定を超える高い輝度（たとえば撮像装置 1 の画角内に写り込んだ太陽像）によって参照信号REFの最終電圧を下回ると、比較回路 5 1 の出力信号VC0がHiのまま比較期間を終えることになり、出力信号VC0によって制御されるデータ記憶部 5 2 は、値を固定することが出来ず A D 変換機能が失われる。

[0055] このような状態の発生を防止するため、参照信号REFの掃引の最後に、Hiパルスの制御信号TERMを入力することにより、未だにLoに反転していない出力信号VC0を強制的に反転することができる。データ記憶部 5 2 は強制反転直前の時刻コードを記憶（ラッチ）するので、図 3 の構成を採用した場合には、A D C 4 2 は、結果的に、一定以上の輝度入力に対する出力値をクランプした A D 変換器として機能する。

[0056] バイアス電圧VBIASをLoレベルに制御して、トランジスタ 9 1 を遮断させ、初期化信号INIをHiにすると、差動入力回路 6 1 の状態に関係なく出力信号VC0はHiになる。したがって、この出力信号VC0の強制的なHi出力と、上述した制御信号TERMによる強制的なLo出力を組み合わせることにより、差動入力回路 6 1 及び、その前段である画素回路 4 1 と D A C 2 5 の状態に関係なく、出力信号VC0を任意の値に設定することができる。

[0057] この機能により、例えば、画素 2 1 から後段の回路を、撮像装置 1 への光学的入力に頼らず、電気信号入力だけで試験することが可能となる。

[0058] <画素回路の詳細構成例>

図 4 を参照して、画素回路 4 1 の詳細構成について説明する。図 4 は、図 3 に示した比較回路 5 1 の差動入力回路 6 1 に、画素回路 4 1 の詳細を追加して示した回路図である。

[0059] 画素回路 4 1 は、光電変換素子としてのフォトダイオード (PD) 1 2 1、排出トランジスタ 1 2 2、転送トランジスタ 1 2 3、リセットトランジスタ 1 2 4、及び、F D (浮遊拡散層) 1 2 5 で構成されている。

[0060] 排出トランジスタ 1 2 2 は、露光期間を調整する場合に使用される。具体

的には、露光期間を任意のタイミングで開始したいときに排出トランジスタ 122 をオンさせると、それまでの間にフォトダイオード 121 に蓄積されていた電荷が排出されるので、排出トランジスタ 122 がオフされた以降から、露光期間が開始されることになる。

[0061] 転送トランジスタ 123 は、フォトダイオード 121 で生成された電荷を FD 125 に転送する。リセットトランジスタ 124 は、FD 125 に保持されている電荷をリセットする。FD 125 は、差動入力回路 61 のトランジスタ 82 のゲートに接続されている。これにより、差動入力回路 61 のトランジスタ 82 は、画素回路 41 の増幅トランジスタとしても機能する。

[0062] リセットトランジスタ 124 のソースは、差動入力回路 61 のトランジスタ 82 のゲート、及び、FD 125 に接続されており、リセットトランジスタ 124 のドレインは、トランジスタ 82 のドレインと接続されている。したがって、FD 125 の電荷をリセットするための固定のリセット電圧がない。これは、差動入力回路 61 の回路状態を制御することで、FD 125 をリセットするリセット電圧を、参照信号 REF を用いて任意に設定可能であることと、回路の固定パターンノイズを FD 125 に記憶し、CDS 動作にて、その成分をキャンセル可能とするためである。

[0063] <画素部タイミングチャート>

図 5 のタイミングチャートを参照して、図 4 に示した画素 21 の動作について説明する。

[0064] 初めに、時刻 t_1 において、参照信号 REF が、それまでのスタンバイ電圧 V_{stb} から、FD 125 の電荷をリセットするリセット電圧 V_{rst} に設定され、リセットトランジスタ 124 がオンされることにより、FD 125 の電荷がリセットされる。また、時刻 t_1 では、正帰還回路 63 のトランジスタ 101 と 103 のゲートに供給される初期化信号 INI が Hi に設定され、正帰還回路 63 が初期状態に設定される。

[0065] 時刻 t_2 において、参照信号 REF が所定の電圧 V_0 まで持ち上げられ、参照信号 REF と画素信号 SIG の比較（参照信号 REF の掃引）が開始される。この時点で

は、参照信号REFが画素信号SIGよりも大きいため出力信号VC0はHiとなっている。

[0066] 参照信号REFと画素信号SIGが同一となったと判定された時刻 t_3 において、出力信号VC0が反転（Lowに遷移）される。出力信号VC0が反転されると、上述したように正帰還回路63によって出力信号VC0の反転が高速化される。また、データ記憶部52では、出力信号VC0が反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

[0067] 信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_4 において、比較回路51のトランジスタ81のゲートに供給する参照信号REFの電圧が、トランジスタ81がオフするレベル（スタンバイ電圧 V_{stb} ）まで引き下げられる。これにより、信号読み出し期間中の比較回路51の消費電流が抑制される。

[0068] 時刻 t_5 において、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチされた時刻信号DATA[0]乃至DATA[N]が、データ記憶部52のラッチ制御回路71から出力される。ここで取得されるデータは、CDS(Correlated Double Sampling; 相関2重サンプリング)処理する際のリセットレベルのP相データとなる。

[0069] 時刻 t_6 において、参照信号REFが所定の電圧 V_0 まで持ち上げられるとともに、トランジスタ101と103のゲートに供給される初期化信号INIがHiに設定され、正帰還回路63が再び初期状態に設定される。

[0070] 時刻 t_7 において、Hiの転送信号TXにより画素回路41の転送トランジスタ123がオンされ、フォトダイオード121で生成された電荷がFD125に転送される。

[0071] 初期化信号INIがLowに戻された後、参照信号REFと画素信号SIGの比較（参照信号REFの掃引）が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VC0はHiとなっている。

[0072] そして、参照信号REFと画素信号SIGが同一となったと判定された時刻 t_8 において、出力信号VC0が反転（Lowに遷移）される。出力信号VC0が反転され

ると、正帰還回路 6 3 によって出力信号VC0の反転が高速化される。また、データ記憶部 5 2 には、出力信号VC0が反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

[0073] 信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_9 において、比較回路 5 1 のトランジスタ 8 1 のゲートに供給する参照信号REFの電圧が、トランジスタ 8 1 がオフするレベル(スタンバイ電圧 V_{stb})まで引き下げられる。これにより、信号読み出し期間中の比較回路 5 1 の消費電流が抑制される。

[0074] 時刻 t_{10} において、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチされた時刻信号DATA[0]乃至DATA[N]が、データ記憶部 5 2 のラッチ制御回路 7 1 から出力される。ここで取得されるデータは、CDS処理する際の信号レベルのD相データとなる。時刻 t_{11} は、上述した時刻 t_1 と同じ状態であり、次の1V（1垂直走査期間）の駆動となる。

[0075] 以上の画素 2 1 の駆動によれば、最初に、P相データ（リセットレベル）が取得された後、読み出され、次に、D相データ（信号レベル）が取得されて、読み出される。

[0076] 以上の動作により、撮像装置 1 の画素アレイ部 2 2 の各画素 2 1 は、全画素同時にリセットし、かつ、全画素同時に露光するグローバルシャッタ動作が可能である。全画素が同時に露光及び読み出しを行うことが出来るので、通常、画素内に設けられる、電荷が読み出されるまでの間、電荷を保持する保持部が不要である。また、画素 2 1 の構成では、カラム並列読み出し型の撮像装置で必要であった、画素信号SIGを出力する画素を選択するための選択トランジスタ等も不要である。

[0077] 図 5 を参照して説明した画素 2 1 の駆動では、排出トランジスタ 1 2 2 が常にオフに制御されていた。しかしながら、図 5 において破線で示されるように、所望の時刻で、排出信号OFGをHiに設定して排出トランジスタ 1 2 2 を一旦オンさせた後、オフさせることにより、任意の露光期間を設定することも可能である。

[0078] <ノイズについて>

ところで、撮像装置 1（図 1）のノイズレベルは、熱ノイズ、 $1/f$ ノイズ、量子化ノイズで規定される。熱ノイズを低減するために、回路の g_m を向上させることが考えられるが、アナログ回路で消費する電流を増加させることになり、電力が増加してしまう可能性がある。

[0079] また $1/f$ ノイズは、電流にも感度があるが、主に面積とプロセスにより決まり、これらの対策はコスト増になる可能性がある。量子化ノイズは、ADC 42 の分解能で一意に決定されるが、低照度では、撮像素子自体のランダムノイズ（熱ノイズや $1/f$ ノイズ）と、ADC 42 の量子化ノイズで規定され、そのうちの熱ノイズと $1/f$ ノイズは、アナログ回路で消費する電流量に依存する。

[0080] そこでアナログ回路で消費する電流を、AD変換された出力信号（ADC 42 からの出力信号）から、適応的に可変調整することで高照度時に低電力、低照度時に低ノイズを実現することができる撮像装置 1 について以下に説明を加える。

[0081] 以下の説明においては、ノイズを、以下のように図示し、説明を行う。図 6 に示したように所定の回路 301 は、ノイズが含まれる回路である。ノイズは、回路 301 内の抵抗素子、容量素子、トランジスタ素子などから発生する。ノイズを発生する可能性がある素子を含む回路 301 に対して、ノイズを低減させるための外部制御を行うと仮定する。

[0082] この場合、図 7 に示したように、等価的にノイズを入力換算し、所定のノイズ量を入力で与え、回路 302 自体は、ノイズレスであるという記載を行うことで、以下の説明を行う。図 7 に示した回路図においては、回路 302 は、ノイズを発生しない回路であり、そのような回路 302 の外部に加算部 303 があり、加算部 303 に所定のノイズ量が入力される。加算部 303 は、回路 302 に接続されているため、結果的に回路 302 にノイズが供給されることになる。

[0083] 図 6 に示した回路 301 を再度参照するに、例えば、回路 301 に含まれ

るトランジスタ素子に流れる電流が変更されると、ノイズ量も変更される。換言すれば、ノイズ量を制御するには、トランジスタ素子に流れる電流を制御することで行える。そこで、図8に示したように回路301'（図6に示した回路301と区別を付けるために、ダッシュを付して記述する）内のトランジスタ素子に流れる電流を制御することで、回路301'のノイズを制御することが考えられる。

[0084] このことを、図7に示したノイズレスの回路302で表すと、図9に示すようになる。すなわち、図9を参照するに、ノイズレスの回路302'に、入力されるノイズ量（加算部303に入力されるノイズ量）を制御することで、回路302'のノイズを制御することができる。

[0085] 上記したように、撮像装置1には、熱ノイズ、1/fノイズ、量子化ノイズなどのノイズが発生する。撮像装置1に含まれるADC42は、例えば、図3に示したように複数のトランジスタ素子を含む。これらのトランジスタ素子に流す電流を制御することで、ADC42で発生するノイズ量を制御し、画質を向上させた撮像を行う撮像装置1について説明を加える。

[0086] <ノイズの制御を行う撮像装置の構成>

図10は、ノイズの制御を行う撮像装置の構成、特にADC42で発生するノイズ量を制御する構成を備えるADC42と周辺回路の構成を示す図である。ADC42で発生するノイズ量を制御するために、ADC42からの出力に基づいて、後述する判定を行う判定部401を備える構成とされている。

[0087] 判定部401の判定の結果、ADC42に供給されるノイズ量が制御される。後述するように、ADC42内の所定のトランジスタ素子に流れる電流を制御することで、ノイズ量が制御される。判定部401は、ADC42内の電流を制御する制御部として機能する。

[0088] ADC42からの出力は、リセットデジタル（Reset Digital）データとシグナルデジタル（Signal Digital）データが出力される。リセットデジタルデータとシグナルデジタルデータの差分が加算部402で演算されることで

、画素回路 4 1（内のフォトダイオード 1 2 1）で蓄積された電荷の信号が生成され、出力信号として出力される。

[0089] その出力信号が、判定部 4 0 1 にも入力され、判定部 4 0 1 は、詳細は後述するが、撮像されている画像の性質、例えば、高照度であるか低照度であるかを判定し、その判定結果に応じて、ノイズ量を制御する。

[0090] 図 1 1 は、判定部 4 0 1 の構成例を示す図である。判定部 4 0 1 は、判定値算出部 4 3 1、比較部 4 3 2、制御テーブル参照部 4 3 3、および選択部 4 3 4 を備える構成とされている。

[0091] 判定部 4 0 1 の判定値算出部 4 3 1 には、A D C 4 2 から出力された画素信号が供給される。供給される画素信号は、画素エリア全体の画素値、1 画素分の画素値、1 画素以上からなる画素を代表する画素値などとすることができる。

[0092] 1 画素以上からなる画素としては、例えば、画素アレイ部の所定の領域に配置されている画素や、像面位相差画素とすることができる。また、そのような画素を、その画素周辺の領域にある画素の代表画素とすることができ、代表画素とされている画素からの信号は、代表画素とされていない画素よりも先に読み出されるようにしても良い。そして、代表画素から読み出された信号を用いて、判定部 4 0 1 により判定が行われるようにすることができる。

[0093] 判定値算出部 4 3 1 に入力される画素信号の単位は、制御する単位と合わせることができ、例えば、1 画素単位で制御する場合には、1 画素単位で画素信号が供給される。

[0094] すなわち判定部 4 0 1 が判定を行う精度は、画素エリア全体、画素単位、複数画素単位とすることができる。

[0095] 判定値算出部 4 3 1 に入力される画素信号の単位は、画素毎、カラム毎、所定の画素数からなる画素ブロック毎、全画素などとすることができる。

[0096] また、制御するタイミング（判定を行うタイミング）、例えば、判定値算出部 4 3 1 に画素信号が入力されるタイミング、判定部 4 0 1 で判定を行う

タイミングなどは、常に行う（フレーム毎に行う）ようにしても良いし、所定数のフレーム毎に行うようにしても良い。

[0097] なお、判定部401により判定を行うタイミングと、その判定結果を用いて電流値などを制御するタイミングは、後述するように、異なるタイミングとすることができる。ここでは、判定を行うタイミングを、制御するタイミングと記載し、説明を続ける。

[0098] また複数のフレーム（サブフレーム）で1枚の画像が生成されるような場合、サブフレーム毎に制御が行われるようにしても良いし、サブフレーム内の所定のサブフレームにおいて制御が行われるようにしても良い。

[0099] 例えば、4枚のサブフレームが用いられて1枚のフレームが生成されるような場合、サブフレーム毎に制御が行われるようにしても良いし、4枚のサブフレーム内の所定のサブフレーム、例えば、1枚目のサブフレームにおいて、制御が行われる（他のサブフレームは、所定のサブフレームの値を用いた制御が行われる）ようにしても良い。

[0100] 判定値算出部431は、入力された画素信号を用いて、画面内の平均値、代表値、飽和していないかどうかの最大値などを計算する。これら全てを算出するようにしても良いし、これらの内の少なくとも1つが算出されるようにしても良い。

[0101] なお、判定値算出部431で算出される判定値は、事前に欠陥補正などの処理が施された画素信号を用いて算出されたものでも良い。

[0102] 判定値算出部431からの判定値は、比較部432に供給される。比較部432には、判定閾値も供給される。この判定閾値は、判定部401の外部から供給されるように構成することもできるし、比較部432が保持または生成するように構成することもできる。判定閾値は固定値であっても良いし、所定の条件により異なる値とされる可変値であっても良い。

[0103] 比較部432は、判定値算出部431からの判定値と、判定閾値とを比較し、その比較結果を、制御テーブル参照部433に供給する。制御テーブル参照部433は、アナログ回路のノイズ制御のための制御信号、例えば、電

流値のテーブルを参照する。テーブルは、例えば比較結果と電流値が関連付けられたテーブルである。

[0104] テーブルは、制御テーブル参照部433内に保持されていても良いし、制御テーブル参照部433外に保持されていても良い。

[0105] 選択部434には、参照テーブル参照部433からの参照値（例えば、電流値）、強制制御値、およびモード選択信号が供給される。選択部434は、モード選択信号により、強制制御を行うか否かを判定し、その判定の結果、参照テーブル参照部433からの参照値または強制制御値のうちのどちらかを選択し、その選択結果を、各アナログ回路、例えば、ADC42に供給する。

[0106] <差動入力回路の電流を制御する第1の構成>

判定部401からの判定結果により、ADC42内のトランジスタ素子に流れる電流を制御する場合のADC42とその周辺部の構成例を図12に示す。図12には、ADC42内の差動入力回路61だけを図示してある。差動入力回路61のトランジスタ85に流れる電流 I_{cm} を制御するバイアス回路501が、トランジスタ85のゲートに接続されている。

[0107] バイアス回路501には、判定部401からの判定結果が供給される。バイアス回路501は、複数のトランジスタ511と電流源512を備える。バイアス回路501は、トランジスタ511を構成する複数のトランジスタから用いる個数を変更することで、接続されている差動入力回路61の電流値を可変することができる構成とされている。

[0108] バイアス回路501に流す電流を、電流 $I_{pixbias}$ とし、トランジスタ511のチャンネル長 L を固定とし、チャンネル幅 W （バイアスの W サイズ）を $W_{pixbias}$ として、画素の電流源の W サイズを W_{cmbias} とした場合、トランジスタ85に流れる電流 I_{cm} は、

$$I_{cm} = I_{pixbias} \times (W_{cmbias} / W_{pixbias})$$

となる。

[0109] すなわち、単位 W あたりの電流密度が一定という特性を使い制御が可能と

なる。この電流値が差動入力回路 6 1 側で 1 桁[nA]オーダーになっても、後段に正帰還回路 6 3 を備える構成（PositiveFeedBack構成）のため、動作が可能となっている。

[0110] このように、差動入力回路 6 1 内のトランジスタ（ここでは、トランジスタ 8 5）に流れる電流を制御することで、トランジスタ 8 5（トランジスタ 8 5 を含む回路全体）が発生するノイズを制御することができる。

[0111] 例えば、明るい画像（高照度の画像）を撮像している場合、仮にノイズが大きくても、ノイズによる画質に対する影響は小さいと考えられる。また、暗い画像（低照度の画像）を撮像している場合、ノイズが大きいと、ノイズによる画質に対する影響は大きいと考えられる。

[0112] また、ノイズは、トランジスタに流れる電流値にも依存し、電流値が大きい程、ノイズは低減する傾向にある。

[0113] これらのことから、判定部 4 0 1 は、高照度の画像を撮像していると判定できるときには、差動入力回路 6 1（内のトランジスタ 8 5）の電流値を低く制御する判定値を、バイアス回路 5 0 1 に出力し、バイアス回路 5 0 1 は、差動入力回路 6 1 内の電流値を小さくする制御を行う。このため、高照度の画像を撮像しているときには、低電力化を実現することができる。

[0114] また、判定部 4 0 1 は、低照度の画像を撮像していると判定できるときには、差動入力回路 6 1（内のトランジスタ 8 5）の電流値を高く制御する判定値を、バイアス回路 5 0 1 に出力し、バイアス回路 5 0 1 は、差動入力回路 6 1 内の電流値を大きくする制御を行う。このため、低照度の画像を撮像しているときには、ノイズを低減することができる。

[0115] ＜差動入力回路の電流を制御する第 2 の構成＞

判定部 4 0 1 からの判定結果により、ADC 4 2 内のトランジスタ素子に流れる電流を制御する場合の ADC 4 2 とその周辺部の第 2 の構成例を図 1 3 に示す。図 1 3 には、ADC 4 2 内の差動入力回路 6 1 だけを図示してある。差動入力回路 6 1 のトランジスタ 8 1 に供給される参照信号 REF を制御する DAC 2 5 が、トランジスタ 8 1 のゲートに接続されている。

- [0116] DAC 25は、上記したように、時間経過に応じてレベル（電圧）が単調減少するスロープ信号である参照信号（基準電圧信号）REFを生成し、各画素21に供給する。
- [0117] DAC 25には、判定部401からの判定結果が供給される。DAC 25は、抵抗551と電流源552を備える。DAC 25は、例えば、電流源552が複数の電流源から構成され、それら複数の電流源のオン、オフを個々に制御することで、電流源552からの電流値を制御する。
- [0118] DAC 25は、グランド（GND）が基準電位となっており、抵抗551に流す電流のIRドロップでDACの波形（参照信号REFの波形）が決まるように構成されている。一般的に、電流が多い場合に電流ショットノイズが増加し、DAC 25のノイズが悪化することが知られている。FD 125（図4）の電圧範囲を鑑み、例えば、信号量が少ない場合などに、図14に示すように、DACの波形を、全体的に電流を一律低減させる。
- [0119] 図14において、実線は、通常時の参照信号REFの波形を示し、点線は、電流を一律低減したときの参照信号REFの波形を示す。このように参照信号REFに、オフセットを持たせることで、DAC 25で発生するノイズを低減させることが可能となる。
- [0120] ここでは、DC的に示しているが、例えば、ゲイン（スロープの傾き）に応じて、オフセットと一律に、一緒に変更させるようにしても良い。また、図14の点線で示したように、FD 125の初期電圧のDC値も低減させることができるため、FD 125の暗電流を抑制することができ、FD 125の暗電流によるショットノイズも抑制することができる。よって、ランダムノイズをより低減することが可能となる。
- [0121] すなわち、低輝度信号のとき（信号レベルが低いとき）には、電流値を少なくし、画素のFD 125の初期電圧を低く設定することで、暗電流ショットノイズを低減させるような制御が行われる。一方、高輝度信号のとき（信号レベルが高いとき）には、電流を増加させ、高輝度の信号が取れるようにFD 125の電圧を高くするような制御が行われる。

[0122] この際、暗電流ショットノイズが増加する可能性はあるが、高輝度なので目立たない。また、DAC 25は、全画素に1個のため、差動入力回路61ほど電力を消費しないため、差動入力回路61の電流を下げることで結果として低電力化になる。例えば、画素が10Mpixelであった場合、10M倍で効果が得られる。

[0123] <差動入力回路の電流を制御する第3の構成>

図12に示した差動入力回路の電流を制御する第1の構成と、図13に示した差動入力回路の電流を制御する第2の構成を組み合わせた構成とすることもできる。図15に、第1の構成と第2の構成を組み合わせたADC 42とその周辺部の構成例を示す。

[0124] 図15に示したADC 42は、差動入力回路61のトランジスタ85に流れる電流を制御するバイアス回路501が、トランジスタ85のゲートに接続されている。また、差動入力回路61のトランジスタ81に供給される参照信号REFを制御するDAC 25が、トランジスタ81のゲートに接続されている。

[0125] バイアス回路501とDAC 25には、それぞれ判定部401からの判定結果が供給される。バイアス回路501とDAC 25が行う制御は、上記した場合と同様である。

[0126] すなわち、判定部401により、信号値がノイズに耐性を持たせるべき低輝度信号（信号レベルが低い）と判断された場合、バイアス回路501により、アナログ回路（ADC 42など）へ電流値のフィードバックが行われ、ノイズが低減される方向へ働く。差動入力回路61であれば、差動入力回路61内に流れる電流 I_{cm} の電流値を増加させる制御が行われ、回路が発生する熱雑音を低減させるための制御が行われる。

[0127] DAC 25は、逆に電流値を少なくし、画素のFD 125の初期電圧を低く設定することで、暗電流ショットノイズを低減させるような制御が行われる。

[0128] 高照度時は、バイアス回路501は、差動入力回路61内の電流 I_{cm} の電流

を少なくするための制御を行う。この際、ノイズを増加させるものの、差動入力回路61を低消費電力とすることを可能とする。DAC25は、バイアス回路501とは逆に電流を増加させ、高照度の信号が取れるようにFD125の電圧を高くする制御を行う。

[0129] このような構成としても、差動入力回路61に流れる電流を制御し、ノイズを制御することができる。また、差動入力回路61内の複数のトランジスタに流れる電流を個々に制御することで、ノイズをより適切に制御することができる。

[0130] <制御の適用タイミングについて>

上記したように、判定部401による判定結果に基づき、ADC42内のノイズが制御される。この判定部401における判定結果が出されるタイミングと、その判定結果が適用されるタイミングについて図16を参照して説明する。

[0131] 画素21は、所定のタイミングで露光を開始する。図5を参照して説明した画素21の駆動では、排出トランジスタ122が常にオフに制御されていた。しかしながら、図5において破線で示されるように、所望の時刻で、排出信号0FGをHiに設定して排出トランジスタ122を一旦オンさせた後、オフさせることにより、任意の露光期間を設定することも可能であり、例えば、露光の開始は、0FG（図5）の立ち下がりパルスで規定することもできる。

[0132] 露光開始から、転送信号TX（図5）の立ち下がり時間までが露光時間とされる。1画素で1個のADC42の場合、1：1であるが、複数画素でFD125を共有し、1個のADC42を用いる場合、個別に露光時間を設定することができる（画素共有については後述する）。

[0133] 露光期間中に、RST（リセット）期間が設けられており、FD125の初期化、比較回路51（図2）のAutoZeroが行われ、ADC42における処理を開始するための準備が行われる。その後、正帰還回路（PSB）63の初期化が行われ、同時にDAC25の初期電圧も設定される。

- [0134] リセット期間後は、画素のリセットレベルのA/D変換期間であるP相取得期間（以下、単に、P相、P相取得期間などと記述する）とされる。DAC25の電圧が徐々に下げられ、ラッチ記憶部72（図2）にデータが書き込まれる。差動入力回路61に入力される画素回路41からの信号とDAC25からの信号が同一の値（同一電圧）となったときに比較回路51からの出力が反転し、ラッチ記憶部72への書き込みデータが書き込まれる。
- [0135] なおここでは、反応を高速化するための回路として、正帰還回路63を備える場合を例に挙げて説明しているが、同様の機能（所定の時間でラッチデータを記憶する）を実現できる回路であれば、他の回路であっても良い。
- [0136] P相取得期間において取得されたデータは、P相出力期間においてADC42から出力される。
- [0137] P相出力期間の後には、画素の信号レベルのA/D変換期間であるD相取得期間（以下、単に、D相、D相取得期間などと記述する）が設けられている。D相取得期間においては、転送トランジスタ123（図4）がオンにされ、フォトダイオード121の信号が、FD125に転送される。DAC25の電圧が徐々に下げられ、時刻コード転送部23からの時刻コードが、ラッチ制御回路71（図2）に供給される。
- [0138] 差動入力回路61に入力される画素回路41からの信号とDAC25からの信号が同一の値（同一電圧）となったときに比較回路51からの出力が反転し、その時点での時刻コードがラッチ記憶部72に書き込まれる。
- [0139] DAC25からの信号（スロープ）を、GNDレベル（画素電流がオフする電圧）に降下させることで、画素21内のADC42で消費される電力をゼロ状態にして、スタンバイ状態にされる。
- [0140] 一方で、D相取得期間で取得されたデータは、D相出力期間においてADC42から出力される。
- [0141] ADC42からの信号を処理する処理部（不図示）は、P相のデータとD相のデータとのCDSを行うことで、固定パターンノイズ、FD125のリセットノイズ、回路のリセットノイズの除去を行う。

- [0142] このとき、最終的に残るノイズは、アナログ回路が動作時に流す電流値で決まる熱ノイズ、 $1/f$ ノイズ、Random Telegraph Signal(RTS)ノイズである。これらのノイズを制御するために、上記したように、出力された信号レベルに応じて、回路（ADC 42）内の電流値を制御することで、ノイズの低減を図ることが可能となる。
- [0143] そこで、出力された信号レベルに応じてノイズを制御するタイミングとしては、例えば、図16に示したようなタイミングがある。なおここでは、バイアス回路501によるノイズ制御を例に挙げて説明を行う。
- [0144] 画素全ての信号を読み出し、その信号の平均値を算出し、その平均値からADC 42内の所定のトランジスタに流す電流量を算出するようにしても良い。また、D相出力の一部を読み出し、その輝度値を判定し、次のフレームの電流値（バイアス値）を算出するようにしても良い。
- [0145] 図16において、D相出力期間において、判定部401により電流値 I_{cm} が算出され、次のフレームの露光開始後、リセット期間前に、算出された電流値 I_{cm} がアナログ回路、例えば、ADC 42内の差動入力回路61内に適用される。
- [0146] なお、P相出力期間において、電流値 I_{cm} が算出され、同一フレームのD相取得期間に算出された電流値 I_{cm} が適用されるように構成することもできる。しかしながら、このようにした場合、同一フレーム内におけるP相とD相とで、異なる電流値 I_{cm} が適用されたデータが用いられることになり、P相のデータとD相のデータとのCDSにおいて、適切にノイズを除去できない可能性がある。
- [0147] よって、上記したように、D相出力期間において、電流値 I_{cm} が算出され、次のフレームの露光開始後、リセット期間前、換言すれば、次のフレームのP相取得期間やD相取得期間に、算出された電流値 I_{cm} が適用されるように構成する。
- [0148] なお、電流値 I_{cm} は、P相出力期間に算出され、次のフレームのP相取得期間やD相取得期間に、算出された電流値 I_{cm} が適用されるように構成する

ことも可能である。

[0149] 電流値 I_{cm} の演算について説明を加える。ここでは、最大出力値が 14 ビットである（0 乃至 16383 までとる）場合を例に挙げて説明する。CDS 後の出力が 4096 より少ないことが 8 フレーム続いた場合、処理対象（撮像されている）画像は暗いとの判定がなされ、低照度側のノイズを改善するための電流値 I_{cm} の設定値を増加させるように駆動される。

[0150] 一方、CDS 後の出力が 4096 よりも大きな値が 8 フレーム続いた場合、高照度の信号が多く入っているとみなし、ショットノイズが支配的な画像が取得される可能性がある明るい画像であると判定し、電流値 I_{cm} の設定を低減させるように駆動される。

[0151] このようにヒステリシスを持たせることで、4096 の閾値近くで、画面がちらつかないような仕組みを持たせるようにしても良い。なお、ここでは 8 フレームを一例として挙げたが、これ以外のフレーム数であっても勿論良い。

[0152] <共有画素構造>

上記した実施の形態においては、比較回路 51 は、1 つの画素 21 内に 1 つの ADC 42 が配置される構成とされていたが、複数の画素 21 で、1 つの ADC 42 を共有する構成とすることもできる。

[0153] 図 17 は、複数の画素 21 で 1 つの ADC 42 を共有する画素共有の場合の比較回路 51 の構成例を示す回路図である。図 17 では、画素 21A、画素 21B、画素 21C、及び画素 21D の 4 つの画素 21 で 1 つの ADC 42 を共有する場合の比較回路 51 の構成例が示されている。

[0154] 図 17 において、比較回路 51 を構成する差動入力回路 61、電圧変換回路 62、及び正帰還回路 63 の構成は、図 2 に示した構成と同様である。

[0155] 図 17 では、4 つの画素 21A 乃至 21D には画素回路 41A 乃至 41D が設けられ、画素回路 41A 乃至 41D には、フォトダイオード 121q、排出トランジスタ 122q、及び、転送トランジスタ 123q が個別に設けられている。一方、リセットトランジスタ 124' と FD 125' は、4 つの画素

2 1 A乃至2 1 Dで共有されている。

[0156] なお、図 1 7 では、比較回路 5 1 の回路構成として、図 2 に示した回路構成を採用しているが、その他の回路構成を採用してもよい。

[0157] このように、複数の画素 2 1 で 1 つの A D C 4 2 を共有する共有画素に対しても、図 1 2、図 1 3、または図 1 5 に示したような構成を適用し、A D C 4 2 内の電流（A D C 4 2 のノイズ）を制御することができる。

[0158] 図 1 7 に示した 4 画素共有の画素構成の場合の差動入力回路 6 1 の構成は、例えば、図 1 2 に示した画素共有ではない画素構成の場合の差動入力回路 6 1 の構成と同一である。よって、例えば、図 1 2 に示した場合と同様に図 1 7 に示した 4 画素共有の画素構成においてバイアス回路 5 0 1 を設け、そのバイアス回路 5 0 1 が、差動入力回路 6 1 内のトランジスタ 8 5 のゲートに接続されている構成とすることができる。

[0159] このように構成することで、図 1 2 を参照して説明した場合と同じく、判定部 4 0 1 の判定（例えば、高照度であるか、低照度であるかの判定）に基づき、トランジスタ 8 5 に流れる電流を制御することができ、差動入力回路 6 1（を含む比較回路 5 1）で発生するノイズを制御することができる。

[0160] また、図 1 3 に示した場合と同様に図 1 7 に示した 4 画素共有の画素構成において D A C 2 5 を設け、その D A C 2 5 が、差動入力回路 6 1 内のトランジスタ 8 1 のゲートに接続されている構成とすることができる。

[0161] このように構成することで、図 1 3 を参照して説明した場合と同じく、判定部 4 0 1 の判定（例えば、高照度であるか、低照度であるかの判定）に基づき、トランジスタ 8 1 に供給される参照信号 REF を制御することができ、差動入力回路 6 1（を含む比較回路 5 1）で発生するノイズを制御することができる。

[0162] また、図 1 5 に示した場合と同様に図 1 7 に示した 4 画素共有の画素構成においてバイアス回路 5 0 1 と D A C 2 5 を設け、バイアス回路 5 0 1 が、差動入力回路 6 1 内のトランジスタ 8 5 のゲートに接続され、D A C 2 5 が、差動入力回路 6 1 内のトランジスタ 8 1 のゲートに接続されている構成と

することができる。

[0163] このように構成することで、図15を参照して説明した場合と同じく、判定部401の判定（例えば、高照度であるか、低照度であるかの判定）に基づき、トランジスタ85に流れる電流を制御することができるとともに、トランジスタ81に供給される参照信号REFを制御することができ、差動入力回路61（を含む比較回路51）で発生するノイズを制御することができる。

[0164] <共有画素における制御の適用タイミングについて>

共有画素における判定部401における判定結果が出されるタイミングと、その判定結果が適用されるタイミングについて図18を参照して説明する。

[0165] 共有画素において、各画素回路41が行う処理は、図16を参照して説明した場合と同様である。すなわち、各画素回路41は、露光開始後、リセット期間、P相取得期間、P相出力期間、D相取得期間、およびD相出力期間が設けられ、それぞれの期間において、対応する処理を実行する。

[0166] ここでは、排出トランジスタ122（OFG）がオンにされることで露光が開始される場合を例に挙げて説明する。各画素回路41においては、各画素回路41に設けられている排出トランジスタ122の立ち下がりから、転送トランジスタ123の立ち下がりまでが露光期間とされる。

[0167] 4画素が個別に制御されることで、空間解像度的に、1画素ずつシフトしたグローバルシャッタの画像を4枚取得することができる。これら4枚の画像の露光時間を個別に制御する（同一の露光時間としない）ことで、HDR（ハイダイナミックレンジ）撮像が可能となる。

[0168] 例えば、画素回路41Aの露光時間を T_a 、画素回路41Bの露光時間を T_b 、画素回路41Cの露光時間を T_c 、画素回路41Dの露光時間を T_d とし、 $T_a : T_b : T_c : T_d = 1 : 4 : 16 : 64$ とすると、露光時間比でダイナミックレンジを64倍に増加させることができる。

[0169] 64倍の露光で飽和してしまう画像であっても、1倍の露光で飽和していなければ、白飛びが発生することを防ぐことができる。

[0170] このような駆動を行うとき、最も短い露光時間 T_a で飽和せずに、全体として暗い場合、例えば、1 ビットで 64 L S B 以下の値であったとき、露光時間 T_d で取得した場合、C D S 後の出力が 4096 以下となる可能性が高い。このような場合、図 16 を参照して説明した場合と同じく、例えば、8 フレーム連続した後などに、最も露光時間が長い露光時間 T_d の読み出し時に、差動入力回路 61 内の電流 I_{cm} や差動入力回路 61 に供給される (D A C 25 で生成される) 参照信号 Ref の電流を制御し、ノイズの発生が抑制される。

[0171] また、露光時間 T_a のみの場合に、ショットノイズなどの影響で、設定精度が得られないときには、露光時間 T_b 、 T_c の信号を複合的に用いて、例えば、露光時間 T_b での平均値が 256、露光時間 T_c での平均値が 1024 を超えているかどうかを同じく判定し、一定フレーム後に、露光時間 T_d に適用するといった制御でも良い。

[0172] また、所定のフレームの露光時間 T_d で算出を行い、その所定のフレームの次のフレームの露光時間 T_a 、 T_b 、 T_c 、 T_d に、算出された設定を適用するようにしても良い。このような制御によれば、HDR による撮影を行いつつも、ノイズの影響を最も避けたい暗い画像が出力される長時間露光 T_d にのみに適用することで、消費電力の最適化を図ることが可能となる。

[0173] なおここでは、P 相、D 相の順で 4 回出力される場合を例に挙げて説明したが、逆 D 相、P 相の順番や、P 相と D 相との複合読み出し、4 回ではなく、2 回、16 回などの読み出しに対しても基本的に同様に、上記した本技術を適用することができる。

[0174] なおここでは、4 画素共有を例に挙げて説明したが、4 画素共有以外の例えば 2 画素共有などに対しても本技術を適用することはできる。

[0175] <複数基板構成>

これまでの説明では、撮像装置 1 が、1 枚の半導体基板 11 上に形成されるものとして説明したが、複数枚の半導体基板 11 に回路を作り分けることで、撮像装置 1 を構成してもよい。

[0176] 図19は、上側基板11Aと下側基板11Cの2枚の半導体基板11を積層することで撮像装置1を構成する概念図を示している。

[0177] 上側基板11Aには、フォトダイオード121を含む画素回路41が少なくとも形成されている。下側基板11Cには、時刻コードを記憶するデータ記憶部52と時刻コード転送部23が少なくとも形成されている。上側基板11Aと下側基板11Cは、例えば、Cu-Cuなどの金属結合などにより接合される。

[0178] 図20は、上側基板11Aと下側基板11Cのそれぞれに形成される回路構成例を示している。上側基板11Aには、画素回路41と、ADC42のうちの差動入力回路61のトランジスタ81、82、及び85の回路が形成されている。下側基板11Cには、トランジスタ81、82、及び85を除くADC42の回路と時刻コード転送部23が形成されている。

[0179] 上側基板11Aは、NMOSのみからなる画素ウェハ（Wafer）とし、下側基板11Cは、差動入力回路61に含まれるPMOSよりも先の回路が形成されるロジックウェハ（Logic Wafer）とすることができる。このように構成することで、PMOSのゆっくりとした差動入力回路61の反応に対して、後段のNORの閾値を超えたところで、定電圧側へのPMOSへのフィードバック（PositiveFeedBack）し、急峻に反応することができる。

[0180] このため、貫通電流の時間が最小化され、同時に外部から供給されるデジタル信号（グレイコード）を正確にラッチし、記憶することが可能となる。ラッチされたデータは、外部の処理部に出力され、CDSなどの処理に用いられる。

[0181] ＜複数基板構成2＞

図19及び図20は、撮像装置1を2枚の半導体基板11で構成した例であるが、3枚の半導体基板11で構成することもできる。

[0182] 図21は、上側基板11A、中間基板11B、及び、下側基板11Cの3枚の半導体基板11を積層することで、撮像装置1を構成する概念図を示している。

[0183] 上側基板11Aには、フォトダイオード121を含む画素回路41と、比較

回路 5 1 の少なくとも一部の回路が形成されている。下側基板 1 1 C には、時刻コードを記憶するデータ記憶部 5 2 と時刻コード転送部 2 3 が少なくとも形成されている。中間基板 1 1 B には、上側基板 1 1 A に配置されない比較回路 5 1 の残りの回路が形成されている。上側基板 1 1 A と中間基板 1 1 B、及び、中間基板 1 1 B と下側基板 1 1 C は、例えば、Cu-Cu などの金属結合などにより接合される。

[0184] 図 2 2 は、撮像装置 1 を 3 枚の半導体基板 1 1 で形成する場合の各半導体基板 1 1 の回路配置例を示している。

[0185] 図 2 2 の例では、上側基板 1 1 A に配置した回路は、図 2 0 に示した上側基板 1 1 A の回路と同じであり、比較回路 5 1 の残りの回路が中間基板 1 1 B に配置され、データ記憶部 5 2 と時刻コード転送部 2 3 が下側基板 1 1 C に配置されている。

[0186] 図 1 9 乃至図 2 2 に示した例において、判定部 4 0 1、バイアス回路 5 0 1、DAC 2 5 などは下側基板 1 1 C に形成することができる。また、さらに下側基板 1 1 C に積層する基板を設け、その基板に判定部 4 0 1、バイアス回路 5 0 1、DAC 2 5 などを形成する用にしても良い。

[0187] また、撮像装置 1 を積層構造とし、画素毎に ADC 4 2 が接続された構成とすることもできる。例えば、1 層目に光電変換素子（フォトダイオード 1 2 1）が含まれ、光電変換素子毎に変換部（ADC 4 2）が接続され、変換部は、1 層目の下層にある 2 層目に形成されている構成とすることもできる。

[0188] また、2 層以上の複数のイメージセンサ（撮像装置 1）からなる構成とすることもでき、複数のイメージセンサのそれぞれを異なる光、例えば、放射線、赤外光、環境光などを検出する撮像装置 1 とすることもできる。

[0189] <他の構成>

本技術は、上記、例えば、図 1 0 を参照して説明した構成に対して適用される範囲が限定されるのではなく、以下に示すような構成に対しても適用可能である。

[0190] 図23は、本技術が適用されるADC42と周辺回路の他の構成を示す図である。図23に示した構成は、図10に示した構成と比較し、画素回路41とADC42（加算部303）との間に、ソースフォロア602とCDS604が追加された構成とされている。また、ソースフォロア602でのノイズを制御する加算部601と、CDS604でのノイズを制御する加算部603も追加された構成とされている。

[0191] 判定部401は、ADC42からの出力に応じて、ソースフォロア602、CDS604、およびADC42のノイズ量を制御する。判定部401は、ソースフォロア602、CDS604、およびADC42のうちの少なくとも1つのノイズ量を制御する。

[0192] 図23では、判定部401の判定結果は、加算部601、加算部603、および加算部303にそれぞれ供給される場合を図示したが、例えば、ソースフォロア602の加算部601にのみ供給されるように構成することも可能である。またCDS604のみや、ADC42のみに判定部401からの判定結果が供給されるようにすること可能である。

[0193] また、図23に示したように、判定部401の判定結果は、加算部601、加算部603、および加算部303にそれぞれ供給されるようにし、ソースフォロア602、CDS604、およびADC42のノイズ量がそれぞれ制御されるようにしても良い。この際、同一の判定結果が供給されるようにしても良いし、それぞれに適した異なる判定結果が供給されるようにしても良い。

[0194] 図23に示した構成においては、例えば、ソースフォロア602の電流源の電流が制御されることで、ノイズの低減や低電力化が実現される。また、例えば、CDS604を構成するアナログ素子の電流が制御されることで、ノイズの低減や低電力化が実現される。また、ADC42内の電流が、上記したようにして制御されることで、ノイズの低減や低電力化が実現される。

[0195] 図24は、本技術が適用されるADC42と周辺回路の他の構成を示す図である。図24に示した構成は、図10に示した構成と比較し、画素回路4

1とADC42（加算部303）との間に、ソースフォロア602が追加された構成とされている。また、ソースフォロア602でのノイズを制御する加算部601も追加された構成とされている。

[0196] 図24に示した構成は、スロープ型のカラムADCに本技術を適用した場合の構成を示している。このような構成において、ソースフォロア602またはADC42のどちらか一方のみ、ノイズ量を制御するように構成することができる。またソースフォロア602とADC42のノイズ量をそれぞれ制御するように構成することができる。

[0197] ソースフォロア602とADC42のノイズ量をそれぞれ制御するようにした場合、判定部401からの判定結果は、同一の判定結果が供給されるようにしても良いし、異なる判定結果が供給されるようにしても良い。

[0198] 図24に示した構成においては、例えば、ソースフォロア602の電流源の電流が制御されることで、ノイズの低減や低電力化が実現される。また、ADC42内の電流が、上記したようにして制御されることで、ノイズの低減や低電力化が実現される。

[0199] 図25は、本技術が適用されるADC42と周辺回路の他の構成を示す図である。図25に示した構成は、図10に示した構成と比較し、画素回路41とADC42（加算部303）との間に、ソースフォロア602が追加された構成とされている。また、ソースフォロア602でのノイズを制御する加算部601も追加された構成とされている。さらに、ソースフォロア602からの出力に応じてADC42を制御する判定部611を追加した構成とされている。

[0200] 図25に示した構成は、適応ゲインマルチスロープ型のADCに本技術を適用した場合の構成を示している。このような構成において、ソースフォロア602またはADC42のどちらか一方のみ、ノイズ量を制御するように構成することができる。またソースフォロア602とADC42のノイズ量をそれぞれ制御するように構成することができる。

[0201] ソースフォロア602とADC42のノイズ量をそれぞれ制御するように

した場合、判定部401からの判定結果は、同一の判定結果が供給されるようにしても良いし、異なる判定結果が供給されるようにしても良い。

[0202] 図25に示した構成においては、例えば、ソースフォロア602の電流源の電流が制御されることで、ノイズの低減や低電力化が実現される。また、ADC42内の電流が、上記したようにして制御されることで、ノイズの低減や低電力化が実現される。

[0203] 図26は、本技術が適用されるADC42と周辺回路の他の構成を示す図である。図26に示した構成は、図10に示した構成と比較し、画素回路41とADC42（加算部303）との間に、ソースフォロア602とゲインアンプ622が追加された構成とされている。また、ソースフォロア602でのノイズを制御する加算部601と、ゲインアンプ622でのノイズを制御する加算部621も追加された構成とされている。

[0204] 判定部401は、ADC42からの出力に応じて、ソースフォロア602、ゲインアンプ622、およびADC42のそれぞれのノイズ量を制御する。判定部401は、ソースフォロア602、ゲインアンプ622、およびADC42のうちの少なくとも1つのノイズ量を制御する。

[0205] 判定部401は、ソースフォロア602、ゲインアンプ622、およびADC42に、同一の判定結果を供給するようにしても良いし、異なる判定結果を供給するようにしても良い。

[0206] 図26に示した構成においては、例えば、ソースフォロア602の電流源の電流が制御されることで、ノイズの低減や低電力化が実現される。また、例えば、ゲインアンプ622を構成するアナログ素子の電流が制御されることで、ノイズの低減や低電力化が実現される。また、ADC42内の電流が、上記したようにして制御されることで、ノイズの低減や低電力化が実現される。

[0207] これらの構成のいずれにも本技術を適用することが可能であり、適用することで、AD変換された出力信号から適応的に、アナログ回路、例えば、ソースフォロア、ゲインアンプ、CDS、ADCなどで消費される電流を可変

調整することができ、高照度時に低電力、低照度時に低ノイズを実現することが可能となる。

[0208] またこれらの構成のいずれにも、図19乃至22を参照して説明した積層構造を適用することができる。

[0209] <電子機器への適用例>

本開示は、撮像装置への適用に限られるものではない。即ち、本開示は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機など、画像取込部（光電変換部）に撮像装置を用いる電子機器全般に対して適用可能である。撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0210] 図27は、本開示に係る電子機器としての、撮像装置の構成例を示すブロック図である。

[0211] 図27の撮像装置800は、レンズ群などからなる光学部801、上記した撮像装置1の構成が採用される撮像装置（撮像デバイス）802、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路803を備える。また、撮像装置800は、フレームメモリ804、表示部805、記録部806、操作部807、および電源部808も備える。DSP回路803、フレームメモリ804、表示部805、記録部806、操作部807および電源部808は、バスライン809を介して相互に接続されている。

[0212] 光学部801は、被写体からの入射光（像光）を取り込んで撮像装置802の撮像面上に結像する。撮像装置802は、光学部801によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0213] 表示部805は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、撮像装置802で撮像された動画または静止画を表示する。記録部806は、撮像装置802で撮像された動画ま

たは静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0214] 操作部807は、ユーザによる操作の下に、撮像装置800が持つ様々な機能について操作指令を発する。電源部808は、DSP回路803、フレームメモリ804、表示部805、記録部806および操作部807の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0215] 撮像装置802として、上述した構成を採用した撮像装置1を用いることができる。

[0216] 本開示は、撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0217] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0218] 上述した各実施の形態の回路構成は、電子を電荷とする回路構成として説明したが、本開示は、正孔を電荷とする回路構成とすることもできる。また、上述した各回路構成において、トランジスタの極性（NMOSトランジスタとPMOSトランジスタ）を入れ替えた回路構成でも実現可能である。その場合、トランジスタに入力される制御信号は、HiとLowが反対の信号となる。

[0219] 上述した各実施の形態では、参照信号REFが時間経過に応じてレベル（電圧）が単調減少するスロープ信号であるとして説明したが、参照信号REFは、時間経過に応じてレベル（電圧）が単調増加するスロープ信号とすることもできる。

[0220] その他、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。上述した実施の形態では説明していない他の実施の形態どうしを適宜組み合わせた形態も可能である。

[0221] <体内情報取得システムへの応用例>

[0222] 図28は、本開示に係る技術（本技術）が適用され得る、カプセル型内視鏡を用いた患者の体内情報取得システムの概略的な構成の一例を示すブロック図である。

[0223] 体内情報取得システム10001は、カプセル型内視鏡10100と、外部制御装置1

0200とから構成される。

[0224] カプセル型内視鏡10100は、検査時に、患者によって飲み込まれる。カプセル型内視鏡10100は、撮像機能及び無線通信機能を有し、患者から自然排出されるまでの間、胃や腸等の臓器の内部を蠕動運動等によって移動しつつ、当該臓器の内部の画像（以下、体内画像ともいう）を所定の間隔で順次撮像し、その体内画像についての情報を体外の外部制御装置10200に順次無線送信する。

[0225] 外部制御装置10200は、体内情報取得システム10001の動作を統括的に制御する。また、外部制御装置10200は、カプセル型内視鏡10100から送信されてくる体内画像についての情報を受信し、受信した体内画像についての情報に基づいて、表示装置（図示せず）に当該体内画像を表示するための画像データを生成する。

[0226] 体内情報取得システム10001では、このようにして、カプセル型内視鏡10100が飲み込まれてから排出されるまでの間、患者の体内の様子を撮像した体内画像を随時得ることができる。

[0227] カプセル型内視鏡10100と外部制御装置10200の構成及び機能についてより詳細に説明する。

[0228] カプセル型内視鏡10100は、カプセル型の筐体10101を有し、その筐体10101内には、光源部10111、撮像部10112、画像処理部10113、無線通信部10114、給電部10115、電源部10116、及び制御部10117が収納されている。

[0229] 光源部10111は、例えばLED(light emitting diode)等の光源から構成され、撮像部10112の撮像視野に対して光を照射する。

[0230] 撮像部10112は、撮像素子、及び当該撮像素子の前段に設けられる複数のレンズからなる光学系から構成される。観察対象である体組織に照射された光の反射光（以下、観察光という）は、当該光学系によって集光され、当該撮像素子に入射する。撮像部10112では、撮像素子において、そこに入射した観察光が光電変換され、その観察光に対応する画像信号が生成される。撮像部10112によって生成された画像信号は、画像処理部10113に提供される。

- [0231] 画像処理部10113は、CPU(Central Processing Unit)やGPU(Graphics Processing Unit)等のプロセッサによって構成され、撮像部10112によって生成された画像信号に対して各種の信号処理を行う。画像処理部10113は、信号処理を施した画像信号を、RAWデータとして無線通信部10114に提供する。
- [0232] 無線通信部10114は、画像処理部10113によって信号処理が施された画像信号に対して変調処理等の所定の処理を行い、その画像信号を、アンテナ10114Aを介して外部制御装置10200に送信する。また、無線通信部10114は、外部制御装置10200から、カプセル型内視鏡10100の駆動制御に関する制御信号を、アンテナ10114Aを介して受信する。無線通信部10114は、外部制御装置10200から受信した制御信号を制御部10117に提供する。
- [0233] 給電部10115は、受電用のアンテナコイル、当該アンテナコイルに発生した電流から電力を再生する電力再生回路、及び昇圧回路等から構成される。給電部10115では、いわゆる非接触充電の原理を用いて電力が生成される。
- [0234] 電源部10116は、二次電池によって構成され、給電部10115によって生成された電力を蓄電する。図28では、図面が煩雑になることを避けるために、電源部10116からの電力の供給先を示す矢印等の図示を省略しているが、電源部10116に蓄電された電力は、光源部10111、撮像部10112、画像処理部10113、無線通信部10114、及び制御部10117に供給され、これらの駆動に用いられる。
- [0235] 制御部10117は、CPU等のプロセッサによって構成され、光源部10111、撮像部10112、画像処理部10113、無線通信部10114、及び、給電部10115の駆動を、外部制御装置10200から送信される制御信号に従って適宜制御する。
- [0236] 外部制御装置10200は、CPU、GPU等のプロセッサ、又はプロセッサとメモリ等の記憶素子が混載されたマイクロコンピュータ若しくは制御基板等で構成される。外部制御装置10200は、カプセル型内視鏡10100の制御部10117に対して制御信号を、アンテナ10200Aを介して送信することにより、カプセル型内視鏡10100の動作を制御する。カプセル型内視鏡10100では、例えば、外部制御装置10200からの制御信号により、光源部10111における観察対象に対する

光の照射条件が変更され得る。また、外部制御装置10200からの制御信号により、撮像条件（例えば、撮像部10112におけるフレームレート、露出値等）が変更され得る。また、外部制御装置10200からの制御信号により、画像処理部10113における処理の内容や、無線通信部10114が画像信号を送信する条件（例えば、送信間隔、送信画像数等）が変更されてもよい。

[0237] また、外部制御装置10200は、カプセル型内視鏡10100から送信される画像信号に対して、各種の画像処理を施し、撮像された体内画像を表示装置に表示するための画像データを生成する。当該画像処理としては、例えば現像処理（デモザイク処理）、高画質化処理（帯域強調処理、超解像処理、NR(Noise reduction)処理及び／又は手ブレ補正処理等）、並びに／又は拡大処理（電子ズーム処理）等、各種の信号処理を行うことができる。外部制御装置10200は、表示装置の駆動を制御して、生成した画像データに基づいて撮像された体内画像を表示させる。あるいは、外部制御装置10200は、生成した画像データを記録装置（図示せず）に記録させたり、印刷装置（図示せず）に印刷出力させてもよい。

[0238] 以上、本開示に係る技術が適用され得る体内情報取得システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、光源部10111～制御部10117のどれかに適用され得る。具体的には、図3などに示したADC42を含む撮像装置1を、撮像部10112に適用することができる。

[0239] <内視鏡手術システムへの応用例>

[0240] 図29は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0241] 図29では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載

されたカート11200と、から構成される。

[0242] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0243] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0244] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット(CCU: Camera Control Unit)11201に送信される。

[0245] CCU11201は、CPU(Central Processing Unit)やGPU(Graphics Processing Unit)等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0246] 表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

[0247] 光源装置11203は、例えばLED(light emitting diode)等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

[0248] 入力装置11204は、内視鏡手術システム11000に対する入力インタフェース

である。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0249] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0250] なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0251] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0252] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給

可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察(Narrow Band Imaging)が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0253] 図30は、図29に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0254] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0255] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0256] 撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D(dimensional)表示に対応する右目用及び左目

用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0257] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0258] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

[0259] 通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部11402から得た画像信号をRAWデータとして伝送ケーブル11400を介してCCU11201に送信する。

[0260] また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0261] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE(Auto Exposure)機能、AF(Auto Focus)機能及びAWB(Auto White Balance)機能が内視鏡11100に搭載されていることになる。

[0262] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0263] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するため

の通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

[0264] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0265] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0266] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

[0267] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使用時のミスト等を認識することができる。制御部11413は、表示装置11202に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者11131に提示されることにより、術者11131の負担を軽減することや、術者11131が確実に手術を進めることが可能になる。

[0268] カメラヘッド11102及びCCU11201を接続する伝送ケーブル11400は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0269] ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

[0270] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例につい

て説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡11100や、カメラヘッド11102（の撮像部11402）、CCU11201（の画像処理部11412）等に適用され得る。具体的には、図3などに示したADC42を含む撮像装置1を、撮像部10402に適用することができる。

[0271] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0272] <移動体への応用例>

[0273] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0274] 図31は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0275] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図31に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0276] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

- [0277] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0278] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0279] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0280] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0281] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット1

2010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0282] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0283] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0284] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図31の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0285] 図32は、撮像部12031の設置位置の例を示す図である。

[0286] 図32では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0287] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部121

01及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0288] なお、図32には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0289] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0290] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0291] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0292] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形状輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0293] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031等に適用され得る。具体的には、図3などに示したADC42を含む撮像装置1を、撮像部12031に適用することができる。

[0294] なお、本明細書において、システムとは、複数の装置により構成される装

置全体を表すものである。

[0295] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0296] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0297] なお、本技術は以下のような構成も取ることができる。

(1)

光電変換素子と、
前記光電変換素子からの信号をデジタル信号に変換する変換部と、
前記変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部と
を備える撮像装置。

(2)

前記変換部は、時間経過に応じてレベルが単調減少するスロープ信号を用いて、前記光電変換素子からの信号をデジタル信号に変換する
前記(1)に記載の撮像装置。

(3)

前記制御部は、前記出力信号のレベルが大きい場合、前記アナログ回路に流す電流を低減させる制御を行う
前記(1)または(2)に記載の撮像装置。

(4)

前記制御部は、前記出力信号のレベルが小さい場合、前記アナログ回路に流す電流を増大させる制御を行う
前記(1)乃至(3)のいずれかに記載の撮像装置。

(5)

前記アナログ回路は、ソースフォロアであり、
前記制御部は、前記ソースフォロアの電流を制御する
前記(1)乃至(4)のいずれかに記載の撮像装置。

(6)

前記アナログ回路は、ゲインアンプであり、
前記制御部は、前記ゲインアンプの電流を制御する
前記(1)乃至(5)のいずれかに記載の撮像装置。

(7)

前記アナログ回路は、前記変換部に含まれる比較回路であり、
前記制御部は、前記比較回路の電流を制御する
前記(1)乃至(6)のいずれかに記載の撮像装置。

(8)

前記アナログ回路は、前記変換部に供給する参照信号を生成する参照信号生成部であり、
前記制御部は、前記参照信号生成部の電流を制御する
前記(1)乃至(7)のいずれかに記載の撮像装置。

(9)

前記制御部は、全画素毎、画素毎、カラム毎、または画素ブロック毎に制御を行う
前記(1)乃至(8)のいずれかに記載の撮像装置。

(10)

前記制御部は、フレーム毎、1フレームを生成するサブフレーム毎、または所定数のフレーム毎に制御を行う
前記(1)乃至(9)のいずれかに記載の撮像装置。

(11)

前記制御部が行う制御の更新は、ヒステリシスを有する
前記(10)に記載の撮像装置。

(12)

前記制御部は、画素のリセットレベルのA/D変換期間と信号レベルのA/D変換期間で同一の制御を行う
前記(1)乃至(11)のいずれかに記載の撮像装置。

(13)

1 フレームが複数のサブフレームから生成される場合、
前記制御部は、前記アナログ回路に流す電流として所定のサブフレームで算出された電流値を、同一フレーム内の他のサブフレームに対して適用する
前記(1)乃至(12)のいずれかに記載の撮像装置。

(14)

前記出力信号は、所定の画素領域周辺を代表する画素から読み出された信号であり、

前記制御部は、読み出された信号に基づき前記制御を行う

前記(1)乃至(13)のいずれかに記載の撮像装置。

(15)

前記画素領域周辺を代表する画素は、像面位相差画素である

前記(14)に記載の撮像装置。

(16)

積層構造とされている

前記(1)乃至(15)のいずれかに記載の撮像装置。

(17)

1層目に前記光電変換素子が含まれ、2層目に前記変換部が含まれ、前記光電変換素子毎に前記変換部が接続されている

前記(1)乃至(16)のいずれかに記載の撮像装置。

(18)

前記光電変換素子は、放射線、赤外光、環境光のいずれかを検出する

前記(1)乃至(17)のいずれかに記載の撮像装置。

(19)

1つの前記変換部は、複数の前記光電変換素子からの出力信号を処理する

前記(1)乃至(18)のいずれかに記載の撮像装置。

(20)

光電変換素子と、

前記光電変換素子からの信号をデジタル信号に変換する変換部と、
前記変換部からの出力信号に基づき、アナログ回路に流す電流を制御する
制御部と
を備える撮像装置
を含む電子機器。

符号の説明

[0298] 1 撮像装置, 2 1 画素, 2 2 画素アレイ部, 2 3 時刻コード
転送部, 2 5 D A C, 2 6 時刻コード発生部, 2 8 出力部,
4 1 画素回路, 4 2 A D C, 5 1 比較回路, 5 2 データ記
憶部, 6 1 差動入力回路, 6 2 電圧変換回路, 6 3 正帰還回路
, 7 1 ラッチ制御回路, 7 2 ラッチ記憶部, 8 1 乃至 8 7, 9 1
トランジスタ, 1 0 1 乃至 1 0 5, 1 1 1 乃至 1 1 3 トランジスタ, 4
0 1 判定部, 5 0 1 バイアス回路

請求の範囲

- [請求項1] 光電変換素子と、
前記光電変換素子からの信号をデジタル信号に変換する変換部と、
前記変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部と
を備える撮像装置。
- [請求項2] 前記変換部は、時間経過に応じてレベルが単調減少するスロープ信号を用いて、前記光電変換素子からの信号をデジタル信号に変換する
請求項1に記載の撮像装置。
- [請求項3] 前記制御部は、前記出力信号のレベルが大きい場合、前記アナログ回路に流す電流を低減させる制御を行う
請求項1に記載の撮像装置。
- [請求項4] 前記制御部は、前記出力信号のレベルが小さい場合、前記アナログ回路に流す電流を増大させる制御を行う
請求項1に記載の撮像装置。
- [請求項5] 前記アナログ回路は、ソースフォロアであり、
前記制御部は、前記ソースフォロアの電流を制御する
請求項1に記載の撮像装置。
- [請求項6] 前記アナログ回路は、ゲインアンプであり、
前記制御部は、前記ゲインアンプの電流を制御する
請求項1に記載の撮像装置。
- [請求項7] 前記アナログ回路は、前記変換部に含まれる比較回路であり、
前記制御部は、前記比較回路の電流を制御する
請求項1に記載の撮像装置。
- [請求項8] 前記アナログ回路は、前記変換部に供給する参照信号を生成する参照信号生成部であり、
前記制御部は、前記参照信号生成部の電流を制御する
請求項1に記載の撮像装置。

- [請求項9] 前記制御部は、全画素毎、画素毎、カラム毎、または画素ブロック毎に制御を行う
請求項 1 に記載の撮像装置。
- [請求項10] 前記制御部は、フレーム毎、1 フレームを生成するサブフレーム毎、または所定数のフレーム毎に制御を行う
請求項 1 に記載の撮像装置。
- [請求項11] 前記制御部が行う制御の更新は、ヒステリシスを有する
請求項 10 に記載の撮像装置。
- [請求項12] 前記制御部は、画素のリセットレベルのA/D変換期間と信号レベルのA/D変換期間で同一の制御を行う
請求項 1 に記載の撮像装置。
- [請求項13] 1 フレームが複数のサブフレームから生成される場合、
前記制御部は、前記アナログ回路に流す電流として所定のサブフレームで算出された電流値を、同一フレーム内の他のサブフレームに対して適用する
請求項 1 に記載の撮像装置。
- [請求項14] 前記出力信号は、所定の画素領域周辺を代表する画素から読み出された信号であり、
前記制御部は、読み出された信号に基づき前記制御を行う
請求項 1 に記載の撮像装置。
- [請求項15] 前記画素領域周辺を代表する画素は、像面位相差画素である
請求項 14 に記載の撮像装置。
- [請求項16] 積層構造とされている
請求項 1 に記載の撮像装置。
- [請求項17] 1 層目に前記光電変換素子が含まれ、2 層目に前記変換部が含まれ、前記光電変換素子毎に前記変換部が接続されている
請求項 1 に記載の撮像装置。
- [請求項18] 前記光電変換素子は、放射線、赤外光、環境光のいずれかを検出す

る

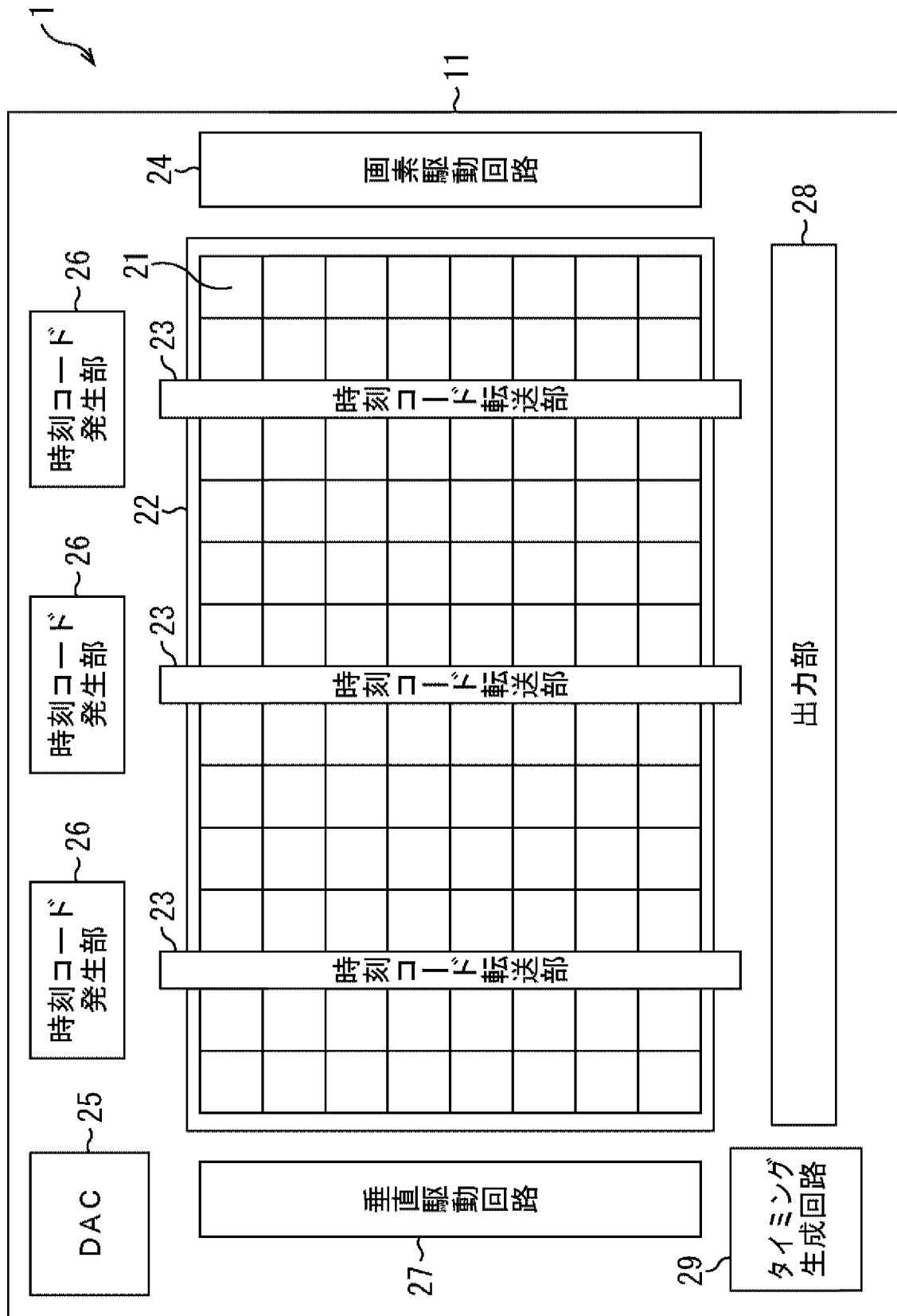
請求項 1 に記載の撮像装置。

[請求項19] 1つの前記変換部は、複数の前記光電変換素子からの出力信号を処理する

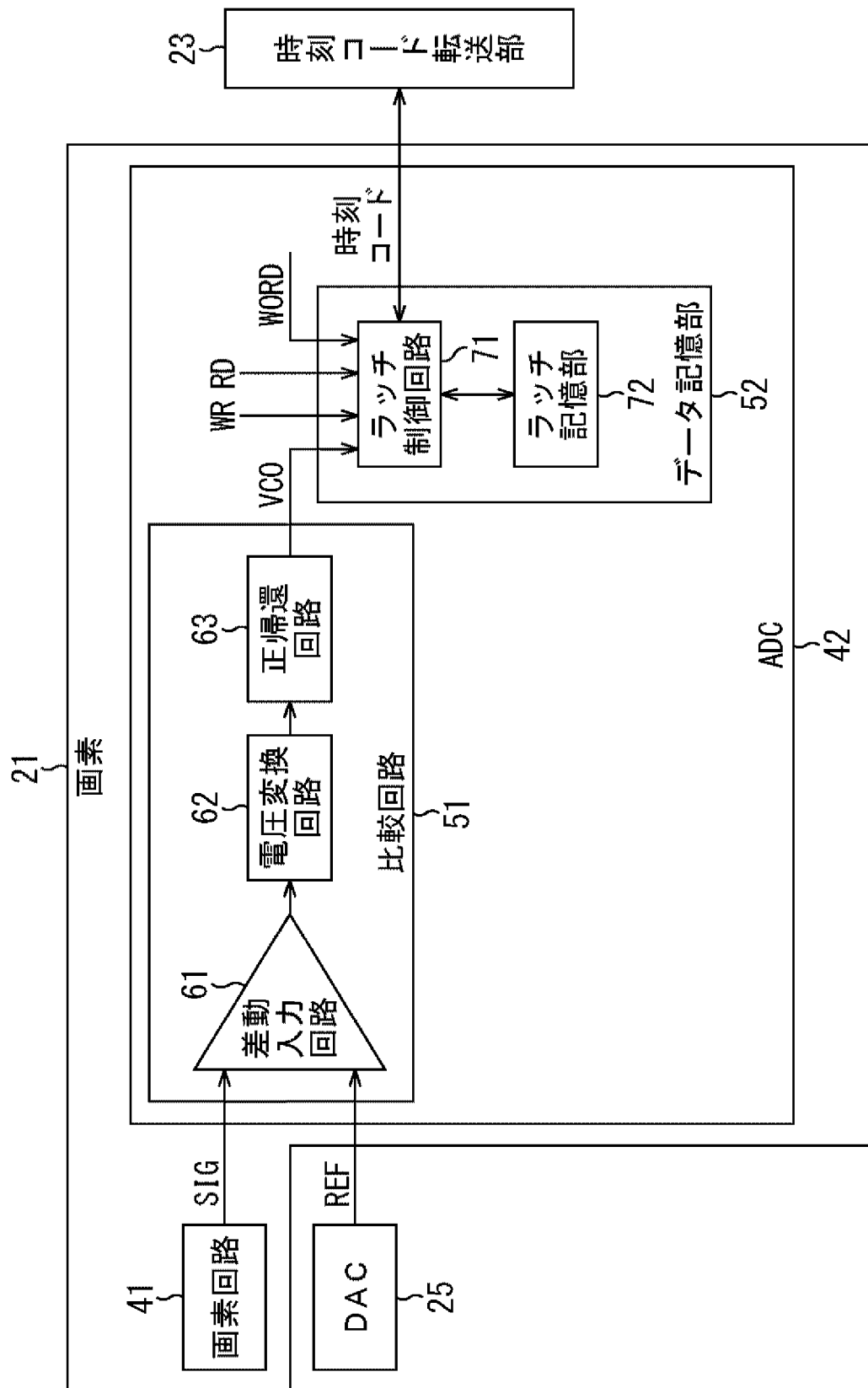
請求項 1 に記載の撮像装置。

[請求項20] 光電変換素子と、
前記光電変換素子からの信号をデジタル信号に変換する変換部と、
前記変換部からの出力信号に基づき、アナログ回路に流す電流を制御する制御部と
を備える撮像装置
を含む電子機器。

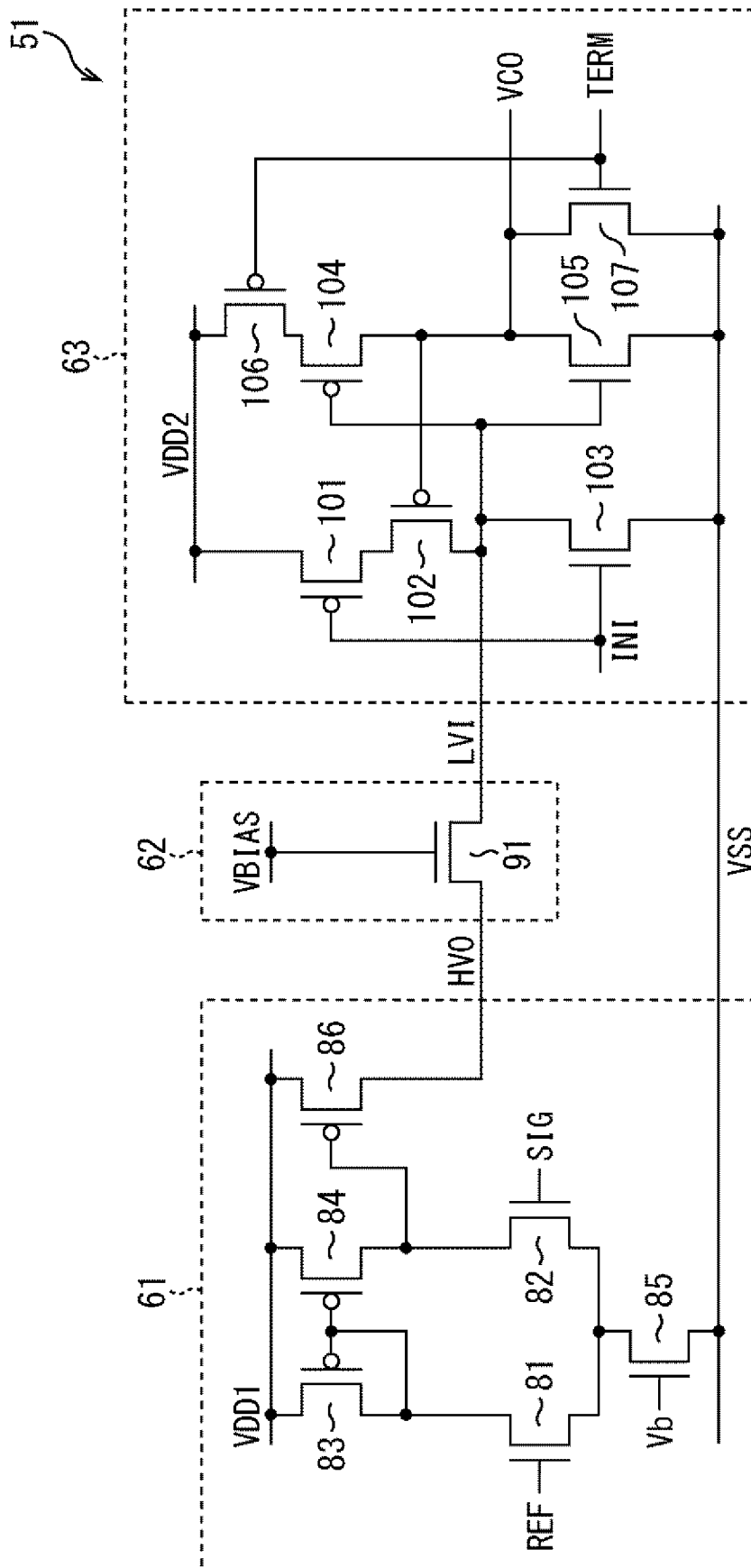
[図1]
FIG. 1



[図2]
FIG. 2

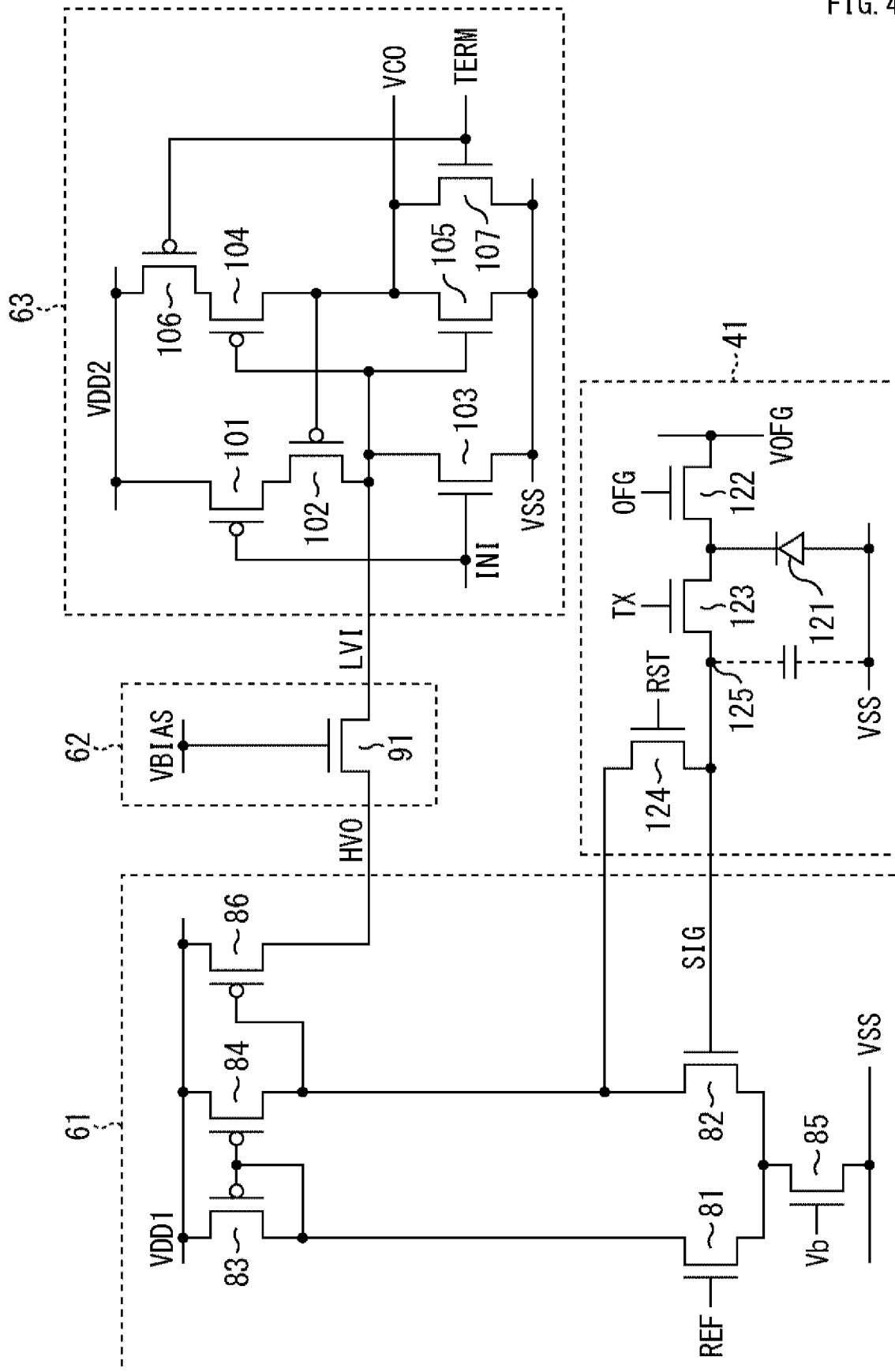


[図3]
FIG. 3

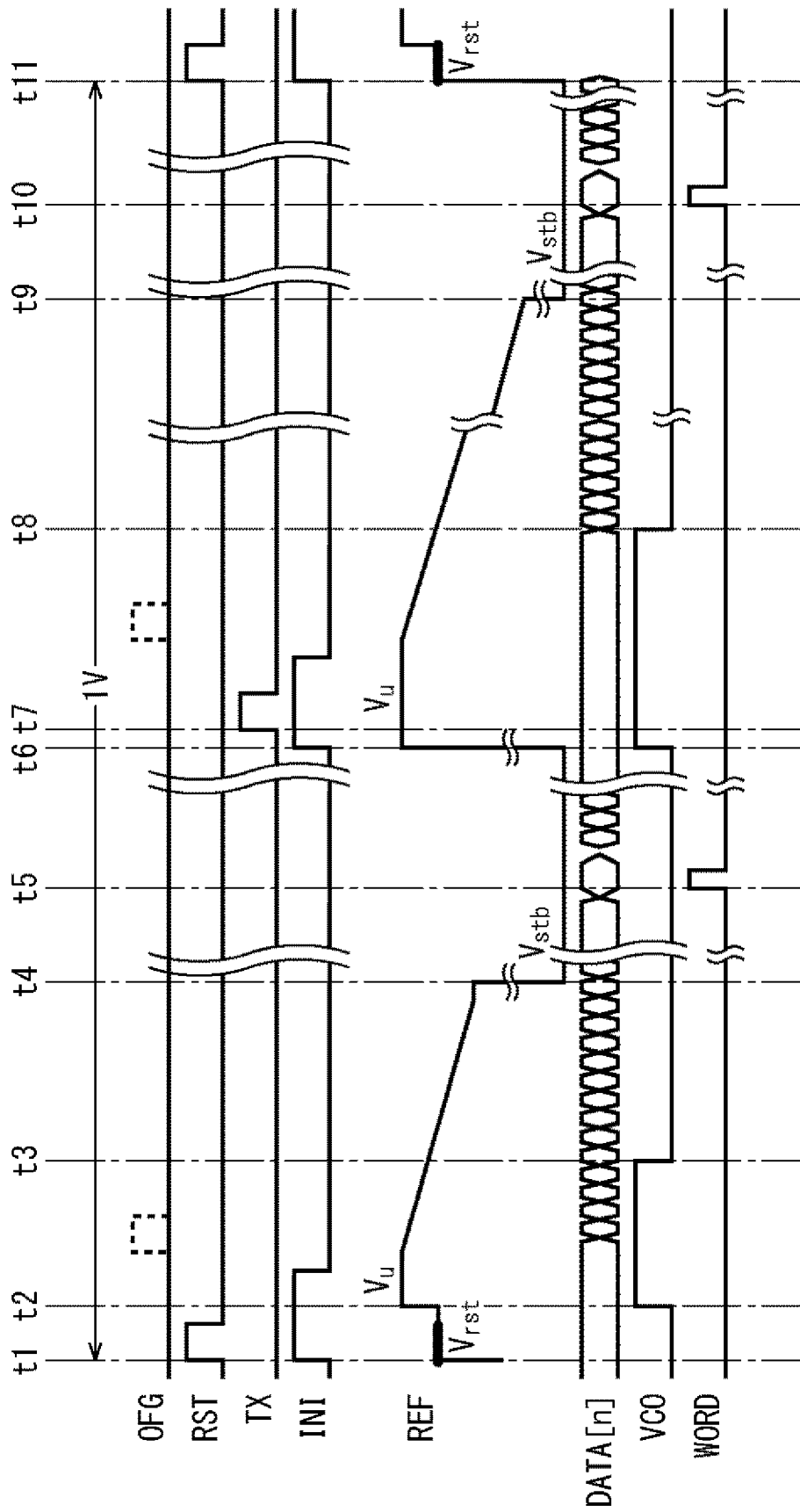


[図4]

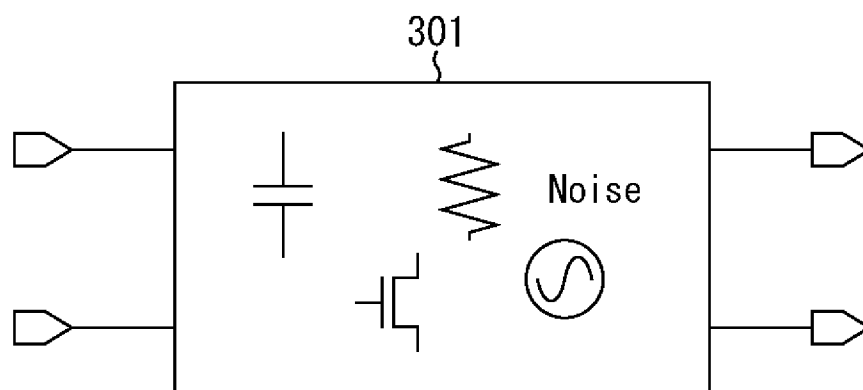
FIG. 4



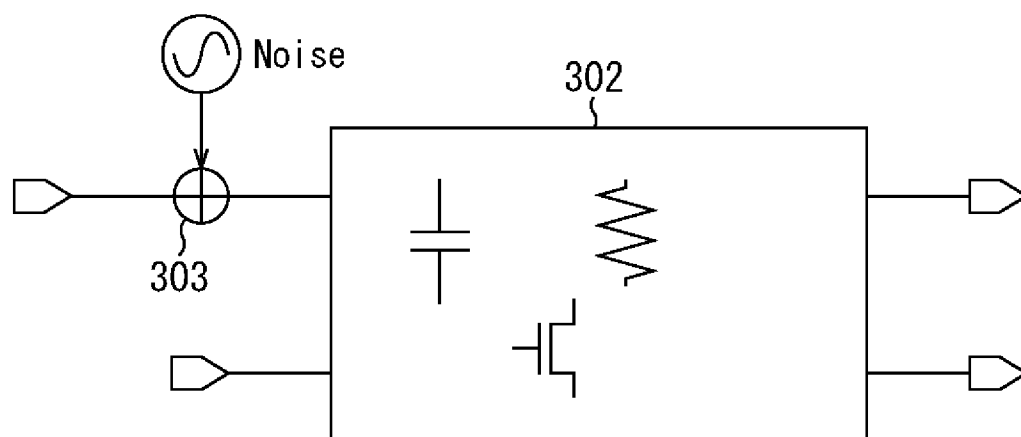
[図5]
FIG. 5



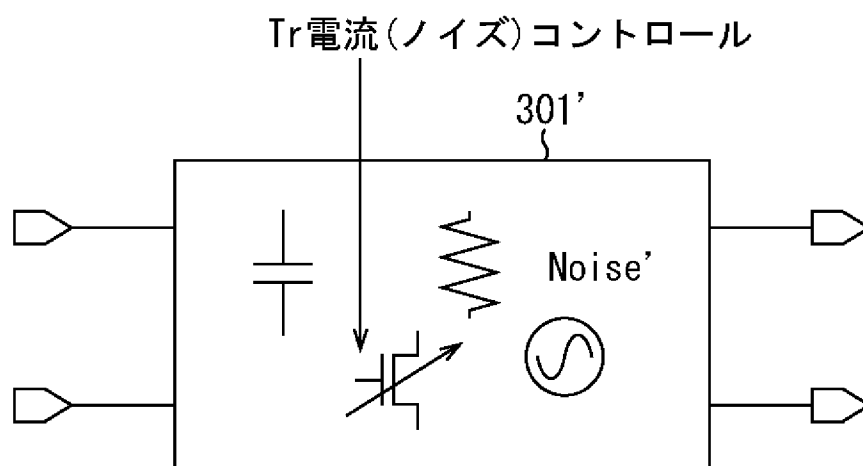
[図6]
FIG. 6



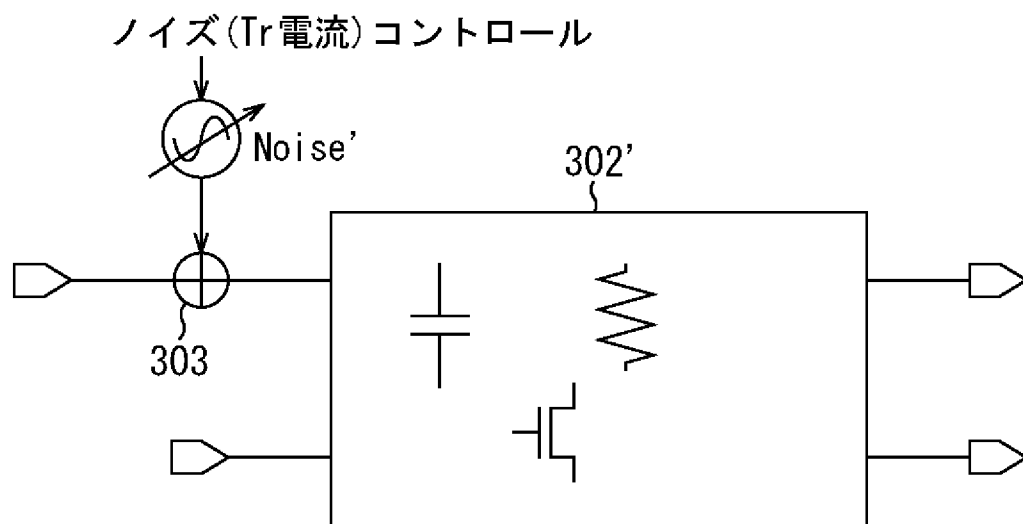
[図7]
FIG. 7



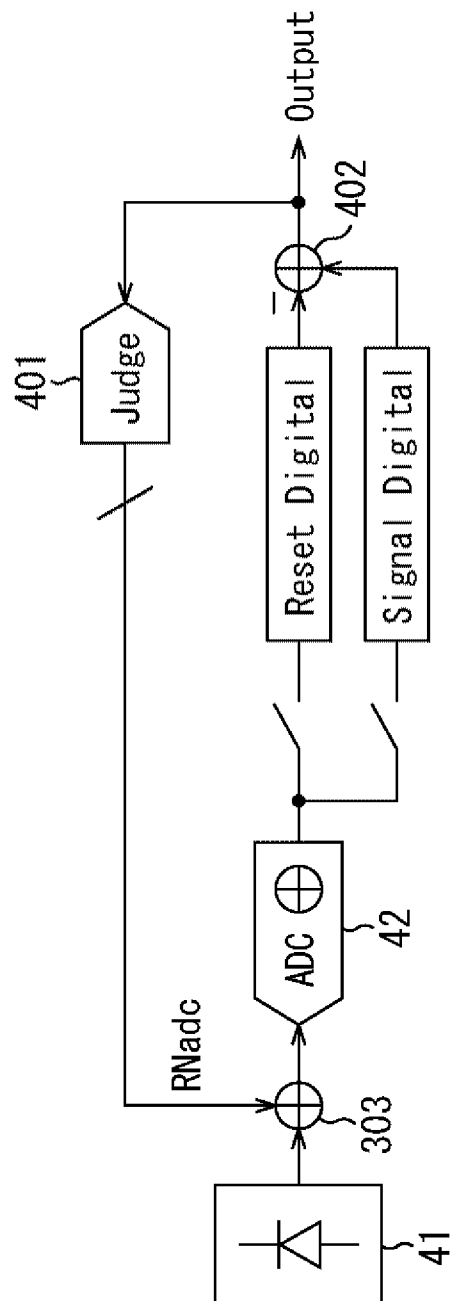
[図8]
FIG. 8



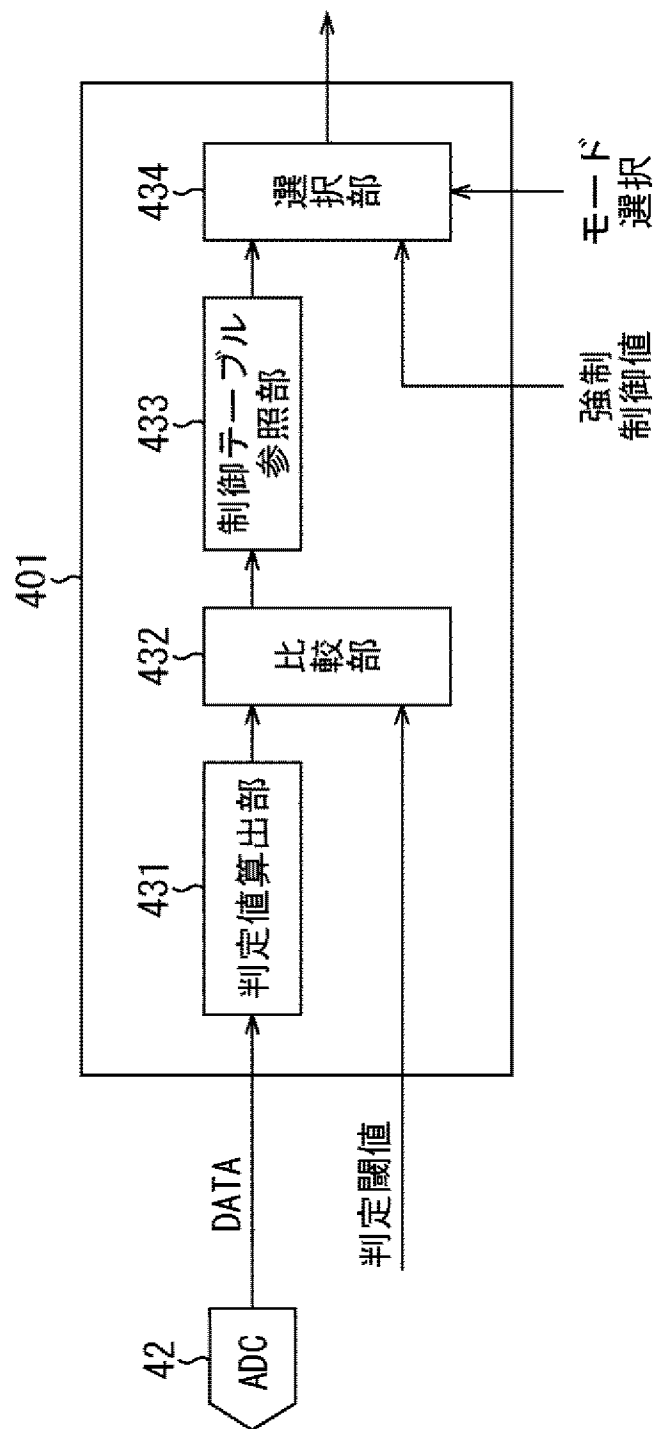
[図9]
FIG. 9



[図10]
FIG. 10

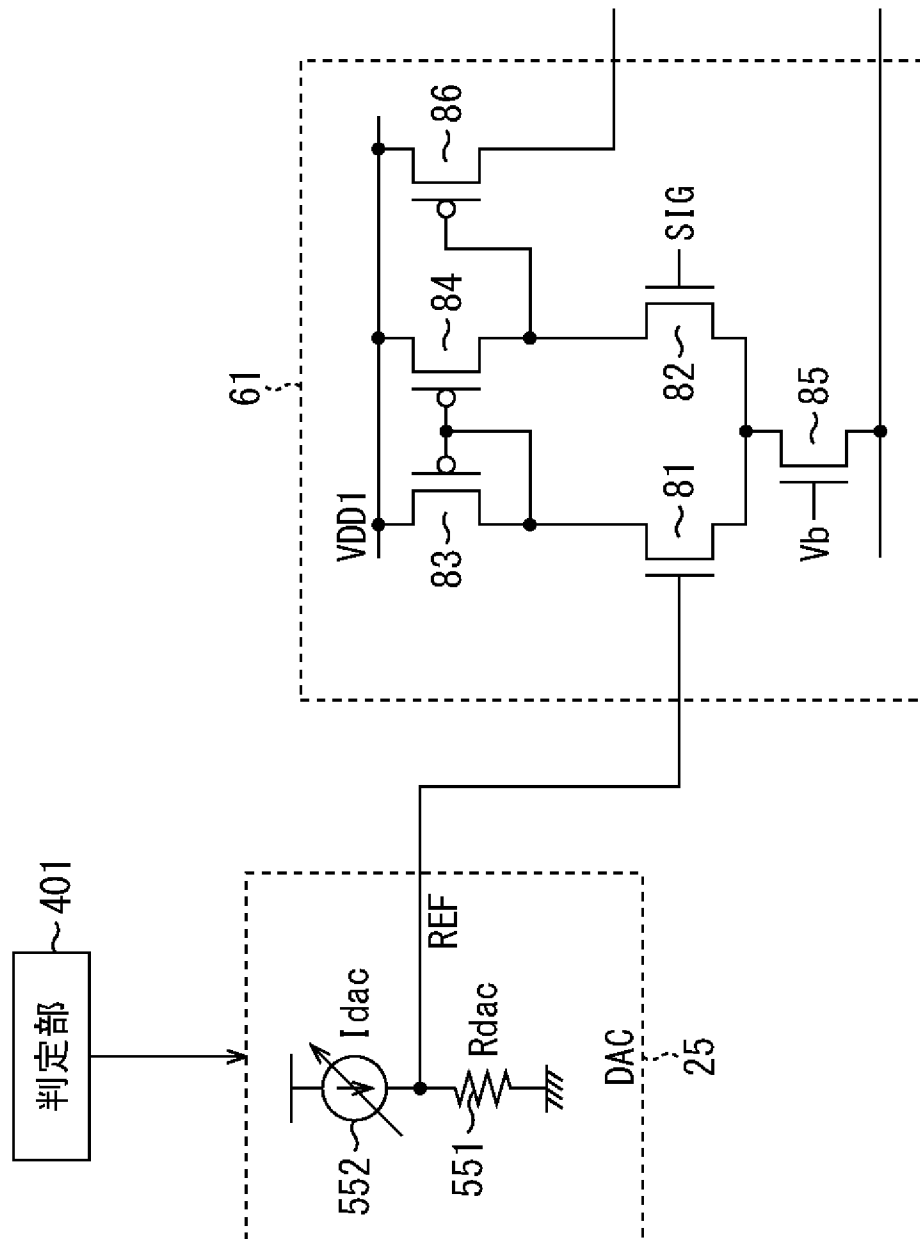


[図11]
FIG. 11

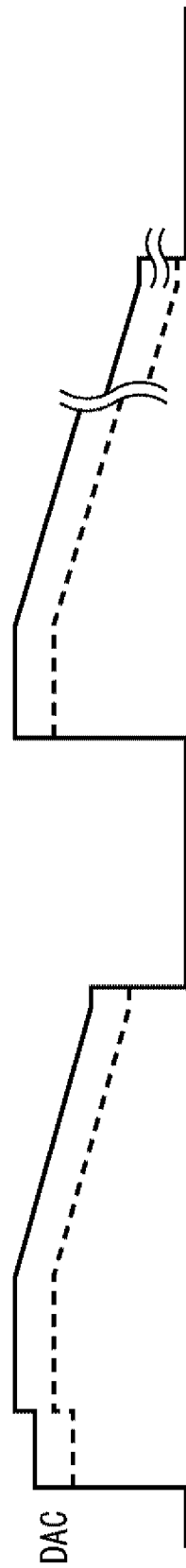


The diagram shows a differential amplifier circuit 501. It consists of a differential pair of PMOS transistors 81 and 82, an NMOS tail transistor 85, and a current source 86. The circuit is biased by a current source 512 and a PMOS transistor 511. The output is connected to a decision block 401.

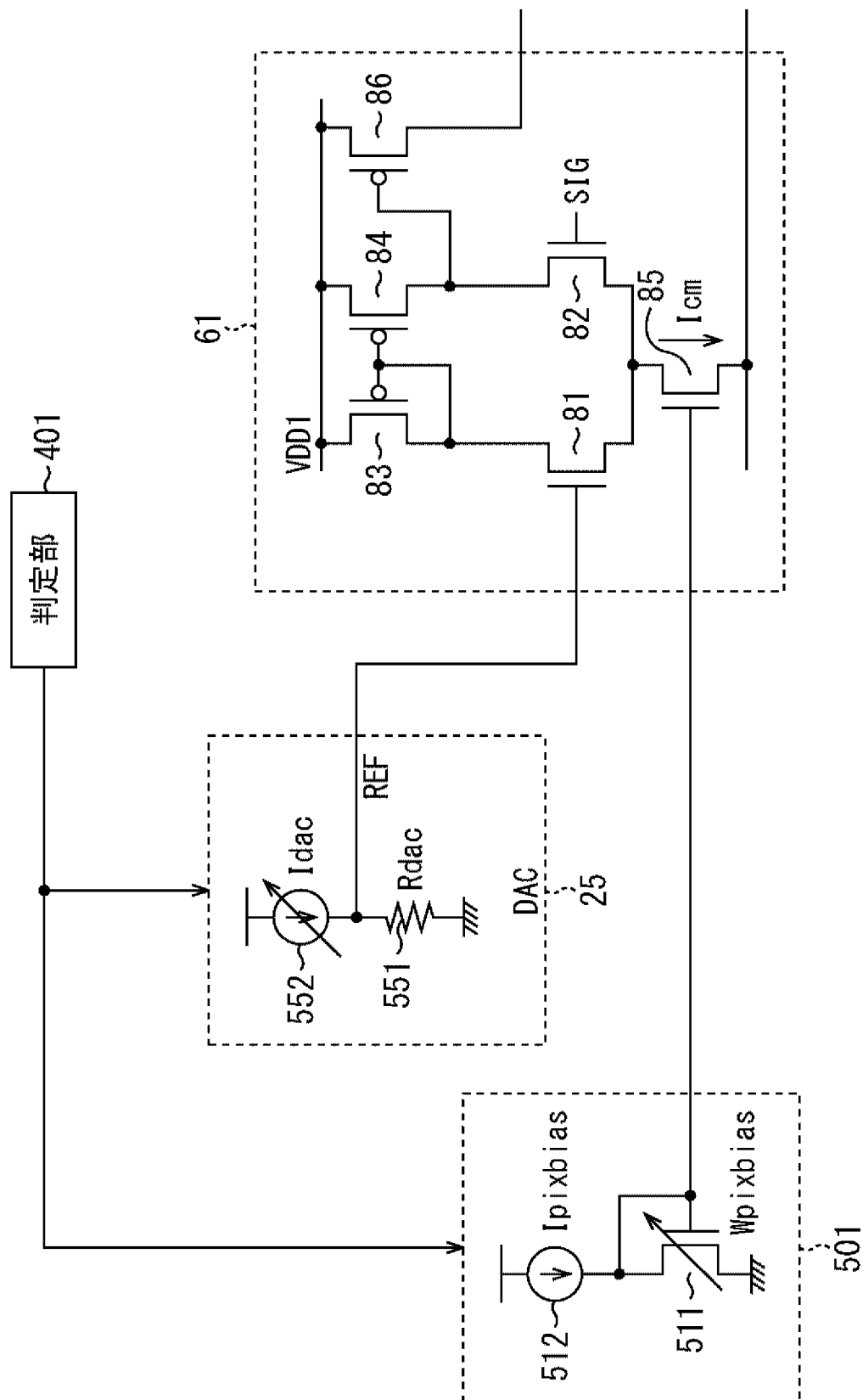
[図13]
FIG. 13



[図14]
FIG. 14



[図15]
FIG. 15



[図16]
FIG. 16

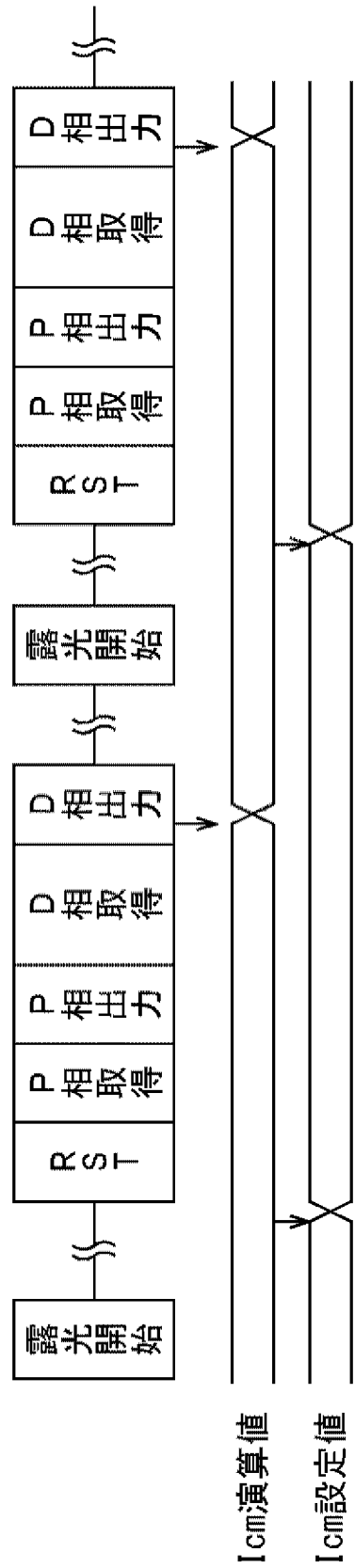
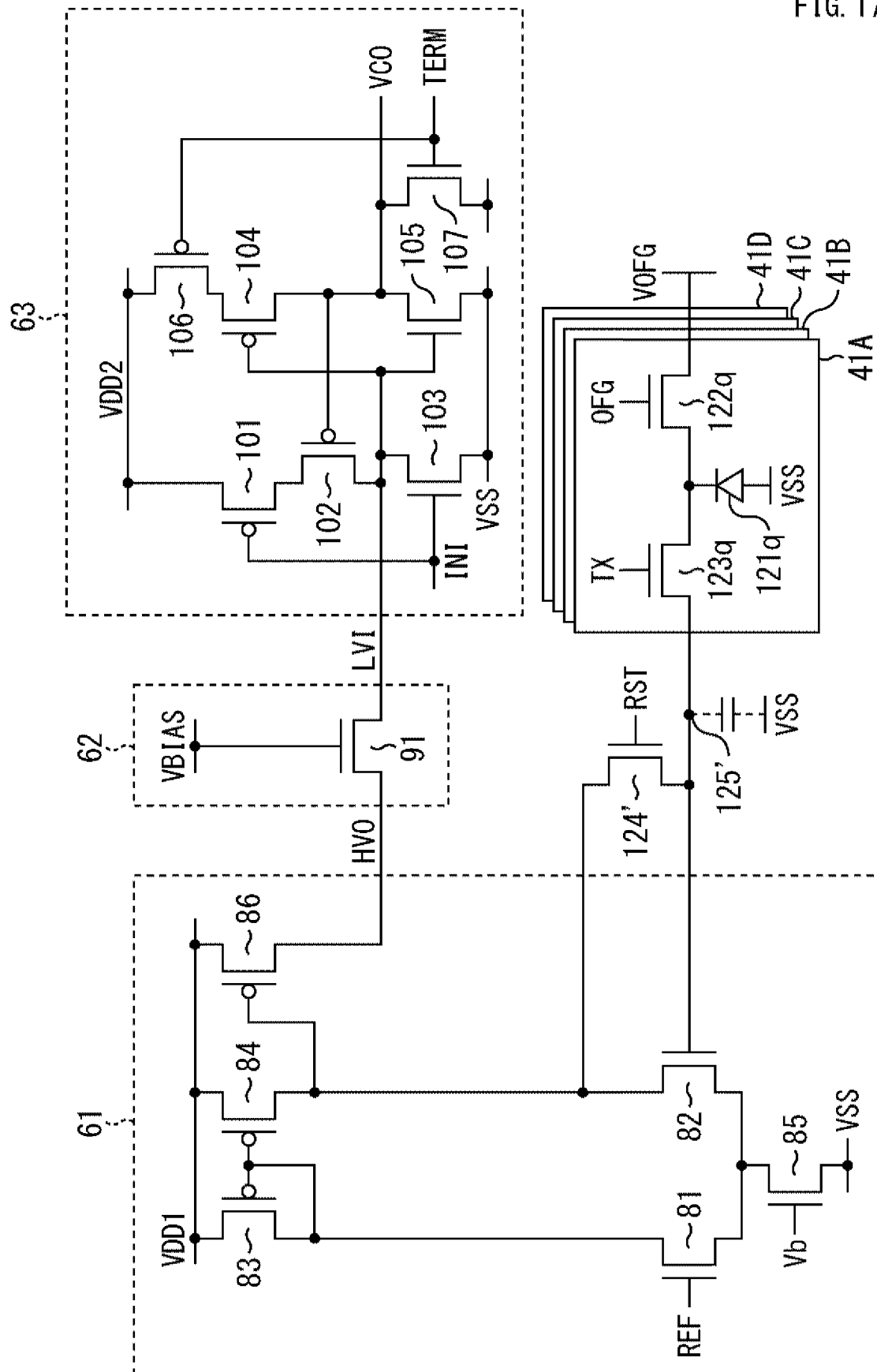
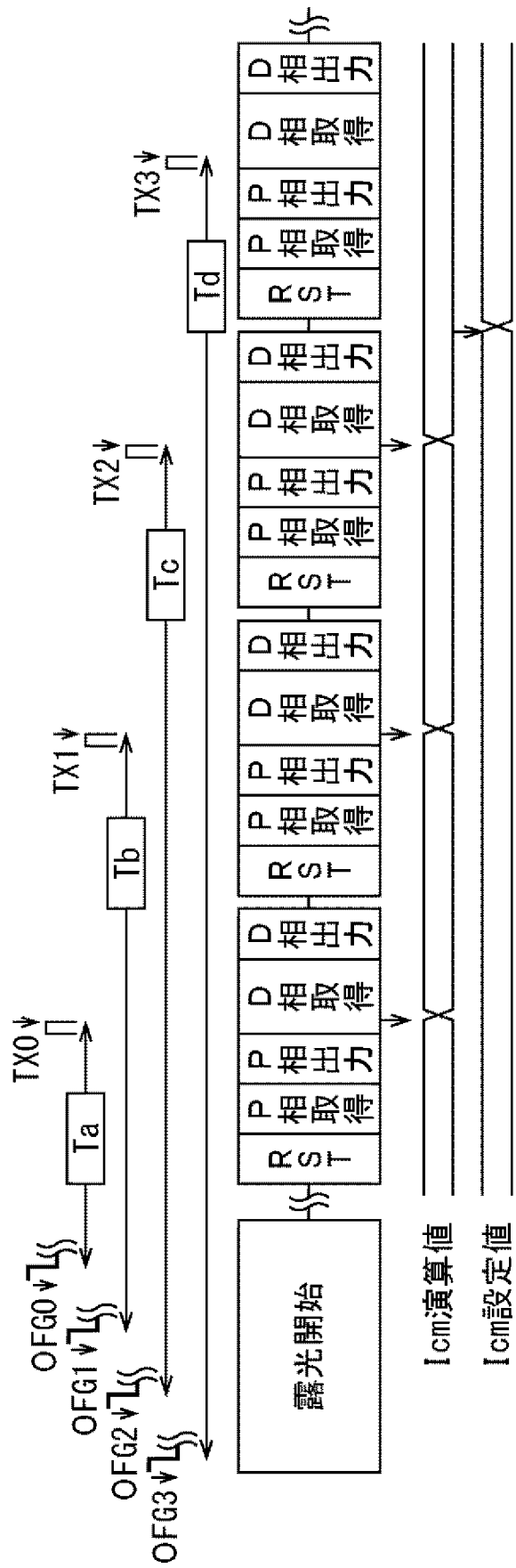


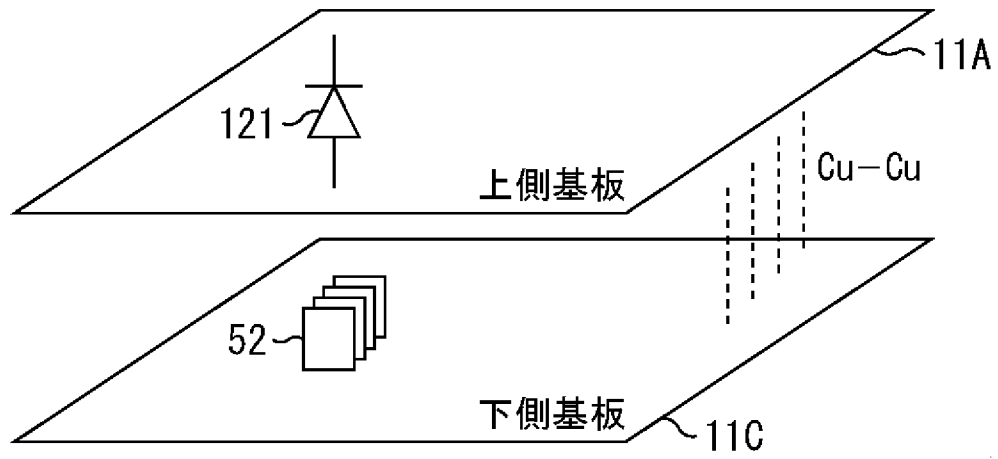
FIG. 17



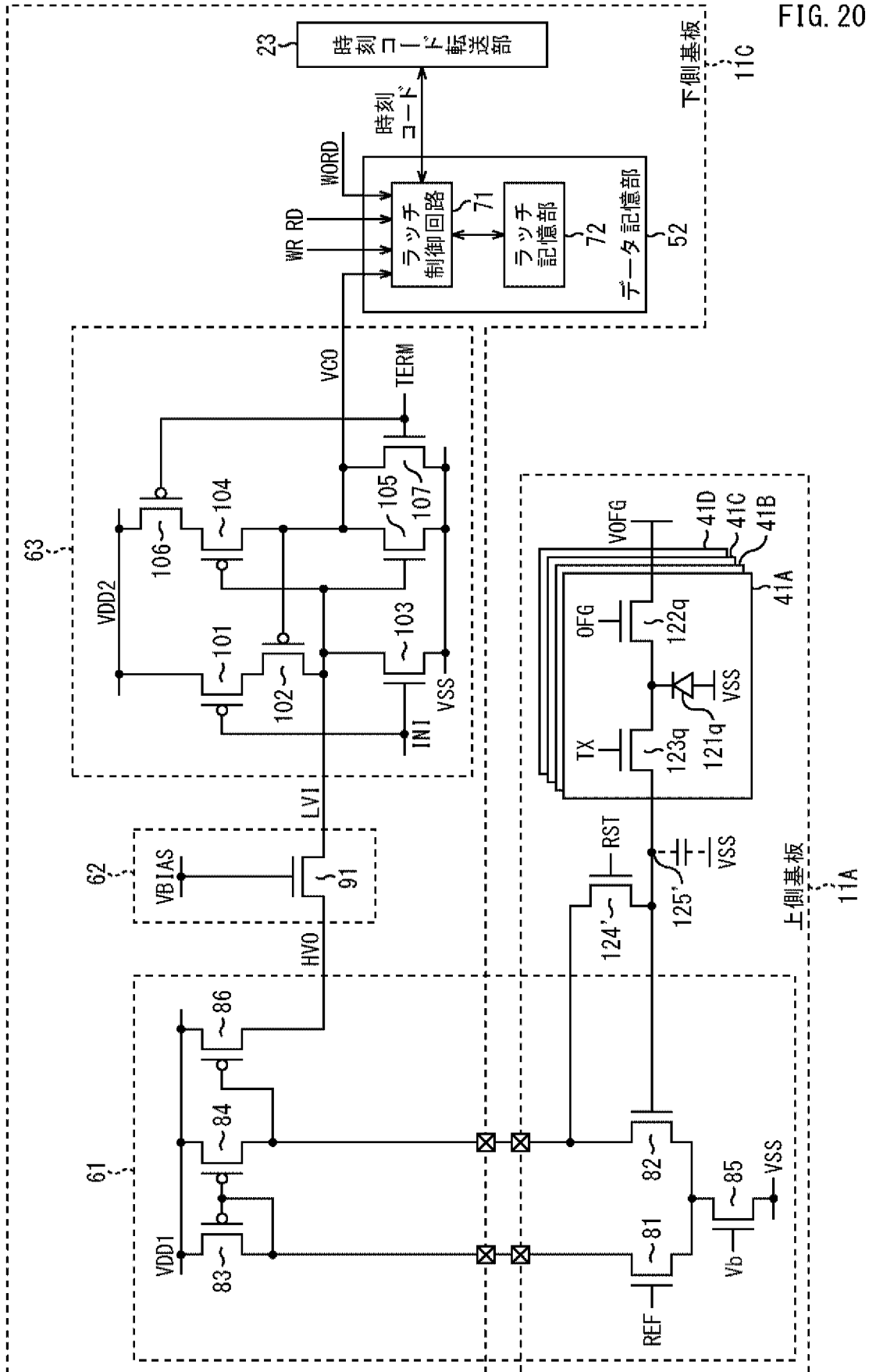
[図18]
FIG. 18



[図19]
FIG. 19



[図20]



[図21]
FIG. 21

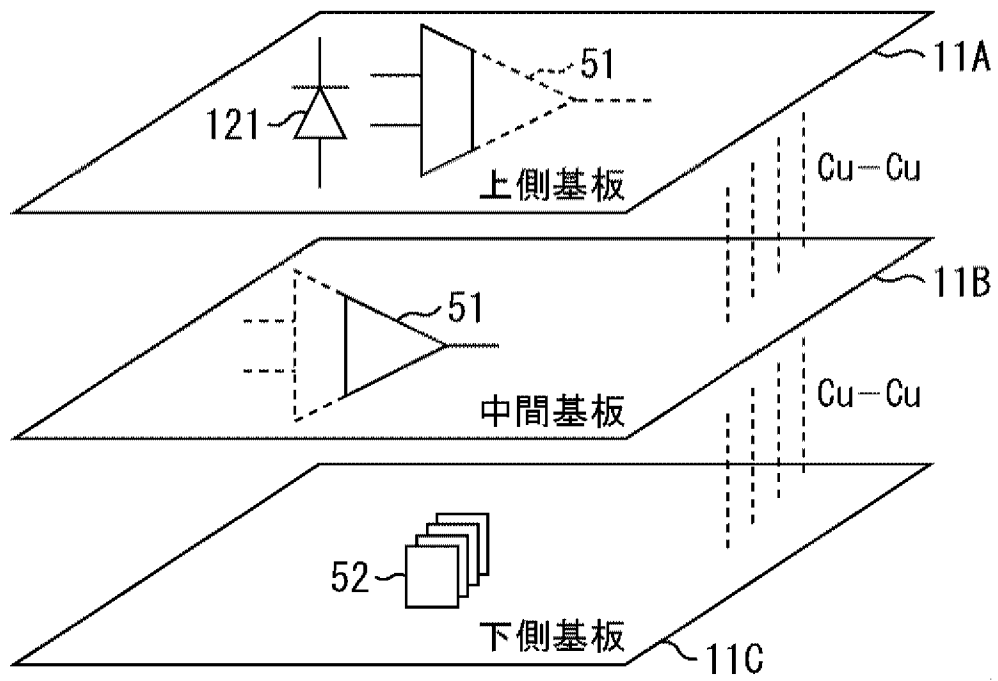
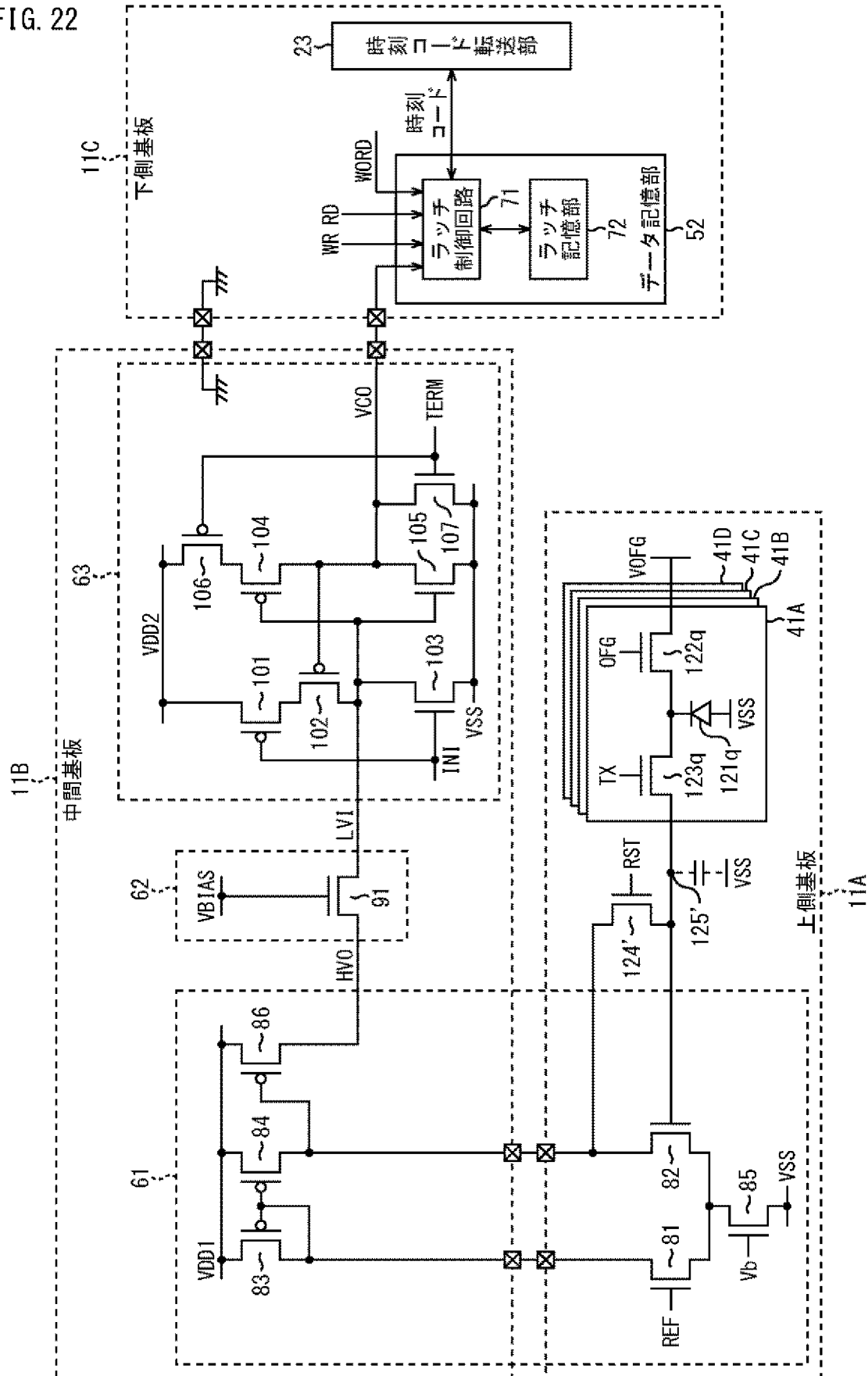
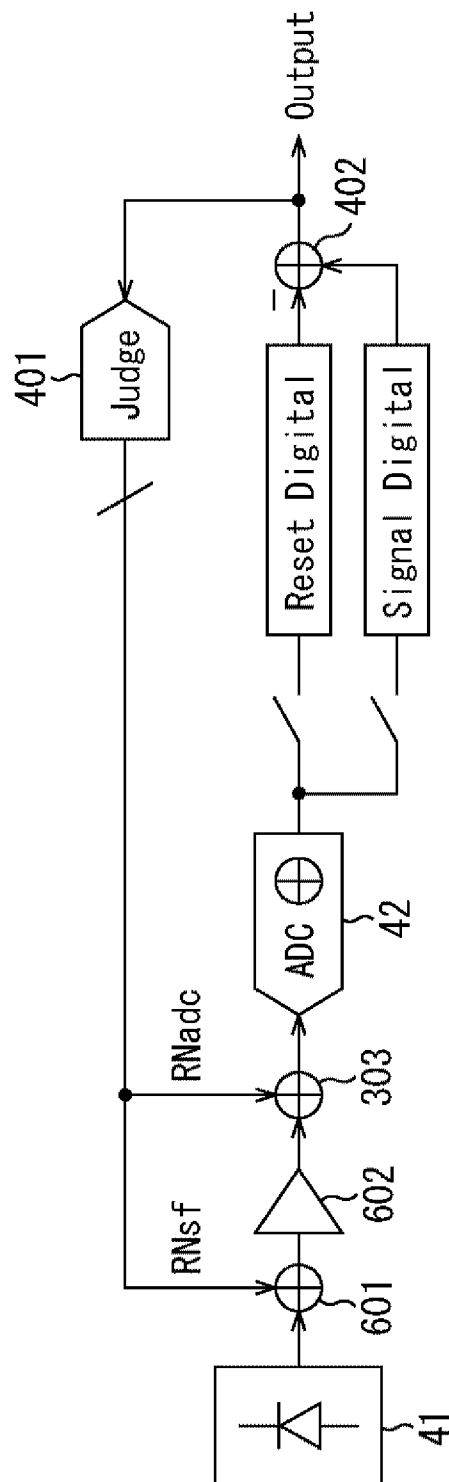


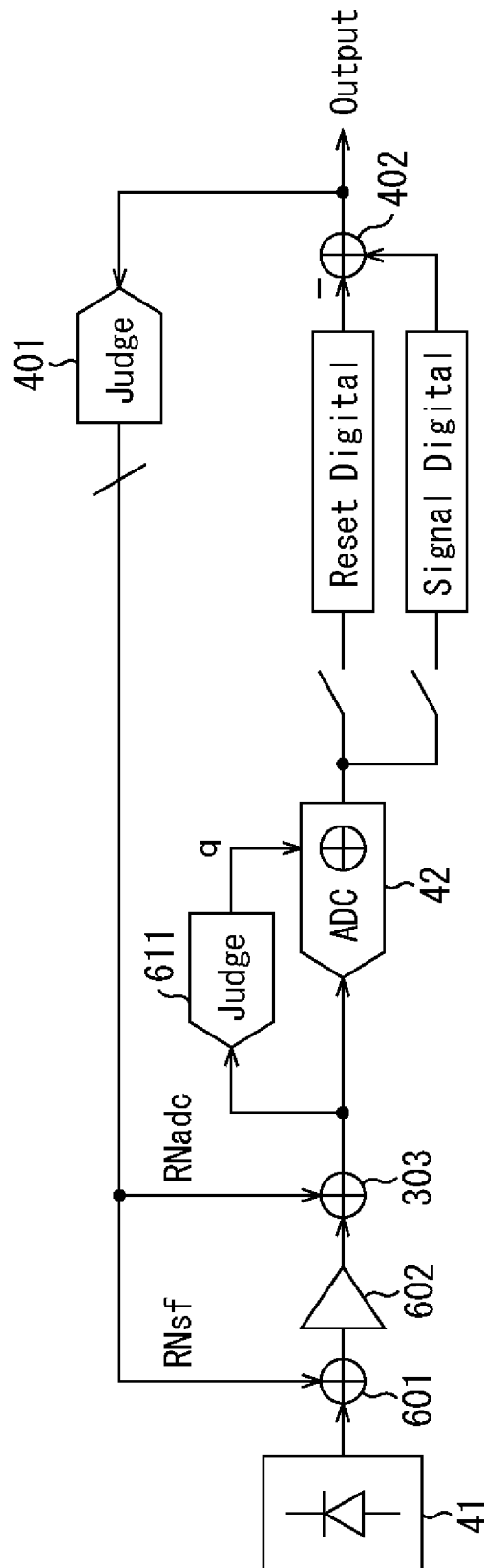
FIG. 22



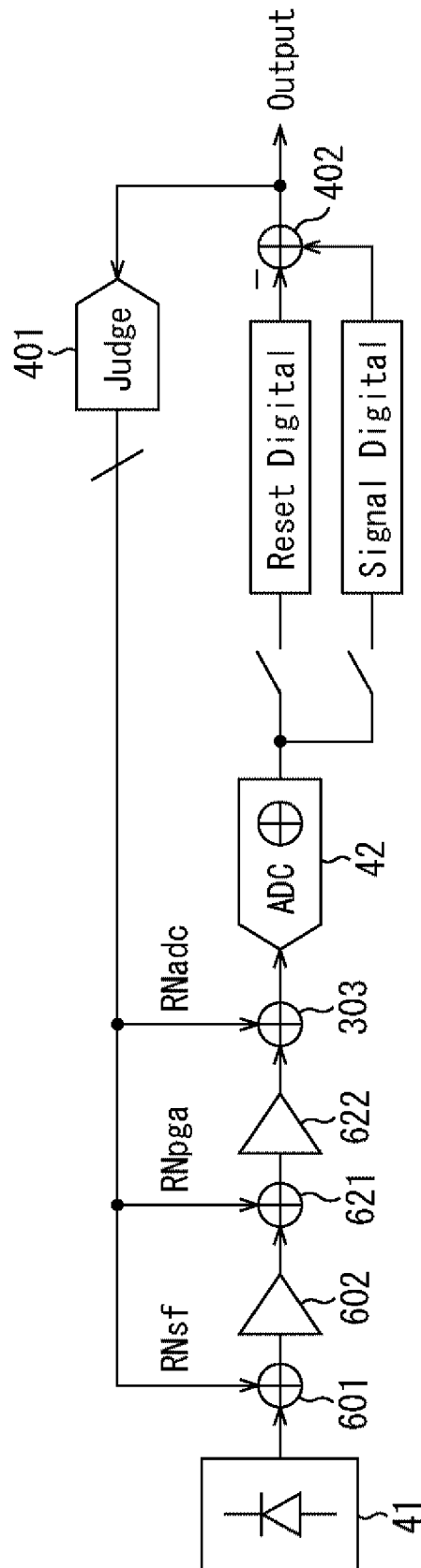
[図24]
FIG. 24



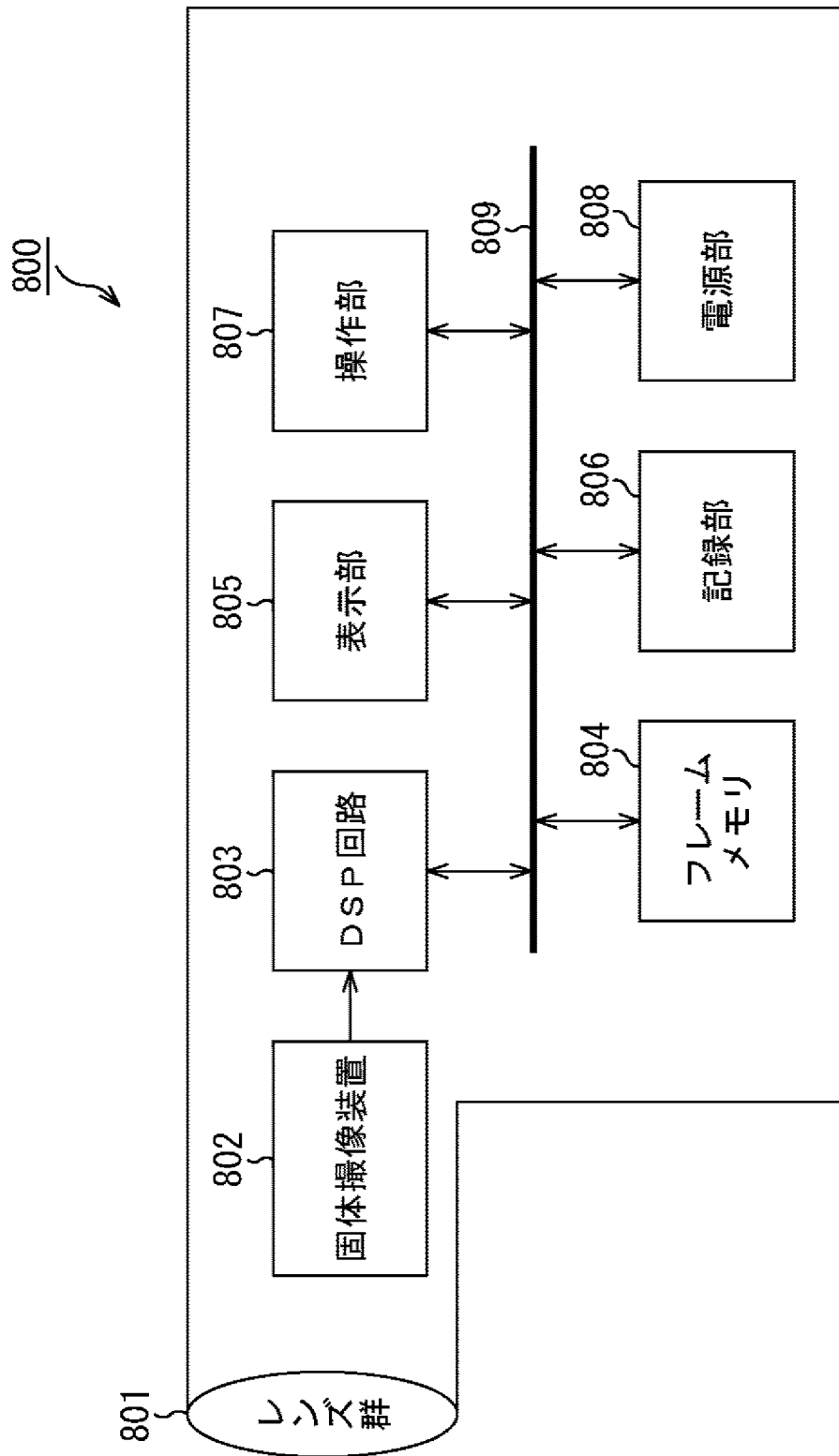
[図25]
FIG. 25



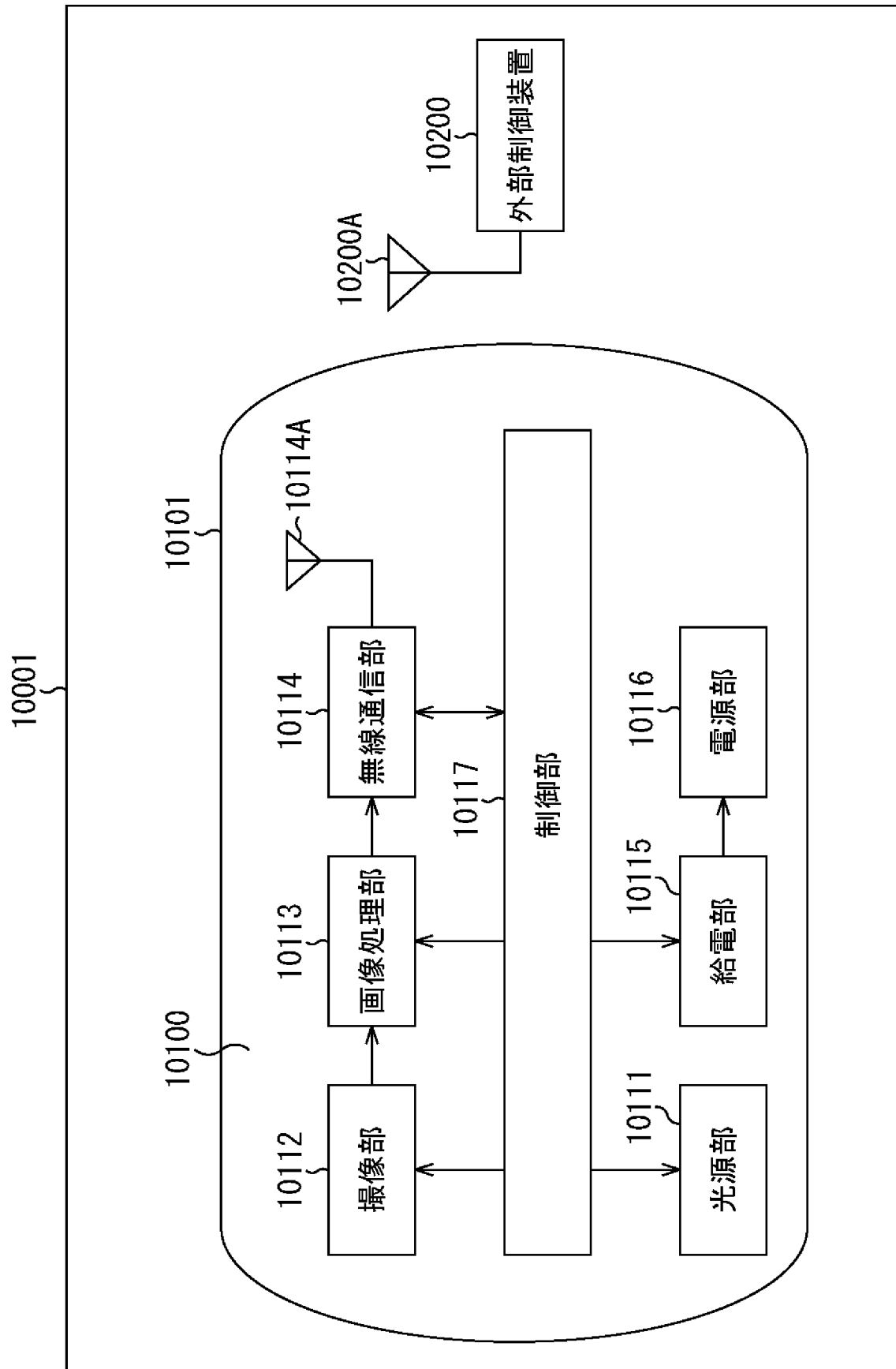
[図26]
FIG. 26



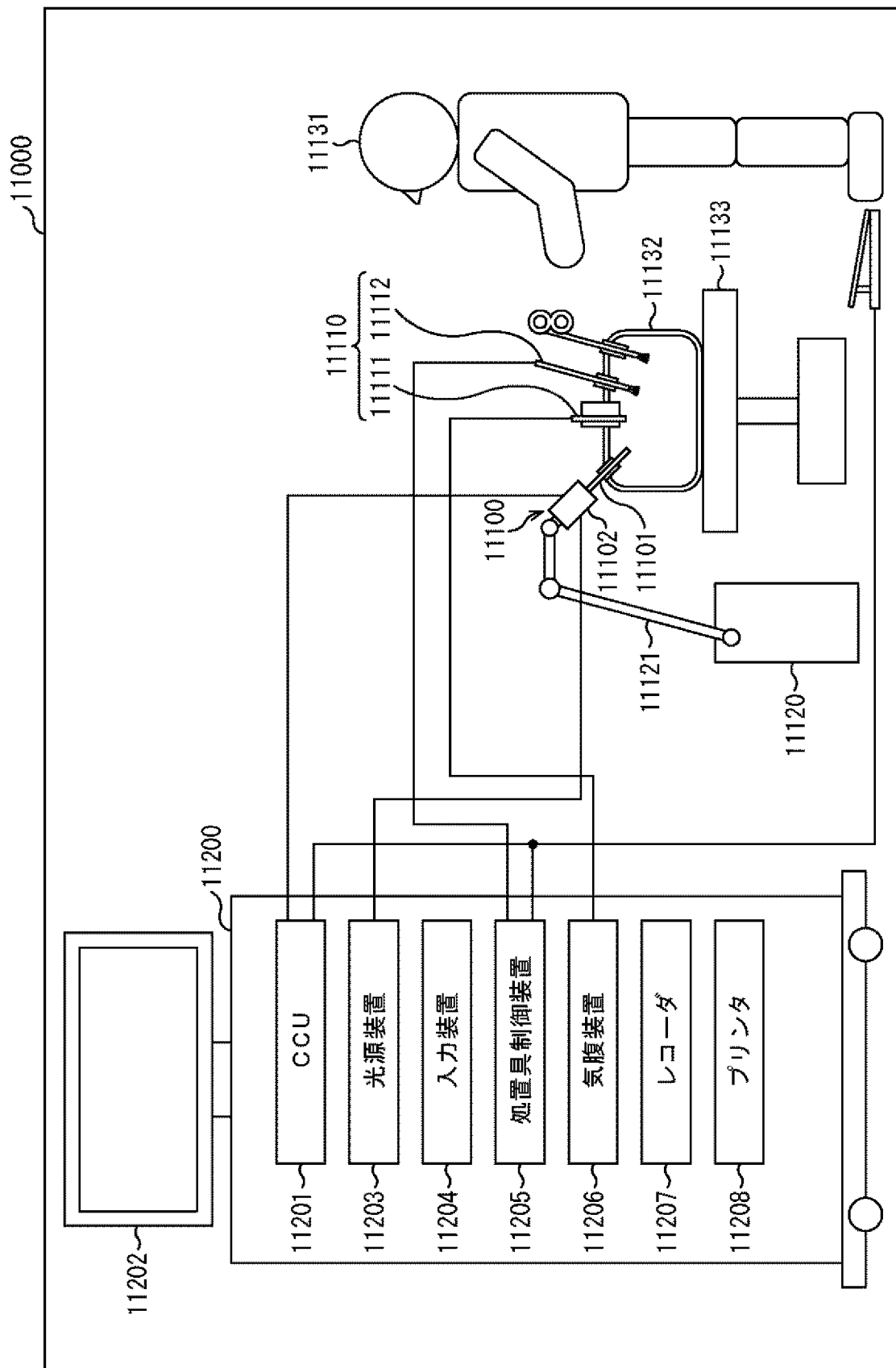
[図27]
FIG. 27



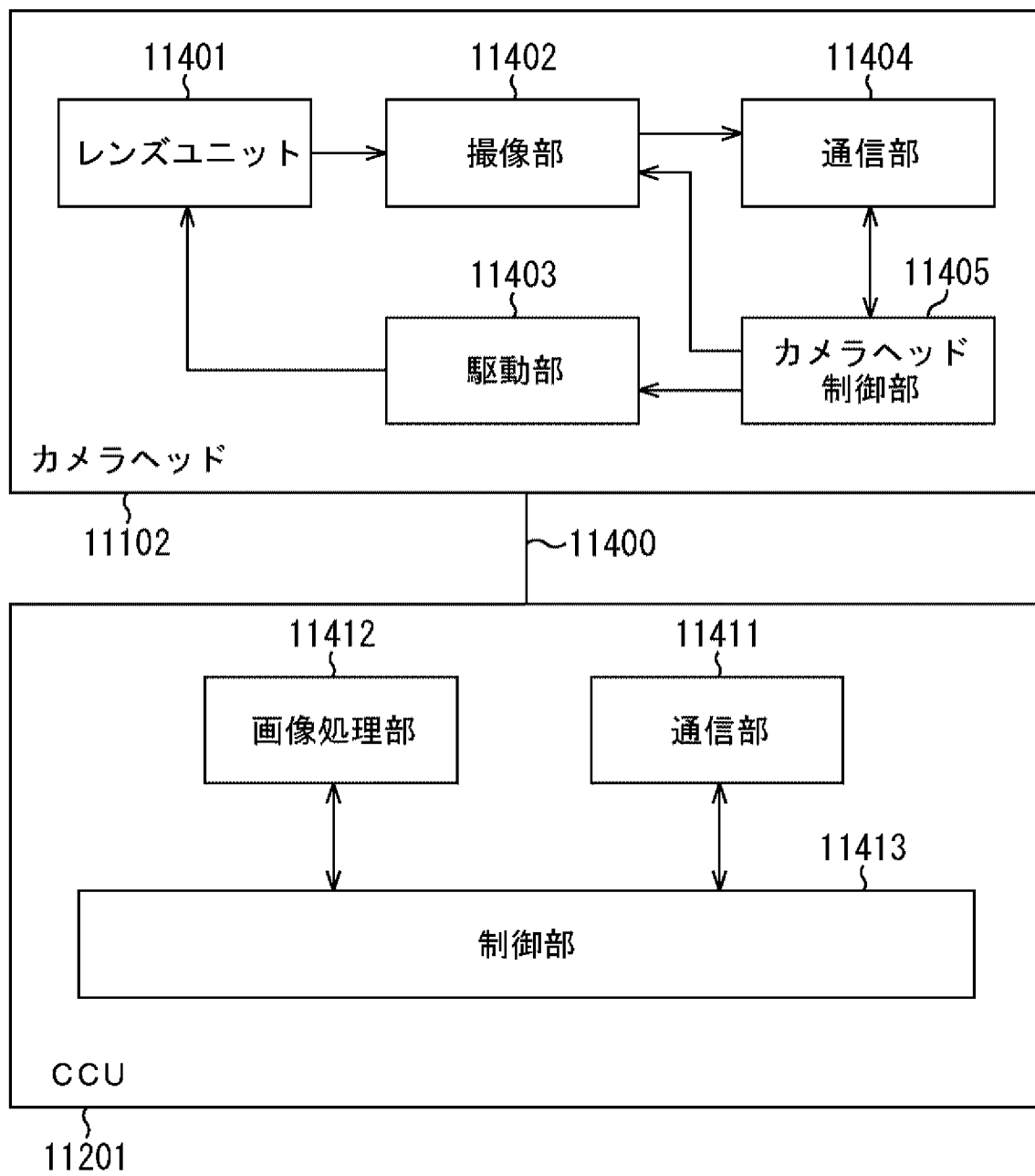
[図28]



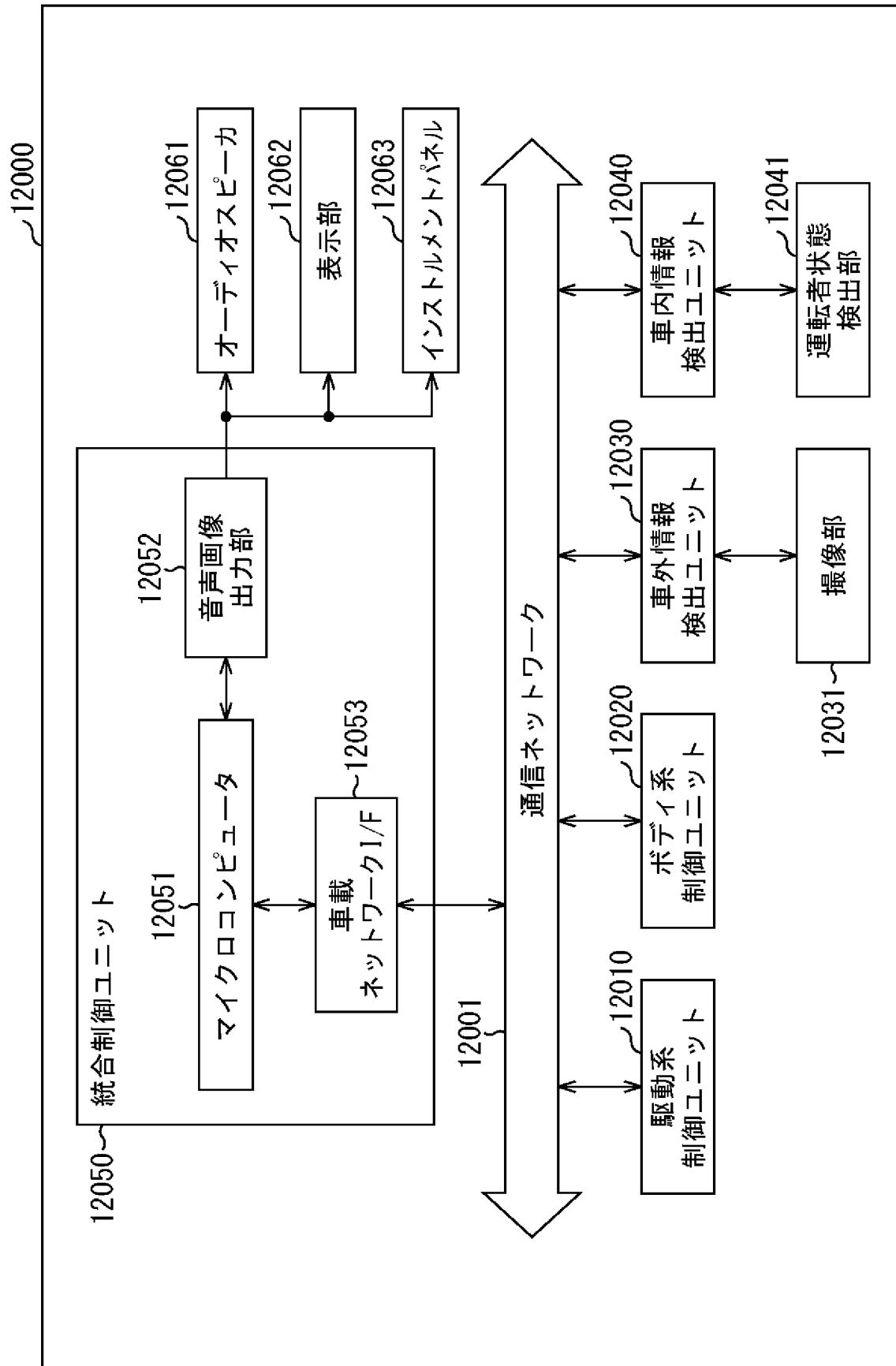
[図29]



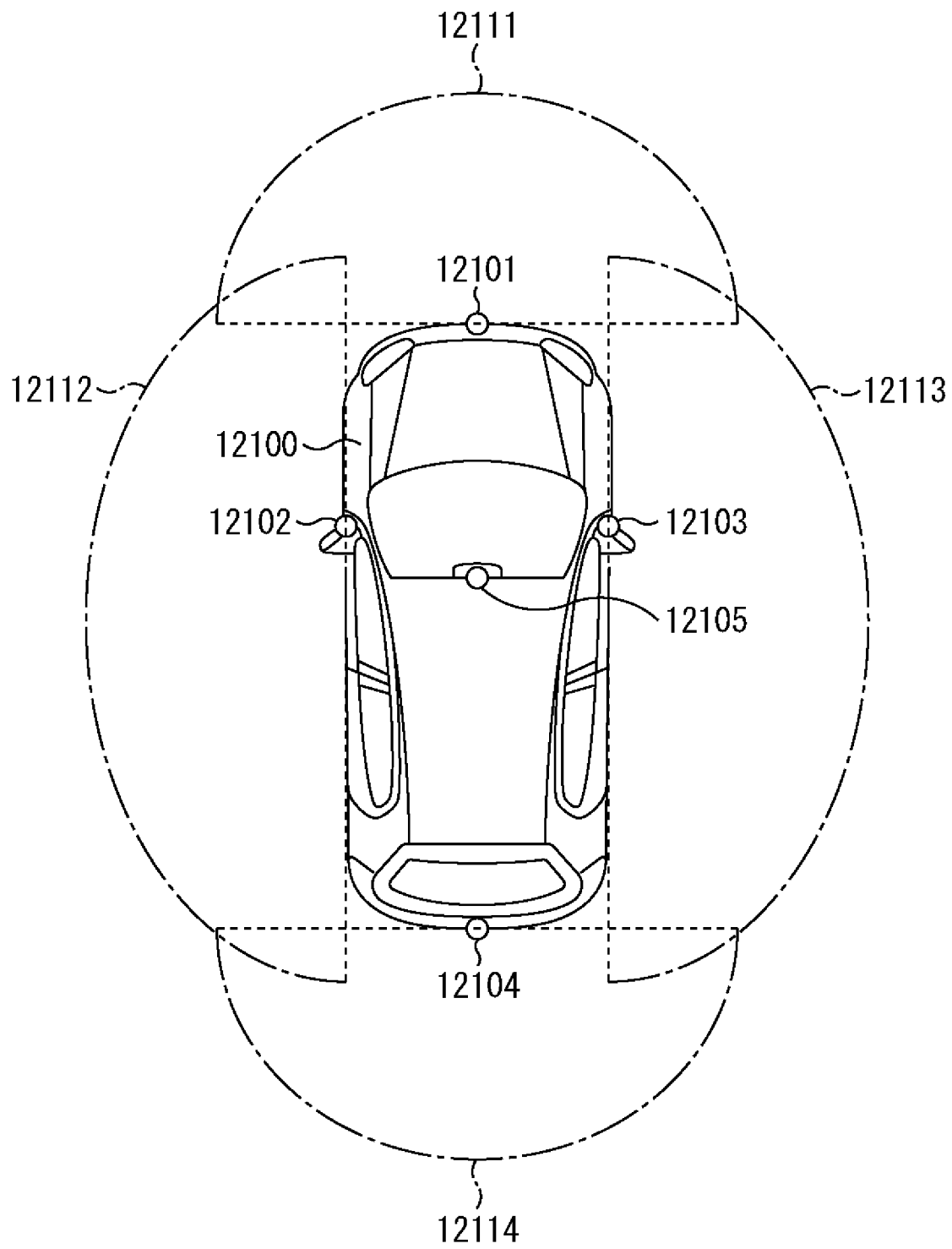
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026765

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/378(2011.01)i, H01L27/146(2006.01)i, H03M1/08(2006.01)i, H03M1/56(2006.01)i, H04N5/32(2006.01)i, H04N5/33(2006.01)i, H04N5/357(2011.01)i, H04N5/3745(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378, H01L27/146, H03M1/08, H03M1/56, H04N5/32, H04N5/33, H04N5/357, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/072280 A1 (Sony Corp.), 12 May 2016 (12.05.2016), paragraphs [0003] to [0197]; fig. 1, 7, 11, 21, 22 & CN 107079124 A	1-20
Y	JP 2012-109658 A (Sony Corp.), 07 June 2012 (07.06.2012), paragraphs [0001] to [0262] & US 2012/0119063 A1 paragraphs [0001] to [0285]	1-20
Y	JP 2008-118634 A (Sony Corp.), 22 May 2008 (22.05.2008), paragraphs [0001] to [0312] & US 2015/0009387 A1 paragraphs [0001] to [0329]	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of a nother citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 October 2017 (03.10.17)

Date of mailing of the international search report
10 October 2017 (10.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026765

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-25427 A (Renesas Electronics Corp.), 08 February 2016 (08.02.2016), paragraphs [0001] to [0095] & US 2016/0021323 A1 paragraphs [0001] to [0116]	1-20
Y	WO 2012/144234 A1 (Panasonic Corp.), 26 October 2012 (26.10.2012), paragraphs [0001] to [0144] & US 2014/0034812 A1 paragraphs [0001] to [0164]	1-20
Y	JP 2010-41457 A (Mitsubishi Electric Corp.), 18 February 2010 (18.02.2010), paragraphs [0027] to [0029] (Family: none)	11
Y	JP 2015-156581 A (Olympus Corp.), 27 August 2015 (27.08.2015), paragraphs [0001] to [0115] & US 2015/0237282 A1 paragraphs [0001] to [0123]	14,15
A	JP 2016-58763 A (Sony Corp.), 21 April 2016 (21.04.2016), (Family: none)	16,17
A	JP 2011-40855 A (Sony Corp.), 24 February 2011 (24.02.2011), & US 2011/0032401 A1	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/378(2011.01)i, H01L27/146(2006.01)i, H03M1/08(2006.01)i, H03M1/56(2006.01)i,
H04N5/32(2006.01)i, H04N5/33(2006.01)i, H04N5/357(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/378, H01L27/146, H03M1/08, H03M1/56, H04N5/32, H04N5/33, H04N5/357, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/072280 A1 (ソニー株式会社) 2016.05.12, 段落 [0003]-[0197]、図 1, 7, 11, 21, 22 & CN 107079124 A	1-20
Y	JP 2012-109658 A (ソニー株式会社) 2012.06.07, 段落 [0001]-[0262] & US 2012/0119063 A1, 段落[0001]-[0285]	1-20
Y	JP 2008-118634 A (ソニー株式会社) 2008.05.22, 段落 [0001]-[0312] & US 2015/0009387 A1, 段落[0001]-[0329]	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

03.10.2017

国際調査報告の発送日

10.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-25427 A (ルネサスエレクトロニクス株式会社) 2016. 02. 08, 段落[0001]-[0095] & US 2016/0021323 A1, 段落[0001]-[0116]	1-20
Y	WO 2012/144234 A1 (パナソニック株式会社) 2012. 10. 26, 段落[0001]-[0144] & US 2014/0034812 A1, 段落[0001]-[0164]	1-20
Y	JP 2010-41457 A (三菱電機株式会社) 2010. 02. 18, 段落[0027]-[0029] (ファミリーなし)	11
Y	JP 2015-156581 A (オリンパス株式会社) 2015. 08. 27, 段落[0001]-[0115] & US 2015/0237282 A1, 段落[0001]-[0123]	14, 15
A	JP 2016-58763 A (ソニー株式会社) 2016. 04. 21, (ファミリーなし)	16, 17
A	JP 2011-40855 A (ソニー株式会社) 2011. 02. 24, & US 2011/0032401 A1	1-20